

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
وزارة التعليم العالي و البحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
جامعة أبي بكر بلقايد – تلمسان –
Université Aboubakr Belkaïd – Tlemcen –
Faculté de TECHNOLOGIE



MEMOIRE

Présenté pour l'obtention du **diplôme** de **MASTER**

En : Télécommunications

Spécialité : Réseaux et Télécommunications

Par : **NEHARI Aya Aouicha**

Sujet

**Conception et optimisation d'un synthétiseur de fréquences à
faible bruit de phase en bande E pour les communications
mobiles 5G**

Soutenu publiquement, le **21 / 06 / 2026**, devant le jury composé de :

Mr. MERZOUGUI Rachid	Professeur	Univ. Tlemcen	Président
Mr. KAMECHE Samir	Professeur	Univ. Tlemcen	Directeur de mémoire
Mme. SLIMANE Zohra	Professeur	Univ. Tlemcen	Examineur

Année universitaire : 2025/2026

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
وزارة التعليم العالي و البحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
جامعة أبي بكر بلقايد – تلمسان –
Université Aboubakr Belkaïd – Tlemcen –
Faculté de TECHNOLOGIE



MEMOIRE

Présenté pour l'obtention du **diplôme de MASTER**

En : Télécommunications

Spécialité : Réseaux et Télécommunications

Par : NEHARI Aya Aouicha

Sujet

**Conception et optimisation d'un synthétiseur de fréquences à
faible bruit de phase en bande E pour les communications
mobiles 5G**

Soutenu publiquement, le **21 / 06 / 2026**, devant le jury composé de :

Mr. MERZOUGUI Rachid	Professeur	Univ. Tlemcen	Président
Mr. KAMECHE Samir	Professeur	Univ. Tlemcen	Directeur de mémoire
Mme. SLIMANE Zohra	Professeur	Univ. Tlemcen	Examineur

Année universitaire : 2025/2026

Dédicace

Je dédie ce mémoire aux personnes les plus chères à mon cœur.

À mon très cher père,

*Pour tous les sacrifices et les efforts que tu as faits afin de me voir réussir.
Merci pour ton soutien, tes encouragements et ta confiance tout au long de mon parcours.
Que Dieu te protège et te donne santé, bonheur et longue vie.*

À ma très chère mère,

*Aucune parole ne pourra exprimer ma gratitude pour tout l'amour, la tendresse et les sacrifices que tu m'as offerts.
Merci d'avoir toujours été présente à mes côtés dans les moments les plus difficiles comme dans les plus heureux.
Que Dieu te garde et te comble de Ses bienfaits.*

À mon cher mari,

*Pour son soutien, sa patience, sa compréhension et ses encouragements constants durant la réalisation de ce travail.
Merci d'avoir toujours cru en moi et de m'avoir accompagnée tout au long de cette aventure.*

À mon petit-fils,

*Ma source de bonheur et de joie.
Que Dieu te protège et te réserve un avenir rempli de réussite et de bonheur.*

À mes chères sœurs Nesrine et Imene,

*Merci pour votre affection, votre présence et vos encouragements.
Je vous souhaite tout le bonheur et la réussite dans votre vie.*

À mes chers frères Nadir et Youcef,

*Pour leur soutien et leur confiance.
Que Dieu vous accorde santé, réussite et prospérité.*

À ma belle-mère et à mon beau-père,

*Pour leur gentillesse, leur soutien et leurs encouragements.
Je leur exprime toute ma reconnaissance et mon respect.*

À mes belles-sœurs,

Pour leur affection et leurs encouragements tout au long de ce parcours.

À mes amies,

*Pour les moments de partage, leur présence, leurs conseils et leur soutien moral.
Merci pour tous les souvenirs et les encouragements qui ont accompagné cette étape importante de ma vie.*

À toute ma famille,

*Pour leur amour, leur confiance et leurs prières qui m'ont donné la force d'avancer.
Enfin, je dédie ce travail à toutes les personnes qui m'ont soutenue de près ou de loin durant mes études et la réalisation de ce mémoire.*

Merci pour vos conseils, orientations et écoute

Résumé

L'évolution des réseaux mobiles vers la cinquième génération (5G) impose des exigences accrues en matière de débit, de capacité, de latence et de qualité de service. Pour répondre à ces besoins, l'exploitation des bandes millimétriques, notamment la bande E (81–86 GHz), apparaît comme une solution prometteuse grâce à ses importantes ressources spectrales. Ce mémoire de master porte sur la conception et l'optimisation d'un synthétiseur de fréquences à faible bruit de phase basé sur une boucle à verrouillage de phase (PLL) destiné aux systèmes de communications mobiles 5G opérant dans cette bande. Après une étude de l'évolution des réseaux mobiles et des principes de la synthèse de fréquence, une analyse approfondie des principaux paramètres influençant les performances du synthétiseur, tels que la marge de phase, la bande passante de boucle et le bruit de phase, a été menée. La conception et la validation du système ont été réalisées à l'aide du logiciel ADIsimPLL et du synthétiseur ADF41513. Les résultats obtenus montrent qu'une marge de phase de 45° et une bande passante de 1 MHz offrent un compromis optimal entre stabilité, rapidité de verrouillage et performances fréquentielles. Le synthétiseur conçu couvre la plage de fréquences de 81 à 86 GHz avec un temps de verrouillage d'environ 2,64 μs , satisfaisant ainsi les exigences des systèmes de communication mobile 5G.

Mots-clés : 5G, bande E, PLL, synthétiseur de fréquences, bruit de phase, ADIsimPLL, ADF41513.

Summary

The evolution of mobile networks toward fifth-generation (5G) technology requires significant improvements in data rate, capacity, latency, and quality of service. To meet these demands, the use of millimeter-wave frequency bands, particularly the E-band (81–86 GHz), offers a promising solution due to its large available spectrum resources. This master's dissertation focuses on the design and optimization of a low phase-noise frequency synthesizer based on a Phase-Locked Loop (PLL) for 5G mobile communication systems operating in the E-band. After reviewing the evolution of mobile networks and the fundamentals of frequency synthesis, a detailed analysis of the key parameters affecting synthesizer performance, including phase margin, loop bandwidth, and phase noise, was carried out. The system was designed and validated using ADIsimPLL software and the ADF41513 frequency synthesizer. Simulation results show that a phase margin of 45° and a loop bandwidth of 1 MHz provide an optimal trade-off between stability, lock time, and frequency performance. The proposed synthesizer covers the frequency range from 81 to 86 GHz with a lock time of approximately 2.64 μs , thereby meeting the requirements of 5G mobile communication systems.

Keywords: 5G, E-band, PLL, frequency synthesizer, phase noise, ADIsimPLL, ADF41513.

ملخص

إنَّ التطور المتسارع لشبكات الاتصالات المتنقلة نحو الجيل الخامس (5G) يفرض متطلبات متزايدة من حيث معدل نقل البيانات، وسعة الشبكة، وزمن الاستجابة، وجودة الخدمة. ولتلبية هذه المتطلبات، يُعدّ استغلال نطاقات التردد المليمترية، ولا سيما نطاق E (من 81 إلى 86 غيغاهرتز)، حلاً واعدًا بفضل موارده الطيفية الواسعة. يتناول هذا العمل تصميم وتحسين مُركَّب ترددات منخفض ضوضاء الطور يعتمد على حلقة القفل الطوري (PLL)، والموجّه لأنظمة الاتصالات المتنقلة من الجيل الخامس العاملة ضمن هذا النطاق الترددي. وبعد دراسة تطور شبكات الاتصالات المتنقلة ومبادئ تركيب الترددات، تم إجراء تحليل معمق لأهم المعلمات المؤثرة في أداء مُركَّب الترددات، مثل هامش الطور، وعرض حزمة الحلقة، وضوضاء الطور. وقد أنجز تصميم النظام والتحقق من أدائه باستخدام برنامج ADIsimPLL والمركَّب ADF41513. وأظهرت النتائج المتحصل عليها أن هامش طور قدره 45° وعرض حزمة يبلغ 1 ميغاهرتز يحققان أفضل توازن بين الاستقرار وسرعة الإقفال والأداء الترددي. كما يغطي المُركَّب المصمم مجال الترددات الممتد من 81 إلى 86 غيغاهرتز بـ زمن إقفال يقارب 2.64 ميكروثانية، مما يجعله مستوفيًا لمتطلبات أنظمة الاتصالات المتنقلة من الجيل الخامس.

الكلمات المفتاحية: الجيل الخامس (5G)، نطاق E، حلقة القفل الطوري (PLL)، مُركَّب الترددات، ضوضاء الطور، ADIsimPLL

Remerciements

Avant tout, je remercie Allah le Tout-Puissant de m'avoir donné la force, la patience et le courage nécessaires pour mener à bien ce travail et parvenir au terme de mes études.

Ce travail de recherche a été effectué au sein du laboratoire des Systèmes et Technologies de l'information et de la Communication (STIC) de la Faculté de Technologie à l'Université Abou-Bekr Belkaïd Tlemcen.

On voudrait tout d'abord remercier sincèrement mon Encadreur Monsieur KAMECHE Samir, Professeur à l'Université de Tlemcen, pour son encadrement rigoureux, sa disponibilité constante, sa patience, ainsi que pour la générosité avec laquelle il a su partager ses connaissances et ses précieux conseils.

Nos remerciements les plus respectueux s'adressent à Monsieur MERZOUGUI Rachid, Professeur à l'Université de Tlemcen, pour avoir accepté de présider le jury de ce Mémoire.

Nous exprimons également notre reconnaissance à Madame SLIMANE Zohra, Professeur à l'Université de Tlemcen, pour avoir accepté d'examiner et de juger les travaux de ce Mémoire.

Enfin, que nos parents, nos familles et nos amis trouvent à travers ces quelques lignes l'expression de notre profonde gratitude pour leur soutien et leurs encouragements de tous les instants. On vous en remercie chaleureusement.

Table des matières

Dédicaces.....	i
Résumé.....	ii
Summary.....	iii
ملخص.....	iv
Remerciements.....	v
Table des matières.....	vi
Sigles et abréviations.....	x
Liste des figures.....	xv
Liste des tableaux.....	vi
Introduction Générale.....	2
Chapitre I : Évolution des réseaux mobiles, ondes millimétriques et bande E	
I.1 Introduction.....	5
I.2 Communication sans fil et évolution des générations mobiles.....	5
I.2.1 Les premiers systèmes de téléphonie mobile (1G).....	5
I.2.2 La deuxième génération (2G)	5
I.2.2.1 Le réseau GSM.....	6
I.2.2.2 Les standards marquant la 2G	6
I.2.3 L'avènement de la 3G	6
I.2.3.1 Débit de transmission.....	7
I.2.3.2 L'évolution de la 3G.....	7
I.2.4 La quatrième génération (4G).....	7
I.2.4.1 Caractéristiques et motivations pour la technologie LTE (4G).....	8
a - Le débit.....	8
b - La latence.....	8
c - La mobilité	8
d - La flexibilité dans l'usage de la bande.....	8
e - La capacité en nombre d'utilisateurs simultanés	8
f - L'efficacité spectrale cellulaire	8
I.2.4.2 Évolutions successives de la norme LTE	9
a - LTE-Advanced : extension des performances de la 4G	9

b - Vers les performances pré-5G	9
I.2.5 La 5G : une nouvelle étape des réseaux mobiles	9
I.2.5.1 Les différents usages qui caractérisent la 5G	9
I.2.5.2 Principaux objectifs de la 5G	10
a - Connectivité à grande échelle	10
b - Débits extrêmement élevés.....	10
c - Latence très faible	10
d - Fiabilité exceptionnelle	10
e - Appareils à faible consommation et coût réduit.....	10
f - Efficacité énergétique du réseau	10
I.2.5.3 Bandes de fréquences	10
I.2.5.4 Le rôle stratégique de la bande 3,5 GHz dans les réseaux 5G	11
I.3 Les ondes millimétriques (mmWave)	11
I.3.1 Définition des fréquences EHF (30–300 GHz).....	12
I.3.2 Caractéristiques de propagation des ondes millimétriques	12
I.3.3 Les avantages et les inconvénients des ondes millimétriques	12
I.4 Présentation de la bande E.....	13
I.4.1 Plages de fréquences (71–76 GHz / 81–86 GHz).....	13
I.4.2 Plan de fréquences international	13
I.4.3 Largeur de bande et capacités (> 1 Gbps)	14
I.4.4 Réglementation	14
I.4.4.1 Accès libre sans licence	14
I.4.4.2 Auto-coordination / Light Licensed	14
I.4.4.3 Coordination avec gestion par le régulateur.....	15
I.5 Justification du choix de la bande E pour la 5G.....	15
I.6 Conclusion.....	16

Chapitre II : Structure et principe de fonctionnement des synthétiseurs de fréquences à PLL

II.1 Introduction.....	18
II.2 Principe général de la synthèse de fréquence.....	18
II.3 Caractéristiques Fondamentales des synthétiseurs de fréquence.....	18
II.3.1. Plage d'accrochage	18
II.3.2. Pas de synthèse	19
II.3.3. Pureté spectrale	19
II.3.4. Temps d'acquisition ou temps d'accrochage	19

II.3.5. Autres caractéristiques	19
II.4 Les différents types de synthétiseurs	19
II.5 Architectures des synthétiseurs de fréquences	19
II.5.1 Synthèse directe de fréquence	19
II.5.2 La synthèse de fréquence numérique directe (DDS: Direct Digital Synthesizer)	20
II.5.3 Synthèse indirecte de fréquence basée sur la PLL	21
II.5.4 Synthétiseur de fréquences à division entière.....	21
II.6 Description des blocs fonctionnels de la PLL.....	22
II.6.1 L'oscillateur de référence.....	22
II.6.2 Les diviseurs de fréquence (M) et (N).....	22
II.6.3 Le Comparateur de phase-fréquence (PFD).....	23
II.6.4 La pompe de charge (CP).....	24
II.6.5 Le filtre de boucle (LF).....	25
A. Structure de filtrage du premier ordre.....	25
B. Structure de filtrage du deuxième ordre.....	26
C. Structure de filtrage du troisième ordre.....	26
II.6.6 L'oscillateur commandé en tension (VCO).....	27
II.7 Modélisation et analyse de la PLL.....	27
II.7.1 Fonction de transfert de la PLL.....	28
II.7.2 Bande de boucle et marge de phase.....	29
A. Détermination de la largeur de bande de la PLL.....	29
B. Évaluation de la stabilité par la marge de phase	29
II.8 Étude des mécanismes de bruit dans la boucle à verrouillage de phase	30
II.9 Conclusion.....	30

Chapitre III : Analyse, conception et optimisation d'un synthétiseur de fréquences pour applications 5G

III.1 Introduction.....	32
III.1.1 Recherches sur l'impact du courant de fuite dans les synthétiseurs de fréquences à PLL	32
III.1.2 Recherches récentes portant sur les synthétiseurs de fréquences pour les applications 5G	32
III.2 Environnement de conception et de simulation utilisé	32
III.3 Conception et évaluation du synthétiseur de fréquences à PLL	33
III.3.1 Outil de conception.....	33

III.3.2 Paramètres retenus pour la conception du synthétiseur	34
III.3.2.1 Choix de la marge de phase.....	34
III.3.2.2 Détermination de la bande passante optimale de la boucle	35
III.3.2.3 Analyse de la tolérance du synthétiseur au courant de fuite	36
III.3.3 Validation des paramètres de la PLL retenus	38
A. 1 Étude de la réponse en boucle fermée pour une marge de phase de 20°	38
A.2 Étude de la réponse en boucle fermée pour une marge de phase de 45°	39
A. 3 Étude de la réponse en boucle fermée pour une marge de phase de 80°	40
A. 4 Étude du bruit de phase pour une marge de phase de 20°	42
A. 5 Étude du bruit de phase pour une marge de phase $\Delta\phi = 45^\circ$	43
A. 6 Étude du bruit de phase pour une marge de phase $\Delta\phi = 80^\circ$	44
A. 7 Analyse du comportement temporel de la PLL pour une marge de phase de 20°	45
A. 8 Analyse du comportement temporel de la PLL pour une marge de phase de 45°	46
A. 9 Analyse du comportement temporel de la PLL pour une marge de phase de 80°	47
A. 10 Validation de la marge de phase retenue	48
III.3.4 Analyse du choix de la bande de boucle.....	48
III.4 Conception et validation du synthétiseur à PLL pour les applications 5G	50
III.4.1 Évaluation des performances temporelles du synthétiseur.....	51
A. Comportement transitoire du synthétiseur.....	51
B. Évolution temporelle de la phase d'erreur	52
C. Réponse de la fréquence d'erreur du système	52
III.4.2 Évaluation des performances fréquentielles du synthétiseur	53
A. Analyse du comportement en boucle ouverte	53
B. Analyse de la réponse en boucle fermée	53
C. Analyse de la réponse en modulation de fréquence	54
D. Analyse des raies de référence	55
E. Analyse des performances en bruit de phase	55
III.5 Conclusion.....	56
Conclusion générale.....	58
Références bibliographiques.....	60

Sigles et abréviations

1G	Première Génération
2G	Deuxième Génération
3G	Troisième Génération
3GPP	Third Generation Partnership Project
4G	Quatrième Génération
5G	Cinquième Génération

A

AMPS	Advanced Mobile Phone System
-------------	-------------------------------------

B

BLU	Bande Latérale Unique
------------	------------------------------

C

CATV	Community Antenna Television
CDMA	Code Division Multiple Access
CP	Charge Pump (Pompe de Charge)

D

DCS	Digital Communication System
DDS	Direct Digital Synthesizer

E

EDGE	Enhanced D ata for G SM E volution
eMBB	Enhanced M obile B roadband
EHF	Extremely H igh F requency

F

FDD	F requency D ivision D uplex
FD-MIMO	F ull D imension M ultiple I nput M ultiple O utput
FM	F requency M odulation
Fref	F réquence de R éférence
Fout	F réquence de S ortie

G

GHz	G igahertz
GPRS	G eneral P acket R adio S ervice
GSM	G lobal S ystem for M obile C ommunications

H

HSCSD	H igh S peed C ircuit S witched D ata
HSDPA	H igh S peed D ownlink P acket A ccess
HSUPA	H igh S peed U plink P acket A ccess

I

IMT-2000	I nternational M obile T elecommunications 2000
IoT	I nternet of T hings

IP	Internet Protocol
ITU	International Telecommunication Union

L

LTE	Long Term Evolution
LTE-A	LTE Advanced
LF	Loop Filter
LO	Local Oscillator

M

mMTC	Massive Machine Type Communications
MHz	Megahertz
MIMO	Multiple Input Multiple Output
MMS	Multimedia Messaging Service
mmWave	Millimeter Wave

N

NB-IoT	Narrow Band Internet of Things
---------------	---------------------------------------

O

OFDMA	Orthogonal Frequency Division Multiple Access
--------------	--

P

PDA	Personal Digital Assistant
PFD	Phase Frequency Detector

PLL **Phase Locked Loop**
PSD **Power Spectral Density**

R

RF **Radio Frequency**
RMS **Root Mean Square**

S

SC-FDMA **Single Carrier -Frequency Division Multiple Access**
SiGe **Silicon Germanium**
SMS **Short Message Service**
SNR **Signal to Noise Ratio**

T

TCXO **Temperature Compensated Crystal Oscillator**
TDD **Time Division Duplex**
TDMA **Time Division Multiple Access**

U

UMTS **Universal Mobile Telecommunication System**
URLLC **Ultra-Reliable Low Latency Communications**

V

V2X **Vehicle to Everything**
VCO **Voltage Controlled Oscillator**

VLSI **Very Large Scale Integration**

W

WLAN **Wireless Local Area Network**

Liste des Figures

Chapitre I

FigureI.1. Evolution du GSM vers l'UMTS	7
FigureI.2. Classification des cas d'utilisation de la 5G de haut niveau.....	10
FigureI.3. Relation entre les bandes fréquentielles et les applications de la 5G	11
FigureI.4. Schéma de la bande de fréquence des ondes millimétriques.....	11
FigureI.5. Structure du plan de fréquences de la bande E conformément à la recommandation CEPT/ECC REC(05)07.....	13
FigureI.6. Plage des frais pour le spectre de la bande E.....	15

Chapitre II

Figure II.1. Schéma de fonctionnement de la synthèse de fréquence directe.....	20
Figure II.2. Schéma fonctionnel de la synthèse de fréquence numérique.....	20
Figure II.3. Structure d'un synthétiseur de fréquences basé sur une PLL à division entière.....	21
Figure II.4. Exemple de diviseur de fréquence simple.....	22
Figure II.5. Synthétiseur de fréquence avec un pré-diviseur.....	23
Figure II.6. Détecteur de phase-fréquence à bascules D et porte AND.....	23
Figure II.7. Diagramme des différents signaux.....	23
Figure II.8. Réponse du détecteur de phase-fréquence à bascules D.....	24
Figure II.9. Architecture fonctionnelle de la pompe de charge (CP).....	24
Figure II.10. Principe d'injection et d'extraction du courant dans la pompe de charge.....	25
Figure II.11. Structure élémentaire du filtre de boucle passif du premier ordre.....	26
Figure II.12. Architecture du filtre de boucle passif du deuxième ordre.....	27
Figure II.13. Structure de filtrage à trois pôles utilisée dans la PLL.....	27
Figure II.14. Modèle linéaire de la PLL.....	28
Figure II.16. Modélisation des principales contributions au bruit de phase dans une PLL.....	30

Chapitre III

Figure III.1. Vue générale de l'environnement de conception sous ADIsimPLL.....	33
Figure III.2. Architecture fonctionnelle du synthétiseur ADF41513.....	33
Figure III.3. Fonction de transfert en boucle fermée pour $\Delta\phi = 20^\circ$ et $\omega_p = 500$ kHz.....	38
Figure III.4. Fonction de transfert en boucle fermée pour $\Delta\phi = 20^\circ$ et $\omega_p = 1$ MHz.....	39
Figure III.5. Fonction de transfert en boucle fermée pour $\Delta\phi = 20^\circ$ et $\omega_p = 5$ MHz.....	39
Figure III.6. Fonction de transfert en boucle fermée pour @ $\Delta\phi = 45^\circ$ et $\omega_p = 500$ kHz.....	39
Figure III.7. Fonction de transfert en boucle fermée pour $\Delta\phi = 45^\circ$ et $\omega_p = 1$ MHz.....	40
Figure III.8. Fonction de transfert en boucle fermée pour @ $\Delta\phi = 45^\circ$ et $\omega_p = 5$ MHz.....	40
Figure III.9. Fonction de transfert en boucle fermée pour $\Delta\phi = 80^\circ$ et $\omega_p = 500$ kHz.....	40
Figure III.10. Fonction de transfert en boucle fermée pour $\Delta\phi = 80^\circ$ et $\omega_p = 1$ MHz.....	41
Figure III.11. Fonction de transfert en boucle fermée pour $\Delta\phi = 80^\circ$ et $\omega_p = 5$ MHz.....	41
Figure III.12. Performance en bruit de phase obtenue avec $\Delta\phi = 20^\circ$ et $\omega_p = 500$ kHz.....	42
Figure III.13. Performance en bruit de phase obtenue avec $\Delta\phi = 20^\circ$ et $\omega_p = 1$ MHz.....	42
Figure III.14. Performance en bruit de phase obtenue avec $\Delta\phi = 20^\circ$ et $\omega_p = 5$ MHz.....	42
Figure III.15. Performance en bruit de phase obtenue avec $\Delta\phi = 45^\circ$ et $\omega_p = 500$ kHz.....	43
Figure III.16. Performance en bruit de phase obtenue avec $\Delta\phi = 45^\circ$ et $\omega_p = 1$ MHz.....	43
Figure III.17. Performance en bruit de phase obtenue avec $\Delta\phi = 45^\circ$ et $\omega_p = 5$ MHz.....	43
Figure III.18. Performance en bruit de phase obtenue avec $\Delta\phi = 80^\circ$ et $\omega_p = 500$ kHz.....	44
Figure III.19. Performance en bruit de phase obtenue avec $\Delta\phi = 80^\circ$ et $\omega_p = 1$ MHz.....	44
Figure III.20. Performance en bruit de phase obtenue avec $\Delta\phi = 80^\circ$ et $\omega_p = 5$ MHz.....	44
Figure III.21. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 20^\circ$, $\omega_p = 500$ kHz.....	45
Figure III.22. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 20^\circ$, $\omega_p = 1$ MHz.....	45
Figure III.23. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 20^\circ$, $\omega_p = 5$ MHz.....	45
Figure III.24. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 45^\circ$, $\omega_p = 500$ kHz.....	46
Figure III.25. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 45^\circ$, $\omega_p = 1$ MHz.....	46
Figure III.26. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 45^\circ$, $\omega_p = 5$ MHz.....	46
Figure III.27. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 80^\circ$, $\omega_p = 500$ kHz.....	47
Figure III.28. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 80^\circ$, $\omega_p = 1$ MHz.....	47
Figure III.29. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 80^\circ$, $\omega_p = 5$ MHz.....	47
Figure III.30. Spectre des raies de références @ $\Delta\phi = 45^\circ$, $\omega_p = 500$ kHz.....	49
Figure III.31. Spectre des raies de références @ $\Delta\phi = 45^\circ$, $\omega_p = 1$ MHz.....	49
Figure III.32. Spectre des raies de références @ $\Delta\phi = 45^\circ$, $\omega_p = 5$ MHz.....	49
Figure III.33. Structure du synthétiseur de fréquence couvrant la bande E (81–86 GHz).....	51
Figure III.34. Évolution de la fréquence de sortie lors du processus de verrouillage.....	52

Figure III.35. Évolution de la phase d'erreur au cours du verrouillage de la PLL.....	52
Figure III.36. Évolution de la fréquence d'erreur lors du processus de verrouillage de la PLL.....	53
Figure III.37. Caractéristique du gain et de la phase de la PLL en boucle ouverte.....	53
Figure III.38. Réponse fréquentielle de la PLL en boucle fermée.....	54
Figure III.39. Réponse du synthétiseur à une modulation de fréquence.....	54
Figure III.40. Spectre des raies de référence du synthétiseur à 84 GHz.....	55
Figure III.41. Contributions au bruit de phase du synthétiseur à 84 GHz.....	56

Liste des Tableaux

Chapitre I

Tableau I.1. Comparaison des principaux paramètres techniques des systèmes GSM 900 et GSM 1800...	6
Tableau I.2. Analyse comparative des plans de fréquences CEPT et UIT-R	14
Tableau III.1. Influence de la marge de phase et de la bande passante de boucle sur le temps de verrouillage.....	35

Chapitre III

Tableau III.2. Influence de la bande passante de boucle sur le temps de verrouillage et les raies de référence.....	36
Tableau III.3. Influence du courant de fuite sur le temps de verrouillage et les raies de référence pour une bande passante de 500 kHz.....	37
Tableau III.4. Influence du courant de fuite sur le temps de verrouillage et les raies de référence pour une bande passante de 1 MHz.....	37
Tableau III.5. Influence du courant de fuite sur le temps de verrouillage et les raies de référence pour une bande passante de 5 MHz.....	37
Tableau III.6. Paramètres optimisés retenus pour la conception du synthétiseur à PLL destiné aux applications 5G.....	50
Tableau III.7. Valeurs des composants utilisés dans le filtre de boucle de la PLL.....	51

Introduction Générale

L'essor des technologies de communication mobile au cours des dernières décennies a profondément transformé les modes d'échange et d'accès à l'information. L'augmentation continue du nombre d'utilisateurs connectés, l'explosion du trafic de données et l'apparition de nouveaux services numériques imposent aux réseaux sans fil des exigences toujours plus élevées en matière de capacité, de débit et de qualité de service.

Depuis les premiers systèmes cellulaires de la génération 1G, principalement dédiés à la transmission de la voix, les réseaux mobiles ont connu plusieurs évolutions majeures. Chaque nouvelle génération a permis d'améliorer les performances globales des communications en offrant des vitesses de transmission plus importantes, une meilleure efficacité spectrale ainsi qu'une connectivité plus fiable. Aujourd'hui, la cinquième génération de réseaux mobiles (5G) vise à répondre aux besoins croissants des applications modernes nécessitant des débits très élevés, une faible latence et une densité importante d'utilisateurs connectés.

Pour satisfaire ces nouvelles contraintes, l'exploitation des bandes de fréquences millimétriques apparaît comme une solution particulièrement attractive. Parmi celles-ci, la bande E, couvrant notamment la plage de fréquences 81–86 GHz, suscite un intérêt considérable grâce à l'importante largeur de bande qu'elle met à disposition. Cette ressource spectrale permet d'envisager des communications à très haut débit tout en limitant les problèmes de congestion observés dans les bandes de fréquences conventionnelles.

La mise en œuvre de systèmes radiofréquences fonctionnant dans ces gammes de fréquences élevées repose sur plusieurs blocs essentiels. Le synthétiseur de fréquences constitue l'un des éléments les plus importants, puisqu'il assure la génération des signaux locaux nécessaires aux opérations de transposition fréquentielle dans les émetteurs-récepteurs. Les performances de ce composant influencent directement la qualité du système, notamment à travers la stabilité fréquentielle, la rapidité d'acquisition ainsi que la pureté spectrale des signaux générés. À cet égard, la maîtrise du bruit de phase représente un enjeu majeur, car ce phénomène peut dégrader les performances globales de la liaison radio.

Parmi les différentes solutions de synthèse de fréquence, les architectures fondées sur la boucle à verrouillage de phase (PLL) occupent une place prépondérante dans les systèmes de télécommunications modernes. Leur large adoption s'explique par leur précision, leur flexibilité et leur facilité d'intégration dans les circuits radiofréquences. Toutefois, la conception d'une PLL performante nécessite une optimisation rigoureuse de plusieurs paramètres, tels que la bande de boucle, la marge de phase, le courant de la pompe de charge ou encore le niveau de bruit de phase. L'ajustement de ces paramètres devient particulièrement critique dans le contexte des applications 5G opérant en bande E.

Dans ce cadre, l'objectif de ce mémoire est de concevoir et d'optimiser un synthétiseur de fréquences à faible bruit de phase destiné aux systèmes de communications mobiles 5G fonctionnant dans la bande E. L'étude vise à développer une architecture capable d'assurer un compromis efficace entre

stabilité fréquentielle, rapidité de verrouillage et qualité spectrale afin de répondre aux exigences imposées par les réseaux de nouvelle génération.

Le présent mémoire est structuré en trois chapitres. Le premier chapitre est consacré à l'évolution des réseaux mobiles et à l'étude des communications utilisant les bandes millimétriques, avec un intérêt particulier porté à la bande E. Le deuxième chapitre présente les principes fondamentaux des synthétiseurs de fréquences basés sur les boucles à verrouillage de phase ainsi que leurs principales caractéristiques. Enfin, le troisième chapitre détaille la conception, la modélisation et l'optimisation du synthétiseur proposé à l'aide de simulations réalisées sous l'environnement ADIsimPLL.

Cette étude se termine par une conclusion générale récapitulant les principaux résultats obtenus et présentant les perspectives envisageables pour l'amélioration et l'extension de ce travail.

Chapitre I

Évolution des réseaux mobiles, ondes millimétriques et bande-E

I.1. Introduction

Le domaine des télécommunications a subi une transformation rapide au fil des dernières décennies. L'évolution des réseaux mobiles a permis d'apporter des progrès significatifs concernant le taux de transfert de données, la qualité du service et la capacité du réseau.

Au fil du temps, les réseaux mobiles se sont enrichis de nouvelles générations technologiques, notamment la 2G, la 3G et la 4G, chacune contribuant à l'amélioration des services de communication. L'arrivée de la 5G marque une étape supplémentaire en offrant des performances adaptées aux besoins croissants des utilisateurs et des applications connectées.

Parmi les bandes de fréquences disponibles, les ondes millimétriques, notamment la bande E, représentent une solution prometteuse pour répondre aux exigences de la 5G. Ce chapitre présente l'évolution des réseaux mobiles jusqu'à la 5G, puis aborde les principales caractéristiques des ondes millimétriques et de la bande E.

I.2. Communication sans fil et évolution des générations mobiles

I.2.1. Les premiers systèmes de téléphonie mobile (1G)

La 1G correspond à la première génération des réseaux cellulaires, apparue dans les années 1980 pour permettre les premières communications mobiles sans fil. Elle constitue la première mise en œuvre des communications sans fil à grande échelle. Le principe fondamental reposait sur la division d'un territoire en cellules géographiques, généralement d'un rayon compris entre 10 et 25 km, chacune desservie par une station de base assurant la transmission des appels.

Cependant, la 1G offrait des performances limitées. La qualité des communications vocales était souvent faible et le système ne disposait d'aucun mécanisme de sécurité. Les conversations étant transmises sous forme analogique via les tours radio, elles pouvaient être facilement interceptées, ce qui rendait les appels vulnérables aux écoutes non autorisées [1].

Plusieurs standards ont été développés selon les régions du monde. Parmi les principales technologies utilisées, on peut citer AMPS aux États-Unis, TACS au Japon et au Royaume-Uni, NMT dans les pays nordiques, Radiocom 2000 en France et C-NETZ en Allemagne [2],[3].

I.2.2. La deuxième génération « 2G »

Déployée dans les années 1990, la 2G repose sur la norme GSM, qui a amélioré la sécurité et la fiabilité des communications tout en introduisant les services SMS et MMS [4]. Grâce aux évolutions GPRS et EDGE, les débits ont progressé de quelques dizaines de kbps jusqu'à 384 kbps [2],[5]. En France, cette technologie a été principalement exploitée sur les bandes 900 MHz et 1800 MHz [4].

I.2.2.1. Le réseau GSM

Le GSM est principalement dédié à la téléphonie vocale et assure l'interconnexion entre le réseau mobile et le réseau fixe RTC, avec un accès radio fonctionnant notamment dans les bandes 900 MHz et 1800 MHz [2],[6].

Deux principales variantes de fréquence ont été utilisées :

- **GSM 900**, destiné aux zones urbaines et rurales (macrocellules), exploitant la bande des 900 MHz avec des sous-bandes de 25 MHz (890–915 MHz et 935–960 MHz).
- **DCS 1800**, fonctionnant à 1800 MHz avec des sous-bandes de 75 MHz, principalement adapté aux environnements urbains denses (microcellules) [2].

Le standard GSM	GSM 900	DCS 1800
Bande de fréquence : Voie montante	890 - 915 MHz	1710 - 1785 MHz
Voie descendante	935 - 960 MHz	1805 - 1880 MHz
Ecart de la bande de fréquence	25 MHz	75 MHz
Ecart duplex	45 MHz	95 MHz
Nombre de canaux	124	374
Largeur de canal	200 kHz	200 kHz
Accès multiple	FDMA/TDMA	FDMA/TDMA
Modulation	GMSK	GMSK
Rapidité de modulation	271 kbit/s	271 kbit/s
Débit de la parole	13 kbit/s	13 kbit/s
Débit de données	9.6 kbit/s jusqu'à 12 kbit/s	9.6 kbit/s jusqu'à 12 kbit/s
Rayon des cellules	0.3 à 30 km	0.1 à 4 km
Puissance des terminaux	2W (et 8W)	1W
Capacité	200 Erlang/km ²	500 Erlang/km ²

Tableau I.1. Comparaison des principaux paramètres techniques des systèmes GSM 900 et GSM 1800

I.2.2.2. Les standards marquant la 2G

- **HSCSD** : première amélioration du GSM permettant une augmentation du débit en mode commutation de circuits jusqu'à 57,6 kbit/s [7],[8].
- **GPRS** : évolution dite 2.5G introduisant la transmission par paquets et un accès internet mobile avec un débit pratique d'environ 50 kbit/s [7],[9].
- **EDGE** : amélioration du GPRS (2.75G) utilisant une modulation plus performante pour atteindre un débit maximal de 384 kbit/s et supporter des services multimédias [7],[10].

I.2.3. L'avènement de la 3G

Standardisée par le 3GPP au début des années 2000, la technologie 3G constitue une évolution majeure des réseaux mobiles. Elle a été développée pour accroître les capacités offertes par la 2G grâce à l'introduction de nouveaux services et à une meilleure gestion des ressources fréquentielles.

Les principaux standards incluent UMTS en Europe, CDMA-2000 en Amérique et WCDMA en Asie, conformes aux normes IMT-2000 [7],[11].

Cette génération permet la téléphonie vocale haut débit, les vidéoconférences et l'accès à des données mobiles rapides, tout en intégrant des technologies complémentaires comme le CDMA à large bande, le WLAN, le Bluetooth et le HSDPA [1].

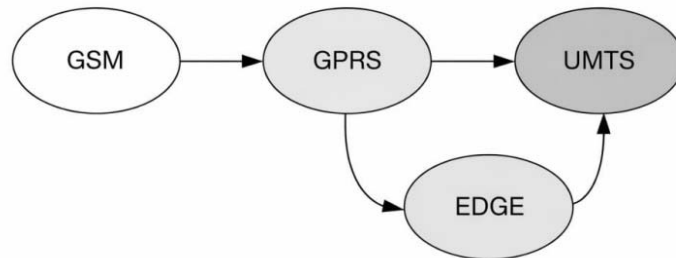


Figure I.1. Evolution du GSM vers l'UMTS [1].

I.2.3.1. Débit de transmission

L'UMTS offre, sur le plan théorique, des débits pouvant atteindre 1,92 Mb/s. Toutefois, dans les premières phases de son déploiement, les débits réellement proposés par les opérateurs restaient généralement limités à 384 kb/s à la fin de l'année 2004. Comparée au GSM, dont le débit est de l'ordre de 9,6 kb/s, cette technologie représente une amélioration significative des performances. Les vitesses de transmission dépendent néanmoins des conditions d'utilisation et du degré de mobilité de l'abonné : elles peuvent atteindre 144 kb/s lors de déplacements en milieu rural, 384 kb/s pour un utilisateur se déplaçant en zone urbaine, et jusqu'à 2 Mb/s dans un environnement intérieur pour un terminal fixe [7], [12].

I.2.3.2. L'évolution de la 3G

L'UMTS a été amélioré par les normes HSDPA (3.5G) et HSUPA (3.75G) pour augmenter les débits descendant et montant. HSDPA permettait des débits de 8–10 Mbit/s en liaison descendante, tandis que HSUPA améliorait la vitesse de transmission montante jusqu'à 5,8 Mbit/s, rendant possibles des services comme la visioconférence, le streaming vidéo et l'IPTV.

Ces avancées ont considérablement amélioré la qualité audio et vidéo, la navigation web et les applications mobiles, mais la 3G a rencontré des limites dans les zones densément peuplées à cause de la congestion du réseau et de la consommation énergétique élevée. La demande croissante pour des services gourmands en bande passante a conduit au développement de la 4G pour des débits supérieurs et une meilleure performance réseau [1].

I.2.4. La quatrième génération « 4G »

Introduite en France à partir de 2013, la quatrième génération de réseaux mobiles s'appuie sur la technologie LTE (Long Term Evolution) et exploite principalement les bandes de fréquences 700, 800, 1800, 2100 et 2600 MHz [4]. Cette évolution a permis d'augmenter considérablement les capacités de transmission, avec des débits pouvant dépasser 100 Mbit/s en situation de mobilité et atteindre 1 Gbit/s

dans certaines configurations fixes. Héritière des améliorations apportées par les technologies HSDPA et HSUPA, la 4G a parfois été qualifiée de 3.9G durant les premières étapes de son développement [13],[14].

I.2.4.1. Caractéristiques et motivations pour la technologie LTE (4G)

La transition de la 3G vers LTE permet aux opérateurs de répondre aux besoins croissants des utilisateurs en offrant des services de données plus performants. Selon le 3GPP, la LTE doit améliorer les débits, réduire la latence et assurer une flexibilité spectrale tout en restant compatible avec les autres technologies 3GPP [15], [16].

a- Le débit

La technologie LTE se distingue par sa capacité à fournir des débits élevés par rapport aux générations précédentes. Avec une bande passante de 20 MHz et l'utilisation de la technologie MIMO, elle peut atteindre des débits théoriques de 100 Mbit/s en réception et 50 Mbit/s en émission. Ces performances reposent notamment sur les techniques OFDMA et SC-FDMA [15][17-18].

b- La latence

LTE réduit significativement la latence par rapport à la 3G. Le délai du plan de contrôle est inférieur à 100 ms pour établir une liaison, et le délai du plan utilisateur reste inférieur à 5 ms pour de petits paquets IP lorsque le réseau est peu chargé [15], [19].

c- La mobilité

La norme LTE a été conçue pour maintenir la continuité des communications même lorsque l'utilisateur se déplace à grande vitesse. Elle prend en charge des mobilités pouvant atteindre 350 km/h tout en limitant les interruptions de service et les pertes de données lors du passage d'une cellule à une autre. Les délais de transition restent généralement inférieurs à 300 ms pour les applications temps réel et à 500 ms pour les services non temps réel [15], [20].

d- Capacité d'adaptation aux différentes largeurs de bande

LTE peut utiliser différentes largeurs de bande (1,4 ; 3 ; 5 ; 10 ; 15 et 20 MHz), permettant un déploiement adapté aux besoins des opérateurs et des services proposés [15], [21].

e- La capacité en nombre d'utilisateurs simultanés

LTE peut gérer un grand nombre d'abonnés par cellule : environ 200 utilisateurs pour une bande de 5 MHz et 400 pour des bandes plus larges. Le nombre d'utilisateurs en veille peut être encore plus élevé [15], [22].

f- L'efficacité spectrale cellulaire

LTE augmente l'efficacité spectrale par rapport à la 3G : trois à quatre fois supérieure en descente et deux à trois fois en montée par rapport au HSPA Release 6, améliorant l'utilisation du spectre même dans des réseaux encombrés [15], [23].

I.2.4.2. Évolutions successives de la norme LTE

a- LTE-Advanced : extension des performances de la 4G

Développée par le 3GPP et reconnue par l'UIT comme une technologie conforme aux exigences IMT-Advanced, LTE-Advanced constitue une amélioration majeure des réseaux de quatrième génération. Cette évolution permet d'augmenter les performances globales du système en offrant des débits théoriques pouvant atteindre 300 Mbit/s sur une largeur de bande de 100 MHz, tout en réduisant la latence à des valeurs comprises entre 10 et 30 ms. Elle marque ainsi une étape importante dans le passage des premières versions LTE, parfois qualifiées de 3.9G, vers la 4G+ [24].

b- Vers les performances pré-5G

Cette évolution de la technologie LTE a été conçue pour rapprocher les performances des réseaux mobiles de celles attendues pour la 5G. Grâce à la technologie FD-MIMO, elle permet d'atteindre des débits pouvant atteindre 3 Gbit/s et facilite l'intégration des applications V2X ainsi que des réseaux dédiés à l'Internet des objets, tels que LTE-M et NB-IoT [7], [25].

I.2.5. La 5G : une nouvelle étape des réseaux mobiles

La technologie 5G marque une étape majeure dans l'évolution des télécommunications. Elle s'appuie sur l'intégration de plusieurs innovations afin de répondre aux besoins croissants des utilisateurs ainsi qu'aux exigences des objets connectés dans de nombreux domaines tels que la santé, l'agriculture et l'éducation. Cette génération favorise ainsi le développement simultané d'un large éventail d'applications et de services numériques [26], [27].

I.2.5.1. Les différents usages qui caractérisent la 5G

L'UIT-R identifie trois usages majeurs pour la 5G :

- **eMBB (Enhanced Mobile Broadband)** : pour un haut débit mobile, répondant à la demande de services numériques comme la vidéo HD .
- **uRLLC (Ultra-Reliable Low Latency Communications)** : pour les applications nécessitant une faible latence et une grande fiabilité, telles que la conduite autonome ou la gestion à distance .
- **mMTC (Massive Machine Type Communications)** : pour connecter un grand nombre d'objets, répondant aux besoins des villes intelligentes et de l'agriculture connectée .

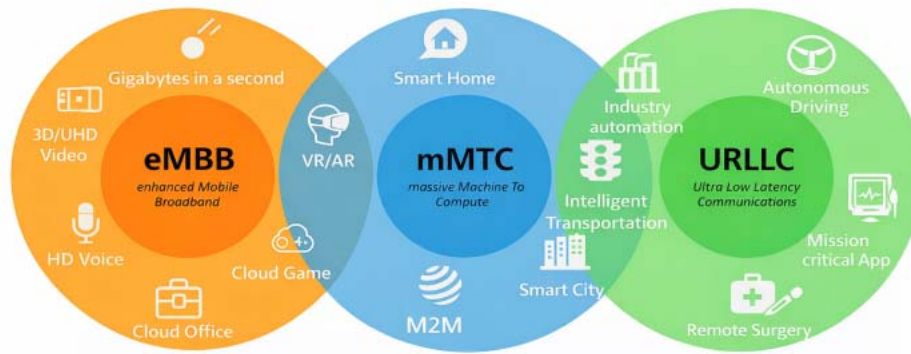


Figure I.2. Classification des cas d'utilisation de la 5G de haut niveau [26], [27].

I.2.5.2. Principaux objectifs de la 5G

La 5G doit répondre à plusieurs objectifs pour assurer les usages eMBB, uRLLC et mMTC [28- 30] :

- a- Connectivité à grande échelle :** jusqu'à un million d'appareils connectés par km, permettant une densité très élevée d'objets connectés.
- b- Débits extrêmement élevés :** plus de 10 Gbit/s dans les zones denses et des vitesses de plusieurs centaines de Mbit/s en zones urbaines ou suburbaines, avec un accès minimal de 10 Mbit/s quasi partout.
- c- Latence très faible :** inférieure à 1 ms pour soutenir les applications critiques comme la sécurité routière ou la surveillance des infrastructures.
- d- Fiabilité exceptionnelle :** connexion continue et stable, peu importe la localisation de l'utilisateur.
- e- Appareils à faible consommation et coût réduit :** meilleure autonomie et longévité des terminaux compatibles 5G, avec un coût minimal.
- f- Efficacité énergétique du réseau :** consommation optimisée, avec des batteries et équipements radio utilisant jusqu'à 100 fois moins d'énergie.

I.2.5.3. Bandes de fréquences

La 5G utilise différentes gammes de fréquences pour répondre aux besoins variés des applications et services [31], [32] :

Fréquences basses (< 1 GHz) : assurent une couverture étendue, comme la bande des 700 MHz.

Fréquences moyennes (1–6 GHz) : offrent une capacité élevée et des débits rapides pour de nombreux appareils connectés simultanément.

Fréquences très élevées (> 24 GHz, ondes millimétriques) : permettent des bandes passantes larges, une capacité ultra-haute et une latence minimale, mais avec une couverture limitée [33].

Les ondes millimétriques, généralement au-dessus de 20 GHz, offrent des débits extrêmement élevés grâce à une largeur de bande de 1 à 2 GHz et sont essentielles pour faire face à la croissance massive des volumes de données [34].

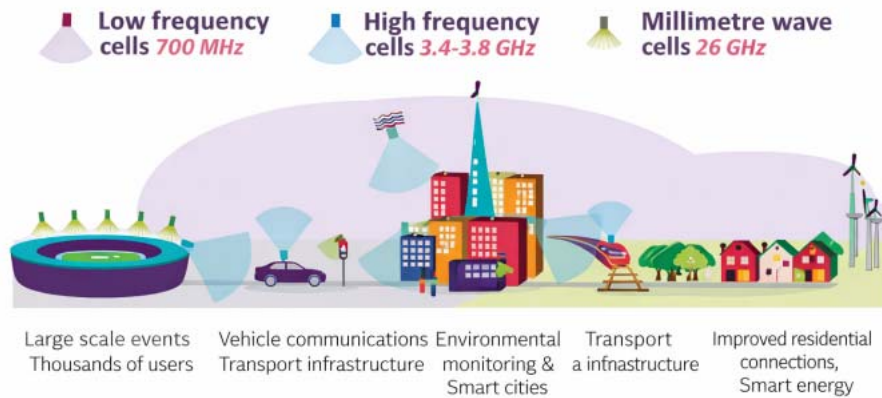


Figure I.3. Relation entre les bandes fréquentielles et les applications de la 5G [31], [32].

I.2.5.4. Le rôle stratégique de la bande 3,5 GHz dans les réseaux 5G

La gamme de fréquences centrée sur 3,5 GHz constitue l'une des principales ressources spectrales utilisées pour le déploiement de la 5G. À ce titre, 310 MHz lui sont attribués sur un total de 400 MHz disponibles [35]. Elle offre un bon équilibre entre largeur de bande et couverture, permettant aux opérateurs de proposer des services performants tout en limitant la saturation du réseau. Sa portée moyenne est d'environ 400 mètres en zones urbaines et 1,2 km en zones rurales, garantissant à la 5G une couverture efficace et des débits élevés.

I.3. Les ondes millimétriques (mmWave)

L'augmentation de la demande concernant des canaux de données plus larges, notamment l'accès sans fil à grande échelle, combinée à la rareté du spectre disponible dans les bandes micro-ondes, a incité à optimiser l'efficacité spectrale grâce au recours à des technologies évoluées comme le duplex intégral, le réseautage cognitif et collaboratif, la suppression d'interférences et le MIMO (Multiple Input Multiple Output) massivement parallèle.

À mesure que ces avancées touchent les limites inhérentes de capacité, la bande d'ondes millimétriques (mmWave) émerge comme une solution alternative et prometteuse pour gérer l'accès sans fil à très haut débit [36], [37].

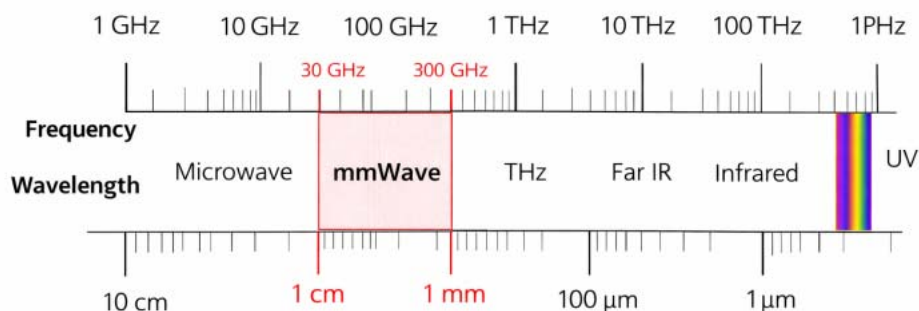


Figure I.4. Schéma de la bande de fréquence des ondes millimétriques [36], [37].

I.3.1. Définition des fréquences EHF (30–300 GHz)

La forte sollicitation des bandes UHF et SHF a conduit les chercheurs à explorer d'autres ressources spectrales. Parmi celles-ci figurent les fréquences EHF, localisées dans la plage 30–300 GHz. Ces fréquences correspondent à des ondes de très faible longueur, de l'ordre du millimètre, ce qui permet la réalisation d'antennes de dimensions réduites et facilite leur intégration dans des équipements compacts [38], [39].

I.3.2. Caractéristiques de propagation des ondes millimétriques

Les ondes millimétriques (30–300 GHz) offrent une large bande passante, essentielle pour les communications mobiles à haut débit. Certaines plages sont toutefois limitées, comme 57–64 GHz (absorption par l'oxygène) ou 164–200 GHz (atténuation par la vapeur d'eau). Cependant, plus de 100 GHz du spectre restent disponibles, soit près de 200 fois la bande actuellement utilisée pour les réseaux 4G.

Cette large bande permet de supporter des débits très élevés et d'ouvrir de nouvelles applications pour la 5G. D'autres caractéristiques importantes incluent une faible latence, la directionnalité des faisceaux et la possibilité d'utiliser des antennes compactes pour le MIMO massif, sans entrer dans des détails complexes.

I.3.3. Les avantages et les inconvénients des ondes millimétriques [40], [41]

Avantages

- Large spectre de fréquences (30–300 GHz) permettant des débits très élevés.
- Faisceaux étroits favorisant l'empaquetage de nombreuses antennes et une meilleure précision.
- Composants compacts adaptés aux appareils modernes.
- Bande continue d'environ 5 GHz autour de 60 GHz dans certains cas, offrant une transmission sécurisée.

Limitations

- **Portée limitée** : due aux courtes longueurs d'onde (1–10 mm) et à l'atténuation atmosphérique (brouillard, pluie, humidité).
- **Ligne de visée obligatoire (LOS)** : les obstacles physiques comme les bâtiments ou le feuillage réduisent la distance de transmission.
- Les pertes peuvent être atténuées en utilisant des antennes à gain élevé ou des réseaux densifiés.

I.4. Présentation de la bande E

La bande E, située dans la gamme EHF (60–90 GHz), est une bande millimétrique stratégique pour les communications à très haut débit [42]. Elle correspond à des longueurs d'onde de 5 à 3,33 mm, permettant l'utilisation d'antennes compactes et directionnelles, idéales pour les liaisons radio point-à-point.

Aujourd'hui, elle est largement exploitée pour le backhaul et le fronthaul des réseaux 4G et 5G,

offrant des débits pouvant atteindre le gigabit par seconde. La bande E combine une largeur spectrale importante, une atténuation atmosphérique modérée et un cadre réglementaire favorable, ce qui explique son adoption croissante dans les infrastructures télécom professionnelles. Elle représente une solution efficace lorsque la fibre optique est limitée ou coûteuse.

1.4.1. Plages de fréquences (71–76 GHz / 81–86 GHz) [43]

La bande E, faisant partie des fréquences extrêmement hautes (EHF, 30–300 GHz), correspond à des ondes millimétriques avec des longueurs d'onde très courtes. Elle est structurée en deux plages principales : 71–76 GHz et 81–86 GHz.

Ces bandes offrent un spectre adapté aux liaisons radio point-à-point à très haut débit, particulièrement pour le backhaul et le fronthaul des réseaux mobiles 4G et 5G. Leur utilisation permet de tirer parti de la largeur de bande disponible tout en garantissant une bonne directivité et une faible interférence, ce qui est essentiel pour des transmissions fiables et efficaces dans les environnements urbains ou densément peuplés.

1.4.2. Plan de fréquences international [43]

Le plan pour cette bande de fréquences a été établi par les autorités de normalisation comme suit :

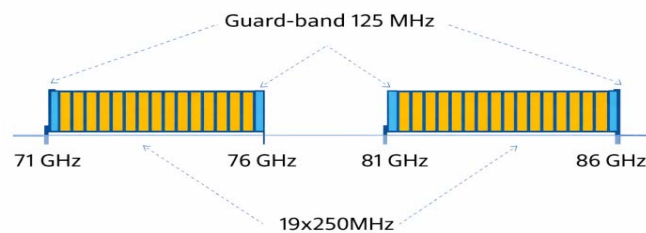


Figure I.5. Structure du plan de fréquences de la bande E conformément à la recommandation CEPT/ECC REC(05)07 [43].

La recommandation F.2006, publiée par l'UIT-R en 2012 [11], s'appuie sur le plan de fréquences établi dans la recommandation ECC/REC(05)07 tout en proposant des configurations supplémentaires pour la répartition des blocs de fréquences. Les principales différences entre les recommandations CEPT et UIT-R sont résumées dans le tableau comparatif associé.

Band	Frequency range	Channel separation	ECC	ITU-R
70	71.0–76.0	250–250 (9×250)	05-07 [3]	F.2006 [11]
80	81.0–86.0	250–250 (9×250)		
70 paired 80	71.0–76.0 paired 81.0–86.0	250–500 (18×250)		
70 upper + 80 upper	74.0–76.0 paired 84.0–86.0	250–1750 (7×250)	05-07 [3]	F.2006 [11]
70 & 80	71.0–76.0	Free		
70 & 80	71.0–76.0 and 81.0–86.0	Block : 1×5GHz; 5×1GHz; 4×1.25GHz		
70 & 80	71.0–76.0 and 81.0–86.0	Block : 1×5GHz; 4×1.25GHz		

Tableau I.2. Analyse comparative des plans de fréquences CEPT et UIT-R [11].

I.4.3. Largeur de bande et capacités (> 1 Gbps) [43]

L'intérêt porté à cette bande de fréquences s'explique par plusieurs avantages techniques. Sa large ressource spectrale permet notamment l'allocation de canaux de grande largeur, pouvant atteindre 2×5 GHz avec des pas de 250 MHz. Cette caractéristique favorise l'obtention de débits supérieurs à 1 Gbit/s, nettement plus élevés que ceux offerts par les bandes de fréquences conventionnelles. En outre, l'utilisation d'ondes millimétriques limite les interactions indésirables entre liaisons voisines, ce qui réduit les besoins en mécanismes de coordination et de gestion des interférences. Le développement d'antennes directionnelles à gain élevé a également contribué à l'essor de cette technologie. Toutefois, en raison de l'atténuation plus importante des signaux à ces fréquences, la portée d'une liaison est généralement limitée à environ 2 km afin de garantir un niveau de disponibilité satisfaisant.

I.4.4. Réglementation

La croissance de la bande E est favorisée par une réglementation adaptée, qui réduit les coûts et permet un accès simple et rapide aux services. Trois grands types de régulation sont appliqués mondialement :

I.4.4.1. Accès libre sans licence

Aucun droit ni autorisation individuelle n'est requis, seule une notification au régulateur est nécessaire. Ce mode offre souplesse et rapidité, mais peut générer des interférences si aucune coordination n'est mise en place (ex. République Tchèque Mexique).

I.4.4.2. Auto-coordination / Light Licensed

Dans ce modèle d'attribution, la mise en service de nouvelles liaisons relève directement de la responsabilité des détenteurs de licences, qui doivent veiller à leur compatibilité avec les systèmes déjà déployés. Cette approche est notamment appliquée aux États-Unis, au Royaume-Uni, au Nigeria, en Inde, au Qatar et en Australie. Aux États-Unis, l'exploitation de ces fréquences est soumise à une autorisation

délivrée par la FCC, complétée par une procédure automatisée de coordination avec la NTIA afin de prévenir les conflits d'utilisation du spectre radioélectrique.

I.4.4.3. Coordination avec gestion par le régulateur (Mode classique)

Le régulateur prend en charge l'affectation des fréquences ainsi que la coordination nécessaire pour limiter les risques d'interférences. Ce système est courant en France, Suède, Irlande, Brésil et Nouvelle-Zélande. En France, l'ARCEP délivre des autorisations individuelles « au fil de l'eau » et effectue la coordination technique pour éviter toute perturbation.

- A- Cas du Royaume-Uni :** l'Ofcom propose un accès mixte : coordonné ou auto-coordonné. La bande offre actuellement $2 \times 4,75$ GHz de spectre et des canaux permettant des débits supérieurs à 1 Gbps, selon le plan CEPT (ECC/REC/(05)07).
- B- Frais associés aux fréquences :** selon une étude d'Analysys Mason (2016), les coûts varient selon le pays et le type de régulation. Le système auto-coordonné reste inférieur à 450 USD, tandis que le système coordonné peut atteindre 619 USD pour 250 MHz avec une modulation 16QAM (ex. France). Les coûts ne dépendent pas directement du mode de régulation.

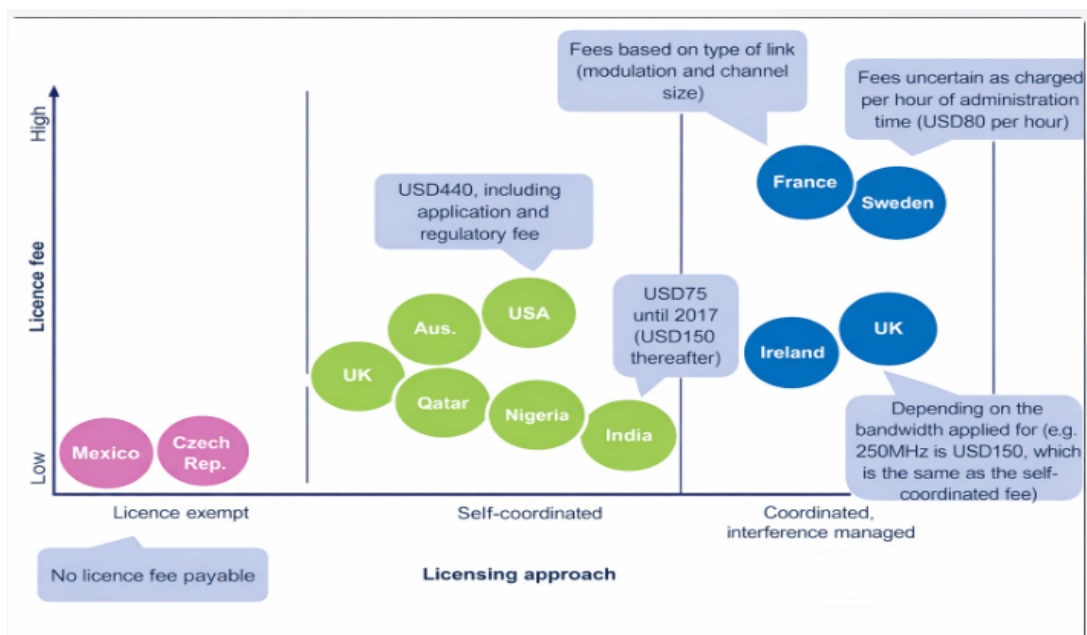


Figure I.6. Plage des frais pour le spectre de la bande E [43].

I.5. Justification du choix de la bande-E pour la 5G

Les travaux récents consacrés aux réseaux 5G soulignent l'intérêt d'intégrer des synthétiseurs de fréquences à PLL dans les architectures radio de nouvelle génération. Des expérimentations ont notamment démontré la possibilité d'obtenir des débits supérieurs à 0,5 Gb/s sur plusieurs centaines de mètres en exploitant une fréquence de 28 GHz associée à une bande passante de 800 MHz [13].

Les bandes de fréquences situées autour de 28 GHz et 38 GHz figurent parmi les premières candidates retenues pour les déploiements initiaux de la 5G. Toutefois, l'exploration de fréquences plus élevées ouvre la voie à des capacités de transmission encore plus importantes grâce à l'accès à des

ressources spectrales plus larges. Cette augmentation de la bande passante disponible permet d'envisager une diversification accrue des services et des applications.

Dans cette perspective, le présent travail s'intéresse à la bande E, dont les caractéristiques en font une option particulièrement attractive pour les systèmes de communication à très haut débit. La disponibilité d'un spectre important, notamment entre 81 GHz et 86 GHz, autorise la mise en œuvre de liaisons capables de dépasser le gigabit par seconde.

Ces performances rendent cette bande particulièrement adaptée aux infrastructures de transport des réseaux 5G, notamment pour les segments de backhaul et de fronthaul nécessitant des liaisons point à point à très forte capacité entre stations de base.

Le synthétiseur de fréquences étudié dans ce mémoire est destiné à couvrir l'ensemble de la plage 81–86 GHz avec un pas de synthèse allant jusqu'à 2 GHz. Malgré les avantages offerts par cette bande de fréquences, plusieurs contraintes techniques doivent être prises en compte, parmi lesquelles l'augmentation des pertes de propagation, la sensibilité aux phénomènes atmosphériques tels que la pluie, ainsi que les exigences accrues imposées aux synthétiseurs en matière de bruit de phase, de stabilité fréquentielle et de pureté spectrale du signal généré.

I.6. Conclusion

Ce chapitre a présenté les principales générations de réseaux mobiles ainsi que les évolutions technologiques qui ont marqué leur développement. Dans ce contexte, l'utilisation de fréquences élevées, en particulier de la bande E, devient indispensable pour satisfaire les exigences de la 5G. Le synthétiseur de fréquence basé sur la PLL joue un rôle primordial pour garantir la stabilité et l'efficacité des systèmes, introduisant ainsi de manière naturelle les avancées technologiques qui seront présentées dans les chapitres suivants.

Chapitre II

Structure et principes de fonctionnement des synthétiseurs de fréquences à PLL

II.1. Introduction

Les systèmes de communications sans fil nécessitent l'utilisation d'un ensemble de circuits radiofréquences assurant la génération, le traitement et la transmission des signaux. Parmi ces circuits, le synthétiseur de fréquences constitue un élément indispensable dans les architectures d'émission et de réception. La boucle à verrouillage de phase (Phase-Locked Loop : PLL) représente aujourd'hui l'une des solutions les plus utilisées grâce à sa précision, sa stabilité et ses performances dans les applications radiofréquences modernes. Son principe repose sur un mécanisme de contrôle automatique permettant de synchroniser la phase d'un signal généré localement avec celle d'un signal de référence.

À partir d'une fréquence de référence fournie par un oscillateur stable, la PLL permet de générer plusieurs fréquences de sortie répondant aux besoins des différents systèmes de télécommunications. Cette capacité de synthèse, associée à une bonne stabilité fréquentielle et à une intégration relativement simple, explique son adoption dans un grand nombre d'applications RF. Dans ce chapitre, nous présentons les principes de base de la synthèse de fréquence, les différentes architectures de synthétiseurs ainsi que les caractéristiques essentielles qui les distinguent. Les principaux blocs constituant une PLL seront également étudiés afin de mieux comprendre leur rôle dans la conception d'un synthétiseur de fréquences destiné aux communications mobiles 5G.

II.2. Principe général de la synthèse de fréquence

La synthèse de fréquence permet de générer plusieurs signaux de fréquences différentes à partir d'une référence unique et stable. Cette fonction est essentielle dans les systèmes radiofréquences modernes, notamment au sein des émetteurs-récepteurs. Parmi les techniques les plus utilisées, la boucle à verrouillage de phase (PLL) occupe une place prépondérante grâce à sa précision et à sa simplicité de mise en œuvre. Introduite par Henri de Bellescize en 1932, la PLL est aujourd'hui employée dans de nombreuses applications telles que la démodulation, les radars Doppler, les filtres de poursuite et la synthèse de fréquence [44]. Dans ce travail, l'étude porte principalement sur la synthèse de fréquence par multiplication entière, largement utilisée dans les systèmes de télécommunications modernes [7].

II.3. Caractéristiques fondamentales des synthétiseurs de fréquences [45]

L'évaluation d'un synthétiseur de fréquences repose sur plusieurs paramètres de performance qui permettent d'apprécier sa capacité à répondre aux contraintes des systèmes de radiocommunications. Les principales caractéristiques prises en compte sont présentées ci-après.

II.3.1. Plage d'accrochage

La plage d'accrochage désigne l'intervalle fréquentiel dans lequel la boucle peut établir et conserver son état de verrouillage. Cette grandeur fixe les limites de fonctionnement du synthétiseur et dépend directement des spécifications du système visé. Dans les applications de télécommunications mobiles, cette plage doit être suffisamment étendue pour couvrir l'ensemble des canaux alloués au standard considéré.

II.3.2. Pas de synthèse

Le pas de synthèse correspond à la plus petite variation de fréquence pouvant être obtenue entre deux valeurs successives générées par le synthétiseur. Ce paramètre joue un rôle déterminant dans les équipements multicanaux ou multistandards, où une sélection précise des fréquences est nécessaire. Une faible valeur du pas de synthèse offre une meilleure flexibilité d'utilisation et facilite l'adaptation à différentes normes de communication.

II.3.2. Pureté spectrale

La qualité spectrale d'un synthétiseur est évaluée à travers la répartition de l'énergie autour de la fréquence utile. Dans un cas idéal, le spectre ne devrait comporter qu'une seule composante correspondant à la fréquence générée. En pratique, des raies parasites et des composantes indésirables peuvent apparaître sous l'effet des non-linéarités et des mécanismes internes du circuit, ce qui dégrade la pureté du signal obtenu.

II.3.4. Temps d'acquisition ou temps d'accrochage

Le temps d'acquisition représente la durée nécessaire à la boucle pour atteindre un régime stable après une modification de fréquence ou une mise en fonctionnement. Ce paramètre est particulièrement important dans les systèmes nécessitant des changements rapides de canal. Selon l'architecture utilisée, cette durée peut varier de quelques microsecondes à plusieurs millisecondes.

II.3.5. Autres caractéristiques

Outre les paramètres précédents, d'autres indicateurs interviennent dans l'évaluation globale du synthétiseur. Parmi eux figurent le jitter, qui traduit les fluctuations temporelles d'un signal d'horloge, la précision fréquentielle qui mesure l'écart par rapport à la valeur souhaitée, ainsi que la sensibilité aux perturbations provenant de l'environnement électronique, des alimentations ou des couplages parasites.

II.4. Principales méthodes de synthèse de fréquence

La génération de fréquences dans les systèmes radiofréquences repose principalement sur trois approches : la synthèse directe, la synthèse indirecte basée sur une boucle à verrouillage de phase (PLL) et la synthèse numérique directe (DDS). Chacune de ces techniques possède ses propres caractéristiques en termes de précision, de complexité de mise en œuvre et de performances fréquentielles. Le choix de la méthode dépend généralement des exigences de l'application considérée [7], [46–49].

II.5. Architectures des synthétiseurs de fréquences

II.5.1. Synthèse directe de fréquence

La synthèse directe de fréquence repose sur la combinaison de plusieurs signaux obtenus à partir d'opérations de multiplication, de division et de mélange fréquentiel. Cette méthode permet de générer la fréquence souhaitée avec une commutation rapide entre les différents canaux. Son principe de fonctionnement est illustré par la figure II.1. Malgré sa rapidité et ses bonnes performances, cette

architecture nécessite un nombre important de composants et peut produire des raies parasites susceptibles de dégrader la qualité spectrale du signal généré [50], [51].

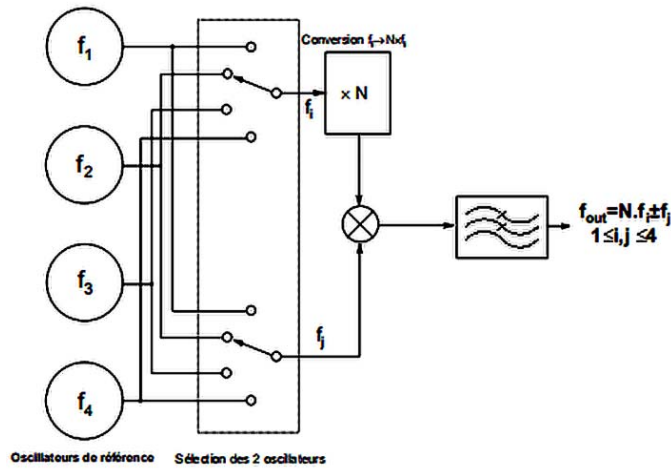


Figure II.1. Schéma de fonctionnement de la synthèse de fréquence directe [50], [51]

II.5.2. La synthèse de fréquence numérique directe (DDS: Direct Digital Synthesizer)

La synthèse numérique directe (DDS) constitue une technique de génération de fréquence entièrement numérique. Son principe repose sur l'utilisation d'un accumulateur de phase, d'une mémoire contenant les échantillons du signal à produire et d'un convertisseur numérique-analogique. La figure II.2 présente l'architecture générale de cette méthode.

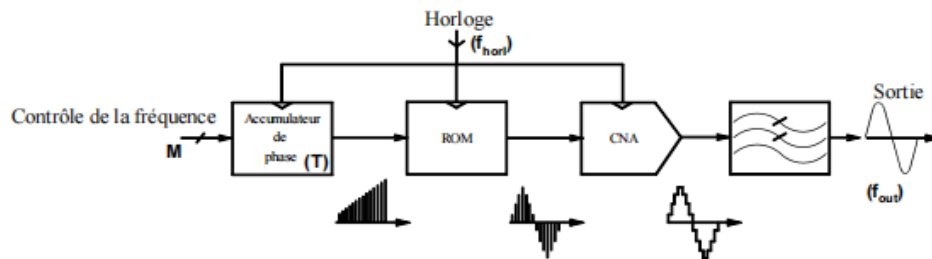


Figure II.2. Schéma fonctionnel de la synthèse de fréquence numérique [49].

Le mot numérique appliqué à l'entrée de l'accumulateur détermine la fréquence du signal généré. Les valeurs de phase obtenues sont converties en amplitudes grâce à une table de correspondance stockée dans une mémoire, puis transformées en signal analogique par un convertisseur numérique-analogique. Un filtre de sortie est ensuite utilisé pour atténuer les composantes indésirables liées à l'échantillonnage.

La fréquence de sortie ainsi que la résolution fréquentielle sont données respectivement par les équations (II.1) et (II.2). Toutefois, la fréquence générée demeure limitée par la fréquence d'horloge du système conformément au critère d'échantillonnage exprimé par l'équation (II.3).

$$f_{out} = f_{hori} \cdot \frac{M}{T} \text{ (Hz)} \quad (\text{II.1})$$

$$\Delta f = \frac{f_{\text{horl}}}{T} (\text{Hz}) \quad (\text{II.2})$$

$$f_{\text{out}} \leq \frac{f_{\text{horl}}}{2} (\text{Hz}) \quad (\text{II.3})$$

Cette architecture se distingue par sa grande précision fréquentielle, sa rapidité de réglage et sa facilité d'intégration. En revanche, ses performances restent conditionnées par la fréquence maximale de fonctionnement des circuits numériques utilisés.

II.5.3. Synthèse indirecte de fréquence basée sur la PLL

Cette approche utilise une boucle d'asservissement afin de produire une fréquence de sortie liée à une référence stable. La présence d'un rapport de division dans la chaîne de rétroaction permet d'obtenir différentes valeurs fréquentielles tout en conservant une bonne exactitude. Grâce à ses performances en matière de stabilité et de contrôle fréquentiel, cette technique est devenue une solution de référence pour les synthétiseurs destinés aux systèmes radiofréquences. Son comportement dépend notamment du temps de verrouillage, du bruit de phase et des signaux parasites susceptibles d'apparaître au sein de la boucle [4], [7].

II.5.4. Synthétiseur de fréquences à division entière

La figure II.3 présente l'architecture d'un synthétiseur de fréquences reposant sur une boucle à verrouillage de phase à division entière. Cette structure associe une source de référence, un comparateur de phase-fréquence, une pompe de charge, un filtre de boucle, un oscillateur commandé en tension ainsi qu'un diviseur programmable placé dans la chaîne de rétroaction. Le mécanisme d'asservissement ajuste continuellement la fréquence générée afin de maintenir la synchronisation avec le signal de référence.

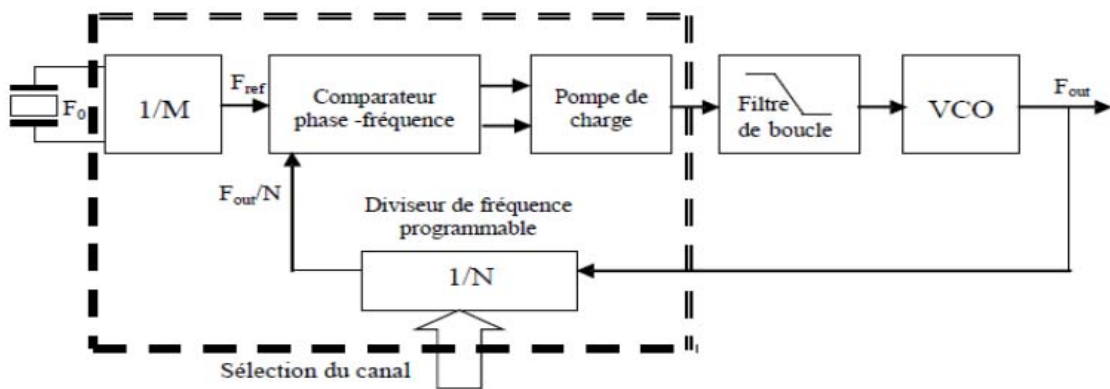


Figure II.3. Structure d'un synthétiseur de fréquences basé sur une PLL à division entière [58].

Dans cette configuration, la fréquence de sortie est directement liée à la fréquence de référence et aux rapports de division utilisés dans la boucle. Cette relation peut être exprimée par l'équation (II.4) :

$$F_{out} = N.F_{ref} = \frac{N}{M}F_0 \quad (II.4)$$

Où (F_{out}) représente la fréquence délivrée à la sortie du synthétiseur et (F_{ref}) la fréquence issue de la source de référence. Les coefficients (N) et (M) traduisent les opérations de division réalisées dans la boucle et conditionnent la valeur de la fréquence obtenue.

L'architecture à division entière offre une réalisation relativement simple et une bonne stabilité fréquentielle. Toutefois, les performances obtenues résultent généralement d'un compromis entre la résolution fréquentielle, la rapidité de verrouillage et le bruit de phase du synthétiseur [44], [7].

II.6. Description des blocs fonctionnels de la PLL [7]

La réalisation de la synthèse fréquentielle repose sur plusieurs modules interdépendants. Afin de mettre en évidence leur rôle respectif, les principes de fonctionnement des différents constituants de la boucle seront examinés dans les paragraphes suivants.

II.6.1. L'oscillateur de référence

Dans une boucle à verrouillage de phase, le signal de référence est généralement fourni par un oscillateur à quartz compensé en température (TCXO). Ce composant constitue la base de la synthèse fréquentielle en délivrant une fréquence présentant une grande précision. Grâce à son mécanisme de compensation thermique, il limite les variations susceptibles d'affecter la stabilité du signal et contribue ainsi à améliorer les performances globales du synthétiseur.

II.6.2. Les Diviseurs de fréquence (M) et (N)

Les diviseurs de fréquence sont utilisés dans la boucle PLL pour adapter les fréquences des signaux aux différents blocs du synthétiseur. Leur coefficient de division peut être fixe ou programmable, permettant ainsi le réglage de la fréquence de sortie [7], [52]. Un exemple de ce type de circuit est présenté à la figure II.4.

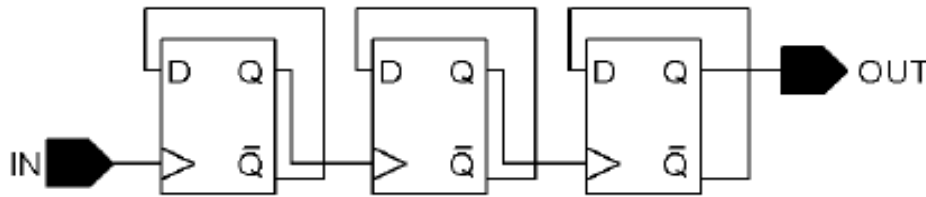


Figure II.4. Exemple de diviseur de fréquence simple [7], [52]

Dans les applications à très haute fréquence, un pré-diviseur est généralement ajouté dans la boucle de rétroaction afin de réduire la fréquence issue du VCO avant son traitement par le comparateur de phase. Cette configuration est illustrée à la Figure II.5 et conduit à la relation donnée par l'équation (II.5) [7], [53]:

$$F_{out} = N.P.F_{ref} = \frac{N.P}{M}F_0 \quad (II.5)$$

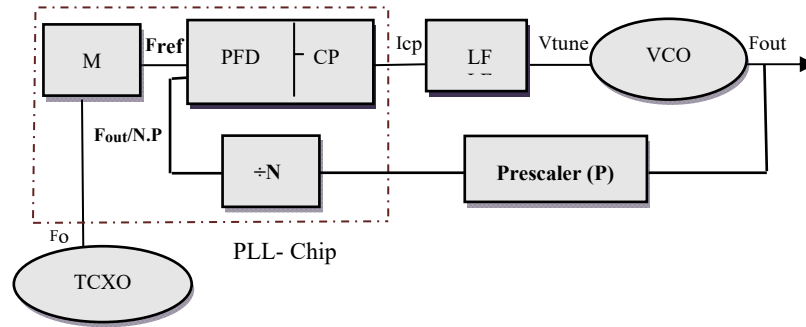


Figure II.5. Synthétiseur de fréquence avec un pré-diviseur [13], [53].

II.6.3. Le Comparateur de phase-fréquence (PFD)

Le comparateur de phase-fréquence représente l'élément chargé de superviser la cohérence entre le signal de référence et celui issu de la boucle de rétroaction. Comme l'illustre la figure II.6, ce bloc détecte les écarts susceptibles d'apparaître entre les deux signaux et transmet les informations nécessaires à leur correction. Son intervention permet à la PLL de converger vers un état de synchronisation stable et de maintenir la fréquence générée à la valeur souhaitée [7].

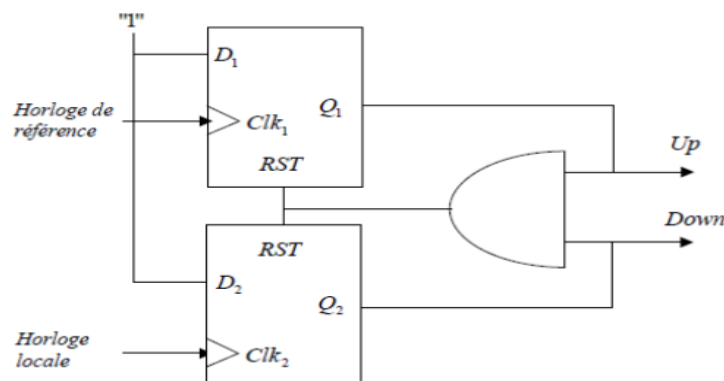


Figure II.6. Détecteur de phase-fréquence à bascules D et porte AND [7],[54].

Le fonctionnement du comparateur de phase-fréquence repose sur l'analyse des écarts entre le signal de référence et le signal de retour afin de générer les corrections nécessaires au verrouillage de la PLL. La figure II.7 illustre les différentes réponses du circuit selon la relation temporelle entre les deux signaux [7].

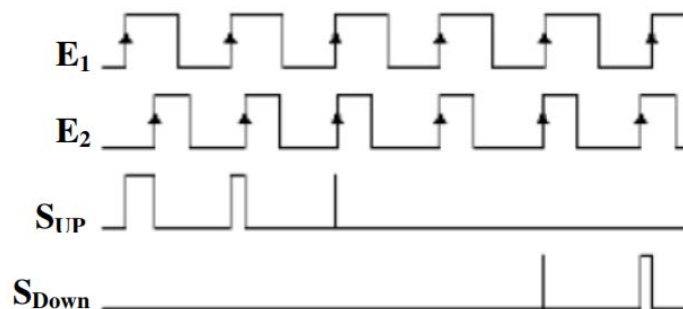


Figure II.7. Diagramme des différents signaux [7], [45].

Toutefois, ce bloc présente certaines limitations liées à l'existence d'une zone morte de faible sensibilité, où de très faibles écarts de phase peuvent ne pas être détectés. Cette situation peut réduire momentanément l'efficacité de la boucle et contribuer à la dégradation du bruit de phase. Ce phénomène est représenté par la figure II.8 [7].

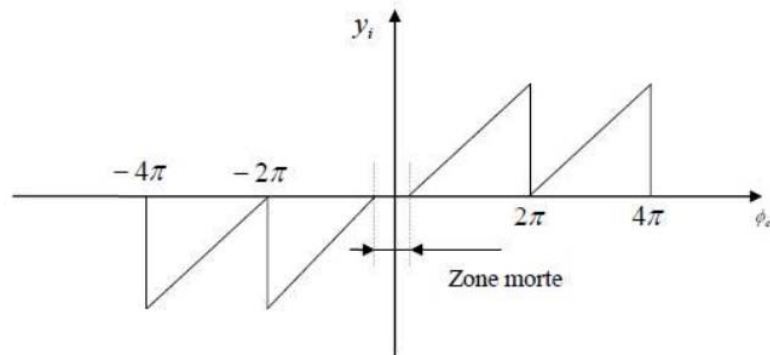


Figure II.8. Réponse du détecteur de phase-fréquence à bascules D [7], [55].

II.6.4 .La pompe de charge (CP)

La pompe de charge (CP) est l'élément placé entre le comparateur de phase-fréquence (PFD) et le filtre de boucle. Comme l'illustre la figure II.9, elle est généralement constituée de deux branches de courant commandées par les signaux issus du PFD [7], [53]. Son rôle consiste à convertir les informations de correction de phase en un courant appliqué au filtre de boucle. Le mécanisme correspondant est représenté à la figure II.10 [7], [55]. Le courant délivré au filtre dépend de l'état des signaux (S_{Up}) et (S_{Down}) :

- Si $S_{Up} = 1$ et $S_{Down} = 0$ alors $I_{CP} = I_{source}$.
- Si $S_{Up} = 0$ et $S_{Down} = 1$ alors $I_{CP} = -I_{sink}$
- Si $S_{Up} = 0$ et $S_{Down} = 0$ alors $I_{CP} = 0$

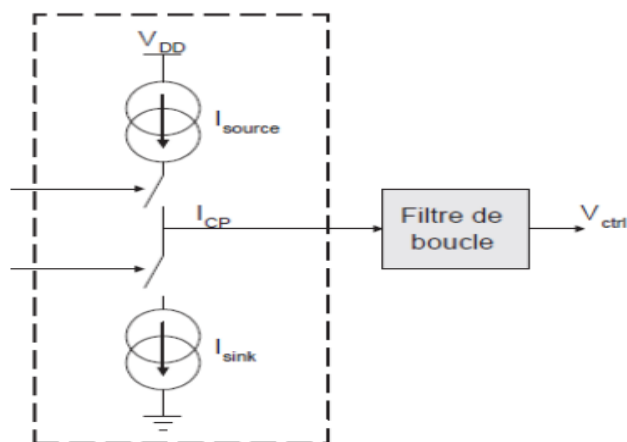


Figure II.9. Architecture fonctionnelle de la pompe de charge (CP) [56].

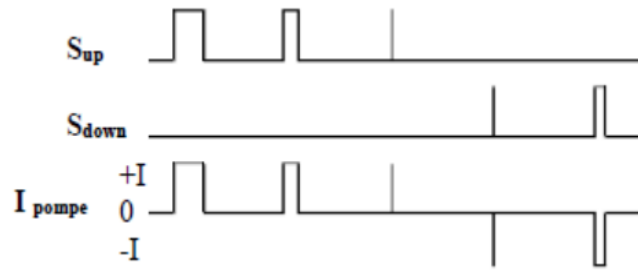


Figure II.10. Principe d'injection et d'extraction du courant dans la pompe de charge [7], [45].

La pompe de charge présente généralement un courant résiduel appelé courant de fuite (*Leakage Current*). Lorsque la CP est en état de haute impédance, ce courant peut charger ou décharger le condensateur du filtre de boucle, entraînant une variation de la tension de commande du VCO et, par conséquent, une dérive de la fréquence de sortie [7], [55]. Afin de préserver la stabilité de la PLL et de limiter les dégradations des performances, les références [7] et [57] recommandent que le courant de fuite demeure inférieur à un dixième du courant de la pompe de charge. Cette condition est donnée par :

$$I_{Leak} < \frac{I_{cp}}{10} \quad (II.6)$$

II.6.5. Le Filtre de boucle (LF)

Le filtre de boucle représente l'un des éléments fondamentaux d'une PLL. Il est placé entre la pompe de charge et le VCO afin de transformer les impulsions de courant issues de la pompe de charge en une tension de commande continue. Son rôle ne se limite pas au filtrage des composantes indésirables ; il contribue également à la stabilité de la boucle, au temps de verrouillage, à la bande de boucle ainsi qu'aux performances spectrales du synthétiseur [7].

La sélection du filtre de boucle est quelque peu épineuse, plusieurs facteurs et attributs sont essentiels pour le fonctionnement optimal de la PLL. Dans le cadre de notre projet de fin d'études, nous avons opté pour une conception utilisant un filtre passif, car celui-ci offre l'avantage d'assurer un circuit simple, à faible bruit et sans consommation additionnelle d'énergie [7], [56].

A. Structure de filtrage du premier ordre

La structure la plus élémentaire d'un filtre de boucle est constituée d'un unique condensateur connecté à la sortie de la pompe de charge. Comme illustré à la figure II.11, ce condensateur accumule la charge électrique fournie par la pompe de charge et génère ainsi la tension de commande appliquée au VCO [7], [13].

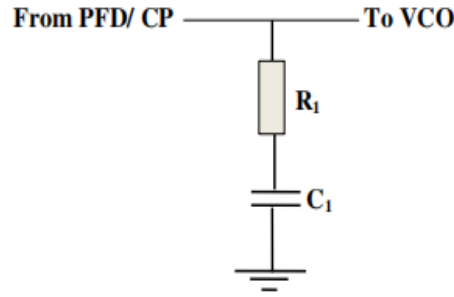


Figure II.11. Structure élémentaire du filtre de boucle passif du premier ordre [7], [13].

Malgré sa simplicité de mise en œuvre, cette configuration présente des performances limitées en termes de stabilité et de dynamique de réponse. Sa fonction de transfert est donnée par :

$$Z_{f11}(s) = \frac{1}{1+s.C_1.R_1} \quad (\text{II.7})$$

B. Structure de filtrage du deuxième ordre

Afin d'améliorer le comportement dynamique de la PLL, une résistance est généralement associée au condensateur principal. Cette modification introduit un zéro dans la fonction de transfert et permet d'augmenter la marge de phase de la boucle. La structure correspondante est représentée à la figure II.12 [7], [13].

L'ajout de cette résistance améliore le compromis entre rapidité de verrouillage et stabilité du système. La fonction de transfert du filtre du deuxième ordre s'écrit sous la forme :

$$Z_{f12}(s) = \frac{s.C_1.R_1+1}{s^2.C_1.C_2.R_1+s.C_1+s.C_2} \quad (\text{II.8})$$

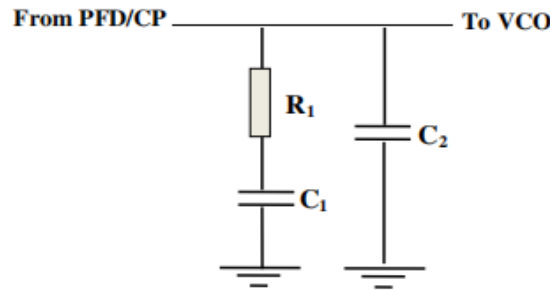


Figure II.12. Architecture du filtre de boucle passif du deuxième ordre [7], [13].

C. Structure de filtrage du troisième ordre

Dans les synthétiseurs de fréquences RF, certaines composantes parasites provenant de la fréquence de référence, des diviseurs de fréquence ou de la pompe de charge peuvent apparaître dans le spectre de sortie. Afin d'améliorer leur atténuation, un second réseau RC est ajouté à la structure du filtre du deuxième ordre, ce qui introduit un pôle supplémentaire dans la fonction de transfert [7], [55].

Cette architecture permet d'obtenir un filtrage plus efficace des composantes de bruit et des raies parasites situées aux fréquences élevées. La configuration adoptée est présentée à la figure II.13. La fonction de transfert associée est donnée par :

$$Z_{fil3}(s) = \frac{Z_{fil2}(s) \cdot \left[\frac{1}{C_3 \cdot s} \right]}{Z_{fil2}(s) + R_2 + \left[\frac{1}{C_3 \cdot s} \right]} \quad (\text{II.9})$$

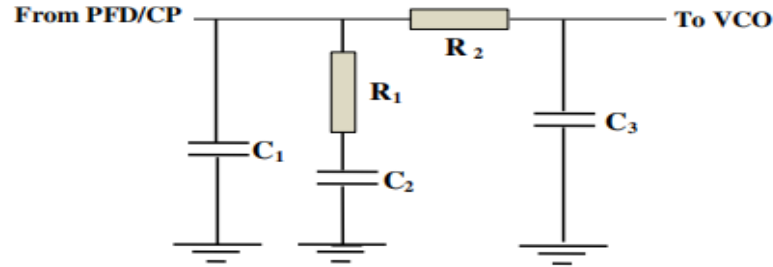


Figure II.13. Structure de filtrage à trois pôles utilisée dans la PLL [7], [13].

II.6.6. L'oscillateur commandé en tension (VCO)

Au sein d'un synthétiseur de fréquences à PLL, le VCO constitue le bloc responsable de la génération du signal oscillant. Sa particularité réside dans le fait que sa fréquence d'oscillation varie sous l'effet de la tension appliquée à son entrée de commande, issue du filtre de boucle. Cette propriété permet à la PLL d'ajuster continuellement la fréquence produite afin de maintenir la synchronisation recherchée [7]. La dépendance entre la fréquence générée et la tension de commande est donnée par :

$$F_{out} = f_0 + K_{vco} \cdot V_{tune} \quad (\text{II.10})$$

Avec :

- F_{out} : fréquence délivrée à la sortie de l'oscillateur ;
- f_0 : fréquence centrale du VCO en l'absence d'action de réglage ;
- K_{vco} : coefficient caractérisant le gain fréquentiel de l'oscillateur ;
- V_{tune} : grandeur de commande permettant d'ajuster la fréquence d'oscillation.

Les performances du VCO sont généralement appréciées à travers plusieurs indicateurs tels que le bruit de phase, l'étendue de la plage d'accord, la régularité du gain (K_{vco}), ainsi que sa sensibilité aux perturbations provenant de l'alimentation électrique ou de la charge connectée en sortie. La maîtrise de ces paramètres est essentielle pour garantir un fonctionnement stable et une bonne qualité spectrale du signal synthétisé [7].

II.7. Modélisation et analyse de la PLL

Comme tout système asservi, la PLL peut être étudiée à partir d'un modèle linéarisé établi autour de son point de fonctionnement. Cette approche est valable lorsque la boucle est verrouillée et que les variations autour de l'état d'équilibre restent faibles. Dans ces conditions, le comportement du système peut être représenté dans le domaine de Laplace, ce qui facilite l'analyse de sa stabilité et de sa réponse

dynamique [7], [13]. La représentation linéaire retenue pour la PLL est illustrée à la figure II.14. Ce modèle met en évidence les principaux blocs intervenant dans la boucle ainsi que leurs interactions. Il constitue une base d'étude permettant de déterminer les fonctions de transfert caractéristiques du synthétiseur [7], [58].

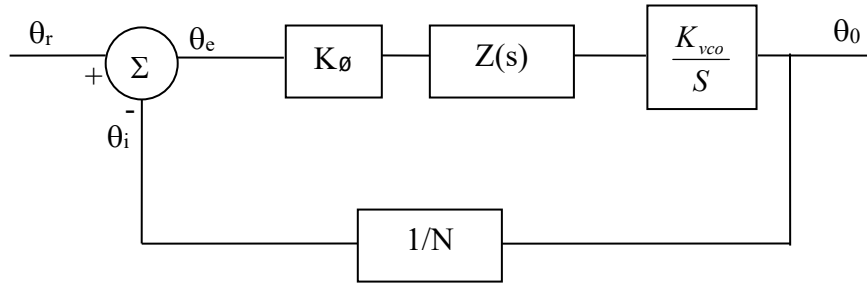


Figure II.14. Modèle linéaire de la PLL [7], [58].

II.7.1. Fonctions de transfert de la PLL

À partir du schéma fonctionnel de la figure II.14 et en appliquant les principes de la théorie de l'asservissement, il est possible d'établir les différentes fonctions de transfert décrivant le comportement de la boucle.

✚ Fonction de transfert de la chaîne directe

La fonction de transfert associée à la voie directe s'écrit :

$$G(s) = \frac{\theta_0}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{s} \quad (\text{II.11})$$

θ_0 représente la phase du signal de sortie, θ_e représente la phase d'erreur. K_ϕ le gain du détecteur de phase. K_{vco} sensibilité du VCO et $Z(s)$ est la fonction de transfert du filtre de boucle.

✚ Fonction de transfert de rétroaction

La fonction caractérisant la chaîne de retour est donnée par :

$$H(s) = \frac{\theta_i}{\theta_0} = \frac{1}{N} \quad (\text{II.12})$$

θ_i la phase appliquée en retour et (N) le rapport de division de la boucle.

✚ Fonction de transfert en boucle ouverte

En combinant les contributions de la voie directe et de la chaîne de rétroaction, on obtient la fonction de transfert en boucle ouverte :

$$T(s) = H(s)G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{N \cdot s} \quad (\text{II.13})$$

Cette relation permet d'évaluer le comportement global de la PLL avant fermeture de la boucle.

✚ Fonction de transfert en boucle fermée

La fonction de transfert complète du système asservi est exprimée par :

$$K(s) = \frac{\theta_0}{\theta_r} = \frac{G(s)}{[1 + H(s)G(s)]} \quad (\text{II.14})$$

Où θ_r désigne la phase du signal de référence. Cette expression traduit la relation existant entre la phase d'entrée et la phase produite à la sortie de la PLL.

II.7.2. Bande de boucle et marge de phase

La bande de boucle et la marge de phase sont deux paramètres fondamentaux pour le dimensionnement d'une PLL. Leur valeur influence directement la stabilité du système, sa rapidité de convergence ainsi que son comportement vis-à-vis des perturbations. Une sélection appropriée de ces paramètres permet d'obtenir un compromis satisfaisant entre performances dynamiques et robustesse de fonctionnement [7].

A. Détermination de la largeur de bande de la PLL

Le modèle linéarisé de la figure II.14 reste applicable lorsque la bande de boucle (ω_p) demeure nettement inférieure à la fréquence de référence F_{ref} . Cette grandeur, obtenue à partir de l'équation (II.13), désigne la fréquence pour laquelle le gain de la fonction de transfert en boucle ouverte atteint l'unité. Elle peut être exprimée en rad/s ou en Hz selon les relations (II.15) et (II.16) [7], [13].

$$\|G(j. \omega_c. H)\| = 1 \quad (\text{II.15})$$

$$\|G(j. \omega_p. 2\pi. H)\| = 1 \quad (\text{II.16})$$

Pour que l'analyse basée sur un modèle continu demeure applicable, la fréquence caractéristique de la boucle doit rester suffisamment éloignée de la fréquence de référence. À cet effet, on adopte généralement la contrainte suivante, selon laquelle la bande de boucle ne dépasse pas approximativement $F_{\text{ref}}/10$ [7], [59].

$$\omega_p \leq \frac{F_{\text{ref}}}{10} \quad (\text{II.17})$$

B. Évaluation de la stabilité par la marge de phase

La marge de phase caractérise la réserve de stabilité disponible lorsque la PLL fonctionne autour de sa fréquence de transition. Elle est déterminée au point où le gain de boucle devient unitaire et renseigne sur l'éloignement du système par rapport aux conditions favorisant les oscillations [7], [53].

$$\Delta\varphi = 180 - \arg G(j\omega_p).H \quad (\text{II.18})$$

Pour garantir un fonctionnement satisfaisant, sa valeur est généralement maintenue dans la plage indiquée par l'équation suivante [7], [59].

$$0^\circ < \Delta\varphi < 90^\circ \quad (\text{II.19})$$

II.8. Étude des mécanismes de bruit dans la boucle à verrouillage de phase

Le bruit de phase résulte des perturbations introduites par les différents blocs constituant la PLL. Ces fluctuations affectent la pureté spectrale du signal généré et peuvent dégrader les performances du synthétiseur. Afin d'évaluer l'influence de chaque composant sur le bruit global de sortie, un modèle linéarisé intégrant les principales sources de bruit est utilisé. La figure II.16 présente cette représentation et sert de base à l'analyse du comportement spectral de la PLL [7].

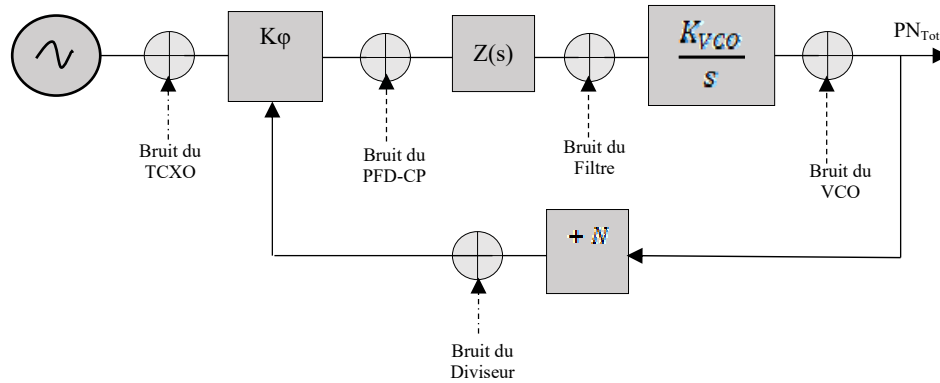


Figure II.16. Modélisation des principales contributions au bruit de phase dans une PLL [7], [45].

II.9. Conclusion

Ce chapitre a été consacré à l'étude des synthétiseurs de fréquences basés sur les boucles à verrouillage de phase. Après avoir présenté les différents blocs constituant la PLL ainsi que leurs principes de fonctionnement, une modélisation linéaire de la boucle a été établie afin d'en déduire les principales fonctions de transfert. Cette analyse a également permis de mettre en évidence l'influence de paramètres tels que la bande de boucle, la marge de phase et le bruit de phase sur les performances globales du synthétiseur. Les notions développées dans ce chapitre constituent la base théorique nécessaire à la conception et à l'optimisation du synthétiseur étudié dans le chapitre suivant.

Chapitre III

**Analyse, conception et optimisation d'un
synthétiseur de fréquences pour application 5G**

III.1. Introduction

Ce chapitre est consacré à la conception et à l'optimisation d'un synthétiseur de fréquences à PLL destiné aux applications 5G dans la bande E. Après une brève revue des travaux récents, les paramètres de conception sont étudiés à l'aide du logiciel ADIsimPLL afin d'évaluer leur influence sur les performances du synthétiseur. Les résultats de simulation sont ensuite analysés dans les domaines temporel et fréquentiel pour valider la solution proposée.

III.1.1. Recherches sur l'impact du courant de fuite dans les synthétiseurs de fréquences à PLL

Le courant de fuite de la pompe de charge influence directement les performances d'un synthétiseur à PLL, notamment en termes de bruit de phase, de raies de référence et de stabilité de la boucle. Les travaux présentés dans [13] et [60] mettent en évidence deux principales approches pour limiter ses effets : la réduction du courant de fuite à la source par des techniques de conception adaptées, et l'utilisation de mécanismes de compensation destinés à atténuer son impact sur le fonctionnement de la PLL.

Bien que ces solutions permettent d'améliorer les performances du synthétiseur, elles peuvent accroître la complexité du circuit. Dans ce travail, l'objectif est d'étudier la possibilité de concevoir un synthétiseur capable de maintenir des performances satisfaisantes tout en tolérant un niveau de courant de fuite plus élevé, afin de privilégier une architecture simple et adaptée aux applications 5G.

III.1.2. Recherches récentes portant sur les synthétiseurs de fréquences pour les applications 5G

Le développement des réseaux 5G a stimulé de nombreux travaux portant sur les synthétiseurs de fréquences à PLL. Les études récentes [61], [62] proposent principalement des architectures à division fractionnaire visant à améliorer des performances telles que le bruit de phase, les raies parasites et la stabilité fréquentielle.

Toutefois, malgré leurs avantages, ces architectures présentent généralement une complexité de mise en œuvre plus importante. Dans ce contexte, les synthétiseurs à division entière constituent une alternative intéressante grâce à leur simplicité et à leur consommation réduite. Par ailleurs, l'exploitation des bandes millimétriques, notamment la bande E (81–86 GHz), offre des perspectives prometteuses pour répondre aux besoins croissants en débit des systèmes 5G.

Ainsi, ce travail s'intéresse à la conception d'un synthétiseur à PLL à division entière capable de couvrir la bande E tout en assurant des performances satisfaisantes en termes de bruit de phase, de raies de référence et de temps de verrouillage.

III.2. Environnement de conception et de simulation utilisé

Le logiciel ADIsimPLL, proposé par Analog Devices, a été utilisé pour la conception et l'analyse du synthétiseur de fréquences à PLL étudié dans ce travail. Cet outil permet d'évaluer l'influence des principaux paramètres de conception sur les performances du système, notamment le bruit de phase, les raies parasites et la dynamique de la boucle.

Grâce à ses capacités de simulation dans les domaines fréquentiel et temporel, ADIsimPLL facilite le dimensionnement des différents blocs de la PLL ainsi que l'estimation de leurs performances avant toute implémentation matérielle. L'interface principale du logiciel utilisée dans cette étude est présentée à la figure III.1 [63].



Figure III.1. Vue générale de l'environnement de conception sous ADIsimPLL [63], [64].

III.3. Conception et évaluation du synthétiseur de fréquences à PLL

III.3.1. Outil de conception

L'ADF41513 est un synthétiseur de fréquences à PLL conçu pour les applications radiofréquences nécessitant une grande pureté spectrale et une bonne stabilité fréquentielle. Grâce à ses performances en termes de bruit de phase et de génération de signaux à haute fréquence, il constitue une solution adaptée aux systèmes de communication sans fil de nouvelle génération..

Ce circuit, réalisé en technologie BiCMOS SiGe, intègre un détecteur de phase-fréquence (PFD), une pompe de charge ainsi qu'un diviseur programmable permettant un réglage précis de la fréquence de sortie. Il peut fonctionner aussi bien en mode entier-N qu'en mode fractionnaire-N, offrant ainsi une grande flexibilité de configuration. Associé à un filtre de boucle externe et à un oscillateur contrôlé en tension (VCO), l'ADF41513 (figure III.2) permet la réalisation d'un synthétiseur de fréquences répondant aux exigences des applications 5G en matière de stabilité et de qualité spectrale [64].

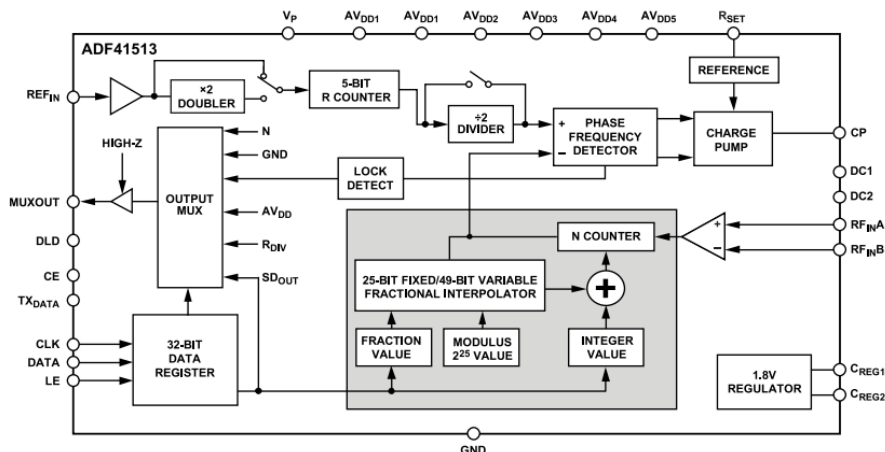
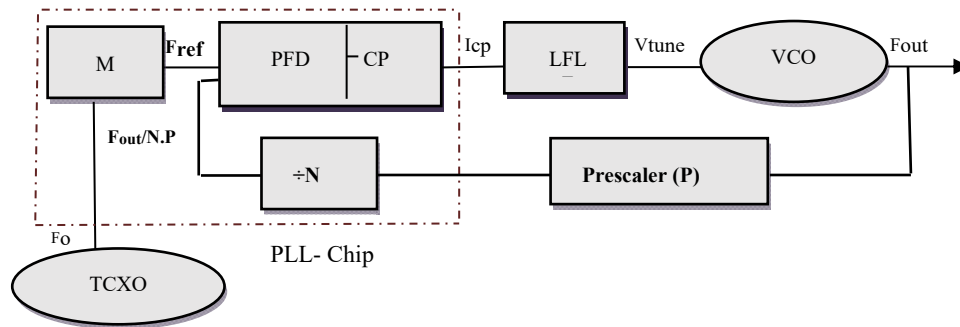


Figure III.2. Architecture fonctionnelle du synthétiseur ADF41513 [64]

III.3.2. Paramètres retenus pour la conception du synthétiseur

Pour clarifier les paramètres sélectionnés lors de la modélisation du synthétiseur, nous nous basons sur la structure présentée dans la figure II.5 du chapitre précédent.



- Bande de fréquences de sortie : $F_{out} = [81-86]\text{GHz}$;
- Fréquence de l'oscillateur de référence : 100 MHz, conduisant à un facteur de division ($M = 2$) ;
- Fréquence de comparaison du détecteur de phase : 50 MHz ;
- Rapport de division du prédiviseur : ($P = 40$), correspondant à un espacement fréquentiel de 2 GHz ;
- Sensibilité du VCO : $K_{VCO} = 3,1 \text{ GHz/V}$;
- Courant de la pompe de charge : $I_{cp} = 1,2 \text{ mA}$;
- Filtre de boucle de troisième ordre.

III.3.2.1. Choix de la marge de phase

La marge de phase constitue un paramètre déterminant pour la stabilité et la dynamique de la boucle à verrouillage de phase. Afin d'évaluer son influence sur les performances du synthétiseur, plusieurs valeurs comprises entre 10° et 80° ont été étudiées avec un incrément de 5° . Parallèlement, la bande passante de la boucle (ω_p) a été analysée pour différentes valeurs comprises entre 0,25 MHz et 5 MHz. Les temps de verrouillage obtenus pour les différentes configurations considérées sont regroupés dans le tableau III.1.

Marge de phase(degré)	Temps de verrouillage (μs) @ ω_p				
	0.25 MHz	0.5 MHz	1 MHz	2 MHz	5 MHz
10	86.78	34.31	17.16	8.66	3.40
15	44.51	22.26	11.13	5.72	2.16
20	30.91	15.15	7.57	4.33	1.68
25	24.57	12.06	5.56	3.25	1.28
30	19.32	9.58	4.95	2.40	1.11
35	19.17	7.11	3.55	1.85	0.92736
40	15.77	5.87	3.09	1.62	0.78825
45	14.68	5.41	2.78	1.31	0.81917

50	18.24	7.11	3.40	1.78	1.17
55	23.96	10.82	5.41	2.24	1.24
60	30.45	14.53	7.26	3.55	1.51
65	40.49	18.86	9.74	4.95	2.23
70	55.49	26.58	13.29	∞	3.03
75	85.78	41.11	20.87	∞	5.09
80	180.22	89.34	46.52	20.71	∞

Tableau III.1. Influence de la marge de phase et de la bande passante de boucle sur le temps de verrouillage.

L'analyse du tableau III.1 met en évidence l'effet de la marge de phase et de la bande passante sur le comportement dynamique de la PLL. Les résultats montrent qu'une augmentation de la bande passante contribue à réduire le temps de verrouillage et améliore ainsi la rapidité de réponse du système.

L'évolution de la marge de phase fait apparaître une zone de fonctionnement favorable située entre 40° et 45° , pour laquelle le temps de verrouillage atteint ses valeurs les plus faibles. Au-delà de cet intervalle, les performances se dégradent progressivement et certaines configurations conduisent à une perte de stabilité de la boucle.

Ces observations indiquent qu'une marge de phase comprise entre 40° et 45° constitue un compromis efficace entre rapidité de verrouillage et stabilité du synthétiseur.

III.3.2.2. Détermination de la bande passante optimale de la boucle

Une fois la marge de phase fixée, l'étape suivante consiste à évaluer l'influence de la bande passante de boucle sur les performances du synthétiseur. À cet effet, plusieurs valeurs de (ω_p), comprises entre 0,5 MHz et 5 MHz, ont été considérées. Les résultats obtenus permettent d'analyser l'évolution du temps de verrouillage ainsi que le niveau des trois premières raies de référence. L'ensemble des données de simulation est présenté dans le tableau III.2.

ω_p (MHz)	Temps de réponse (μs)	Raies de références (dBc)		
		@50 MHz	@100 MHz	@150 MHz
0.5	5.27	-132	-150	-161
1	2.64	-114	-132	-143
1.5	1.78	-104	-122	-132
2	1.28	-97	-114	-125
2.5	1.14	-91	-109	-119
3	1.08	-87	-104	-114
3.5	0.97372	-83	-100	-110
4	0.98918	-80	-97	-107

4.5	0.81917	-78	-94	-104
5	0.80371	-76	-91	-101

Tableau III.2. Influence de la bande passante de boucle sur le temps de verrouillage et les raies de référence.

L'examen des résultats du tableau III.2 montre que la bande passante de boucle joue un rôle déterminant dans les performances du synthétiseur. Lorsque (ω_p) augmente de 0,5 MHz à 5 MHz, le temps de verrouillage diminue sensiblement, passant de 5,27 μ s à 0,80 μ s. Cette tendance traduit une amélioration de la rapidité de convergence de la PLL.

En revanche, l'élargissement de la bande passante s'accompagne d'une augmentation du niveau des raies de référence observées aux offsets de 50 MHz, 100 MHz et 150 MHz. Cette évolution indique une détérioration progressive de la pureté spectrale du signal généré.

Les résultats obtenus mettent ainsi en évidence l'existence d'un compromis entre les performances temporelles et fréquentielles de la boucle. Une bande passante élevée favorise un verrouillage plus rapide, tandis qu'une bande passante plus réduite contribue à une meilleure atténuation des raies de référence.

III.3.2.3. Analyse de la tolérance du synthétiseur au courant de fuite

Les résultats obtenus précédemment ont permis d'identifier une plage de valeurs appropriée pour la bande passante de boucle. Cependant, l'hypothèse d'un courant de fuite limité à 1 nA demeure difficile à satisfaire dans une réalisation pratique. Il est donc nécessaire d'évaluer la capacité du synthétiseur à fonctionner correctement en présence de niveaux de courant de fuite plus élevés.

Dans cette optique, une étude est menée afin d'examiner l'influence du courant de fuite de la pompe de charge sur les performances de la PLL. L'analyse repose sur le critère de stabilité défini par la condition : ($I_{Leak} < I_{cp}/10$).

Pour la configuration retenue, le courant de la pompe de charge est fixé à ($I_{cp} = 1,2$ mA), ce qui conduit à une valeur limite de courant de fuite de 120 μ A. Plusieurs niveaux de courant de fuite ont ainsi été considérés afin d'évaluer leur impact sur le comportement dynamique et spectral du synthétiseur.

Courant de fuite	Temps de réponse (μ s)	Raies de références (dBc)		
		@50 MHz	@100 MHz	@150 MHz
0.1pA	5.27	-212	-230	-241
10pA	5.29	-172	-190	-201
1nA	5.29	-132	-150	-161
10nA	5.29	-112	-130	-141
100nA	5.29	-92	-110	-121
0.5 μ A	5.33	-78	-96	-107
10 μ A	∞	-52	-70	-81
30 μ A	∞	-43	-61	-71

60μA	∞	-37	-55	-65
90μA	∞	-33	-51	-62
110μA	∞	-31	-49	-60

Tableau III.3. Influence du courant de fuite sur le temps de verrouillage et les raies de référence pour une bande passante de 500 kHz.

Courant de fuite	Temps de réponse (μs)	Raies de références (dBc)		
		@50 MHz	@100 MHz	@150 MHz
0.1pA	2.64	-194	-212	-223
10pA	2.64	-154	-172	-183
1nA	2.66	-114	-132	-143
10nA	2.67	-94	-112	-123
100nA	2.74	-74	-92	-103
0.5μA	∞	-60	-78	-89
10uA	∞	-34	-52	-63
30μA	∞	-25	-43	-53
60μA	∞	-19	-37	-47
90μA	∞	-15	-33	-44
110μA	∞	-13	-31	-42

Tableau III.4. Influence du courant de fuite sur le temps de verrouillage et les raies de référence pour une bande passante de 1 MHz.

Courant de fuite	Temps de réponse (μs)	Raies de références (dBc)		
		@50 MHz	@100 MHz	@150 MHz
0.1pA	803.71	-156	-171	-181
10pA	819.17	-116	-131	-141
1nA	∞	-76	-91	-101
10nA	∞	-56	-71	-81
100nA	∞	-36	-51	-61
0.5μA	∞	-22	-37	-47
10uA	∞	-4.5	-11	-21
30μA	∞	14	-1.8	-12
60μA	∞	20	4.3	-5.7
90μA	∞	24	7.8	-2.2
110μA	∞	25	9.5	-0.473

Tableau III.5. Influence du courant de fuite sur le temps de verrouillage et les raies de référence pour une bande passante de 5 MHz.

• Interprétation des tableaux III.3, III.4, et III.5

Les simulations ont été réalisées pour différentes valeurs du courant de fuite tout en respectant le critère de stabilité ($I_{Leak} < I_{cp}/10$). Avec un courant de pompe de charge fixé à ($I_{cp} = 1,2$ mA), la limite admissible du courant de fuite est de $120 \mu A$.

L'analyse des résultats montre que l'augmentation du courant de fuite entraîne une élévation du niveau des raies de référence et une dégradation progressive de la stabilité de la PLL. Au-delà d'une certaine valeur, la boucle ne parvient plus à maintenir un fonctionnement stable, ce qui se traduit par une absence de verrouillage.

Parmi les valeurs étudiées, un courant de fuite de 1 nA offre le meilleur compromis entre stabilité, temps de verrouillage et pureté spectrale. Cette valeur a donc été retenue pour la suite de la conception du synthétiseur.

III.3.3. Validation des paramètres de la PLL retenus

Les paramètres de conception sélectionnés à l'issue des analyses précédentes doivent être vérifiés afin de confirmer leur adéquation avec les performances visées. À cette fin, des simulations complémentaires ont été réalisées sous ADIsimPLL pour évaluer le comportement du synthétiseur et valider les choix retenus concernant la marge de phase et la bande passante de boucle.

A. Validation du choix de la marge de phase

La marge de phase constitue un paramètre essentiel dans le réglage d'une PLL, puisqu'elle influence à la fois la stabilité de la boucle et les performances du synthétiseur. Afin d'évaluer son impact, une analyse a été réalisée pour trois valeurs représentatives de marge de phase (20° , 45° et 80°). Les résultats sont comparés à travers l'étude de la réponse en boucle fermée, du bruit de phase et du temps de verrouillage.

A. 1. Étude de la réponse en boucle fermée pour une marge de phase de 20°

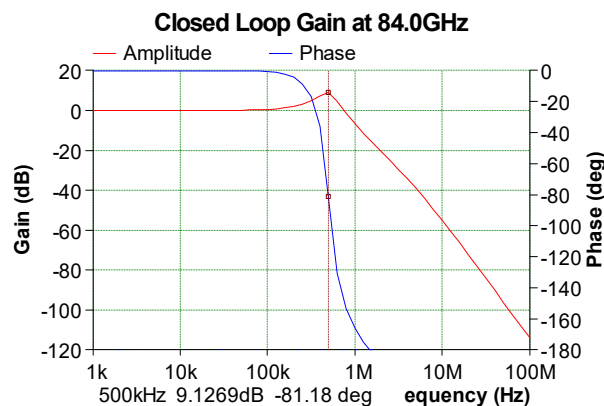


Figure III.3. Fonction de transfert en boucle fermée pour $\Delta\phi = 20^\circ$ et $\omega_p = 500$ kHz.

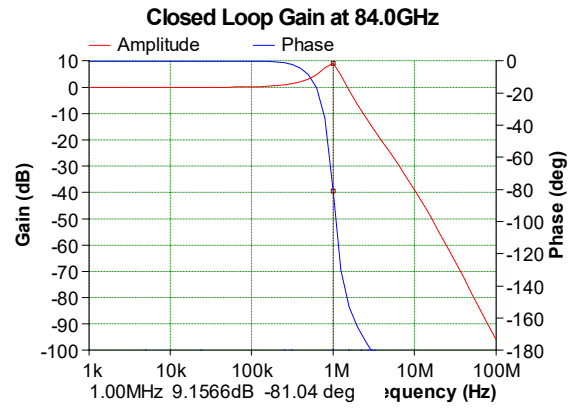


Figure III.4. Fonction de transfert en boucle fermée pour $\Delta\phi = 20^\circ$ et $\omega_p = 1$ MHz

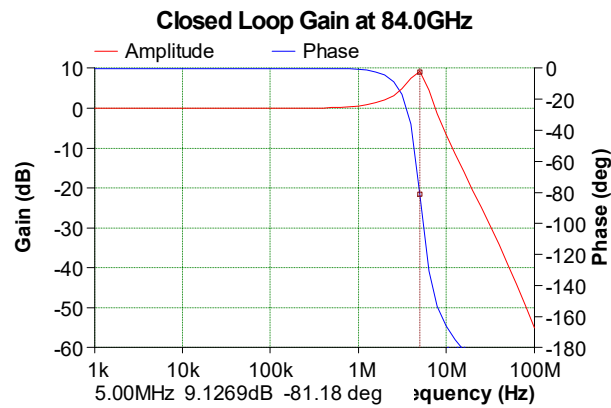


Figure III.5. Fonction de transfert en boucle fermée pour $\Delta\phi = 20^\circ$ et $\omega_p = 5$ MHz

A.2. Étude de la réponse en boucle fermée pour une marge de phase de 45°

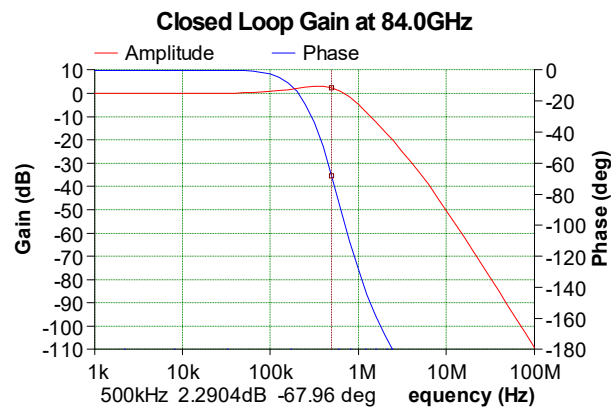


Figure III.6. Fonction de transfert en boucle fermée pour @ $\Delta\phi = 45^\circ$ et $\omega_p = 500$ kHz.

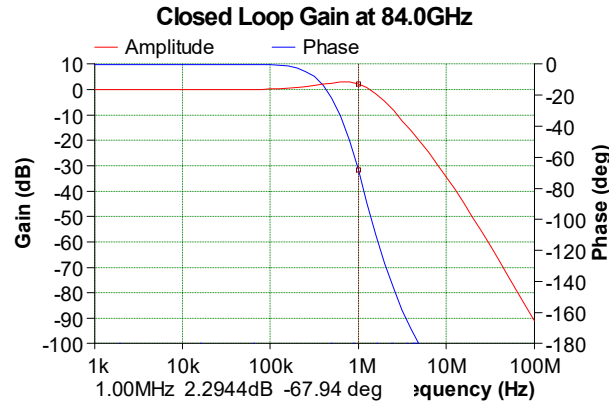


Figure III.7. Fonction de transfert en boucle fermée pour $\Delta\phi = 45^\circ$ et $\omega_p = 1$ MHz.

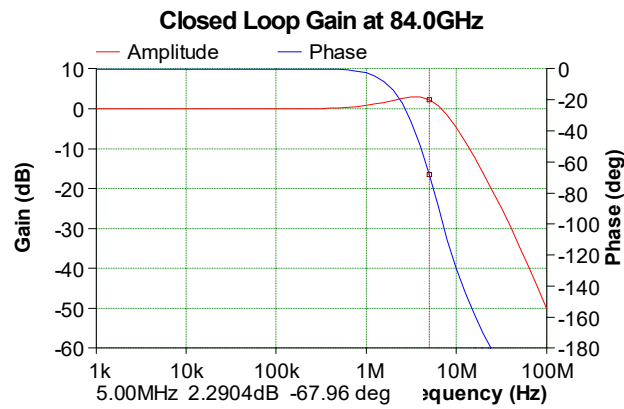


Figure III.8. Fonction de transfert en boucle fermée pour @ $\Delta\phi = 45^\circ$ et $\omega_p = 5$ MHz.

A. 3. Étude de la réponse en boucle fermée pour une marge de phase de 80°

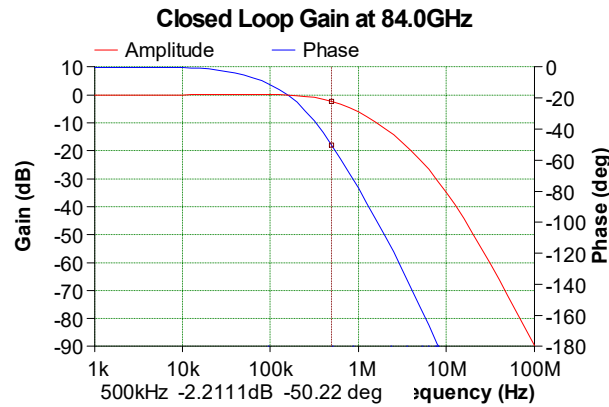


Figure III.9. Fonction de transfert en boucle fermée pour $\Delta\phi = 80^\circ$ et $\omega_p = 500$ kHz.

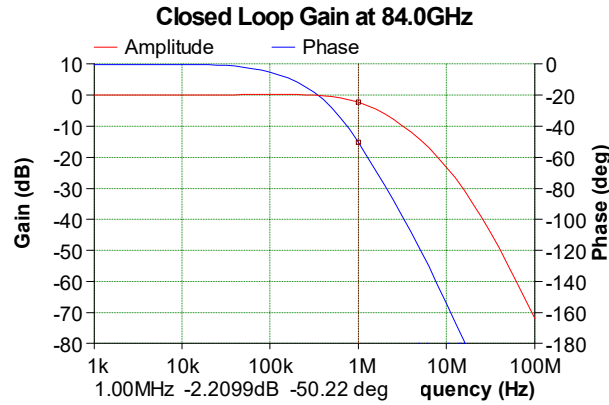


Figure III.10. Fonction de transfert en boucle fermée pour $\Delta\phi = 80^\circ$ et $\omega_p = 1$ MHz.

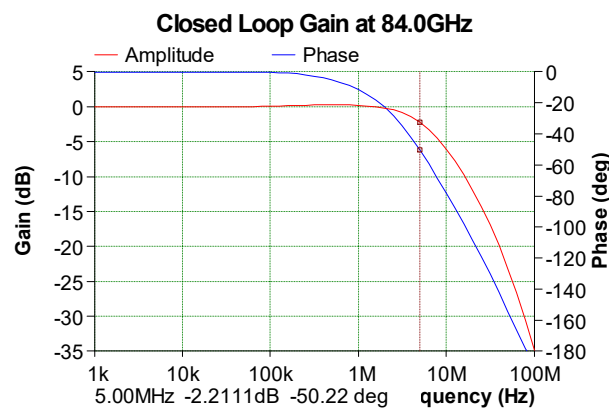


Figure III.11. Fonction de transfert en boucle fermée pour $\Delta\phi = 80^\circ$ et $\omega_p = 5$ MHz.

• Interprétation des figures [III.5 - III.11]

Les réponses en boucle fermée obtenues pour différentes marges de phase et bandes passantes montrent le comportement passe-bas caractéristique d'une PLL. La fréquence de coupure dépend directement de la bande passante de la boucle, tandis que l'évolution de la phase confirme le fonctionnement attendu du système en boucle fermée.

L'analyse met également en évidence l'influence de la marge de phase sur la stabilité de la PLL. Une faible marge de phase (20°) engendre un pic de résonance prononcé, traduisant un amortissement insuffisant et une stabilité réduite. À l'inverse, une marge de phase élevée (80°) conduit à une réponse plus amortie et plus stable. Un compromis satisfaisant est obtenu pour une marge de phase de 45° , qui assure un bon équilibre entre rapidité de réponse et stabilité. Par ailleurs, l'augmentation de la bande passante améliore la vitesse de verrouillage, mais peut accentuer les effets de résonance lorsque la marge de phase est faible.

A. 4. Étude du bruit de phase pour une marge de phase de 20°

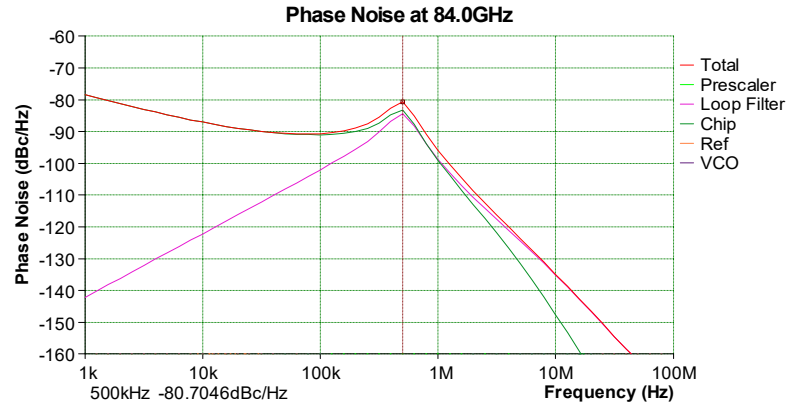


Figure III.12. Performance en bruit de phase obtenue avec $\Delta\phi = 20^\circ$ et $\omega_p = 500$ kHz.

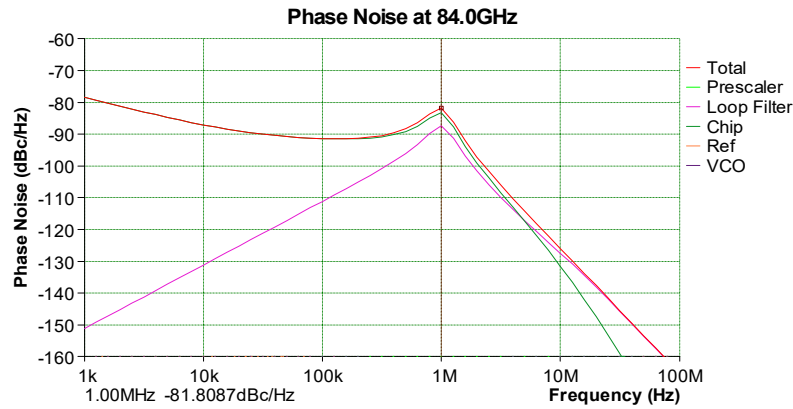


Figure III.13. Performance en bruit de phase obtenue avec $\Delta\phi = 20^\circ$ et $\omega_p = 1$ MHz.

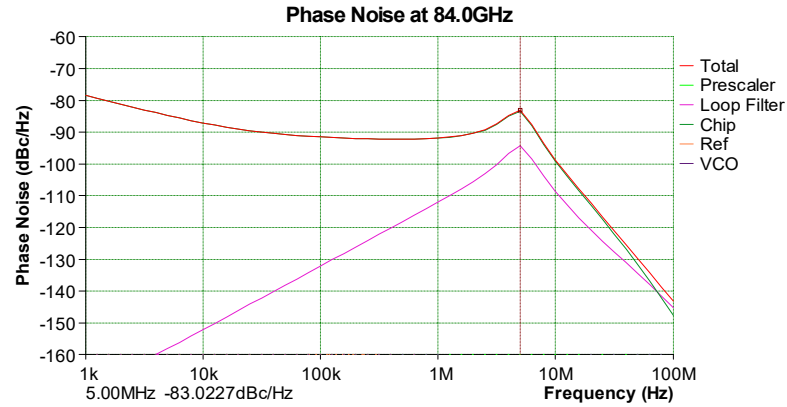


Figure III.14. Performance en bruit de phase obtenue avec $\Delta\phi = 20^\circ$ et $\omega_p = 5$ MHz.

A. 5. Étude du bruit de phase pour une marge de phase $\Delta\phi = 45^\circ$

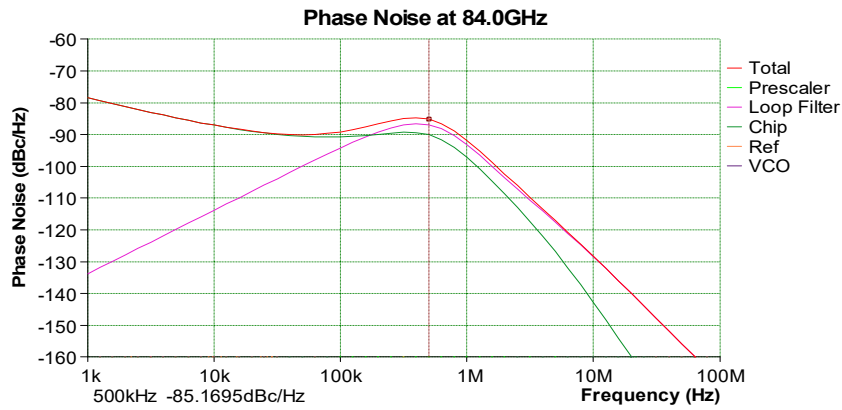


Figure III.15. Performance en bruit de phase obtenue avec $\Delta\phi = 45^\circ$ et $\omega_p = 500$ kHz

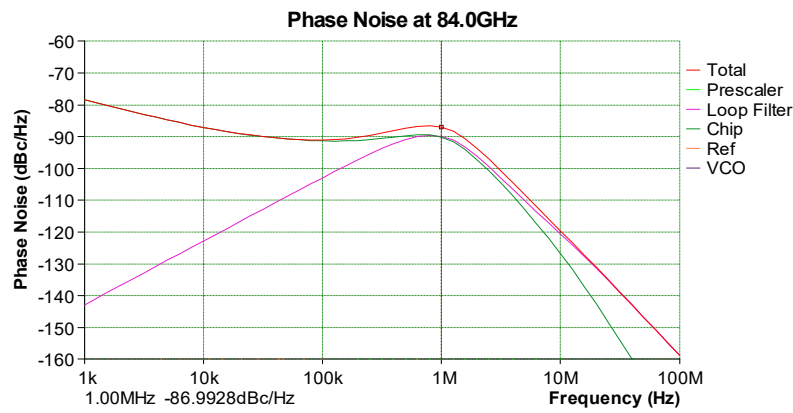


Figure III.16. Performance en bruit de phase obtenue avec $\Delta\phi = 45^\circ$ et $\omega_p = 1$ MHz

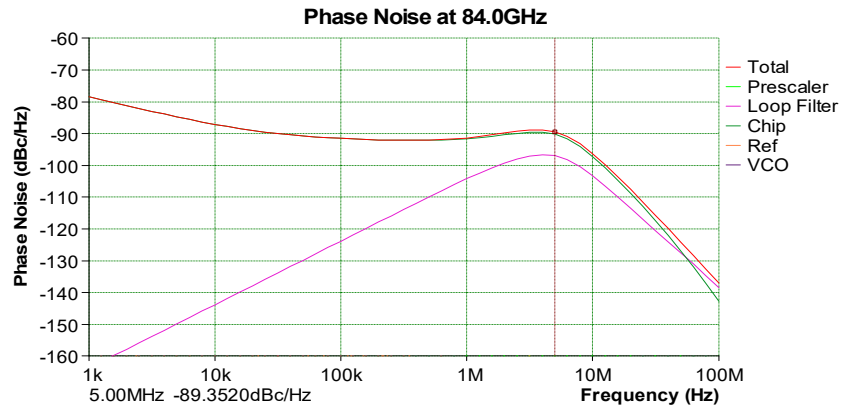


Figure III.17. Performance en bruit de phase obtenue avec $\Delta\phi = 45^\circ$ et $\omega_p = 5$ MHz

A. 6. Étude du bruit de phase pour une marge de phase $\Delta\phi = 80^\circ$

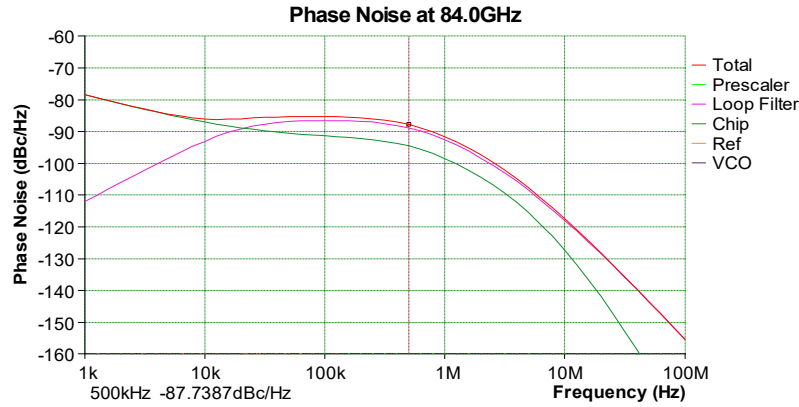


Figure III.18. Performance en bruit de phase obtenue avec $\Delta\phi = 80^\circ$ et $\omega_p = 500$ kHz.

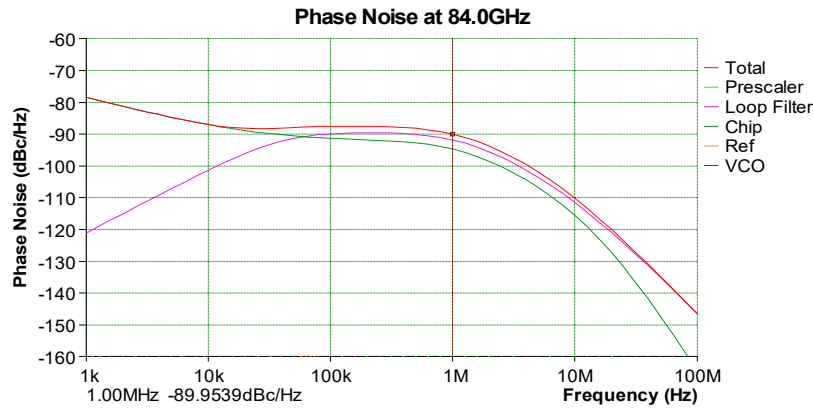


Figure III.19. Performance en bruit de phase obtenue avec $\Delta\phi = 80^\circ$ et $\omega_p = 1$ MHz.

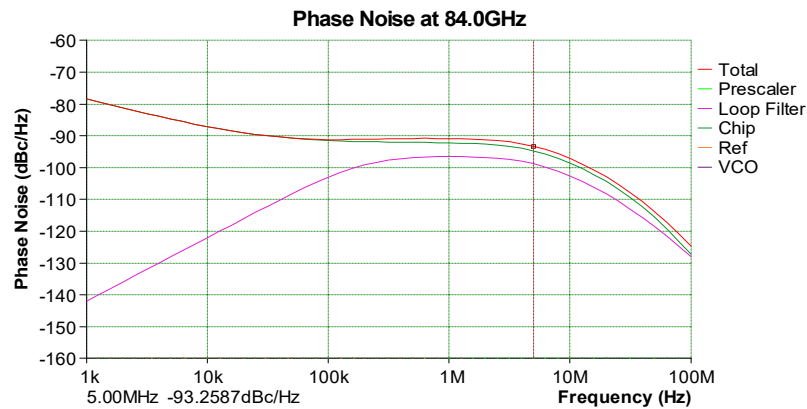


Figure III.20. Performance en bruit de phase obtenue avec $\Delta\phi = 80^\circ$ et $\omega_p = 5$ MHz

• Interprétation des figures [III.12 – III.20]

L'étude des figures III.12 à III.20 montre que les performances en bruit de phase dépendent à la fois de la marge de phase et de la bande passante de la boucle. Pour une faible marge de phase (20°), un pic de bruit apparaît à proximité de la bande passante, indiquant une stabilité limitée de la PLL. Lorsque la

marge de phase augmente, ce phénomène devient moins marqué et le comportement du système s'améliore.

Les résultats montrent également que la bande passante influence la répartition du bruit de phase sur le spectre. Dans l'ensemble, une marge de phase plus élevée permet d'obtenir une réponse plus régulière et de réduire les fluctuations observées autour de la fréquence de coupure.

A. 7. Analyse du comportement temporel de la PLL pour une marge de phase de 20°

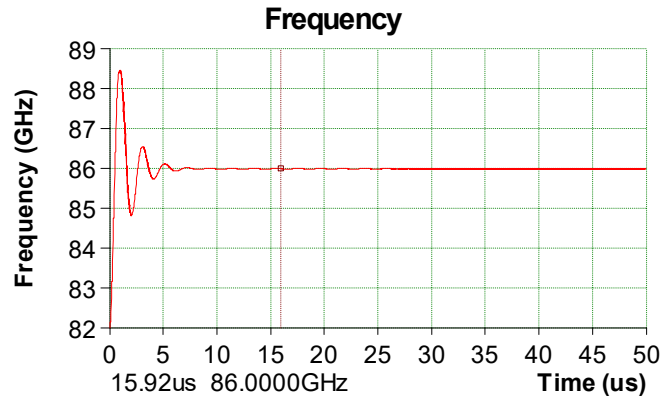


Figure III.21. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 20^\circ$, $\omega_p = 500$ kHz.

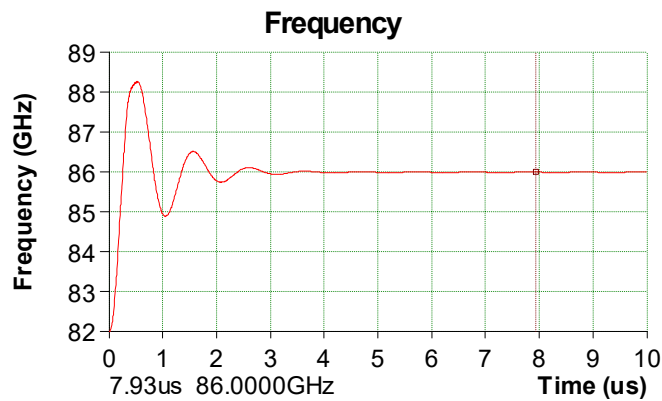


Figure III.22. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 20^\circ$, $\omega_p = 1$ MHz.

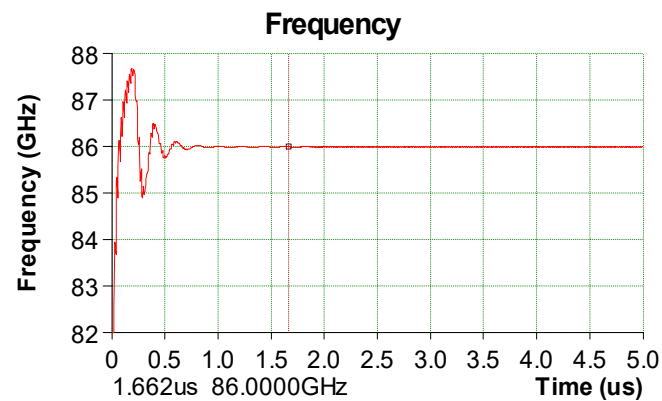


Figure III.23. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 20^\circ$, $\omega_p = 5$ MHz.

A. 8. Analyse du comportement temporel de la PLL pour une marge de phase de 45°

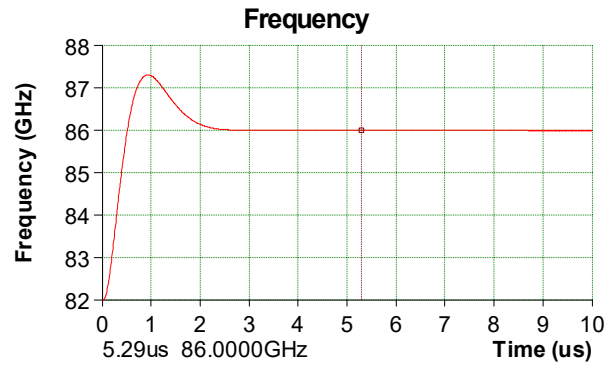


Figure III.24. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 45^\circ$, $\omega_p = 500 \text{ kHz}$.

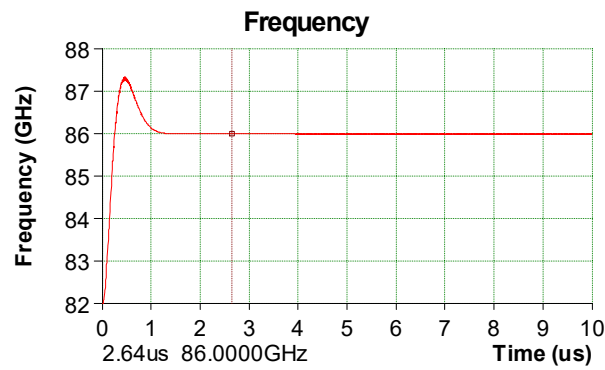


Figure III.25. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 45^\circ$, $\omega_p = 1 \text{ MHz}$.

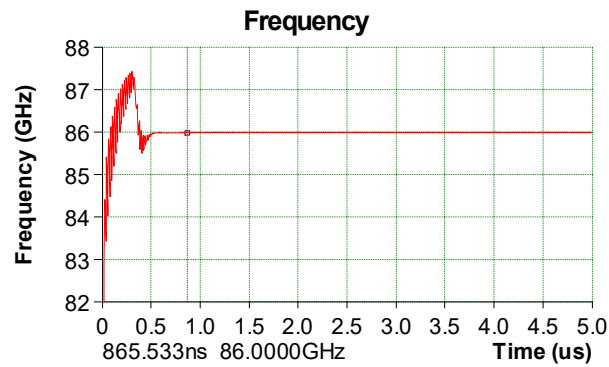


Figure III.26. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 45^\circ$, $\omega_p = 5 \text{ MHz}$.

A. 9. Analyse du comportement temporel de la PLL pour une marge de phase de 80°

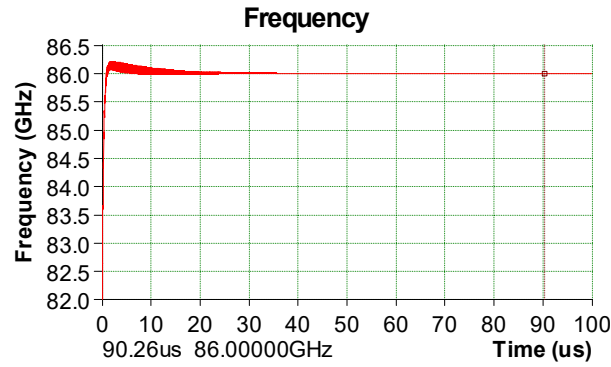


Figure III.27. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 80^\circ$, $\omega_p = 500$ kHz.

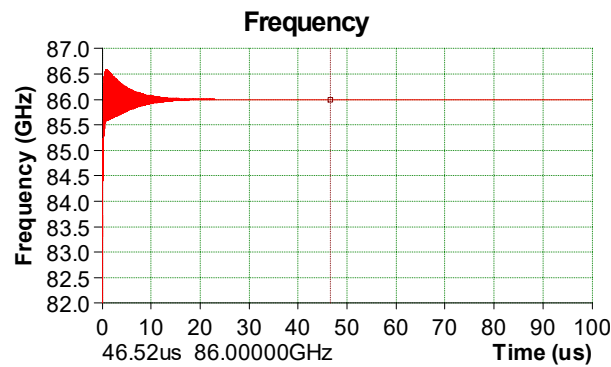


Figure III.28. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 80^\circ$, $\omega_p = 1$ MHz

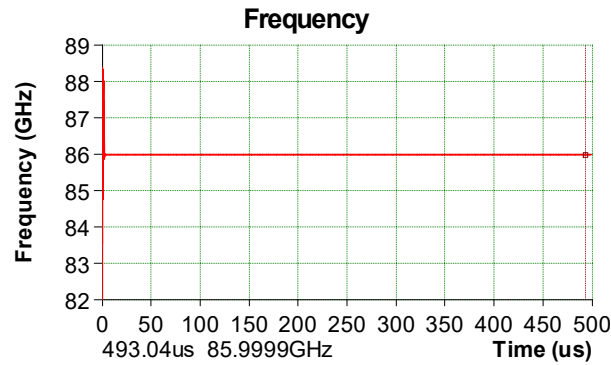


Figure III.29. Comportement dynamique de la PLL lors du verrouillage pour $\Delta\phi = 80^\circ$, $\omega_p = 5$ MHz

• Interprétation des figures [III.21 – III.29]

Les figures III.21 à III.29 illustrent l'influence de la marge de phase et de la bande passante de boucle sur le comportement temporel du synthétiseur. Les résultats montrent que la réduction de la bande passante augmente le temps de verrouillage, tandis que la marge de phase détermine principalement le niveau d'amortissement de la réponse.

Pour une marge de phase de 20° , la PLL présente un régime sous-amorti caractérisé par des oscillations marquées avant stabilisation. Les temps de verrouillage obtenus sont de $15,92 \mu\text{s}$, $7,93 \mu\text{s}$ et $1,66 \mu\text{s}$.

Avec une marge de phase de 45° , la réponse devient plus équilibrée, avec un amortissement satisfaisant et des temps de verrouillage de $5,29 \mu\text{s}$, $2,64 \mu\text{s}$ et $865,533 \text{ ns}$ pour les mêmes bandes passantes. Cette configuration offre le meilleur compromis entre rapidité et stabilité.

Lorsque la marge de phase atteint 80° , la réponse est fortement amortie et les oscillations deviennent négligeables. En contrepartie, le temps de verrouillage augmente sensiblement pour atteindre $90,26 \mu\text{s}$ à 500 kHz et $46,52 \mu\text{s}$ à 1 MHz . Pour une bande passante de 5 MHz , le verrouillage n'est pas correctement établi dans l'intervalle d'observation considéré, ce qui traduit une dégradation des performances dynamiques du système.

A. 10. Validation de la marge de phase retenue

L'étude des réponses fréquentielles et temporelles de la PLL met en évidence le rôle essentiel de la marge de phase dans le comportement du synthétiseur. Les simulations montrent qu'une faible marge de phase (20°) favorise une réponse rapide, mais s'accompagne d'oscillations importantes et d'une augmentation des pics observés dans les caractéristiques de gain et de bruit de phase. À l'inverse, une marge de phase élevée (80°) améliore l'amortissement de la boucle et réduit fortement ces pics, au prix d'un allongement significatif du temps de verrouillage.

Par comparaison, une marge de phase de 45° permet d'obtenir un comportement plus équilibré. Les réponses du système présentent un niveau d'amortissement satisfaisant, une bonne stabilité ainsi qu'une réduction notable des perturbations fréquentielles, tout en conservant une dynamique de verrouillage acceptable.

Au regard de l'ensemble des résultats obtenus, la valeur de 45° a été retenue pour la suite de la conception, car elle assure le meilleur compromis entre stabilité, rapidité de verrouillage et performances en bruit de phase pour le synthétiseur PLL étudié.

III.3.4. Analyse du choix de la bande de boucle

Afin d'évaluer l'influence de la bande passante de boucle sur les performances spectrales du synthétiseur, des simulations ont été réalisées pour trois valeurs de ω_p (500 kHz , 1 MHz et 5 MHz), tout en conservant une marge de phase de 45° et un courant de fuite de 1 nA . L'objectif est d'examiner l'évolution des raies de référence en fonction de la bande passante retenue.

Les résultats présentés dans les figures III.30 à III.32 montrent que l'augmentation de la bande passante s'accompagne d'une élévation du niveau des raies de référence. Pour ($\omega_p = 500 \text{ kHz}$), les niveaux observés sont d'environ -132 dBc , -150 dBc et -161 dBc aux décalages de 50 MHz , 100 MHz et 150 MHz . Lorsque la bande passante de boucle atteint 1 MHz , ces valeurs deviennent respectivement -114 dBc , -132 dBc et -143 dBc . À ($\omega_p = 5 \text{ MHz}$), les raies augmentent davantage pour atteindre environ -76 dBc , -91 dBc et -101 dBc .

Ces résultats montrent qu'une bande passante élevée améliore la rapidité de la boucle, mais favorise également la transmission des composantes associées à la fréquence de référence. En conséquence, une augmentation de (ω_p) se traduit par une dégradation de la pureté spectrale du signal de sortie et par une hausse du niveau des raies parasites.

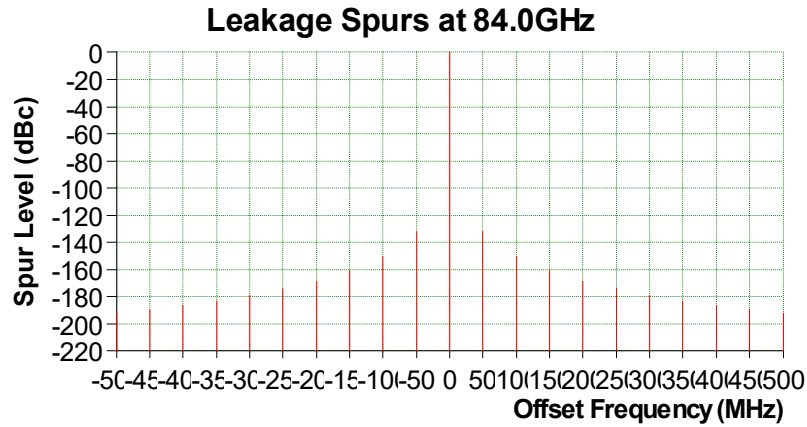


Figure III.30. Spectre des raies de références @ $\Delta\phi = 45^\circ$, $\omega_p = 500\text{kHz}$.

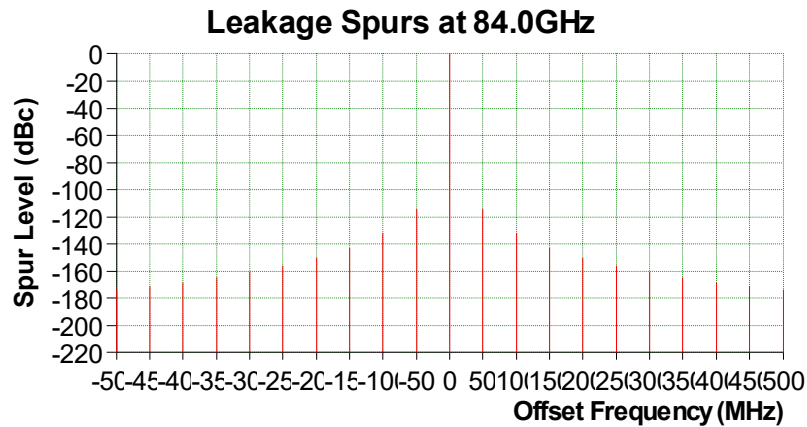


Figure III.31. Spectre des raies de références @ $\Delta\phi = 45^\circ$, $\omega_p = 1\text{MHz}$.

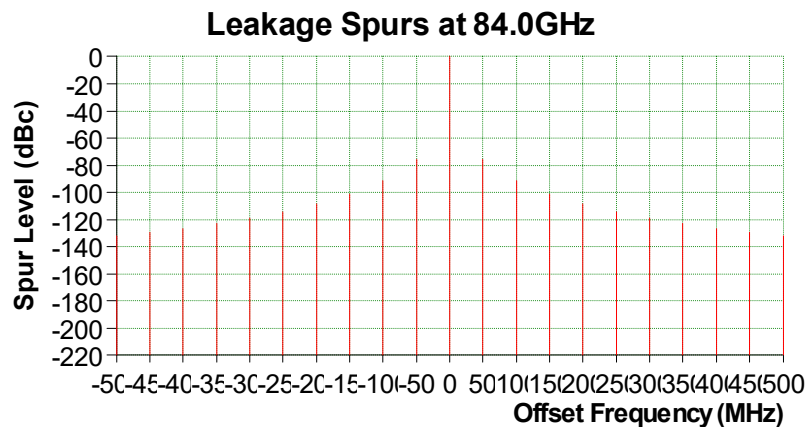


Figure III.32. Spectre des raies de références @ $\Delta\phi = 45^\circ$, $\omega_p = 5\text{MHz}$.

L'ensemble des résultats met en évidence le compromis inhérent au choix de la bande passante de boucle. Une faible valeur de (ω_p) favorise l'atténuation des raies de référence et améliore ainsi la pureté spectrale, tandis qu'une valeur plus élevée permet d'obtenir un verrouillage plus rapide de la boucle.

Au regard des performances obtenues en termes de bruit de phase, de raies de référence et de réponse temporelle, une bande passante de 1 MHz a été retenue pour la suite de l'étude. Cette valeur, correspondant à (1/50) de la fréquence de comparaison de 50 MHz, assure un équilibre satisfaisant entre performances spectrales et comportement dynamique du synthétiseur, tout en répondant aux exigences de l'application 5G considérée.

III.4. Conception et validation du synthétiseur à PLL pour les applications 5G

Les analyses menées au cours de cette étude ont permis de déterminer les paramètres les plus appropriés pour la conception du synthétiseur à PLL destiné aux applications 5G dans la bande E. Les valeurs retenues à l'issue des différentes phases d'optimisation sont regroupées dans le tableau III.6.

Paramètres	Valeur retenue
Fréquence de référence (F_0)	100 MHz
Fréquence de comparaison (F_{ref})	50 MHz
Facteur (R)	2
Plage de fréquences de sortie (F_{out})	[81-86] GHz
Pré-diviseur (P)	40
Gain du VCO (K_{VCO})	GHz/ V3.1
Courant de la pompe de charge (I_{cp})	1.2mA
Courant de fuite (Leakage)	1nA
Bande passante de boucle ω_p	1 MHz
Marge de phase $\Delta\phi$	45°

Tableau III.6. Paramètres optimisés retenus pour la conception du synthétiseur à PLL destiné aux applications 5G.

En fonction des paramètres définis dans le tableau III.6, le synthétiseur de fréquence a été conçu à l'aide de l'environnement ADIsimPLL. La figure III.33 illustre le schéma-bloc obtenu. Dans cette configuration, plusieurs éléments constitutifs de la boucle PLL sont pris en compte, notamment le synthétiseur de fréquence ADF41513, le VCO, le préscaler, ainsi que le filtre de boucle, dont les valeurs des composants sont déterminées par l'outil de conception.

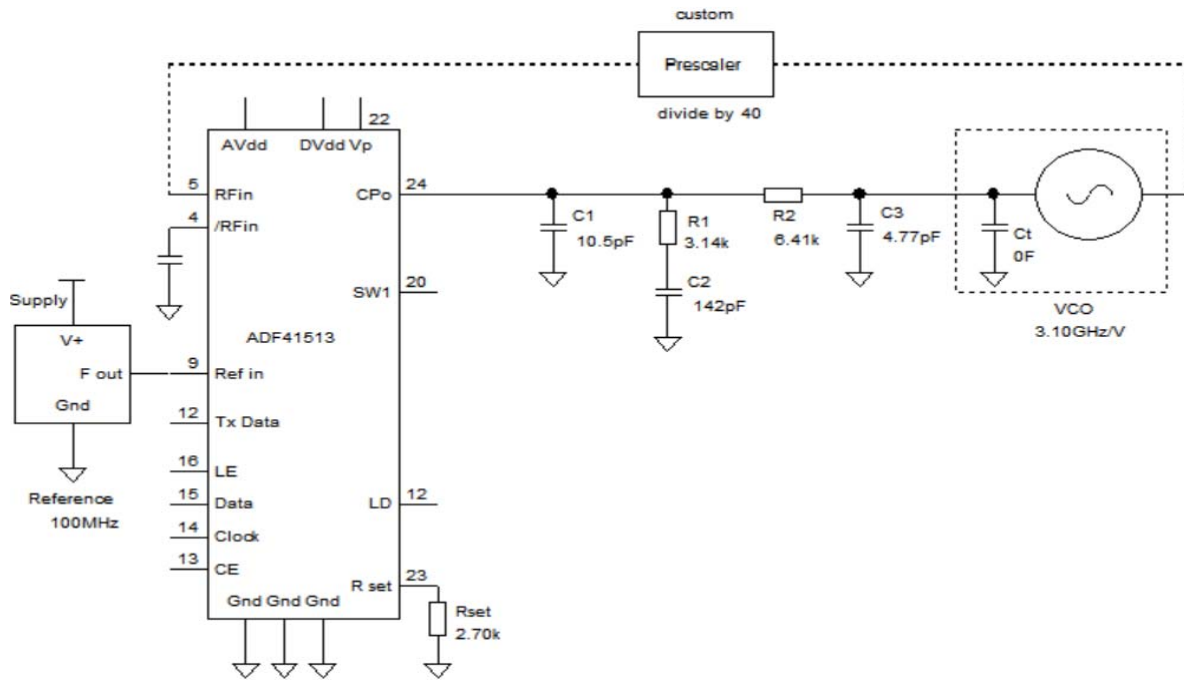


Figure III.33. Structure du synthétiseur de fréquence couvrant la bande E (81–86 GHz).

L'outil ADIsimPLL permet également le dimensionnement automatique du filtre de boucle en fonction des spécifications définies. Le tableau III.7 récapitule les valeurs des éléments du filtre d'ordre trois obtenues lors de la conception du synthétiseur de fréquence.

$\omega_p=1\text{MHz}, \Delta\phi=45^\circ$				
C_1 (pF)	R_1 (k Ω)	C_2 (pF)	R_2 (k Ω)	C_3 (pF)
10.5	3.14	142	6.41	4.77

Tableau III.7. Valeurs des composants utilisés dans le filtre de boucle de la PLL.

III.4.1 Évaluation des performances temporelles du synthétiseur

A. Comportement transitoire du synthétiseur

La figure III.34 présente l'évolution temporelle de la fréquence de sortie lors d'une transition entre 82 GHz et 86 GHz. Les résultats de simulation indiquent un temps de verrouillage d'environ 2,64 μs . Cette valeur demeure largement inférieure à la contrainte de latence généralement associée aux systèmes 5G, fixée à 1 ms, ce qui confirme l'aptitude du synthétiseur à répondre aux exigences de rapidité requises pour ce type d'application.

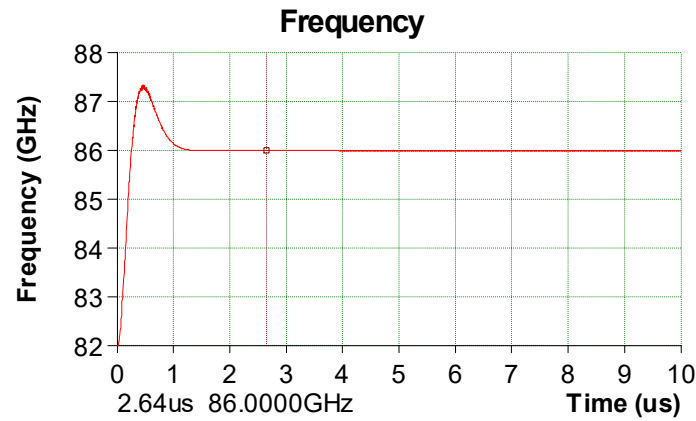


Figure III.34. Évolution de la fréquence de sortie lors du processus de verrouillage.

B. Évolution temporelle de la phase d'erreur

La figure III.35 présente le comportement de la phase d'erreur lors de l'acquisition du verrouillage. Les résultats montrent une diminution progressive de l'écart de phase jusqu'à l'établissement du régime stable. La stabilisation est obtenue après environ 2,64 μ s, ce qui confirme la rapidité de convergence de la PLL et est cohérent avec le temps de verrouillage précédemment déterminé.

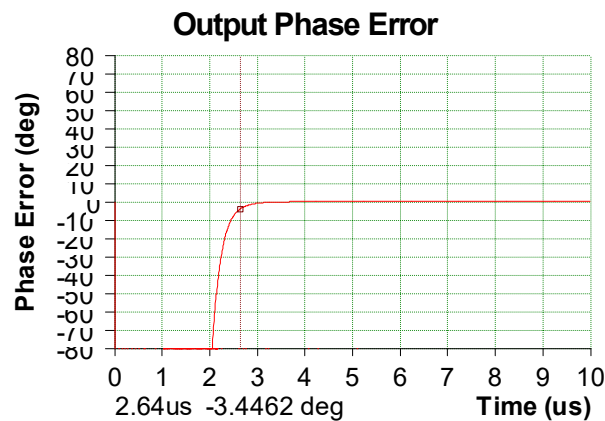


Figure III.35. Évolution de la phase d'erreur au cours du verrouillage de la PLL.

C. Réponse de la fréquence d'erreur du système

La figure III.36 présente la variation de la fréquence d'erreur pendant la phase d'acquisition du verrouillage. Les résultats montrent une diminution progressive de l'écart fréquentiel jusqu'à l'obtention du régime stable. À l'instant correspondant au verrouillage de la PLL, soit environ 2,64 μ s, la fréquence d'erreur est voisine de 48,23 kHz.



Figure III.36. Évolution de la fréquence d'erreur lors du processus de verrouillage de la PLL.

III.4.2. Évaluation des performances fréquentielles du synthétiseur

A. Analyse du comportement en boucle ouverte

La figure III.37 présente la caractéristique fréquentielle de la PLL en boucle ouverte. Cette représentation permet de vérifier la stabilité du système à partir du gain et de la phase de la boucle. Les résultats montrent qu'au voisinage de la bande passante retenue, soit 1 MHz, le gain atteint la valeur unitaire (0 dB), tandis que la phase est proche de -135° . La différence entre cette valeur et -180° conduit à une marge de phase d'environ 45° , ce qui confirme le bon dimensionnement de la boucle et garantit un fonctionnement stable du synthétiseur.

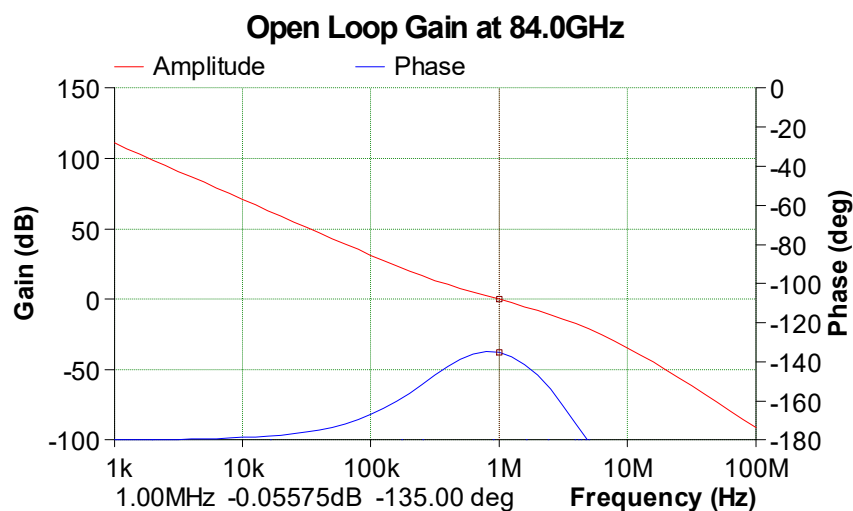


Figure III.37. Caractéristique du gain et de la phase de la PLL en boucle ouverte.

B. Analyse de la réponse en boucle fermée

La figure III.38 présente la réponse fréquentielle de la PLL en boucle fermée. Cette caractéristique permet d'apprécier la capacité du synthétiseur à suivre les variations de phase à l'intérieur de sa bande passante. Les résultats montrent que le gain demeure pratiquement constant jusqu'à la fréquence de

coupure fixée à 1 MHz. À proximité de cette fréquence, un léger pic de résonance apparaît avec une amplitude d'environ 2,3 dB. Au-delà de la bande passante, le gain décroît rapidement, ce qui traduit l'atténuation des composantes de fréquence élevée par la boucle.

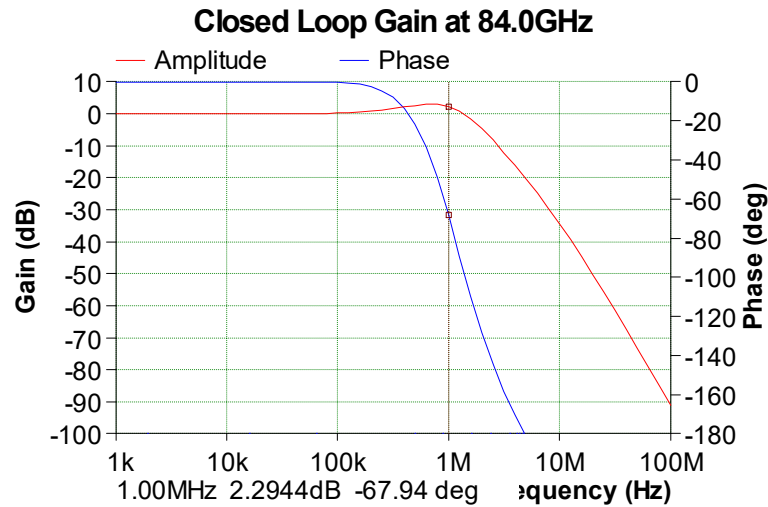


Figure III.38. Réponse fréquentielle de la PLL en boucle fermée.

C. Analyse de la réponse en modulation de fréquence

La figure III.39 présente la réponse du synthétiseur à une modulation de fréquence appliquée au VCO. Les résultats montrent que la réponse augmente progressivement jusqu'au voisinage de la bande passante de boucle fixée à 1 MHz, où un maximum est observé. Au-delà de cette fréquence, la courbe tend à se stabiliser, indiquant une diminution de l'influence de la boucle de verrouillage sur les variations rapides du signal.

Ce comportement met en évidence la répartition des rôles entre la PLL et le VCO. Dans la bande passante de la boucle, les variations de fréquence sont efficacement corrigées par le mécanisme de rétroaction, ce qui améliore la stabilité du signal généré. En revanche, pour les fréquences supérieures à la bande de boucle, la réponse du synthétiseur est principalement déterminée par les caractéristiques propres du VCO.

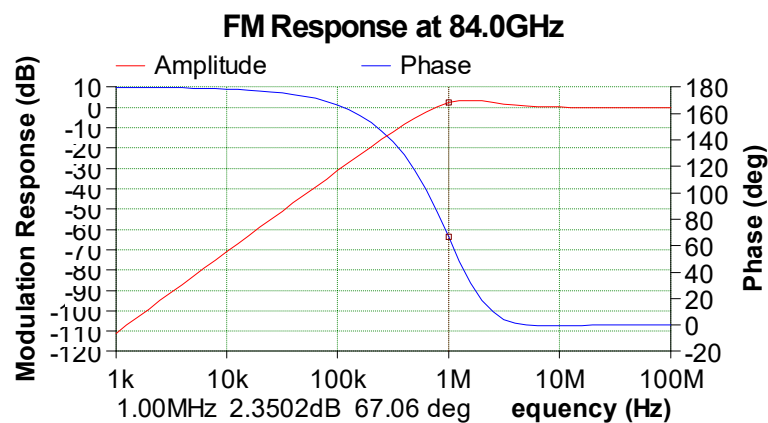


Figure III.39. Réponse du synthétiseur à une modulation de fréquence.

D. Analyse des raies de référence

La figure III.40 présente le spectre des raies de référence du synthétiseur réglé à 84 GHz. Des composantes parasites apparaissent autour de la porteuse selon une distribution symétrique, avec une amplitude qui décroît lorsque l'écart fréquentiel augmente. Les premières raies sont localisées aux multiples de la fréquence de comparaison de 50 MHz et conservent des niveaux relativement faibles.

Ces résultats confirment l'efficacité de la PLL dans la limitation des composantes parasites associées au signal de référence. Le faible niveau des premières raies contribue à préserver la pureté spectrale du signal de sortie, ce qui constitue un critère important pour les applications radiofréquences à haut débit.

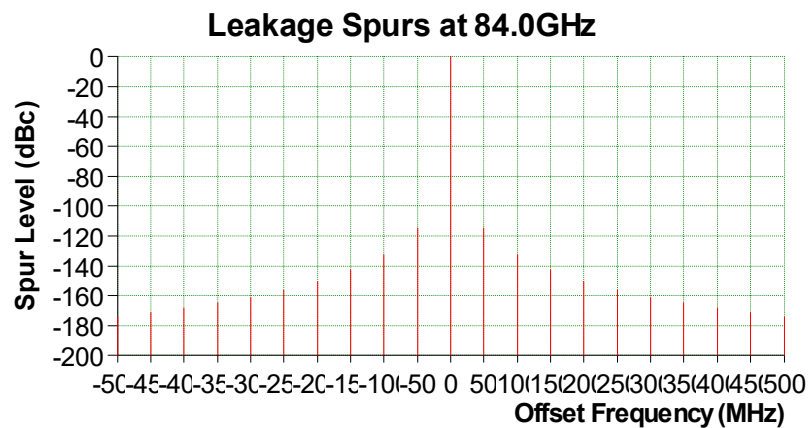


Figure III.40. Spectre des raies de référence du synthétiseur à 84 GHz.

E. Analyse des performances en bruit de phase

La figure III.41 présente les différentes contributions au bruit de phase du synthétiseur fonctionnant à 84 GHz. Les résultats montrent que les contributions de l'oscillateur de référence, du prédiviseur et du circuit ADF41513 décroissent avec l'augmentation de la fréquence de décalage. En revanche, les contributions du filtre de boucle et du VCO deviennent plus importantes à l'approche de la bande passante de boucle fixée à 1 MHz.

Au-delà de cette fréquence, l'influence du filtre de boucle diminue grâce à son effet d'atténuation, tandis que le bruit du VCO devient la composante dominante du spectre. Ce comportement est caractéristique des synthétiseurs à PLL, où le bruit de phase est principalement contrôlé par la boucle aux faibles fréquences de décalage et par le VCO aux fréquences plus élevées.

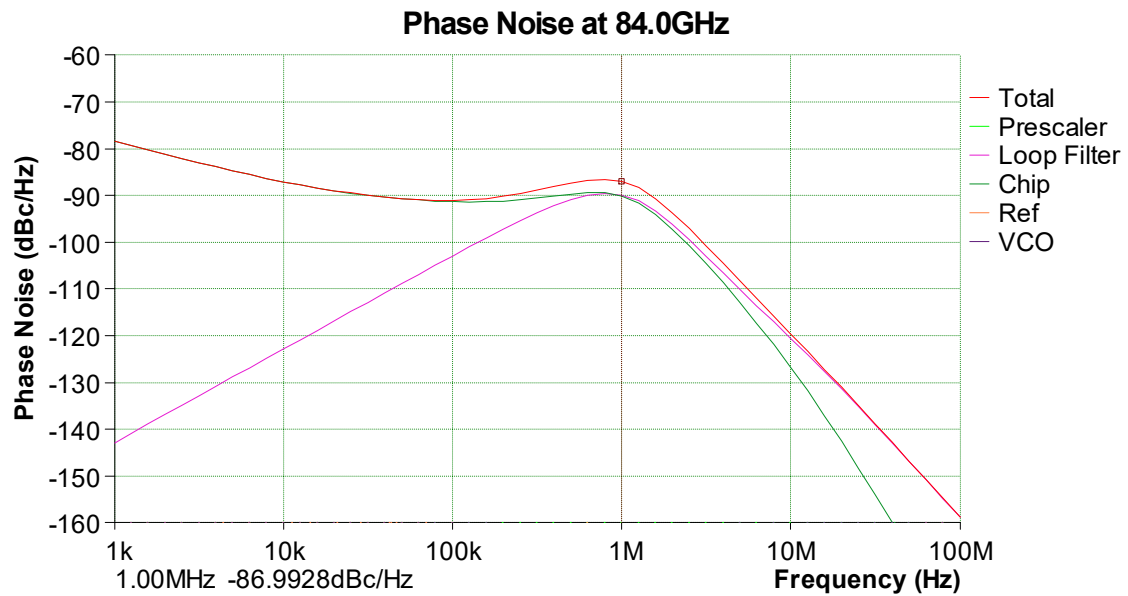


Figure III.41. Contributions au bruit de phase du synthétiseur à 84 GHz.

III.5. Conclusion

Ce chapitre a présenté la conception et la simulation d'un synthétiseur à PLL destiné aux applications 5G dans la bande E. Les différentes analyses ont permis d'optimiser les principaux paramètres de la boucle afin d'obtenir un compromis satisfaisant entre stabilité, temps de verrouillage et pureté spectrale. Les résultats obtenus confirment les performances du synthétiseur aussi bien dans le domaine temporel que fréquentiel, avec un faible bruit de phase, une bonne atténuation des raies de référence et un temps de verrouillage compatible avec les exigences des systèmes 5G.

Conclusion Générale

Ce mémoire de master a porté sur l'étude et la conception d'un synthétiseur de fréquences à boucle à verrouillage de phase (PLL) destiné aux systèmes de communication 5G exploitant la bande E comprise entre 81 GHz et 86 GHz.

Dans un premier temps, l'évolution des réseaux mobiles et les contraintes associées aux systèmes de cinquième génération ont été examinées. L'augmentation continue des débits, la réduction des temps de latence et la densification des utilisateurs conduisent à l'exploitation de ressources spectrales plus étendues. Dans ce contexte, la bande E constitue une solution particulièrement attractive grâce à sa large bande passante disponible et à son aptitude à supporter des liaisons à très haut débit.

Une étude des techniques de synthèse de fréquence a ensuite été menée, avec un intérêt particulier pour les architectures basées sur les PLL. Les principaux blocs constituant la boucle ont été analysés afin de comprendre leur influence sur les performances du synthétiseur, notamment en termes de stabilité, de bruit de phase et de comportement dynamique.

La phase de conception s'est appuyée sur l'outil ADIsimPLL et sur le circuit ADF41513. Les simulations réalisées ont permis d'évaluer l'effet de différents paramètres de la boucle sur les performances globales du système. Les résultats ont montré qu'une marge de phase de 45° permet d'obtenir un bon compromis entre stabilité et rapidité de verrouillage. De même, une bande passante de boucle de 1 MHz, correspondant à $1/50$ de la fréquence de comparaison de 50 MHz, s'est révélée adaptée pour concilier performances dynamiques et pureté spectrale.

Le synthétiseur développé couvre la plage de fréquences 81–86 GHz à partir d'une référence de 100 MHz. Les simulations ont mis en évidence un temps de verrouillage d'environ $2,64 \mu\text{s}$ ainsi qu'un comportement satisfaisant dans les domaines temporel et fréquentiel. Les performances obtenues confirment la capacité du système à répondre aux exigences des applications radiofréquences associées aux réseaux 5G.

Les résultats obtenus montrent ainsi qu'une sélection appropriée des paramètres de la PLL permet de réaliser un synthétiseur de fréquences performant pour la bande E. Cette étude constitue également une base de travail pour des développements futurs, tels que la réalisation matérielle du système, la comparaison entre simulations et mesures expérimentales, ou encore l'exploration d'autres architectures susceptibles d'améliorer davantage les performances en bruit de phase et en stabilité.

Dans le cadre des perspectives de ce travail, il serait intéressant de réaliser une implémentation matérielle du synthétiseur conçu afin de comparer les résultats de simulation aux mesures expérimentales. Il serait également possible d'étudier d'autres architectures de synthétiseurs de fréquences ou d'explorer des techniques permettant de réduire davantage le bruit de phase ainsi que les effets du courant de fuite. Enfin, l'extension de cette étude vers des applications exploitant des bandes de fréquences plus élevées pourrait constituer une perspective prometteuse pour les futurs systèmes de communications sans fil.

Références bibliographiques

Références bibliographiques

- [1] H. Imane, « Étude et conception d'un filtre actif accordable : cas de la 5G », Thèse de doctorat, Université Sidi Mohammed Ben Abdellah , Maroc. 2017.
- [2] H. Ayad et R. A. Mekidiche, « Optimisation de la couverture radio 4G (LTE-A) des opérateurs de télécommunications », Mémoire de Master, Université de Tlemcen, 2018.
- [3] Y. Bouguen, E. Hardouin et F.-X. Wolff, « LTE et les réseaux 4G », 2012.
- [4] M. Mouly et M.-B. Pautet, "The GSM System for Mobile Communications ", Telecom Publishing, Washington, DC, 1992.
- [5] « <http://www.marche-public.fr/Terminologie/Entrees/2G.htm> ».
- [6] I. Zenati et O. Boufersakha, « Dimensionnement et planification d'un réseau LTE ». Mémoire de Master, Université Abou Bekr Belkaïd – Tlemcen, 2017.
- [7] H. N. Khelil, « Étude et conception d'un synthétiseur de fréquences [3,4–3,8] GHz pour les communications mobiles 5G », Mémoire de Master, Université Abou Bekr Belkaïd – Tlemcen, 2021.
- [8] K. Ibrahimi, « Gestion des ressources des réseaux mobiles de nouvelle génération », Thèse de doctorat, Université d'Avignon , 2009.
- [9] J. Sanchez et M. Thioune, « Universal Mobile Telecommunications System UMTS », 2004.
- [10] M. Hendaoui, « Réception dans un système d'accès multiples à répartition par codes ».
- [11] E. Batut, « Étude du bloc de réception dans un terminal UMTS-FDD et développement d'une méthodologie de codesign en vue du fonctionnement en temps réel. », Thèse de doctorat , INP de Grenoble 2010.
- [12] J. Saber, « Contribution à l'étude et à la conception d'un synthétiseur de fréquences pour les communications radio mobiles 5G ».
- [13] Z. Berber, « Étude et conception des synthétiseurs de fréquences pour les systèmes de communications sans fil 5G », Thèse de doctorat, Université Abou Bekr Belkaïd – Tlemcen, 2019.
- [14] « <http://www.3gpp.org/Carrier-Aggregation-explained> ».
- [15] M. Mahfoudi, « Contribution à l'amélioration de la qualité de service pour les flux voix et vidéo sur LTE (4G) », 2016.
- [16] 3GPP TR 25.913 V8.0.0, « LTE : Requirements for Evolved UTRA and EUTRAN ».
- [17] K. Ibrahimi, « Gestion des ressources des réseaux mobiles de nouvelle génération », 2009.
- [18] 3GPP TR 25.996, « Spatial Channel Model for MIMO Simulations ».
- [19] 3GPP TR 36.912, « Feasibility Study for LTE-Advanced ».
- [20] 3GPP TR 25.913 V8.0.0, « LTE Requirements ».
- [21] 3GPP TR 36.814, « Further Advancements for E-UTRA Physical Layer Aspects ».
- [22] Y. Bouguen, E. Hardouin et F.-X. Wolff, « LTE et les réseaux 4G ».
- [23] E. Dahlman et al., « 3G Evolution: HSPA and LTE for Mobile Broadband ».

- [24] « https://fr.wikipedia.org/wiki/LTE_Advanced ».
- [25] « <https://www.telit.com/lte-evolution-standardization-and-deployment-the-long-run-to-5g> ».
- [26] Huawei, « 5G Network Architecture White Paper ».
- [27] 4G Americas, « 5G Spectrum Recommendations », August 2015.
- [28] 5GPPP, « 5G Vision ».
- [29] Huawei, « 5G Network Architecture White Paper ».
- [30] « <https://www.terrafemina.com/vie-pratique/economie-a-bourse/articles/33447-telephonie-mobile-les-cinq-objectifs-de-la-5g.html> ».
- [31] Ofcom, « Update on 5G Spectrum in the UK », 2017.
- [32] Huawei, « Public Policy Position 5G Spectrum ».
- [33] Ofcom, « Enabling 5G in the UK ».
- [34] ARCEP, « Rapport Enjeux 5G », 2017.
- [35] Ariase, « Dossier fréquences 5G ».
- [36] A. Boumaza et Y. Mogdad, « Emploi de la Technique Deep Learning dans les systèmes mobiles 5G ».
- [37] H. Shokri-Ghadikolaei, « Millimeter-wave Networking », 2017.
- [38] A. Zaidi, A. Baghdad, A. Ballouk et A. Badri, « Conception et optimisation d'une antenne patch large bande ».
- [39] P. F. Combes, « Les micro-ondes et leurs applications ».
- [40] ResearchGate, « Génération d'ondes millimétriques dans les systèmes photoniques ».
- [41] Rajiv, « Applications of Millimeter Waves and Future », 2017.
- [42] « [https://en.wikipedia.org/wiki/E_band_\(waveguide\)](https://en.wikipedia.org/wiki/E_band_(waveguide)) ».
- [43] LTE Magazine, « La technologie E-Band : description et modalités d'exploitation ».
- [44] M. Tié, « Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm », Université Paul Sabatier de Toulouse, juillet 2004.
- [45] S. Kameche, « PLL et Synthèse de Fréquences [support de cours] », Université Abou Bekr Belkaïd – Tlemcen, 2014-2015.
- [46] M. Girard, « Boucles à Verrouillage de phase », McGraw-Hill, 1988.
- [47] R. E. Best, « Phase-Locked Loops », McGraw-Hill Book Company, 1976.
- [48] F. de Dieuleveult, « Électronique appliquée aux hautes fréquences », Dunod, 1999.
- [49] U. L. Rohde, « Digital PLL Frequency Synthesizers - Theory and Design », Prentice Hall, 1983.
- [50] W. Wong, « Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire », 2003.
- [51] A. Gietterez-Aitken et al., « Ultra High Speed Direct Digital Synthesizer Using InP DHBT Technology », IEEE Journal of Solid-State Circuits, 2002.
- [52] Kristall-Verarbeitung Neckarbischofsheim, « Introduction technique oscillateurs à quartz compensés en température (TCXO) ».

- [53] Z. Berber et S. Kameche, « Optimal Choice for Phase Margin on mm-Wave PLL Frequency Synthesizer for 5G Wireless Communication Systems », 2018.
- [54] J.-M. N. Akre, « Étude de la synchronisation et de la stabilité d'un réseau d'oscillateurs non linéaires », 2013.
- [55] M. Curtin et P. O'Brien, « Analog Devices. Phase-Locked Loops for High Frequency Receivers and Transmitters – Part 2 ».
- [56] V. Cheynet de Beurpré, « Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK », 2008.
- [57] « ADISimPLL 4.30.03 Software », 2017.
- [58] S. Kameche, M. Feham et M. Kameche, « Simulating and Designing a PLL Frequency Synthesizer for GSM Communications », 2008.
- [59] Z. Berber et S. Kameche, « Design and Simulation of PLL Frequency Synthesizer for LTE/LTE Advanced Mobile Communications », 5th International Conference on Multimedia Computing and Systems (ICMCS), 2016.
- [60] J. Juyon, « Contribution à la conception de synthèses de fréquence pour liaison satellite embarquée », 2013.
- [61] T. Sriburanon et al., « A 28-GHz Fractional-N Frequency Synthesizer with Reference and Frequency Doublers for 5G Cellular », ESSCIRC Conference 2015, pp. 76–79.
- [62] F. Herzel et al., « An Integrated Frequency Synthesizer in 130 nm SiGe BiCMOS Technology for 28/38 GHz 5G Wireless Networks », EuMIC, 2017, pp. 236–239.
- [63] N. Bekkouche et M. Haji, « Étude et conception d'un synthétiseur de fréquences pour les communications radio mobiles sur LTE/LTE Advanced », Université Aboubakr Belkaïd Tlemcen, 2017.
- [64] Analog Devices, « PLL Frequency Synthesizer », Data Sheet ADF41513, www.analog.com