

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR

ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE ABOU BEKR BELKAID - TLEMCCEN

FACULTE DE TECHNOLOGIE

DEPARTEMENT DU GENIE ELECTRIQUE ET ELECTRONIQUE

MEMOIRE

Pour l'obtention du

DIPLOME DE MAGISTER

Spécialité : Nanophysique et Nanotechnologie

Par

MERAD FAIZA

Conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique à conduction latéral de type Tri-Gate (FinFET)

Soutenu en 11 / 09/2014 devant le jury composé de :

Mr. BENDIMERAD Fethi Tarik	Prof, à l'Université de Tlemccen	Président
Mr. BENAHMED Nasr Eddine	Prof, à l'Université de Tlemccen	Examinateur
Mr. GHAF FOUR Kheir Eddine	Prof, à l'Université de Tlemccen	Examinateur
Mr. BOUAZZA Benyounes	MC, à l'Université de Tlemccen	Examinateur
Mme. BOUAZZA née GUEN Ahlam	MC, à l'Université de Tlemccen	Encadreur

Dédicaces

*Je dédie ce modeste travail en premier lieu À mes très chers parents
en reconnaissance de leur soutien dans mes études.*

A ma défunte sœur NISRINE.

A ma très chère sœur SARAH et à son époux LOTFI.

A ma petit sœur MANAL.

A tous ceux qui portent le nom MERAD.

A mon fiancé Monsieur Kanoun Ahmed -Ali.

A la famille Kanoun.

A tous mes professeurs.

A mes amis(es).

*A toutes la promotion de magister nanophysique et
nanotechnologie.*

Remerciements

Je remercie dieu le tout puissant de m'avoir donné le courage et la volonté de mener à terme ce travail.

Ce travail a été effectué à la faculté de Technologie. Université Abou Bekr Belkaid-Tlemcen.

Je souhaite remercier très vivement Madame A.BOUAZZA qui a encadré mon travail. J'ai beaucoup profité de son savoir et de sa rigueur scientifique. Son expérience dans le domaine de la microélectronique nous a permis de nous investir avec détermination dans ce travail de mémoire. Sa compétence a été indispensable à son bon déroulement.

Je remercie également Monsieur BENDIMERAD, Monsieur BENAHMED, Monsieur GHAFJOUR et Monsieur BOUAZZA d'avoir accepté de faire partie du jury.

Enfin, j'adresse mes remerciements à tous ceux qui ont contribué de près ou de loin à la réalisation de ce projet.

Table des matières

Liste des constantes, symboles et abréviations.....	ix
Liste des figures	xii
Introduction général.....	2
Chapitre I: Transistor MOSFET	
I.1. Introduction.....	7
I.2. Le Transistor MOSFET	7
I.2.1. Principe de base d'un transistor MOSFET.....	9
I.2.1.1. Effet de champ	9
I.2.1.2. Structure possible du transistor MOSFET	10
I.2.1.3. Régimes de fonctionnement du transistor	12
I.2.1.4. Potentiel de bandes plates	14
I.2.1.5. Tension de seuil.....	15
I.2.1.6. Pente sous le seuil	15
I.2.1.7. Courant I_{off} et I_{on}	16
I.2.2. Régimes de fonctionnement des transistors MOSFETs.....	17
I.2.2.1. Régime linéaire	18
I.2.2.2. Polarisation en mode de saturation.....	20
I.2.3. Schémas équivalent du MOSFET	21
I.2.3.1. Schéma équivalent en petit signaux basses fréquences.....	24
I.2.3.2 Schéma équivalent en petits signaux haute fréquence	25
I.3. Les phénomènes parasites dans le MOSFET	26
I.3.1. La mobilité effective	26
I.3.2. Les effets des canaux courts.....	29
I.3.2.1. Vitesse de saturation.....	29
I.3.2.2. Le partage des charges	30
I.3.2.3. L'effet de canal court inverse	33
I.3.2.4. Effet de réduction de la barrière de potentiel induit par le drain.....	33
I.3.2.5. L'effet de perçage	36
I.3.3. Les effets du canal étroit	36

I.3.4. Les effets liés à la grille.....	38
I.3.4.1. Épaisseur effective de grille	38
I.3.4.2. Le courant de grille	40
I.3.4.3. Effet GIDL	42
I.3.5. L'ionisation par impact.....	44
I.3.6. Les claquages et le régime d'avalanche.....	45
I.3.7. Les résistances et capacités séries	45
I.3.7.1. Les résistances séries.....	45
I.3.7.2. Les LDD	46
I.3.7.3. Les capacités de recouvrement.....	47
I.4. Les SOI MOSFETs	47
I.5. Conclusion.....	48
Référence du Chapitre I.....	50
Chapitre II: Les FinFETs triples- grilles	
Sommaire chapitre II	52
II.1. Introduction	54
II.2. Technologie MOSFET Multi grille	55
II.3. Les différentes classes de la technologie MOSFET Multi-grille	57
II.3.1 Transistor MOSFET Double-Grille	57
II.3.1.1. Transistor MOSFET double-grille vertical.....	59
II.3.1.2. Transistor MOSFET double-grille planaire	59
II.3.1.3. Modes de fonctionnement du transistor MOSFET double-grille	60
II.3.1.4. Symbole du transistor MOSFET double grille	62
II.3.1.5. Schéma équivalent du transistor DGFET	62
II.3.2. Les Transistors double grille quasi planaire de type FinFET.....	62
II.3.3. MOSFET triple-grille	65
II.3.4. GAA MOSFET	66
II.3.5. MOSFET à nanofil	66
II.3.6. Théorie du scaling	67

II.4. Le transistor FinFET : propriétés électriques et effets physiques.....	70
II.4.1. Présentation du FinFET	70
II.4.2. Propriétés électriques du FinFET	71
II.4.2.1. La longueur du canal (L)	71
II.4.2.2. La largeur (ou l'épaisseur) du Fin (W_{Si})	71
II.4.2.3. La hauteur du Fin (H_{Si}).....	72
II.4.2.4. Le dopage du film de silicium	73
II.4.2.5. Des jonctions S/D-canal.....	73
II.4.3. Effets de coin	73
II.4.4. Les effets de la mécanique quantique	77
II.4.5. Underlap – Overlap	79
II.4.6. Extension de la technologie FinFET- Bulk FinFET	81
II.5. Les modèles physiques	83
II.5.1. Le modèle de Dérive-Diffusion	83
II.5.1.1. Théorie du modèle de Dérive-Diffusion	83
II.5.1.2. Les effets non stationnaires.....	85
II.5.2. Les effets quasi-balistiques	89
II.5.3. Recombinaison Shockley-Read-Hall	90
II.5.4. Energie Balance	91
II.6. Conclusion	92
Référence du Chapitre II	93
Chapitre III: Résultats et Interprétations	
III.1. Introduction.....	97
III.2. Présentation du logiciel TCAD-SILVACO.....	97
III.2.1. Présentation du paquet des programmes SILVACO	97
III.2.1.1. Les outils de simulation.....	98
III.2.1.2. Les outils interactifs.....	99

III.2.2. Présentation d'ATLAS	100
III.2.2.1. Entrées et sorties d'ATLAS.....	100
III.2.2.2. Commandes dans un programme ATLAS.....	103
III.3. Structure FINFET simulée par SILVACO	111
III.4. Caractéristique électriques du transistor SOI Tri-Gate FINFET.....	113
III.4.1. Caractéristique de transfert $I_{DS}-V_{GS}$	114
III.4.2. Caractéristique de sortie $I_{DS}-V_{DS}$	114
III.5. Effet de la variation de la hauteur du Fin « H_{fin} »	115
III.5.1. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{GS}$	115
III.5.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{DS}$	116
III.6. Effet de la variation de la largeur du fin W_{fin}	116
III.6.1. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{GS}$	116
III.6.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{DS}$	117
III.7. Effet de la variation de la longueur de la grille du SOI Tri-Gate FINFET.....	118
III.7.1. Effet de variation de la longueur de la grille sur la caractéristique $I_{DS}-V_{GS}$	118
III.7.2. Effet de variation de la longueur de du canal sur la caractéristique $I_{DS}-V_{DS}$	119
III.8. Caractéristique d'un transistor FINFET Triple grille sur Bulk	120
III.8.1. Caractéristique de transfert $I_{DS}-V_{GS}$	122
III.8.2. Caractéristique de sortie $I_{DS}-V_{DS}$	123
III.9. Effet de la variation de la hauteur du Fin « H_{fin} »	124
III.9.1. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{GS}$	124
III.9.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{DS}$	125
III.10. Effet de la variation de la largeur du fin W_{fin}	125
III.10.1. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{GS}$	125
III.10.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{DS}$	126

III.11. Effet de la variation de la longueur de la longueur de canal L_c	127
III.11.1. Effet de variation de la longueur du canal sur la caractéristique $I_{DS}-V_{GS}$	127
III.11.2. Effet de variation de la longueur de du canal sur la caractéristique $I_{DS}-V_{DS}$	128
III.12. Etude comparative entre un SOI FINFET et un Bulk FINFET.....	128
III.13. Conclusion	130
Conclusion général	130
Résumé.....	Erreur ! Signet non défini.
Abstract	Erreur ! Signet non défini.

Liste des constantes, symboles et abréviations

Constantes

k	Constante de Boltzmann, $k=8,617385 \cdot 10^{-5}$	eV/K
q	Charge élémentaire $q=1,6 \cdot 10^{-16}$	C
ϵ_0	Permittivité du vide $\epsilon_0=8,85 \cdot 10^{-12}$	F/m
ϵ_{si}	Permittivité du Silicium $\epsilon_{si}=11,8 \cdot \epsilon_0$	F/m
ϵ_{ox}	Permittivité de l'oxyde de Silicium $\epsilon_{ox}=3,9 \cdot \epsilon_0$	F/m

Symboles

C_{bord}	Capacité dû à des effets de bord.	F.m⁻²
C_{dep}	Capacité de la couche de depletion.	F.m⁻²
C_{GSpara}	Capacité parasite entre la source et la grille.	F.m⁻²
C_{GDpara}	Capacité parasite entre le drain et la grille.	F.m⁻²
C_{inv}	Capacité en régime d'inversion.	F.m⁻²
C_{it}	Capacité associée aux états d'interface.	F.m⁻²
C_{ox}	Capacité de l'oxyde de grille.	F.m⁻²
C_{ZCE}	Capacité de la zone de charge d'espace.	F.m⁻²
E_C	Energie (niveau) de bas de la bande de conduction.	eV
E_c	Champ électrique critique.	V/m
E_F	Energie (niveau) de Fermi.	eV
E_g	Energie de gap : largeur de la bande interdite du semiconducteur.	eV
E_{gb}	Champ électrique transversal (grille→bulk).	
E_i	Energie (niveau) intrinsèque.	eV
E_V	Energie (niveau) haut de la bande de valence.	eV
E_y	Champ électrique transversal.	V/m
g_m	Transconductance.	S
I_D	Courant de drain.	A
I_{Dsat}	Courant de saturation du drain.	A
I_{off}	Le courant de drain à $V_{DS} = V_{DD}$ et $V_{GS} = 0$.	A
L	Longueur du canal.	m
L_E	Longueur effective du canal.	m
I_{on}	Le courant de drain à $V_{DS} = V_{GS} = V_{DD}$.	A
N_A	Concentration en atomes accepteurs ionisés	cm⁻³

N_D	Concentration en atomes donneurs ionisés.	cm^{-3}
n_i	Concentration intrinsèque des porteurs le matériau.	cm^{-3}
N_{it}	Densité de défauts à l'interface.	C
Q'_{bc}	Charge de désertion.	C. m^{-2}
Q'_{bl}	Charge dans le bulk.	C. m^{-2}
Q_{dep}	Charge de la zone de déplétion.	C. m^{-2}
Q'_g	Charge au niveau de la grille.	C. m^{-2}
Q_{inv}	Charge de la zone d'inversion.	C. m^{-2}
Q_{it}	Charge excédentaire à l'interface.	C. m^{-2}
Q_{SC}	Charge au niveau du semiconducteur.	C. m^{-2}
T	Température.	K
T_{ZCE}	Largeur de la zone de charge d'espace.	m
U_T	Tension thermodynamique.	V
V_{Dsat}	Tension de saturation du drain.	V
V_{DS}	Tension drain source.	V
V_E	Tension d'Early.	V
V_{FB}	Tension de Flat Bande (bande plate).	V
V_G	Tension de grille.	V
$V_{GS\ off}$	Tension de blocage du transistor.	V
V_{Th}	Threshold voltage (tension de seuil).	V
W	Largeur du canal.	m
W_E	Largeur effective du canal.	m
ϕ_d	Hauteur de barrière de potentiel entre la source et le canal.	eV
ϕ_F	Potentiel de Fermi.	eV
ϕ_m	Travail de sortie du métal.	eV
ϕ_s	Travail de sortie du semiconducteur.	eV
Ψ_s	Potentiel de surface.	V
θ_0	Facteur de réduction intrinsèque de la mobilité.	-
χ_{si}	Affinité électronique du silicium.	eV
λ	Epaisseur de la zone de charge d'espace.	m
λ_0	Epaisseur minimal de la zone de charge d'espace.	m
μ_0	Mobilité à faible champ électrique.	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$
μ_{eff}	Mobilité effective des porteurs dans le canal.	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$

Abréviations

CMOS	ComplementaryMetalOxideSemiconductor.
DIBL	Drain InducedBarrierLowering.
DIVSB	Drain Induced Virtual Substrate Biasing.
DMOSFET	Transistor MOSFET à appauvrissement.
EMOSFET	Transistor MOSFET à enrichissement.
GIDL	GateInduced Drain Leakage.
HP	High Performance.
LDD	LightlyDoped Drain.
LOP	LowOperationg Power.
LPCVD	Low Pressure ChimicalVaporDeposition.
LSTP	Low Standby Power.
LTO	LowTemperatureOxide.
MIS	Metal Isolant Semiconductor.
MOS	MetalOxideSemiconductor.
MOSFET	MetalOxideSemiconductor Field Effect Transistor (transistor a effet de champ MOS).
NMOS	Transistor à effet de champ MOS à canal N.
PMOS	Transistor à effet de champ MOS à canal P.
SCE	Short ChannalEffect.
SOI	Silicon On Insulator.
STI	Shallow Trench Isolation.
ITRS	International Technology Roadmap for Semiconductors.

Liste des figures

Chapitre I

Figure I.1 :	Représentation schématique d'un transistor MOSFET.....	8
Figure I.2 :	Effet de champ dans un MOSFET.....	9
Figure I.3 :	MOSFET à canal N.....	10
Figure I.4 :	MOSFET à canal P.....	10
Figure I.5 :	MOSFET à appauvrissement.....	11
Figure I.6 :	MOSFET à enrichissement.....	12
Figure I.7 :	Diagramme de bande d'un transistor nMOSFET en régime de bandes plates (a) et en régime de faible inversion (b).....	13
Figure I.8 :	Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.....	17
Figure I.9 :	Caractéristique $I_D(V_{DS})$ typiques à différents V_{GS} d'un transistor MOSFET.....	17
Figure I.10 :	Schéma électrique d'un MOSFET avec l'influence des résistances série source et drain.....	18
Figure I.11 :	Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en inversion.....	22
Figure I.12 :	Décomposition de la capacité parasite $C_{GS\text{para}}$ de la figure I.11 en capacité C_{bord} et capacité de recouvrement C_{rec} grille/caisson.....	23
Figure I.13 :	Schéma électrique en petit signaux et basse fréquence du transistor MOS.....	25
Figure I.14 :	Schéma électrique équivalent en petit signaux et haute fréquence du transistor MOSFET.....	25
Figure I.15 :	Représentation des lignes de champ électrique dans le MOSFET. L'orientation des vecteurs des champs électriques E est illustrée à droite.....	26
Figure I.16 :	Caractéristique d'un nMOSFET avec $L_G=0.12\mu\text{m}$ et $W=2.5\mu\text{m}$ pour deux polarisation distinctes de V_{DS}	27
Figure I.17 :	Variation de la caractéristique dI_{DS}/dV_{GS} en fonction de V_{GS} et de V_{Sb} pour un nMOSFET.....	28
Figure I.18 :	$I_{DS,\text{sat}}-L_G$ pour différents pour différente largeur W (width).....	30

Figure I.19 :	Visualisation des effets liés au partage des charges par comparaison de la région de désertion sous le canal pour, a), un MOSFET à canal long et, b), à canal court. Un grossissement de la région de désertion est donné en c).....	31
Figure I.20 :	Présentation du phénomène de partage des charges dans un MOSFET à canal long, a), et à canal court, b).....	32
Figure I.21 :	Variation de la tension de seuil en fonction de la longueur du canal pour différent MOSFET en technologie 0,13 μm . $V_{\text{DS}}=1.2\text{V}$	33
Figure I.22 :	Variation de la tension de seuil en fonction de la longueur du canal pour la technologie MOSFET 0,13 μm	34
Figure I.23 :	Effet DIBL sur la caractéristique $I_{\text{DS}}(V_{\text{DS}})$ prononcés pour un MOSFET de longueur 0,12 μm à gauche, par rapport à un dispositif avec $L_{\text{G}}=2\mu\text{m}$ à droite.....	35
Figure I.24 :	Oxydes de champ pour des MOSFET avec des structures a) LOCOS, b) STI.....	37
Figure I.25 :	Représentation des transistors latéraux pour une structure LOCOS.....	37
Figure I.26 :	Représentation de l'épaisseur effective de grille dans un MOSFET a) et illustration des effets de la mécanique quantique et de poly-désertion par le diagramme de bande b).....	40
Figure I.27 :	Structure de bande lorsque le courant de grille se manifeste.....	41
Figure I.28 :	Présentation des courants tunnels de l'oxyde de grille d'un MOSFET à canal n.....	41
Figure I.29 :	Variation de la caractéristique $I_{\text{DS}}(V_{\text{GS}})$ en fonction de V_{DS}	42
Figure I.30 :	Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL.....	43
Figure I.31 :	Schématisation du processus d'ionisation par impacte dans un MOSFET à canal n.....	44
Figure I.32 :	Représentation des résistances séries dans les zones source et drain du MOSFET, a) 4 résistances composant les résistances séries, b) polarisation du MOSFET avec les résistances séries.....	46
Figure I.33 :	Transistor n-MOSFET et p-MOSFET (a) bulk (b) SOI.....	47
Figure I.34 :	Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété.....	48

Chapitre II

Figure II.1 :	Schéma d'un FinFET.....	54
Figure II.2 :	Evolution de la Technologie SOI au fil des années.....	55
Figure II.3 :	MOSFET sur SOI pour différentes configurations de grille, 1) Simple Grille, 2) Double Grille, 3) Triple Grille, 4) Quadruple Grille et 5) une nouvelle structure : « grille en Pi ».....	56
Figure II.4 :	Model des trois catégories d'architecture de transistor multi-grille.....	57
Figure II.5:	Lignes de champ électrique.....	58
Figure II.6 :	Procédé de fabrication des transistors doubles grilles.....	58
Figure II.7 :	Orientation du transport électronique et effet de champ sur un MOSFET Double Grille vertical.....	59
Figure II.8 :	Orientation du transport électronique et effet de champ sur un MOSFET Double Grille planaire.....	59
Figure II.9 :	Image MEB (microscope électronique a balayage) d'une coupe du MOSFET double grille (a) non-auto-alignée (b) auto-alignée.....	60
Figure II.10 :	Structure générique d'un transistor MOSFET Double grille.....	61
Figure II.11 :	Symbole du MOSFET Double grille.....	62
Figure II.12 :	Schéma équivalent du transistor MOSFET Double grille.....	62
Figure II.13 :	Structure 3D d'un transistor FinFET, b) section horizontal et c) section vertical.....	63
Figure II.14 :	Procédé de fabrication des transistors FinFETs.....	64
Figure II.15 :	Structure 3D d'un TG MOSFET.....	65
Figure II.16 :	Structure du GAA MOSFET.....	66
Figure II.17:	Structure Nanofil MOSFET.....	66
Figure II.18 :	L'épaisseur du film de silicium maximum VS la longueur de la grille afin d'éviter les effets du canal court dans les cas de MOSFET simple-, double-, triple- et quadruple- grille.....	69
Figure II.19 :	Définition du FinFET.....	71
Figure II.20 :	Influence du paramètre W_{si} dans les simulations 3D.....	72
Figure II.21 :	Type des transistors FinFET.....	73
Figure II.22 :	Les régions ou les effets de coin se produisent dans la section verticale d'un FinFET.....	74
Figure II.23 :	dg_m/dV_G à $V_{DS}=0.1$ V pour différent transistor.....	75

Figure II.24 :	Effet de BOX dans la direction Y-Z.....	76
Figure II.25 :	Effet de BOX dans la direction X-Z.....	76
Figure II.26 :	Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la faible inversion. L'abscisse est normalisée par rapport à la largeur du Fin.....	78
Figure II.27 :	Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin.....	78
Figure II.28 :	Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{si}=10$ et 3 nm) pour (a) bande plate, (b) faible inversion et (c) forte inversion.....	78
Figure II.29 :	Structure d'un FinFET avec la région « underlaps ».....	79
Figure II.30 :	Structure d'un Body-Tied FinFET.....	81
Figure II.31 :	Comparaison des caractéristiques de transfert des SOI et BulkFinFET avec $\Delta x_j=-10$ nm pour les deux différents dopages du body à $V_{DS}=1.2$ V.....	82
Figure II.32 :	Le DIBL en fonction du dopage du Fin pour SOI et BulkFinFET avec $\Delta x_j=-10$ nm.....	82
Figure II.33 :	Comparaisons des caractéristiques de sortie des SOI et BulkFinFET avec $\Delta x_j=-10$ nm pour les deux différents dopages du corps.....	83
Figure II.34 :	Mobilité des électrons en fonction de la densité de dopants donneurs à différentes températures.....	87
Figure II.35 :	Mobilités des électrons en fonction du champ électrique.....	87
Figure II.36 :	Evolution de la vitesse et de l'énergie moyenne des porteurs sous l'effet d'un échelon de champs électrique.....	88
Figure II.37 :	Vitesse moyenne des porteurs dans un nMOSFET de 25nm de longueur électrique à $V_{DS}=V_{GS}=0.8$ V.....	88
 Chapitre III		
Figure III.1 :	Organigramme de la structure VWF.....	98
Figure III.2 :	Entrées et sorties d'ATLAS.....	101
Figure III.3 :	Les composants (ou modules) d'ATLAS.....	101
Figure III.4 :	Les commandes fondamentales dans un programme ATLAS.....	104

Figure III.5 :	Définition du maillage avec Atlas à 2 dimensions.....	105
Figure III.6 :	Définition des régions avec Atlas.....	106
Figure III.7 :	Attribution des matériaux a des régions avec Atlas	106
Figure III.8 :	Définition des électrodes.	107
Figure III.9 :	Types de dopage.....	107
Figure III.10 :	Structure d'un FINFET triple grille sur SOI.....	112
Figure III.11 :	Coupe 2D du SOI Tri Gate FINFET Simulé.....	112
Figure III.12 :	Mise en évidence du maillage de la structure SOI Tri-Gate FINFET simulée.....	113
Figure III.13 :	Caractéristique $I_{DS}-V_{GS}$ du transistor SOI Tri-Gate FINFET.....	114
Figure III. 14 :	Caractéristique $I_{DS}-V_{DS}$ du transistor SOI Tri-Gate FINFET.....	114
Figure III. 15:	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de H_{fin} du SOI Tri-Gate FINFET.	115
Figure III.16 :	Caractéristique $I_{DS}-V_{DS}$ à différente valeur de H_{fin} du SOI Tri-Gate FINFET.	116
Figure III.17 :	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de W_{fin} du SOI Tri-Gate FINFET.....	117
Figure III.18 :	Caractéristique $I_{DS}-V_{DS}$ à différente valeur de W_{fin} du SOI Tri-Gate FINFET.	117
Figure III. 19 :	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du SOI Tri-Gate FINFET.....	119
Figure III.20 :	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du SOI Tri-Gate FINFET.....	120
Figure III.21 :	Structure d'un FINFET triple grille sur Bulk.....	121
Figure III.22 :	Coupe 2D du Tri Gate FINFET sur Bulk Simulé.....	121
Figure III.23 :	Mise en évidence du maillage de la structure Tri-Gate FINFET sur Bulk simulée.....	122
Figure III.24 :	Caractéristique $I_{DS}-V_{GS}$ du transistor Tri-Gate sur Bulk.....	123
Figure III.25 :	Caractéristique $I_{DS}-V_{DS}$ du transistor triple grille sur Bulk.....	123
Figure III.26:	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de H_{fin} du Tri-Gate sur Bulk.	124
Figure III.27 :	Caractéristique $I_{DS}-V_{DS}$ à différente valeur de H_{fin} du Tri-Gate sur Bulk.	125

Figure III.28 :	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de W_{fin} du Tri-Gate sur Bulk.	126
Figure III.29:	Caractéristique $I_{DS}-V_{DS}$ à différente valeur de W_{fin} du Tri -Gate sur Bulk.	126
Figure III.30 :	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du Tri-Gate sur Bulk.....	127
Figure III.31 :	Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du Tri-Gate sur Bulk.....	128
Figure III.32 :	Caractéristique $I_{DS}-V_{DS}$ pour un SOI et Bulk FINFET.....	129
Figure III.33 :	Caractéristique $I_{DS}-V_{GS}$ pour un SOI et Bulk FINFET.....	129

Introduction général

De nos jours, à chaque moment de notre vie nous rencontrons de nouveaux produits issus de l'industrie microélectronique. Ces produits sont de plus en plus petits, légers et compacts et beaucoup plus puissants que ceux rencontrés il y a quelques années. Cette révolution n'a pu être possible que grâce à la miniaturisation et la densité d'intégration dictée par la loi de « Gordon Moore » qui prévoit la multiplication par deux de la densité d'intégration chaque deux ans et depuis 1965. Le principal acteur de cette miniaturisation n'est en fait rien d'autre que le transistor MOSFET (Metal-Oxide-Semiconductor), considéré comme principale structure de base de la conception de circuits à très large et ultra large densité d'intégration dits VLSI et ULSI. Ceci a bien évidemment et incontestablement conduit la technologie CMOS (Complementary MOS) au rang avéré de technologie dominante dans l'industrie des semi-conducteurs.

La croissance de la densité d'intégration à Intel en 2010 a en fait permis de présenter un nouveau processeur Core i7 980x qui contient 1,17 milliard de transistors conçu en technologie 32 nm et ceci sur une surface d'environ 248 mm².

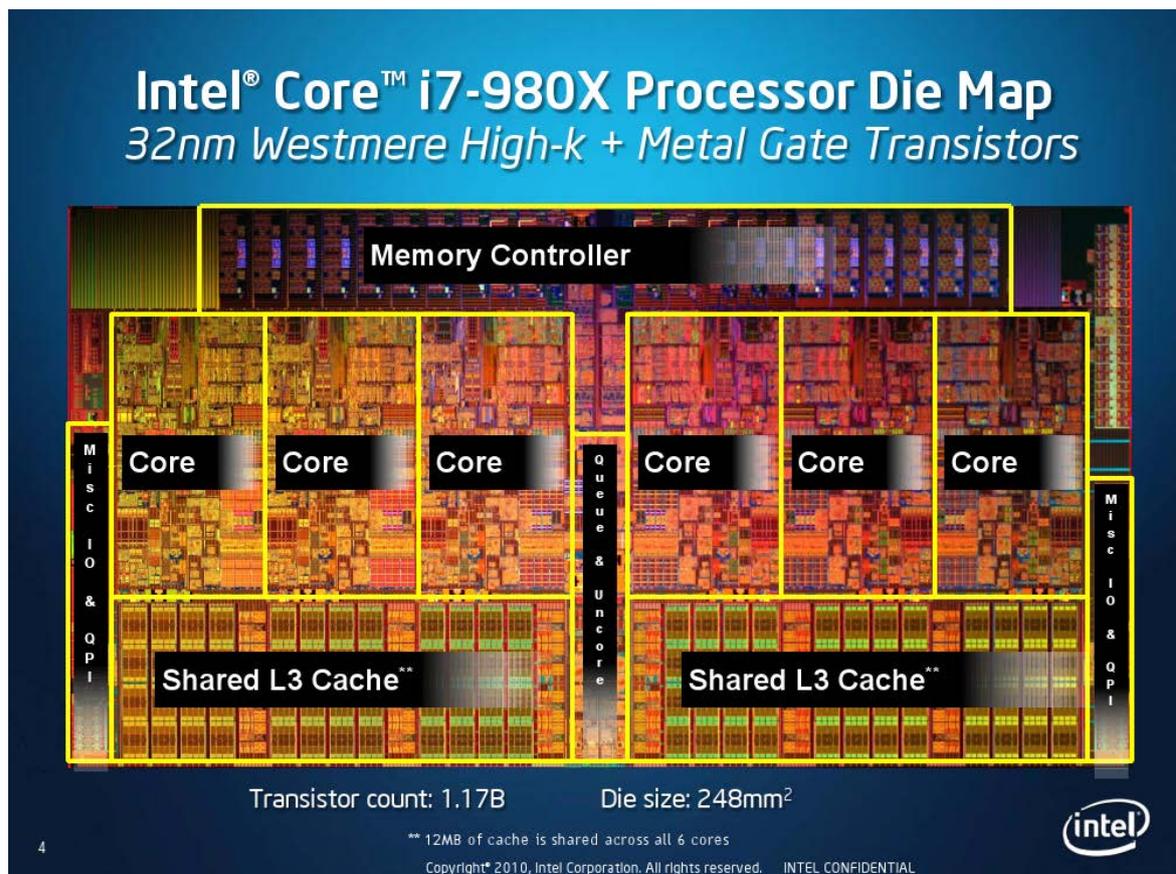


Figure : image de l'architecture d'un processeur Intel Core i7

<http://www.pcinpact.com/test/corei7-980x-intel-gulftown-32nm/2.htm>.

Actuellement, le défi lancé par « Gordon Moore » est de plus en plus difficile à respecter. Respecter la loi de Moore nécessite un compromis complexe entre la physique, la technologie et la rentabilité. Le bon vieux MOSFET conçu sur substrat massif a malheureusement atteint ses limites et ne peut malheureusement plus suivre l'évolution technologique indéfiniment nécessitant la diminution des dimensions physiques du transistor. En effet les questions de mise à l'échelle conduisent à des effets parasites appelés effets canaux courts et par conséquent à des courants de fuites I_{off} importants ainsi qu'à d'importantes tensions de polarisation V_{dd} conduisant à des consommations d'énergie excessives et des coûts de fabrications prohibitifs. Bien que ces défis aient augmenté au fil du temps, une solution bien adaptée a consisté à concevoir de nouvelles architectures soit alors de nouveaux transistors qui ont permis de contrer ces effets tout en gardant la rentabilité de la fabrication. C'est ainsi que de nouvelles structures ont pu voir le jour, on cite entre autres les transistors Double Grilles, transistor FinFET, le GAA et les transistors nanofils.

Dans ce travail, on se propose d'étudier une structure de type SOI tri-Gate FinFET et d'examiner les effets de la variation de la géométrie du FIN sur ses performances électriques. Notre mémoire est scindé en 3 chapitres :

Le premier chapitre consacré à la présentation des transistors MOSFETs. On y présente alors les différents types de transistors MOSFETs en y mettant l'accent sur leur mode de fonctionnement. A la fin de ce chapitre nous avons jugé nécessaire de présenter certains effets canaux courts (effet parasites) qui peuvent nuire au bon fonctionnement de notre transistor.

Dans le deuxième chapitre, des solutions permettant de réduire ces effets canaux courts sont proposées. C'est ainsi que dans ce chapitre de nouvelles structures à grilles multiples sont présentées. Nous aborderont par la suite et de façon plus précise les transistors FinFETs visés par cette étude.

Le dernier chapitre est principalement réservé à la présentation du logiciel Atlas de SILVACO utilisé au cours de cette étude ainsi qu'à la présentation et à l'analyse des résultats que nous avons obtenus et permettant de mettre en évidence les effets de la variation de la géométrie de notre structure sur ses performances électriques.

Chapitre I

Transistor MOSFET

Sommaire Chapitre I

I.1. Introduction7

I.2. Le Transistor MOSFET7

I.2.1. Principe de base d'un transistor MOSFET 9

 I.2.1.1. Effet de champ 9

 I.2.1.2. Structure possible du transistor MOSFET 10

 I.2.1.3. Régimes de fonctionnement du transistor 12

 I.2.1.4. Potentiel de bandes plates 14

 I.2.1.5. Tension de seuil 15

 I.2.1.6. Pente sous le seuil 15

 I.2.1.7. Courant I_{off} et I_{on} 16

I.2.2. Régimes de fonctionnement des transistors MOSFETs 17

 I.2.2.1. Régime linéaire 18

 I.2.2.2. Polarisation en mode de saturation 20

I.2.3. Schémas équivalent du MOSFET 21

 I.2.3.1. Schéma équivalent en petit signaux basses fréquences 24

 I.2.3.2 Schéma équivalent en petits signaux haute fréquence 25

I.3. Les phénomènes parasites dans le MOSFET26

I.3.1. La mobilité effective 26

I.3.2. Les effets des canaux courts 29

 I.3.2.1. Vitesse de saturation 29

 I.3.2.2. Le partage des charges 30

 I.3.2.3. L'effet de canal court inverse 33

 I.3.2.4. Effet de réduction de la barrière de potentiel induit par le drain 33

 I.3.2.5. L'effet de perçage 36

I.3.3. Les effets du canal étroit 36

I.3.4. Les effets liés à la grille 38

 I.3.4.1. Épaisseur effective de grille 38

I.3.4.2. Le courant de grille	40
I.3.4.3. Effet GIDL	42
I.3.5. L'ionisation par impact	44
I.3.6. Les claquages et le régime d'avalanche	45
I.3.7. Les résistances et capacités séries	45
I.3.7.1. Les résistances séries	45
I.3.7.2. Les LDD	46
I.3.7.3. Les capacités de recouvrement	47
I.4. Les SOI MOSFETs	47
I.5. Conclusion	48
Référence du Chapitre I	50

I.1. Introduction

Au cours de ce premier chapitre, le transistor MOSFET conventionnel est présenté. On s'intéresse alors à son fonctionnement, vu que cet élément est considéré comme le dispositif de base de la micro-électronique. Il est cependant à noter que son développement et tout particulièrement la diminution de ses grandeurs géométriques au fil des années a laissé malheureusement apparaître certains phénomènes parasites non négligeables. La présentation de ces phénomènes parasites dits effets canaux courts fera l'objet de la deuxième partie de ce chapitre.

I.2. Le Transistor MOSFET

Le transistor MOSFET est le dispositif le plus répandu dans la production actuelle des composants semi-conducteurs, il est le composant de base de tout circuit intégré CMOS (Complementary Metal Oxide Semiconductor). La technologie CMOS est basée sur l'utilisation de deux types de transistors complémentaires : le transistor n-MOSFET dont les porteurs sont des électrons et le transistor p-MOSFET dont les porteurs sont des trous. La technologie CMOS englobe plus de 80 % de la production mondiale de circuits intégrés, grâce aux qualités de faible consommation et de faible taille. Le principe de fonctionnement d'un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est basé sur le concept de la modulation de la conductivité des matériaux mise en évidence par J. E. Lilienfeld en 1928. Il n'a cependant pu être exploité qu'à partir des années 60, lorsque des interfaces silicium/oxyde ont été suffisamment de bonne qualité permettant à Jack Kilby de fabriquer le premier circuit intégré. Le transistor MOSFET à enrichissement de canal, qu'on représente sur la figure I.1, se caractérise par le fait que la grille contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant par le biais de l'effet de champ électrique. On remarque ainsi que le canal est relié de part et d'autre à deux régions fortement dopées nommées respectivement « source » et « drain » entre lesquelles est appliquée une tension donnant lieu à la circulation du courant.

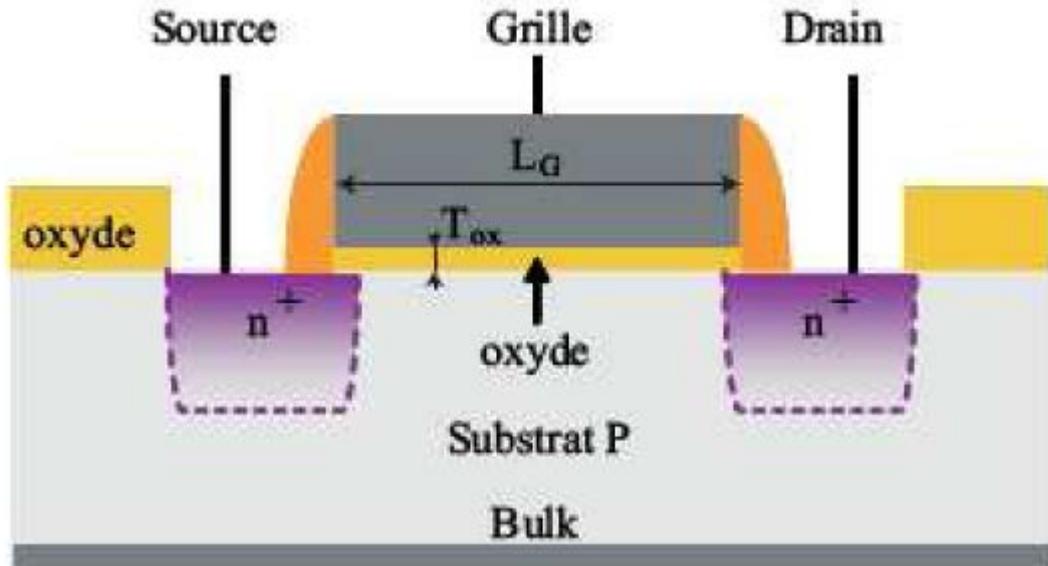


Figure I.1 : Représentation schématique d'un transistor MOSFET [1].

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,...). On peut distinguer deux catégories importantes d'applications :

- Applications haute performance HP (« *High Performance* ») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- Applications à basse consommation avec un compromis sur la fréquence de commutation du transistor :
 - Les dispositifs à faible puissance active LOP (« *Low Operating Power* »), ce sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.
 - Les dispositifs à faible puissance statique LSTP (« *Low Standby Power* »); ce sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que les téléphones portables [1].

I.2.1. Principe de base d'un transistor MOSFET

I.2.1.1. Effet de champ

Le principe de fonctionnement d'un transistor MOSFET repose sur l'effet de champ, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure du MOSFET se décompose en trois parties principales : l'électrode de grille (G) qui commande l'intensité du champ électrique vertical et par conséquent la densité de charges mobiles, les électrodes de source (S) et de drain (D) séparées par un canal de conduction qui conduit le courant en fonction de son niveau de remplissage en charges mobiles. La figure I.2 qui suit illustre l'effet de champ dans un transistor MOSFET.

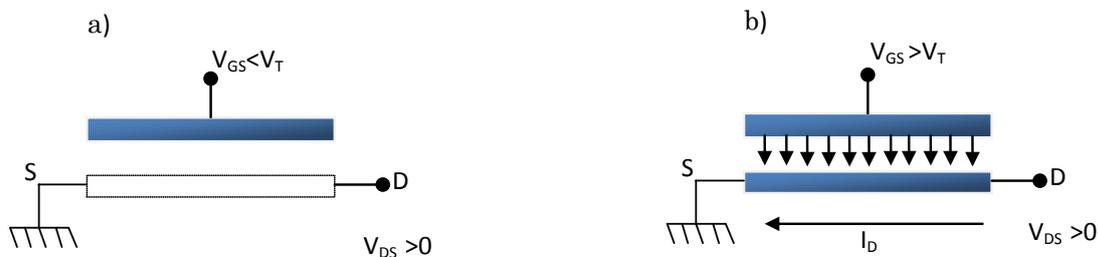


Figure I.2:Effet de champ dans un MOSFET.

La grille est polarisée par la tension grille-source V_{GS} . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le drain et la source V_{DS} . La source sert de référence de potentiel. Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A , la profondeur X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur T_{ox} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque L et la longueur effective L_E n'est plus négligeable. De même pour la largeur effective du canal W_E . Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L - L_E$ et $\Delta W = W - W_E$ [1].

I.2.1.2. Structure possible du transistor MOSFET

Selon les 2 types du substrat P ou N on peut concevoir deux types transistors MOSFET les N-MOSFET et P-MOSFET respectivement :

I.2.1.2.1. Transistor MOSFET à canal N

Dans les transistors N-MOSFET, le substrat est de type P. Dans ce cas la grille est polarisée positivement par une tension V_G suffisante, qui va peupler l'interface SC-oxyde, d'électrons permettant l'apparition de deux zones peuplées d'électrons la source et le drain reliées par un canal rempli d'électrons, et la tension V_{DS} doit être positive afin de drainer ces électrons ; le courant circule du drain vers la source [2].

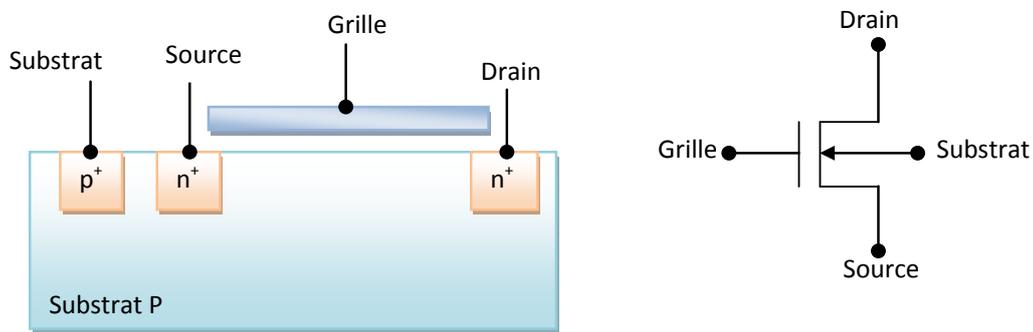


Figure I.3 : MOSFET à canal N.

I.2.1.2.2. Transistor MOSFET à canal P

Dans les transistors P-MOSFET, le substrat est de type N Le P-MOSFET, dont la grille est polarisée négativement par une tension V_G suffisante, qui va peupler de trous l'interface SC-oxyde, et qui donne deux zones peuplées de trous : la source et le drain reliées par un canal rempli de trous, et la tension V_{DS} doit être négative afin de drainer ces trous ; le courant circule donc de la source vers le drain.

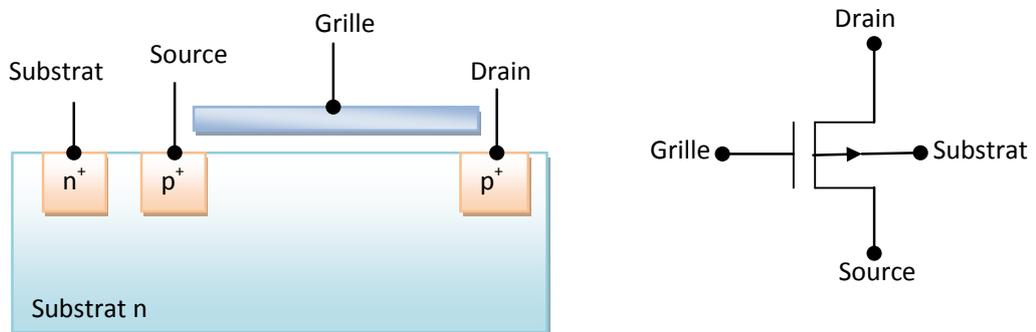


Figure I.4 : MOSFET à canal P.

Selon la réalisation du canal on peut classer les MOSFET en deux types fondamentaux qui sont les MOSFET à appauvrissement (Déplétion) D-MOSFET, et les MOSFET à enrichissement (Enchancement) E-MOSFET [2].

I.2.1.2.3. MOSFET à appauvrissement de canal

Dans le cas des MOSFET à appauvrissement de canal des étapes technologiques supplémentaire permettent de fabriquer ce canal qui existe déjà avant toute polarisation de la grille. Les MOSFETs à appauvrissement sont donc passants sans tension de commande sur grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} .

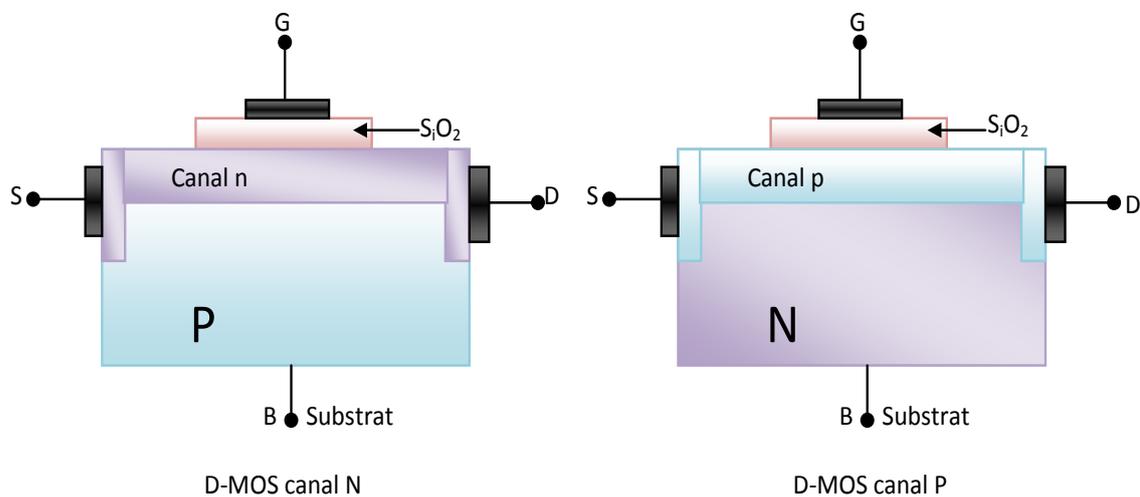


Figure I.5 : MOSFET à appauvrissement de canal.

Pour le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue. Contrairement à cela, pour du D-MOSFET à canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue[2].

I.2.1.2.4. MOSFET à enrichissement de canal

Dans les transistors MOSFETs à enrichissement de canal, ce dernier est induit suite à une tension V_{GS} appliqué sur la grille du transistor. Les transistors MOSFETs à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille V_{Th} (threshold voltage) qui

est la tension appliquée entre la grille et le substrat, entraînant l'inversion de la nature du substrat sous la grille. $|V_{GS}| > |V_{Th}|$, et le transistor devient passant.

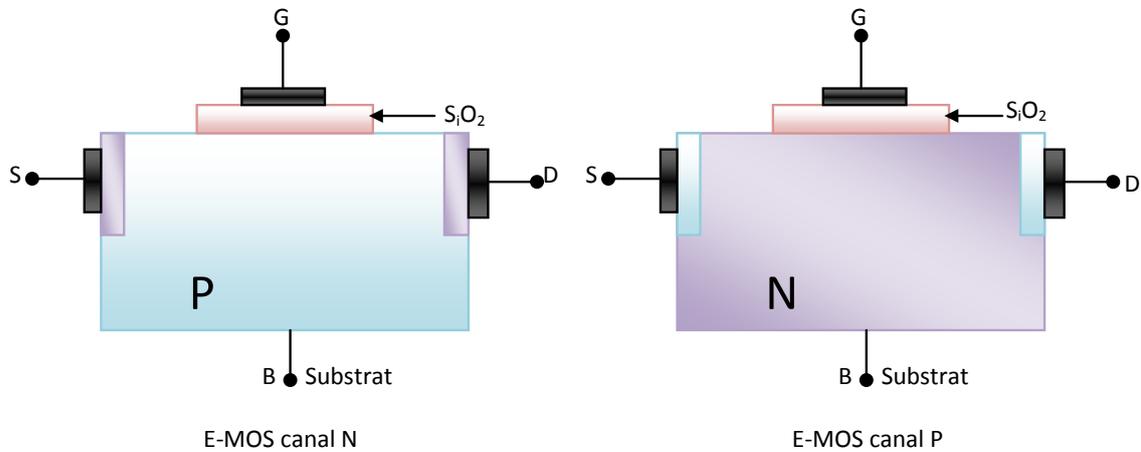


Figure I.6 : MOSFET à enrichissement de canal.

Dans le cas d'un transistor MOSFET à canal N et à enrichissement de canal, l'application d'une tension positive sur la grille permet d'attirer les électrons à l'interface isolant/semi-conducteur et on repousse les trous. A partir d'une certaine tension V_{Th} , une couche d'inversion apparaît et le transistor devient de plus en plus passant. Contrairement au N-MOSFET, dans le cas d'un transistor MOSFET à canal P et à enrichissement de canal, l'application d'une tension négative sur la grille par rapport au substrat va permettre de repousser les électrons majoritaires et les trous minoritaires sont attirés. A partir d'une tension de seuil V_{Th} , une couche d'inversion apparaît et le transistor devient de plus en plus passant [2].

I.2.1.3. Régimes de fonctionnement du transistor

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semi-conducteur. La figure I.7 représente un diagramme de bande d'énergie d'un transistor N- MOSFET dans le régime des bandes plates et dans le régime de faible inversion.

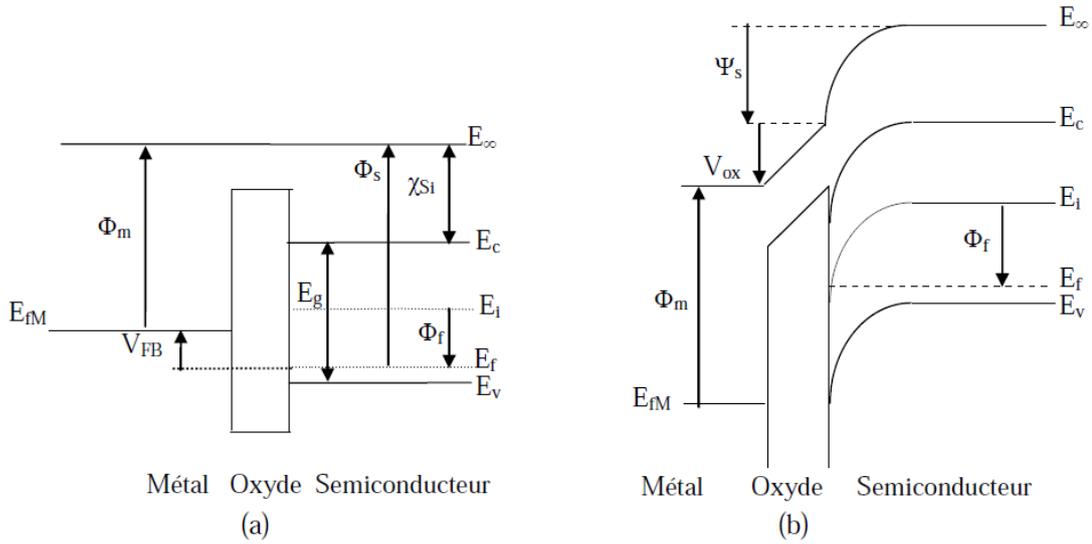


Figure I.7 : Diagramme de bande d'un transistor N-MOSFET en régime de bandes plates (a) et en régime de faible inversion (b)[1].

Soit χ_{Si} est l'affinité électronique, E_g est la largeur de la bande interdite. E_c , E_v , E_i sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium. Φ_m , Φ_s sont les travaux de sortie du métal et du semi-conducteur, Φ_f est le potentiel de Fermi. Ψ_s est la différence de potentiel entre la surface et le volume (le potentiel de surface).

Le niveau de Fermi est donné par : $E_F = E_i - q\Phi_f$, le potentiel de Fermi Φ_f est donné par l'équation suivante dans le cas d'un dopage modéré :

$$\Phi_f = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad \text{I. 1}$$

K est la constante de Boltzmann, T est la température, q est la charge élémentaire et n_i est la concentration intrinsèque des porteurs dans le matériau.

En fonction de la polarisation de la grille, on distingue différents régimes, séparés par deux valeurs, celle de la tension de bandes plates V_{FB} ($\Psi_s = 0$) et celle de la tension de seuil V_{th} ($\Psi_s = 2 \Phi_f$):

- régime d'accumulation ($\Psi_s < 0$, $V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont attirés à l'interface oxyde/semi-conducteur. Ils y sont encore plus nombreux que dans le volume.

- régime de déplétion ($0 < \Psi_s < \Phi_f$, $V_{Th} < V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées fixes (dopants, accepteurs) et désertée en porteurs mobiles.
- régime d'inversion faible ($\Phi_f < \Psi_s < 2\Phi_f$, $V_{FB} < V_{GS} < V_{Th}$) : Lorsque $\Psi_s = \Phi_f$, les concentrations des porteurs majoritaires et minoritaires sont égales en surface, donc égale à la valeur de la concentration n_i .
- régime d'inversion forte ($\Psi_s > 2\Phi_f$, $V_{GS} > V_{Th}$) : la concentration des porteurs minoritaires en surface devient supérieure à la concentration des porteurs majoritaires dans le volume du semi-conducteur [1].

I.2.1.4. Potentiel de bandes plates

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques sont positives (Na^+ , K^+ ,...). La valeur de la tension V_{GS} qu'il faut appliquer pour contrecarrer l'effet de ces charges s'appelle la tension de bande plate V_{FB} . L'équation de continuité des potentiels s'écrit alors:

$$V_{GS} = V_{FB} + \Psi_S - \frac{Q_{sc}}{C_{ox}} \quad I. 2$$

Q_{sc} est la charge du semi-conducteur. C_{ox} est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad I. 3$$

ϵ_{ox} , ϵ_0 sont respectivement la permittivité relative de l'oxyde et la permittivité du vide. La tension V_{FB} est non seulement reliée à la densité de charges dans l'oxyde Q_{ox} mais aussi à la différence des travaux de sortie du métal et du semi-conducteur: $\Phi_{ms} = \Phi_m - \Phi_s$. Si $\Psi_s = 0$, on aura :

$$V_{FB} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad I. 4$$

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO_2/Si qui n'est pas parfaite. La tension V_{GS} est donc :

$$V_{GS} = V_{FB} + \Psi_S - \frac{Q_{inv} + Q_{dep} + Q_{it}}{C_{ox}} \quad \text{I. 5}$$

La charge d'états d'interface excédentaire est donnée par: $|Q_{it}| = qN_{it}$, N_{it} est la densité de défauts à l'interface, Q_{inv} et Q_{dep} sont respectivement la charge d'inversion et la charge de déplétion[1].

I.2.1.5. Tension de seuil

La tension de seuil d'un transistor MOSFET est définie comme la tension qu'il faut appliquer pour que le potentiel de surface Ψ_s soit égal à $2\Phi_f$. La tension de seuil est donnée par la somme de la tension de bandes plates et de la chute du potentiel sur le diélectrique et celle sur la zone de déplétion :

$$V_{Th} = V_{FB} + \Phi_d + \frac{Q_{dep}}{C_{ox}} \quad \text{I. 6}$$

Φ_d Représente la hauteur de la barrière entre la source et le canal. Lorsque cette barrière est de l'ordre de quelques kT/q (énergie thermique des porteurs dans la source), les porteurs peuvent circuler librement dans le canal. Cette hauteur de barrière dépend aussi des dopages de la source et du canal [1].

I.2.1.6. Pente sous le seuil

Quand le transistor est en régime de fonctionnement en faible inversion. L'inverse de la pente sous le seuil S , exprimé en mV/décade, informe de combien il faut diminuer la tension V_{GS} pour réduire le courant sous le seuil d'une décade. Elle est l'inverse de la pente, au sens mathématique de la droite $\log(I_{DS}) = f(V_{GS})$:

$$S = \frac{kT}{q} \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad \text{I. 7}$$

C_{dep} est la capacité de la couche de déplétion dans le substrat. C_{it} est la capacité associée aux états d'interface. Par sa dépendance en C_{it} , la pente sous le seuil est révélatrice de la qualité de l'interface.

La pente idéale, en négligeant C_{dep} et C_{it} devant C_{ox} , vaut $S = (kT/q) \ln 10$, ce qui correspond à environ 60 mV/décade à température ambiante[1].

I.2.1.7. Courant I_{off} et I_{on}

Le comportement électrique idéal d'un transistor est celui d'un interrupteur parfait dans les applications logiques. Si les tensions appliquées sur la grille V_{GS} et sur le drain V_{DS} sont nulles, l'interrupteur est bloqué, le courant de drain doit être nul, si $V_{GS} = V_{DS} = V_{DD}$ (tension nominale), l'interrupteur est passant et le courant de drain I_{ON} est maximal. Dans le comportement réel, à l'état bloqué, le courant de drain n'est pas nul, il y a un courant de fuite I_{OFF} qui circule, qui est limité par la diffusion coté source et drain. La meilleure qualité du transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant I_{ON} le plus fort et un passage le plus rapide de l'état OFF à l'état ON. La figure 1.8 illustre une caractéristique $I_D(V_{GS})$ d'un transistor MOSFET. Le courant I_{OFF} est dépendant de la pente sous le seuil. Il est donné par la relation suivante :

$$\log(I_{OFF}) = \log(I_{Th}) - \frac{V_{Th}}{S} \quad \text{I. 8}$$

Avec I_{Th} : le courant de drain à $V_{GS} = V_{Th}$

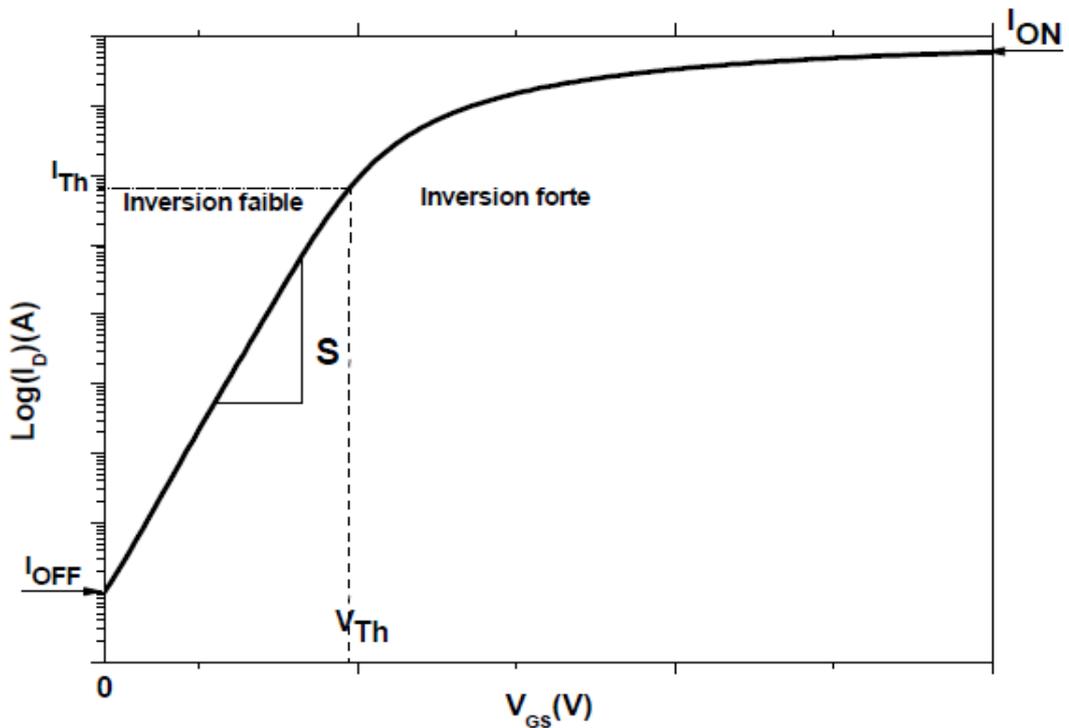


Figure I.8 : Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET[1].

I.2.2. Régimes de fonctionnement des transistors MOSFETs

En fonction de l'importance de la polarisation du drain, on peut distinguer principalement deux régimes de fonctionnement : fonctionnement en mode linéaire et en mode saturé (figure I.9).

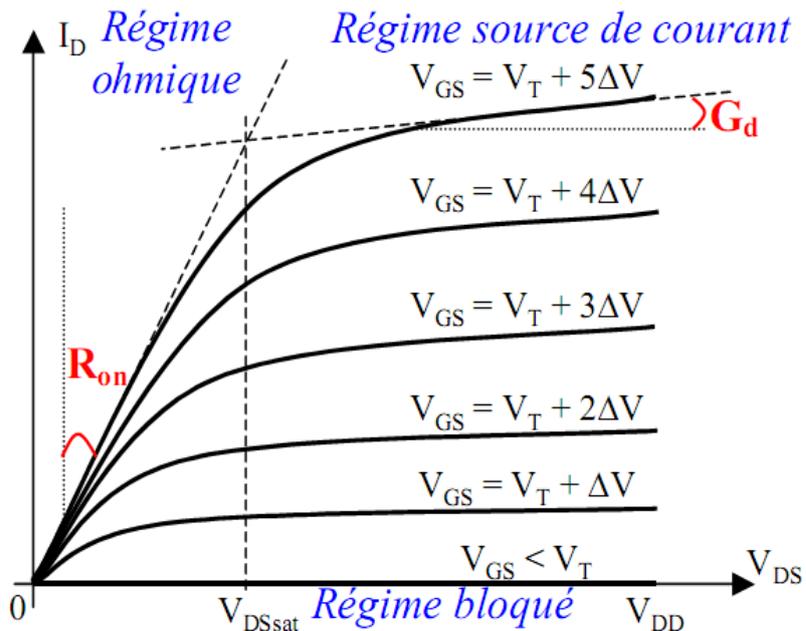


Figure I.9 : Caractéristiques $I_D(V_{DS})$ typiques à différents V_{GS} d'un MOSFET[3].

I.2.2.1. Régime linéaire

Lorsque la tension V_{DS} est faible et négligeable devant la tension V_{GS} , l'effet du champ est quasi uniforme le long du canal. Le canal se comporte donc comme une résistance indépendante de la polarisation du drain. Ce régime se caractérise par une dépendance linéaire du courant en fonction de la tension V_{DS} . Le courant de drain sera donné dans les deux cas de faible et de forte inversion en tenant compte des résistances d'accès de source R_S et de drain R_D qui sont schématisées dans la figure I.10, les extrémités du canal réel étant notées S' et D' :

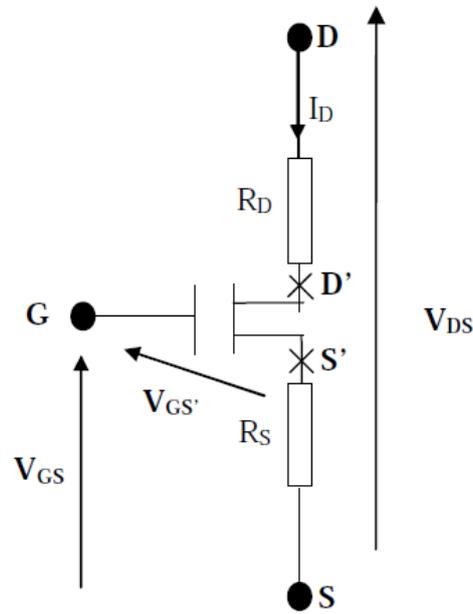


Figure I.10 : Schéma électrique équivalent d'un MOSFET avec l'influence des résistances série source et drain[1].

I.2.2.1.1. Polarisation en régime de faible inversion

En régime de faible inversion, le courant de drain varie exponentiellement avec V_{GS} et est donné par:

$$I_D = \frac{W}{L} \frac{kT}{q} \mu_0 C_{dep} V_{D'S'} \exp \left[\frac{qA(V_{GS} - V_{Th})}{kT} \right] \quad \text{I. 9}$$

μ_0 représente la mobilité à faible champ électrique. Le facteur A est donné par :

$$A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{it}} \quad \text{I. 10}$$

La transconductance est donnée par la formule suivante :

$$g_m = \frac{q}{kT} AI_D \quad \text{I. 11}$$

A une tension de drain V_{DS} constante, elle est donnée par :

$$g_m = \frac{dI_D}{dV_{GS}} \quad \text{I. 12}$$

I.2.2.1.2. Polarisation en régime de forte inversion

En régime de forte inversion, le courant de drain a pour expression :

$$I_D = \frac{W}{L} \mu_{eff} Q_{inv} V_{D'S'} \quad \text{I. 13}$$

Où μ_{eff} est la mobilité effective des porteurs dans le canal qui dépend de la charge d'inversion Q_{inv} , elle est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_{inv}}{Q_c}} \quad \text{I. 14}$$

Q_c est la charge critique qui caractérise la diminution de la mobilité aux fortes tensions de grille. Une valeur typique de Q_c est de l'ordre de $10^{13} \text{q}\cdot\text{cm}^{-2}$. En régime de forte inversion, la charge d'inversion peut s'écrire :

$$Q_{inv} = -C_{ox} \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right) \quad \text{I. 15}$$

La mobilité effective devient alors :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right)} \quad \text{I. 16}$$

$\theta_0 = \frac{C_{ox}}{Q_c}$ est le facteur de réduction intrinsèque de la mobilité. On obtient donc la formule du courant de drain suivante :

$$I_D = \frac{\beta V_{D'S'}(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})}{1 + \theta_0(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})} \quad \text{I. 17}$$

Avec :

$$\beta = \frac{W}{L} \mu_0 C_{ox} \quad \text{I. 18}$$

En prenant en compte le fait que $R_S = R_D = R_{SD}/2$, le courant de drain a alors pour expression :

$$I_D = \frac{\beta V_{DS}(V_{GS} - V_{Th} - \frac{V_{DS}}{2})}{1 + \theta_1(V_{GS} - V_{Th} - \frac{V_{DS}}{2})} \quad \text{I. 19}$$

Avec : $\theta_1 = \theta_0 + \beta(R_S + R_D) \quad \text{I. 20}$

La transconductance du transistor aura alors pour expression :

$$g_m = \frac{\beta V_{DS}}{[1 + \theta_1(V_{GS} - V_{Th} - \frac{V_{DS}}{2})]^2} \quad \text{I. 21}$$

I.2.2.2. Polarisation en mode de saturation

Lorsque la tension de drain V_{DS} augmente, la différence de potentiel entre le drain et la grille diminue, en conséquence la charge d'inversion diminue en s'approchant du drain. Pour une valeur de la tension appliquée sur le drain proche de $V_{GS} - V_{Th}$, le canal à proximité du drain est pincé et le courant de drain reste constant avec l'augmentation de V_{DS} (dans le cas idéal). Le courant de drain est alors donné par :

$$I_{Dsat} = \int_0^{V_{DS}} \frac{W}{L} \mu_{eff} Q_{inv} d\Phi_c \approx \frac{1}{2} \beta V_{Dsat}^2 \quad \text{I. 22}$$

Avec: $Q_{inv} = C_{ox}(V_{GS} - V_{Th} - \Phi_c)$, Φ_c étant la différence entre les quasi niveaux de Fermi des électrons et des trous.

Dans le cas réel, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain. L'augmentation du courant est due à l'éloignement du point de pincement par rapport au drain, à la réduction de la tension de seuil avec la tension V_{DS} et à l'effet d'avalanche. Le point de pincement se caractérise par

la disparition de l'inversion. Tout excédent de la tension V_{DS} au-delà de V_{Dsat} développe, autour du drain, une zone de charge d'espace d'une épaisseur:

$$\lambda = \lambda_0 \ln\left[1 + \frac{V_{DS} - V_{Dsat}}{V_{Dsat}}\right] \quad \text{I. 23}$$

Avec :

$$\lambda_0 = \sqrt{\left(\frac{\epsilon_{Si}}{\epsilon_{ox}} X_j T_{ox}\right)} \quad \text{I. 24}$$

λ_0 représente la zone de charge d'espace minimale.

Le développement de la zone de charge d'espace, d'épaisseur λ , implique un raccourcissement du canal inversé dont la longueur devient $L - \lambda$ au lieu de L , donc au régime de saturation, on aura un courant de drain qui sera de la forme suivante :

$$I_{DS} = I_{Dsat} \frac{L}{L - \lambda} = I_{Dsat} \left[1 + \frac{V_{DS} - V_{Dsat}}{V_E}\right] \quad \text{I. 25}$$

Où $V_E = \frac{L}{\lambda_0} V_{Dsat}$ est la tension d'Early, plus cette tension est élevée, meilleures seront les performances du transistor [1].

I.2.3. Schémas équivalent du MOSFET

La figure. I.11 présente le schéma équivalent d'un transistor MOSFET intrinsèque dans le régime d'inversion ($V_{GS} > V_{Th}$). Cette modélisation inclut les différentes résistances et capacités parasites habituelles. La superposition du schéma électrique et de la coupe du transistor met en évidence les origines physiques de ces éléments parasites.

Les caissons source et drain sont des zones fortement dopées, les porteurs qui les traversent y subissent donc un grand nombre d'interactions avec les impuretés dopantes ionisées. Les résistances d'accès intrinsèques R_S et R_D de ces caissons peuvent être non négligeables si elles deviennent du même ordre, voire plus importantes, que la résistance minimale du canal.

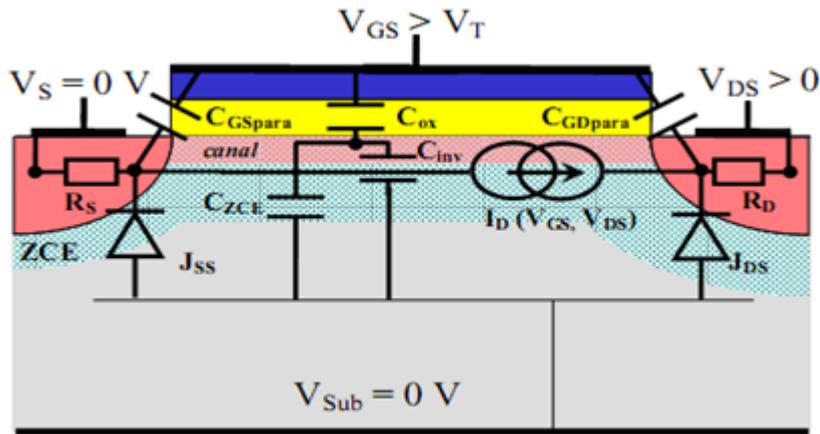


Figure I.11 : Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en inversion [3].

On a vu précédemment que l'effet de champ crée un canal de porteurs libres par l'intermédiaire de la capacité MOS. La longueur et la largeur de l'oxyde de grille étant très grandes devant son épaisseur (W et $L_G \gg T_{ox}$), les effets de bord sont négligeables en première approximation. La capacité MOS n'a donc qu'une seule dimension et on ne va considérer que des grandeurs surfaciques. La variation des charges surfaciques commandée par la grille $\Delta Q(V_{GS})$ se répartit dans le semi-conducteur entre le canal d'inversion ΔQ_{inv} et la zone de charge d'espace ΔQ_{ZCE} soit :

$$\Delta Q(V_{GS}) = \Delta Q_{inv} + \Delta Q_{ZCE} \quad \text{I. 26}$$

Cette capacité MOS est modélisée par la capacité d'oxyde C_{ox} en série avec un montage en parallèle d'une capacité d'inversion C_{inv} est reliée à la structure métal de grille/isolant :

$$C_{ox} = \epsilon_{ox}/T_{ox} \quad \text{I. 27}$$

La tension à ses bornes est égale à la différence de potentiel aux limites de l'oxyde. La capacité surfacique c_{inv} est liée à la variation, sous l'effet de la tension de grille, de la charge d'inversion formée par les porteurs libres du canal ΔQ_{inv} . En outre, on montre que pour $V_{GS} > V_{Th}$, la charge surfacique d'inversion Q_{inv} est donnée par :

$$Q_{inv} = c_{ox} \cdot (V_{GS} - V_{Th}) \quad \text{I. 28}$$

La capacité surfacique C_{ZCE} correspond à la variation de charge surfacique de la zone de charge d'espace du substrat, d'extension T_{ZCE} , commandée par la grille, donc :

$$C_{ZCE} = \frac{\epsilon_{Si}}{T_{ZCE}} \quad \text{I. 29}$$

Avec ϵ_{Si} : permittivité diélectrique du silicium.

Pour augmenter le contrôle de la grille sur le canal, la capacité ΔQ_{ZCE} doit rester la plus faible possible pour ne pas dégrader les caractéristiques du transistor, en particulier sous le seuil.

Les capacités C_{GSpara} et C_{GDpar} modélisent des phénomènes capacitifs supplémentaires qui se rajoutent, côté drain et côté source, à ceux de la structure MOS idéale. Chacune de ces capacités peut inclure différents types de couplage électronique comme illustré en Figure I.12. Tout d'abord, il peut exister un couplage dû à des effets de bord nommé C_{bord} : des lignes de champ (à 2 dimensions) se propagent entre l'électrode de grille et les caissons dans l'espace au-dessus des caissons. Dans le cas d'un recouvrement par la grille des caissons, il y a création, en régime d'inversion du canal, d'une zone d'accumulation dans les caissons et l'apparition de la capacité C_{inv} associée qui peut être très pénalisante. De plus, si la grille recouvre les ZCE de jonction caisson/substrat, il y a compétition entre les ZCE commandées par la grille et la source. Cela se traduit par une modification de la capacité surfacique C_{ZCE} près des caissons [3].

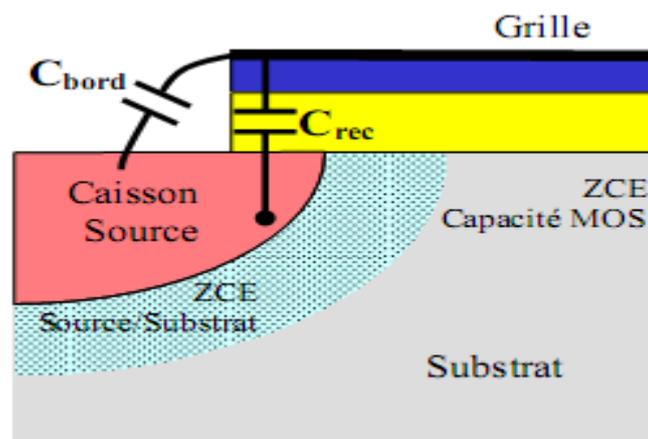


Figure I.12 : Décomposition de la capacité parasite C_{GSpara} de la Figure I.11 en capacité C_{bord} et capacité de recouvrement C_{rec} grille/caisson [3].

Enfin, on constate la présence des jonctions N^+/P source/substrat et drain/substrat qui induisent des comportements résistifs et capacitifs susceptibles de détériorer aussi le comportement dynamique du transistor.

I.2.3.1. Schéma équivalent en petit signaux basses fréquences

Le model le plus simple de représentation du transistor MOSFET en petits signaux et basse fréquence tient compte de la très forte impédance d'entrée (quasi infinie), de la transconductance, et de la résistance de sortie, liée à l'effet Early.

a) Transconductance

La transconductance caractérise l'aspect amplificateur de la structure. Un signal sous forme de tension, envoyé sur la grille pilote un courant entre la source et le drain. A partir d'un point de fonctionnement, la transconductance est définie par :

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad \text{I. 30}$$

Ainsi, en régime saturé, la transconductance est donnée par :

$$g_m = \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_{Th}) \quad \text{I. 31}$$

Cette expression a été établie pour un transistor NMOSFET. Pour un transistor PMOS, il suffit de modifier la mobilité et de changer le signe de la différence $V_{GS} - V_{Th}$, V_{GS} étant dans plus négatif que V_{Th} .

b) effet Early

Lorsque la polarisation de drain varie, nous avons vu que la différence de potentiel entre la limite de la zone de drain et le point de pincement du canal augmentait. Cette différence de potentielle est absorbée par la densité de charges ionisées présentes, répondant à l'équation de Poisson. Pour une charge plus grande, l'extension est supérieure, et le point de pincement se déplace vers la source. Cela revient à diminuer la longueur du canal effectif, donc à diminuer sa résistance et en conséquence à augmenter le courant du drain. La caractéristique de sortie n'est alors plus horizontale comme représenté dans la figure I.9.

c) Schéma équivalent en source commune

Il est possible de tracer le schéma, en représentation source-commune, qui traduit en fait les variations autour d'un point de fonctionnement, la source étant prise comme

référence de potentiel. Le substrat étant généralement relié à la source, il correspond à la même borne de source.

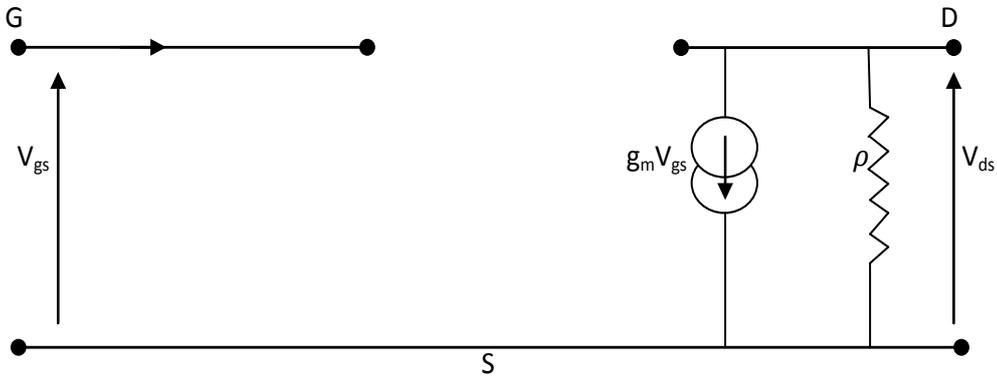


Figure I.13 : Schéma électrique équivalent en petits signaux et basse fréquence du transistor MOSFET.

I.2.3.2 Schéma équivalent en petits signaux haute fréquence

En hautes fréquences la figure I.13 n'est plus valide, il faut prendre en considération les effets capacitifs qui ont des origines multiples :

- Les capacités de jonctions,
- Les capacités des oxydes présents (grille, isolation latérales, etc.),
- Les capacités parasites de recouvrement au niveau de la grille via l'oxyde de grille [2].

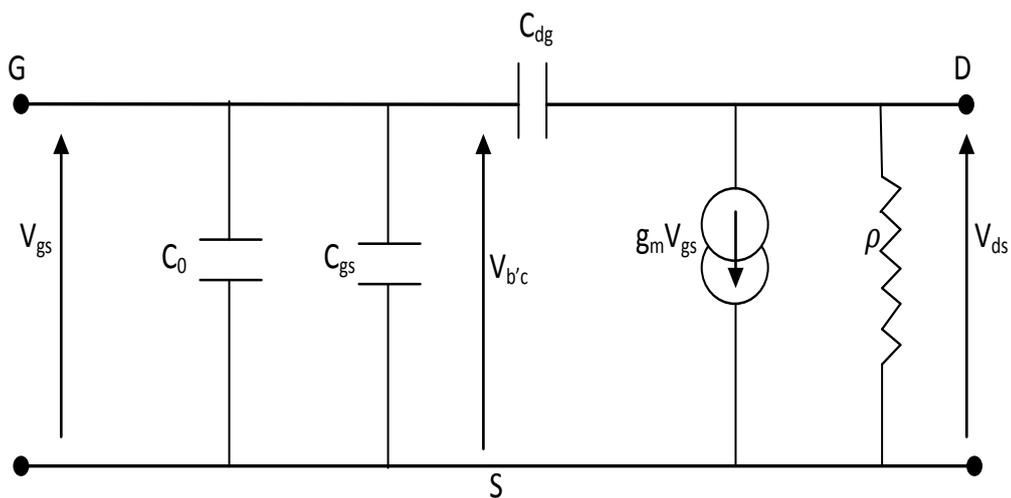


Figure I.14 : Schéma électrique équivalent en petits signaux et haute fréquence du transistor MOSFET.

I.3. Les phénomènes parasites dans le MOSFET

La diminution de la longueur du canal entraîne l'amélioration des performances statiques mais également l'activation de certains phénomènes physiques, négligés dans les modèles statiques simples qui ne reproduisent plus fidèlement la réalité.

Nous allons présenter dans ce qui suit quelques phénomènes physiques rencontrés au sein de ces transistors à faibles dimensions.

Par rapport aux axes grille→substrat, drain→source et l'axe parallèle à W , les champs électriques sont, respectivement, le champ électrique transversal, longitudinal et latéral, voir figure I.15. Dans les études suivantes, le champ électrique global du canal et dans le reste du silicium est une combinaison d'au moins deux de ces champs [4].

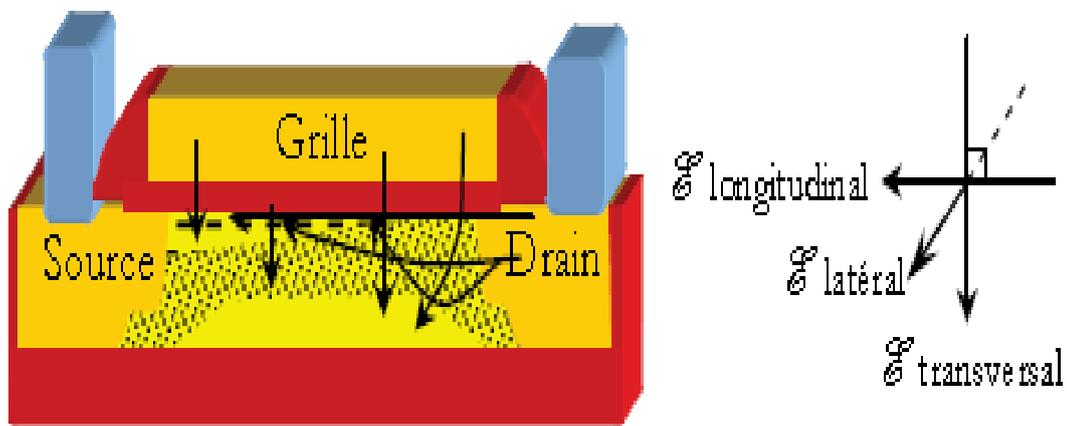


Figure I.15 : Représentation des lignes de champ électrique dans le MOSFET.

L'orientation des vecteurs des champs électriques E est illustrée à droite [4].

I.3.1. La mobilité effective

Le champ électrique transversal accélère les électrons à la surface de la couche d'inversion et tend à les rapprocher de l'interface canal/oxyde de grille. Dans cette zone, les porteurs minoritaires subissent différents mécanismes d'interactions en fonction de l'amplitude du champ appliqué. Trois interactions imposent la vitesse de transport de ces porteurs. La première est dominante lorsque les champs électriques sont faibles. Elle englobe les interactions coulombiennes des électrons avec les impuretés atomiques, les charges piégées à l'interface oxyde de grille/canal et les charges piégées dans l'oxyde de grille. Ces interactions s'estompent avec l'augmentation du champ électrique à cause de l'accroissement de la quantité de charges d'inversion. Alors, la seconde classe d'interactions domine. Cette famille regroupe les interactions électron/phonon. À plus fort

champ électrique transversal, les électrons interfèrent avec la rugosité de surface ce qui représente la troisième famille d'interactions. L'implication de tous ces phénomènes de transport sur les porteurs dans le canal entraîne la réduction de leur mobilité effective notamment pour de forts champs électriques transversaux. Ceci implique la dégradation de la caractéristique $I_{DS}(V_{GS})$ à V_{ds} fixé et lorsque V_{GS} est important, comme il est illustré à la figure I.16. Ainsi, pour $V_{DS}= 0,1$ V et lorsque V_{GS} est supérieure à 0,9 V, la mesure de I_{DS} en fonction de V_{GS} décroît par rapport à sa caractéristique idéale représentée en pointillée dans la figure I.17. À noter que pour $V_{DS}= 1,2$ V, le champ électrique longitudinal est assez fort pour masquer les effets liés à la mobilité électrique. Néanmoins, pour V_{GS} supérieur à 1,1 V, la caractéristique $I_{DS}(V_{GS})$ mesurée tend légèrement vers son asymptote représentée en tiret à la figure I.16 [4].

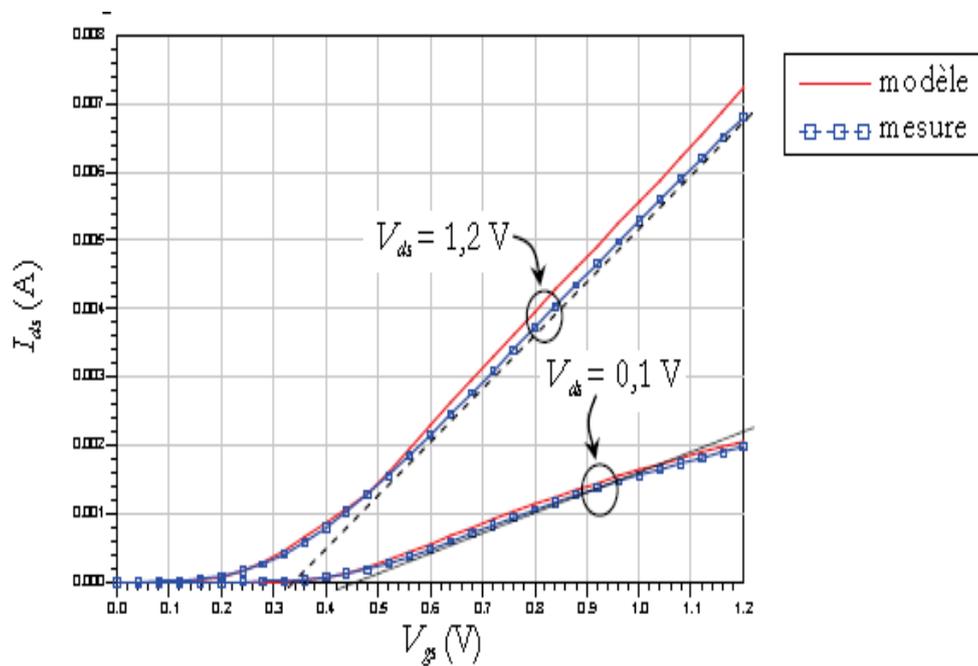


Figure I.16 : Caractéristiques d'un n-MOSFET avec $L_G = 0,12 \mu\text{m}$ et $W = 2,5 \mu\text{m}$ pour deux polarisations distinctes de V_{DS} [4].

La réduction de la mobilité dégrade également la caractéristique dI_{DS}/dV_{GS} en fonction de V_{GS} , voir figure I.17. En régime d'inversion forte, lorsque V_{DS} est faible et V_{GS} est supérieure à V_{Th} , cette caractéristique doit être constante en fonction de V_{GS} . Cependant, il est possible de noter une décroissance liée à la réduction de la mobilité.

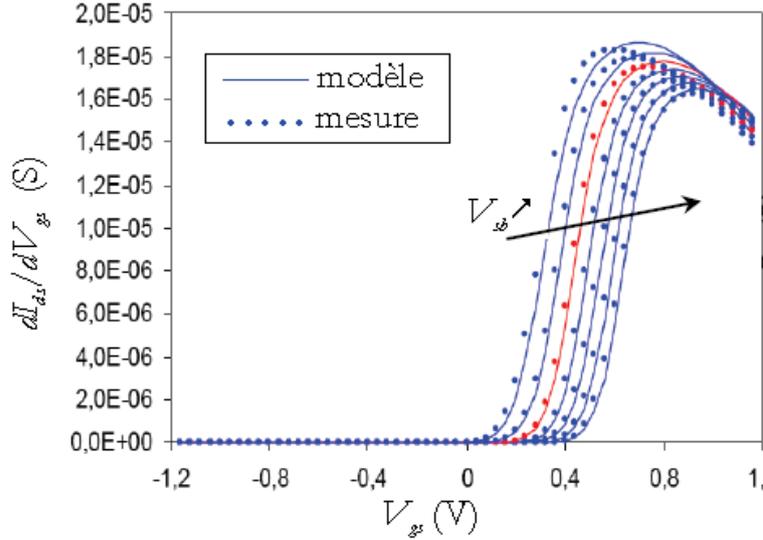


Figure I.17 : Variations de la caractéristique dI_{DS}/dV_{GS} en fonction de V_{GS} et de V_{Sb} , pour un n-MOSFET [4].

La mobilité des porteurs s'exprime en fonction du champ électrique transversal E_y par:

$$\mu = \frac{\mu_0}{1 + \alpha E_y} \quad \text{I. 32}$$

où α est un paramètre d'ajustement qui dépend de la température. μ_0 est égal approximativement à la moitié de la valeur de la mobilité des porteurs dans le substrat. En développant l'expression du champ électrique transversal, il est possible d'obtenir une expression de la mobilité effective en fonction de V_{GS} mais également V_{Sb} . Ainsi:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_a(V_{GS} - V_{Th}) + \theta_b V_{Sb}} \quad \text{I. 33}$$

θ_a et θ_b sont des paramètres d'ajustement. Les variations de dI_{DS}/dV_{GS} en fonction de V_{GS} et de V_{Sb} sont représentées dans la figure I.17. Afin de refléter les dégradations de la mobilité pour les forts champs électriques, le dénominateur de l'expression I.33 peut être modélisé par un polynôme du second degré en fonction de E_y . Ainsi,

$$\mu = \frac{\mu_0}{1 + \alpha_1 E_y^{b_1} + \alpha_2 E_y^{b_2}} \quad \text{I. 34}$$

À l'équation I.34, α_1 et α_2 sont des paramètres d'ajustement, b_1 et b_2 sont proche de 0,3 et de 2 respectivement. À partir de cette expression, il est possible d'en déduire la mobilité effective. Finalement, la mobilité effective peut s'exprimer par:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_a(V_{GS} - V_{Th}) + \theta_b(V_{GS} - V_{Th})^2 + \theta_c V_{Sb}(V_{GS} - V_{Th})} \quad \text{I. 35}$$

Où $\theta_a, \theta_b, \theta_c$ sont des paramètres d'ajustement.

I.3.2. Les effets des canaux courts

Le paragraphe suivant traite de l'impact de la réduction des dimensions sur le fonctionnement intrinsèque des MOSFET. En effet, un accroissement des performances des MOSFET s'obtient en réduisant la longueur de leur canal : pour les mêmes conditions de polarisation, en théorie, le courant I_{DS} est plus élevé pour une longueur de canal plus faible. Or, des effets physiques négligés pour les MOSFET à canal long se révèlent prépondérant pour des faibles dimensions comme la modulation de la longueur du canal, la saturation de la vitesse des porteurs en fonction du champ électrique ou le partage des charges [4].

I.3.2.1. Vitesse de saturation

La vitesse des porteurs minoritaires est proportionnelle au champ électrique longitudinal. Elle atteint un seuil, $v_{d,max}$, pour la valeur critique de ce champ électrique E_c . Cette quantité s'écrit [4]:

$$E_c = \frac{|v_{d,max}|}{\mu} \quad \text{I. 36}$$

Une approximation de la vitesse des porteurs minoritaires, en fonction du champ électrique longitudinal et de la vitesse de saturation, est donnée par la relation suivante:

$$|v_d(E)| = |v_{d,max}| \frac{|E|/E_c}{1 + |E|/E_c} \quad \text{I. 37}$$

Lorsque la longueur du canal diminue, le champ électrique dans le canal peut atteindre cette valeur critique à partir de laquelle la vitesse des porteurs commence à saturer. Finalement, le lien entre le courant sans les effets de saturation de la vitesse, $I_{DS,v0}$, et le courant $I_{DS,v}$ incluant ces effets s'écrit:

$$I_{DS,v} = \frac{I_{DS,v0}}{1 + \frac{V_{ds}}{L_g E_c}} \quad \text{I. 38}$$

Dans ce cas, la longueur apparente du canal semble rallonger d'un coefficient $\left(1 + \frac{V_{DS}}{L_g E_c}\right)$.

La caractéristique $I_{DS,sat}(L_G)$ ne tend plus vers l'infini lorsque L_G tend vers 0, mais elle tend vers une constante, comme il est indiqué dans la figure I.18.

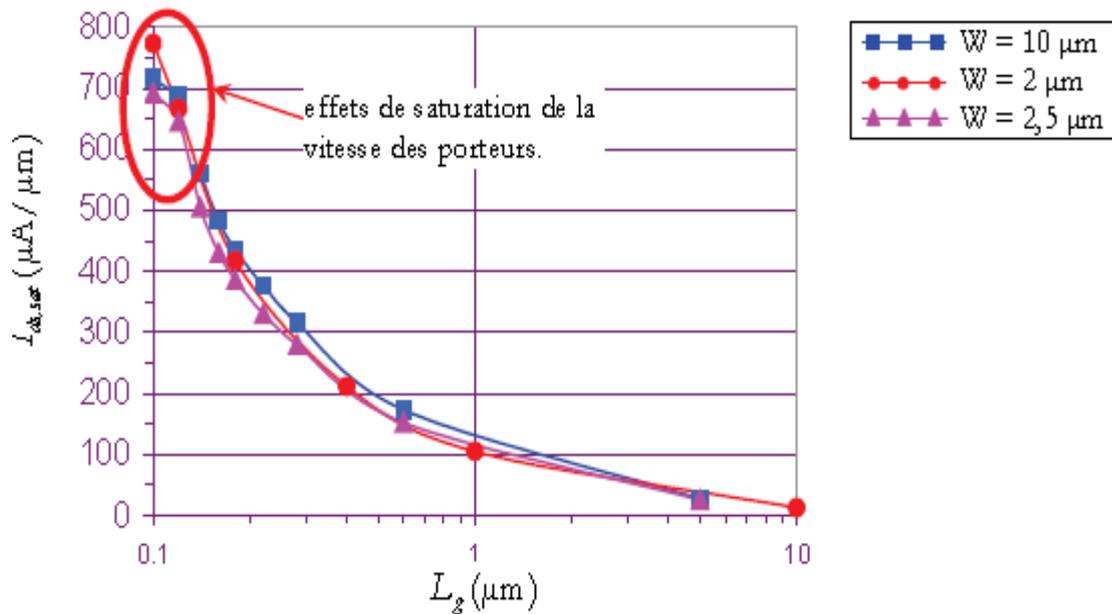


Figure I.18 : $I_{DS,sat}$ - L_G pour différentes valeurs de la largeur W (width)[4].

La saturation de la vitesse des porteurs minoritaires entraîne une diminution de $V_{DS,sat}$, ainsi que de $I_{DS,sat}$ sur les caractéristiques des MOSFET. Une autre conséquence plus subtile concerne la variation de $I_{DS,sat}$. Avec la saturation de la vitesse des porteurs, ce courant est fonction de $V_{GS}-V_{Th}$ surtout lorsque L_G est petit. Sans ces effets, $I_{DS,sat}$ est proportionnel à $(V_{GS}-V_{Th})^2$ [4].

I.3.2.2. Le partage des charges

La zone de charge d'espace des jonctions source/substrat et drain/substrat s'étend essentiellement vers la zone la moins dopée, c'est-à-dire en direction du substrat. Leur profondeur, notée d_B , s'écrit : $d_B = \sqrt{\frac{2\epsilon_S}{qN_A}(\Phi_B - V_{bs})}$. Ces zones de charge d'espace induisent des effets de bord à la zone de désertion. Pour un transistor à canal long, ces effets de bord du côté de la source et du drain sont négligeables, figure I.19-a. Par conséquent, l'étude analytique du courant I_{DS} s'appuie sur l'examen de la quantité de charges de la couche d'inversion. Lorsque la longueur du canal diminue, ces effets de bords deviennent importants. En effet, la zone de désertion issue de la source et du drain s'ajoute à celle contrôlée par la grille, voir figure I.19-b. Cette zone de désertion est plus grande que celle prédite par le modèle du MOSFET à canal long. Plus d'atomes accepteurs sont ionisés, entraînant l'augmentation du potentiel de surface, voir figure I.19-c. La barrière de potentiel qui empêche les électrons d'entrer dans le canal est abaissée. Il s'en

suit une augmentation de la quantité de porteurs dans la zone d'inversion. Par conséquent, la tension de seuil diminue en fonction de la longueur du canal, voir figure I.21.

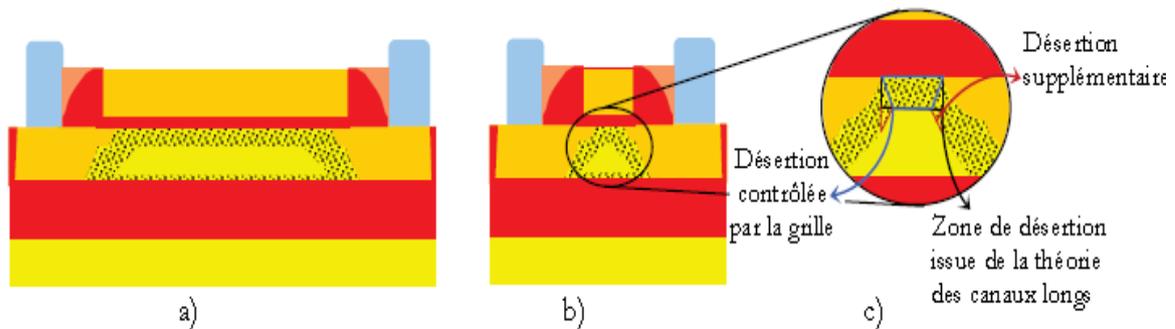


Figure I.19 : Visualisation des effets liés au partage des charges par comparaison de la région de désertion sous le canal pour, a), un MOSFET à canal long et, b), à canal court.

Un grossissement de la région de désertion est donné en c) [4].

Une autre façon de comprendre ce phénomène est de comparer les quantités de charges entre un MOSFET à canal long et un MOSFET à canal court. En reprenant la notion de partage des charges de désertion, représentée à la figure I.19-c, une minorité de ces charges de désertion est issue des zones de charge d'espace des jonctions source/substrat et drain/substrat, la représentation de Q'_{bl} est dans la figure I.20-a. Le reste provient du champ électrique transversal E_{Gb} entre la grille et le substrat. Lorsque les zones de source et de drain se rapprochent, leur contribution sur la quantité de charges de désertion s'accroît. Par conséquent, par rapport à la théorie des canaux longs, les charges dans la grille, illustrées par Q'_g à la figure I.20, contrôlent une quantité effective de charges de désertion Q'_{bc} plus faible, voir figure I.20-b. Ainsi, les charges dans la grille peuvent se lier à plus de charges de la couche d'inversion. Dans le canal, pour un champ électrique vertical identique, une quantité de charge d'inversion issue des zones de charges d'espace des jonctions s'ajoute à celle définie par la théorie des canaux longs, voir figure I.20-b. Cet effet suppose un excédent de courant drain-source par rapport à un MOSFET à canal long. En conséquence, dans le canal, les porteurs minoritaires sont issus de la désertion du silicium en dessous de l'oxyde sous l'action du champ transversal, et de la désertion aux jonctions source/substrat et drain/substrat. Ce point de vue constitue le principe du partage des charges utilisé pour établir les relations empiriques de la tension de seuil avec la longueur du canal. Dans les MOSFET à canal long, le phénomène de partage des charges est également présent. Cependant, l'impact de la zone de désertion liée aux jonctions est

négligeable par rapport à la quantité de charges de désertion sous l'oxyde de grille contrôlée par le champ électrique transversal, voir figure I.20-a.

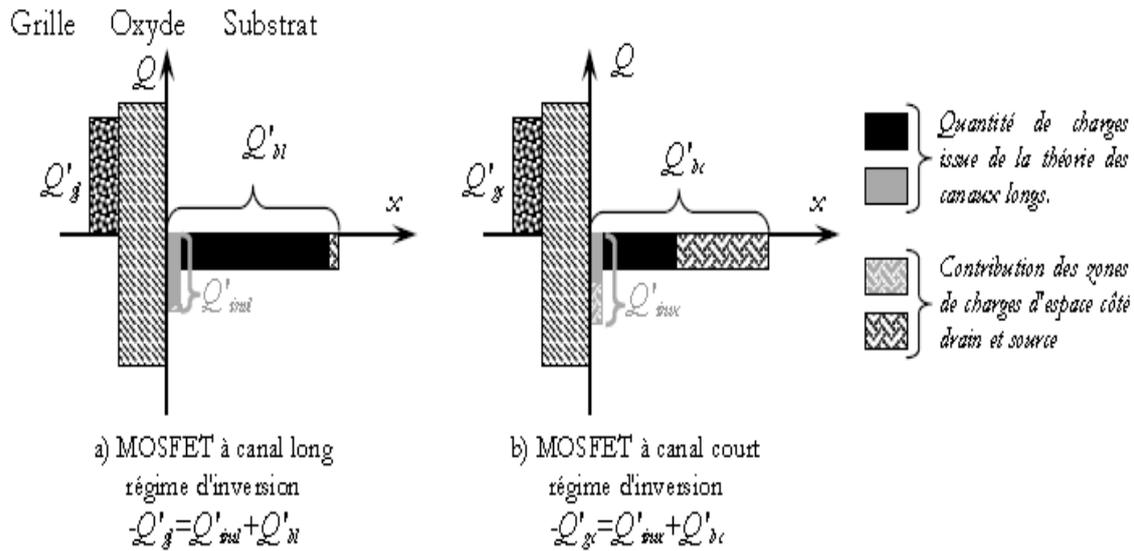


Figure I.20: Représentation du phénomène de partage des charges dans un MOSFET à canal long, a), et à canal court, b) [4].

La tension de seuil effective $V_{Th,eff}$ est calculée à partir de la charge Q'_b issue du champ électrique E_{Gb} , en appliquant une approximation trapézoïdale dans la zone de désertion effective comme il est indiqué à la figure I.19-c. Après simplifications, l'expression obtenue est:

$$V_{Th,eff} = V_{Th} + \Delta V_{ThL} \quad \text{I. 39}$$

ΔV_{ThL} s'exprime alors par [4] :

$$\Delta V_{ThL} = -2\beta_1 \frac{\epsilon_{Si}}{C'_{ox}L_G} (\phi_B - V_{bs}) \quad \text{I. 40}$$

β_1 est un paramètre d'ajustement qui prend en compte les erreurs commises lors de la simplification de l'écriture de l'expression I.40. La variation de ΔV_{ThL} suit une évolution inversement proportionnelle à L_G , voir figure I.21 et figure I.22. La caractéristique $I_{DS}(V_{DS})$ se décale vers les faibles valeurs de V_{GS} . Pour un V_{GS} fixé, la valeur du courant I_{DS} mesurée est plus importante que celle calculée.

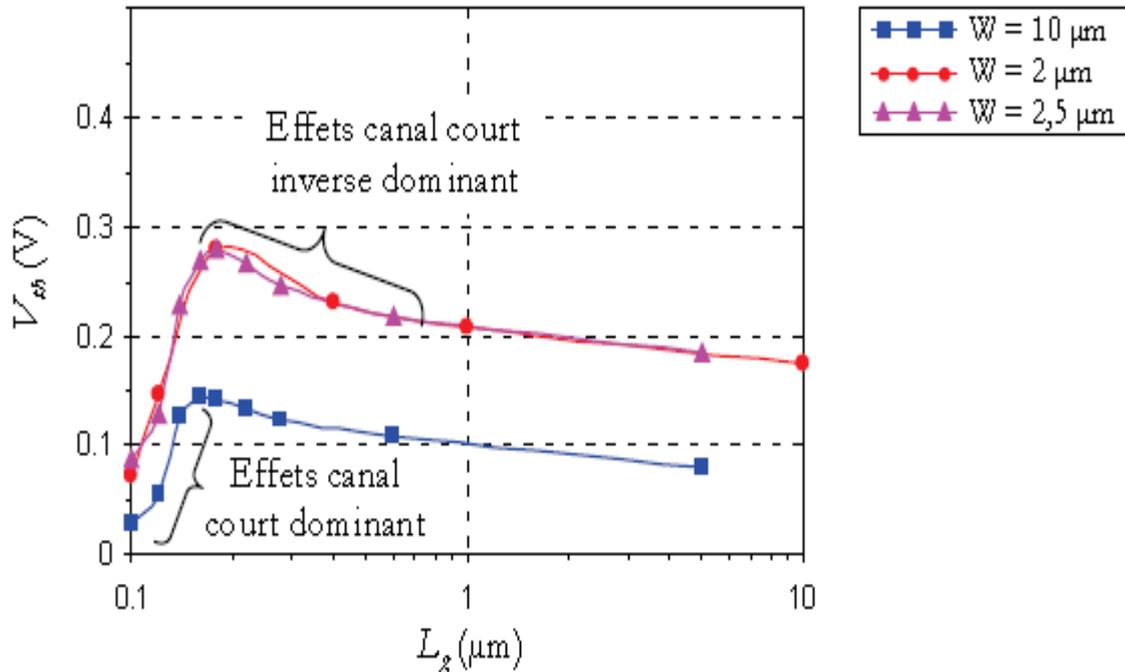


Figure I.21 : Variations de la tension de seuil en fonction de la longueur du canal pour différents MOSFET en technologie $0,13 \mu\text{m}$. $V_{DS} = 1,2\text{V}$ [4].

I.3.2.3.L'effet de canal court inverse

L'effet canal court inverse est lié au dopage non uniforme le long du canal. Pendant les étapes de réalisation du canal et de l'oxyde de grille post-LDD ou après l'implantation de zones fortement dopées ou poches ou "pockets" ou de "halos" au niveau de la source et du drain, un sur-dopage a lieu dans le canal au niveau des interfaces source/substrat et drain/substrat. La zone sur-dopée s'accroît avec la réduction de la longueur du canal. Le dopage effectif augmente. Ceci implique une élévation de la tension de seuil lorsque la longueur de grille diminue, voir figure I.21 et figure I.22. Selon le dopage du canal, ce phénomène est influent pour des longueurs moyennes du canal[4].

I.3.2.4.Effet de réduction de la barrière de potentiel induit par le drain

Dans les paragraphes précédents, les effets de canal court ne supposaient pas de variations en fonction de la polarisation V_{DS} . Cependant, en augmentant le potentiel de drain, la zone de charges d'espace liée à la jonction drain/substrat s'élargit. Ainsi, la quantité des charges de désertion contrôlée par la grille diminue par rapport à la tension V_{DS} appliquée. Par conséquent, en suivant le schéma du partage des charges énoncé précédemment, la tension de seuil diminue en fonction de V_{DS} , voir la figure I.22. Ce phénomène correspond à l'effet DIBL ou "Drain Induced Barrier Lowering".

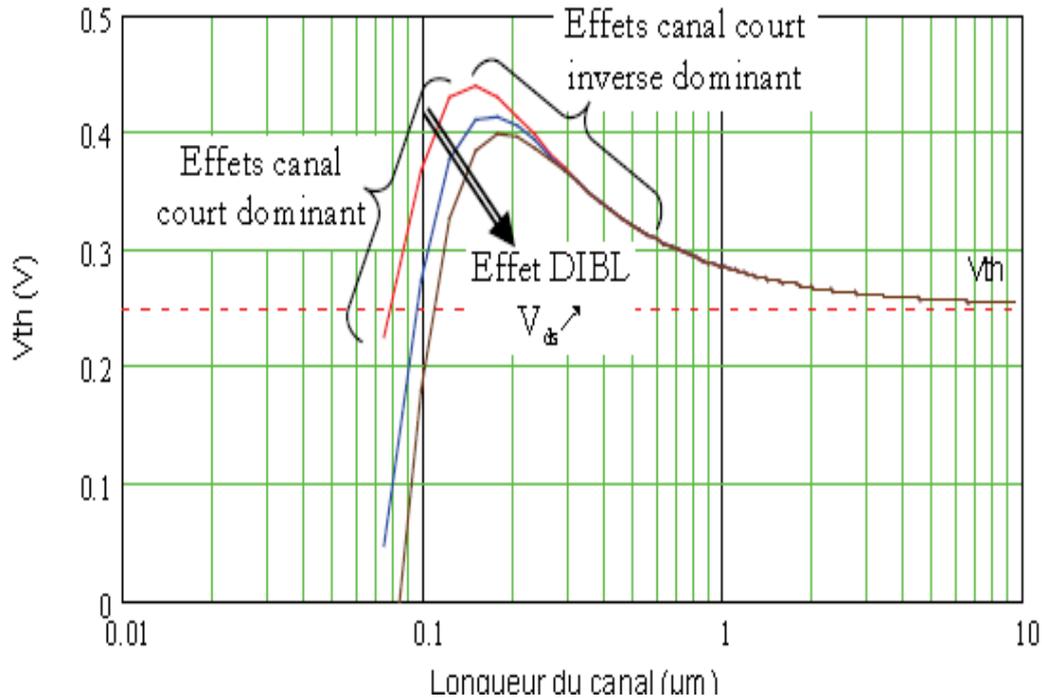


Figure I.22 : Variations de la tension de seuil en fonction de la longueur du canal pour la technologie MOSFET 0,13 μm [4].

Une des conséquences de ce phénomène peut être la mise en conduction du MOSFET même si ce dernier est bloqué. En effet, même si $V_{GS} < V_{Th}$, en ajustant V_{DS} , il est possible de décroître la valeur de V_{Th} jusqu'à obtenir $V_{GS} > V_{Th}$, voir figure I.24. Dans ces conditions, le transistor peut re-fonctionner en régime d'inversion forte. Ainsi, en dehors des effets de modulation de la longueur du canal, le courant de saturation, $I_{DS,sat}$, augmente en fonction de V_{DS} au-delà de $V_{DS,sat}$. Une autre répercussion de l'effet DIBL concerne la forte dégradation de la pente sous le seuil. Pour conclure sur les impacts de l'effet DIBL sur le comportement statique des MOSFETs, ceux-ci entraînent l'augmentation du seuil du courant de fuite I_{OFF} .

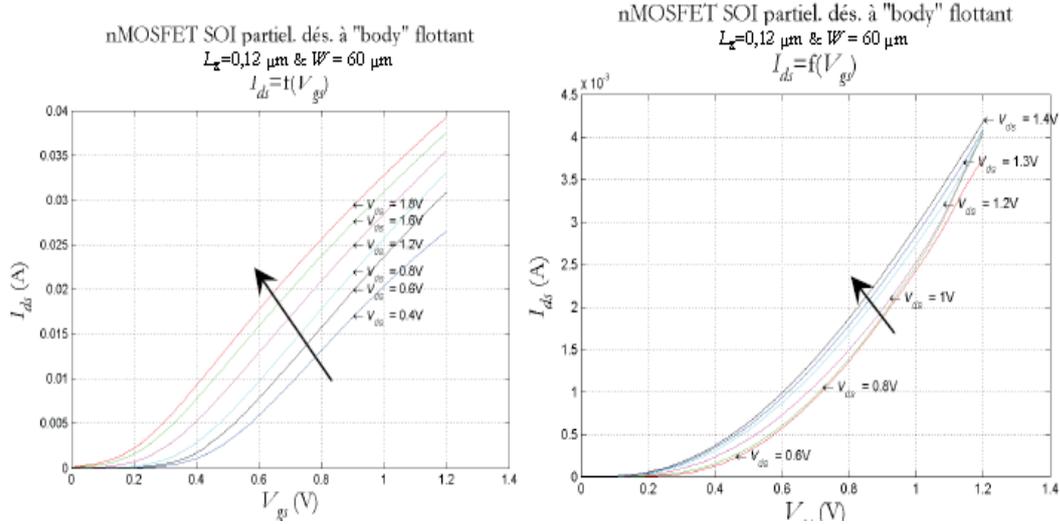


Figure I.23 : Effets DIBL sur la caractéristique $I_{DS}(V_{GS})$ prononcés pour un n-MOSFET de longueur $0,12 \mu\text{m}$ à gauche, par rapport à un dispositif avec $L_G=2 \mu\text{m}$ à droite [4].

À partir de l'approximation effectuée pour le calcul de l'équation I.40, l'expression de ΔV_{ThL} devient:

$$\Delta V_{ThL} = -2\beta_1 \frac{\varepsilon_S}{C'_{ox}L} ((\Phi_0 - V_{bs}) + \beta_2 V_{DS}) \quad \text{I. 41}$$

Où β_2 est un paramètre d'ajustement. D'autres modèles ont été développés sur la base de solutions quasi-2D des équations de Poisson. Ces derniers prennent en compte la dépendance exponentielle de ΔV_{ThL} en fonction de L_G . Ces modèles intègrent également les variations des effets de canal court et de DIBL en fonction du dopage du canal et de V_{bs} . Par exemple, dans le cas où V_{DS} est faible, ΔV_{ThL} s'écrit:

$$\Delta V_{ThL} = -\frac{2(\Phi_{bi} - \Phi_0) + V_{DS}}{2 \cosh(L_G/2l) - 2} \quad \text{I. 42}$$

Avec :

$$l = \sqrt{\frac{\varepsilon_S d_B}{C'_{ox} \eta}} \quad \text{I. 43}$$

h est un paramètre d'ajustement. Φ_{bi} est le potentiel intégré des jonctions source/substrat ou drain/substrat.

Lorsque $l \ll L_G$, ΔV_{ThL} peut se mettre sous la forme suivante :

$$\Delta V_{thL} = -(2(\Phi_{bi} - \Phi_0) + V_{ds}) e^{-L_g/2l} (1 + 2e^{-L_g/2l}) \quad \text{I. 44}$$

L'effet DIBL modifie également le potentiel de surface. Quand la polarisation V_{DS} augmente, son minimum ne se situe plus au milieu du canal mais se déplace en direction de la source. La barrière de potentiel de la jonction source/canal est abaissée. La modélisation de l'effet DIBL doit, également, prendre en compte cette dépendance en complexifiant son écriture.

Pour finir, l'effet DIBL est caractérisé par le rapport $\Delta V_{GS}(\text{mV})/\Delta V_{DS}$ en inversion faible pour un courant I_{DS} constant. Lorsque cet effet est faible, la valeur typique de $\Delta V_{GS}(\text{mV})/\Delta V_{DS}$ est supérieure à 100 mV/V[4].

I.3.2.5.L'effet de perçage

L'effet de perçage ou "punch through" a lieu lorsque les zones de charges d'espace des jonctions source/substrat et drain/substrat se rejoignent dans la zone active. Cette vision du phénomène est empirique. En fait, pour des fortes tensions V_{DS} , les lignes de champ de la zone de drain atteignent la source et augmentent le potentiel de surface. La tension de seuil effective devient nulle. La quantité de charges d'inversion croît. Le transistor conduit même pour $V_{GS}=0$ V. Cet abaissement de la barrière de potentiel conduit à la formation d'un faible courant d'électron de la source au drain. Ce courant se positionne soit en surface de la zone active pour un canal uniformément dopé, soit dans le corps du silicium lorsque le dopage en surface est important.

Cet effet implique une pente sous le seuil légèrement dégradée et un plus fort courant de fuite à l'état bloqué (I_{OFF}) contrôlé par V_{DS} . Ce phénomène peut être annihilé en augmentant le dopage de la zone active afin de réduire l'étalement des zones de charges d'espace des jonctions "source/substrat" et "drain/substrat". Des implantations en profondeur spécifiques permettent également de contrôler l'effet de perçage. Cet artifice est limité par les courants de fuite de la jonction drain/substrat[4].

I.3.3. Les effets du canal étroit

De chaque côté de la largeur du canal, le transistor est isolé par un oxyde appelé oxyde de champ. Cet oxyde permet de limiter l'étalement de la zone de désertion sous le canal par le champ électrique transversal – voir figure I.24. Deux types de structures isolantes sont utilisées : le LOCOS ou LOCAL Oxidation of Silicon, et le STI ou Shallow-Trench Isolation. Les lignes de champ du champ électrique vertical E_{Gb} pénètrent chacune de ces structures et atteignent la zone active du MOSFET. Ce champ électrique de frange s'ajoute au champ électrique traversant l'oxyde de grille, et assure une désertion

supplémentaire sous le canal. Dans le cas d'une structure LOCOS, la zone de désertion s'étale dans une direction normale à la largeur de grille, voir figure I.24-a. La profondeur de la zone de désertion est plus faible que celle prédite par la théorie. Pour une structure STI, la zone de désertion s'étend en direction de l'oxyde enterré comme il est indiqué à la figure I.24-b et est plus profonde.

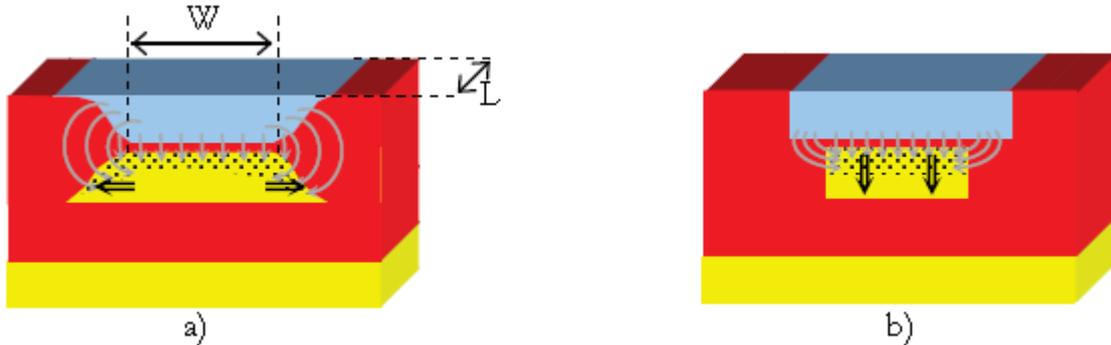


Figure I.24 : Oxydes de champ pour des MOSFET avec des Structures a) LOCOS; b) STI[4].

Pour un canal large, ces effets sont négligeables. Pour un canal étroit, l'impact de ces effets s'accroît et modifie la tension de seuil du transistor. Dans le cas d'une structure de type LOCOS, la tension de seuil est plus élevée lorsque le canal est étroit. L'effet est inverse pour une structure STI, voir figure I.24 – b.

À noter que l'isolation latérale des transistors par des structures LOCOS peut conduire à la formation d'un transistor latéral supplémentaire dont l'oxyde de grille est l'oxyde de champ - voir figure I.25. La région sous l'oxyde est mal dopée, donc sa tension de seuil est mal contrôlée. Ainsi, le courant de fuite I_{OFF} est plus élevé et s'ajoute à celui du MOSFET.

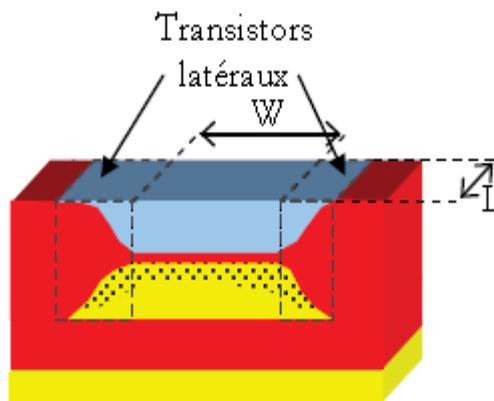


Figure I.25 : Représentation des transistors latéraux pour une structure LOCOS[4].

I.3.4. Les effets liés à la grille

Afin d'améliorer les performances du MOSFET, les transformations de son architecture passe par la diminution de ses dimensions. Or, en réduisant la longueur du canal, il est nécessaire de modifier certains paramètres technologiques comme l'épaisseur de l'oxyde de grille. Cette technique modère l'impact des effets de canal court. Cependant, elle entraîne l'apparition de nouveaux phénomènes physiques liés à la grille.

I.3.4.1. Épaisseur effective de grille

Suivant l'épaisseur de la grille ou les conditions de dopage du polysilicium, les caractéristiques C-V du MOSFET se dégradent. Deux phénomènes sont principalement impliqués : la désertion du polysilicium lorsque le transistor est en inversion forte, et les effets quantiques dans le canal.

I.3.4.1.1. Effets de poly-désertion

Pour former la partie "métallique" de la grille d'un MOSFET à canal n, la technologie CMOS emploie un silicium polycristallin fortement dopé n++ et siliciuré. Cependant, lorsque le transistor est en inversion, une faible zone de désertion de quelques Å d'épaisseur se forme à l'interface entre le polysilicium et l'oxyde de grille. C'est l'effet de poly-désertion, voir figure I.26-b. L'origine de ce phénomène est une désertion locale située dans les grains de silicium à l'interface "grille/oxyde de grille". De part cette zone de désertion, la valeur effective de l'épaisseur de l'oxyde de grille est augmentée par rapport à un dispositif où cet effet est négligeable, voir figure I.26-a. Par conséquent, la valeur effective de la capacité d'oxyde de grille, $C'_{ox,eff}$, est diminuée. La caractéristique C-V des structures MOS est dégradée. $C'_{ox,eff}$ se déduit ainsi :

$$C'_{ox,eff} \approx \frac{\epsilon_{ox}}{\sqrt{t_{ox}^2 + 2 \frac{\epsilon_{Si}}{9qN_G} (V_{GS} - V_{FB} - \phi_s(V_{GS}))}} \quad \text{I. 45}$$

En plus de son impact sur la capacité effective de l'oxyde de grille, la poly-désertion influence également la tension de seuil. Celle-ci se détermine en modifiant l'écriture de la chute de potentiel Ψ_G dans le polysilicium, estimée par la résolution des équations de Poisson et de Laplace. La tension de seuil peut s'écrire [4]:

$$V'_{Th} = V_{FB} + \phi_0 - \frac{Q'_B}{C'_{ox}} + \frac{1}{2a_v} \left(\frac{Q'_B}{C'_{ox}} \right)^2 \quad \text{I. 46}$$

Avec $a_v = \frac{q\epsilon_{Si}N_G}{C'_{ox}}$. N_G correspond au dopage du polysilicium de grille. Lorsque ce dopage n'est pas homogène, cas d'un dopage par implantation d'ions, l'effet du gradient de dopant se rajoute à la désertion du polysilicium. En conséquence, le potentiel intrinsèque de la grille n'est plus nul et se rajoute au potentiel Ψ_G . En plus du caractère non uniforme du dopage, le champ électrique transversal de frange modifie la zone de poly-désertion à proximité de la source et du drain. À l'approche de ces zones, la désertion est plus importante. La réduction de la longueur ou de la largeur du canal rapproche ces effets de bords. Ils augmentent globalement la profondeur effective de poly-désertion ainsi que Ψ_G , dans le cas d'un MOSFET à canal n. De même, la diminution de l'épaisseur d'oxyde de grille ou l'augmentation du dopage du substrat accentue la profondeur de désertion dans la grille. Ces derniers points ont été vérifiés expérimentalement par C.-L. Huang [4].

I.3.4.1.2. Les effets quantiques

Classiquement, la concentration des porteurs libres dans le silicium (le canal) est décrite à partir de la statistique de Maxwell-Boltzmann. Or, à l'interface Si/SiO₂, lorsque la surface du silicium est fortement inversée ou accumulée, les courbures des bandes peuvent former des puits de potentiel "énergétiques". En profondeur, c'est-à-dire à l'interface Si/SiO₂, la largeur de ces puits peut être plus faible que la longueur d'onde associée aux porteurs. Il s'en suit une quantification des niveaux d'énergie des porteurs. Dans ces conditions, la statistique de Fermi-Dirac n'est plus adaptée pour décrire la distribution des porteurs dans le canal.

La densité des porteurs libres occupe des niveaux d'énergie supérieurs à celles décrites par la statistique de Maxwell-Boltzmann. Le premier niveau occupé est supérieur à la bande de conduction. Les courbures de bandes sont augmentées, voir figure I.26-b. Les porteurs sont repoussés de l'interface Si/SiO₂ en direction du substrat dont le pique de $|Q'_{inv}|$ se situe à une distance comprise entre 7 et 15 Å de cette interface. Cette distance varie selon le type de porteur dans la couche d'inversion. L'augmentation du dopage de substrat ou de l'épaisseur de l'oxyde de grille implique des puits de potentiel plus étroits. Ainsi, le premier niveau d'énergie autorisé sera élevé. Ceci se traduit par une épaisseur effective de l'oxyde de grille plus importante – voir figure I.26-a. La résolution des équations de charges s'effectue par une résolution de Poisson-Schrödinger ou Poisson-Wigner [4].

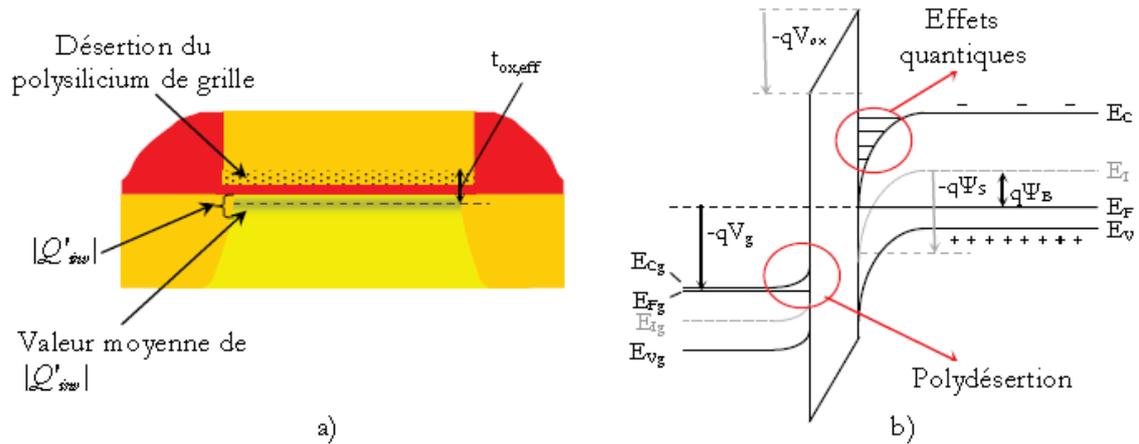


Figure I.26 : Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET a) et illustration des effets de mécanique quantique et de poly-désertion par le diagramme des bandes b)[4].

Ces effets impliquent un abaissement de la caractéristique C-V de la structure MIS en inversion et accumulation forte, par rapport à la théorie des MOSFET à oxyde épais. La mesure C-V devient une méthode pour déterminer ces effets quantiques. Par rapport à la théorie classique, le niveau de la tension de seuil s'accroît, voir équation I.46. Pour finir, la valeur de I_{DS} diminue et la transconductance se dégrade [4].

I.3.4.2. Le courant de grille

La réduction de l'épaisseur de l'oxyde de grille entraîne l'abaissement de sa barrière de potentiel. Par conséquent, les charges de la zone d'inversion ou de la grille peuvent avoir assez d'énergie pour traverser cette barrière par effet tunnel. Alors, des courants de fuite se forment.

Trois processus d'effet tunnel participent à la formation de ce courant. Le premier est un courant d'électrons de la bande de conduction du substrat vers le poly-silicium, noté ECB à la figure I.28. Ce flux d'électrons donne naissance aux courants, voir figure I.28:

- $I_{Gc,S/D}$, pour un MOSFET à canal n en inversion.
- I_{Gb} , pour un MOSFET à canal n ou p en accumulation.
- $I_{Go,S/D}$ pour un MOSFET à canal n.

Le second effet tunnel concerne le passage des électrons de la bande de valence du substrat à la grille, noté EVB à la figure I.27. Cet effet génère le courant I_{Gb} dans un MOSFET à canal n ou p en inversion. Le dernier processus est un effet tunnel des trous de la bande de valence de la grille vers le substrat, noté HVB à la figure I.28 et présent dans

tous les cas. Ce dernier effet engendre, pour un MOSFET à canal p, les courants $I_{Gc,S/D}$, en régime d'inversion, et $I_{Go,S/D}$. Vu que les longueurs des régions n+ de source et de drain ne sont plus négligeables devant L_G , il est à noter que les courants I_{GoS} et I_{GoD} deviennent prépondérants lorsque la longueur du canal diminue, voir figure I.28. De plus ces courants sont insensibles aux variations de V_{bs} [4].

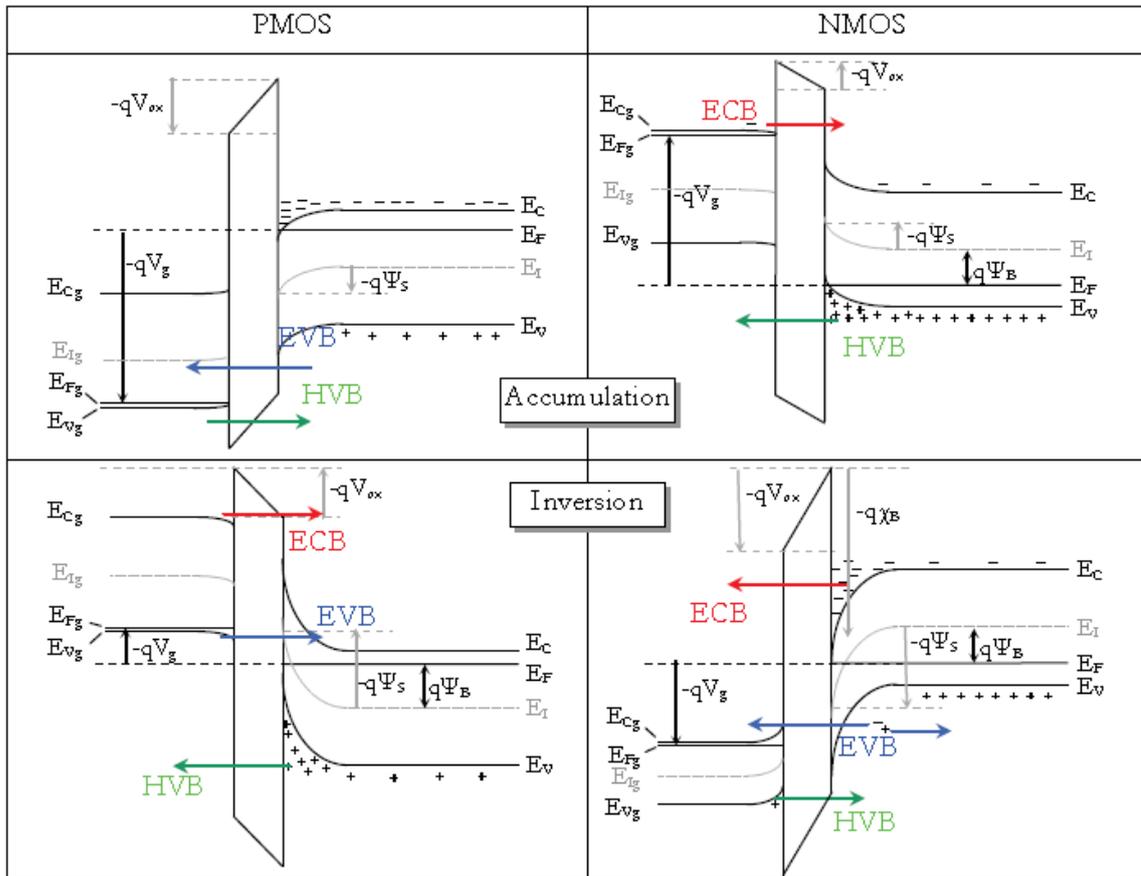


Figure I.27 : Structure de bandes lorsque le courant de grille se manifeste [4].

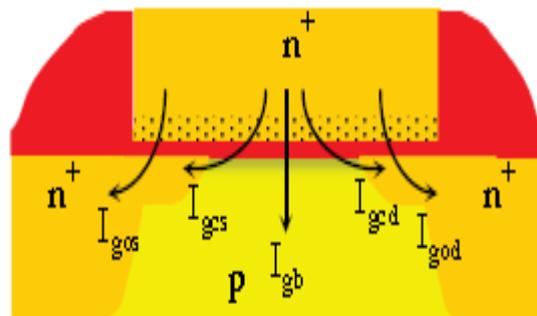


Figure I.28: Représentation des courants tunnels traversant l'oxyde de grille d'un MOSFET à canal n [4].

L'expression simplifiée de ces courants tunnels est donnée à partir de la formule de Fowler-Nordheim[4] :

$$J_g = A \left(\frac{V_{ox}}{t_{ox}} \right)^2 e^{-\frac{B}{V_{ox}/t_{ox}}} \quad \text{I. 47}$$

Avec A et B sont des constantes. $I_{Gc} = I_{GcS} + I_{GcD}$. Ce partage des charges est déterminé en résolvant les équations de continuité des courants. Lorsque V_{DS} augmente, I_{GcS} s'accroît et I_{GcD} s'affaiblit, à cause de la formation de la zone de saturation du côté du drain.

Pour conclure, le courant de grille peut s'ajouter au courant I_{OFF} . En outre, les trous créés par l'effet tunnel bande à bande ou GIDL sont accélérés par le champ électrique vertical. Ces trous "chauds" sont injectés dans l'oxyde de grille de la zone de recouvrement et contribuent au courant de grille en s'ajoutant à l'effet Fowler-Nordheim. Ce phénomène s'accroît pour des oxydes épais [4].

I.3.4.3. Effet GIDL

En accumulation et à V_{DS} fort, le courant de fuite drain-source, ou I_{OFF} , augmente en fonction de V_{DS} , comme il est illustré à la figure I.29. Ce phénomène correspond au GIDL ou "Gate Induced Drain Leakage".

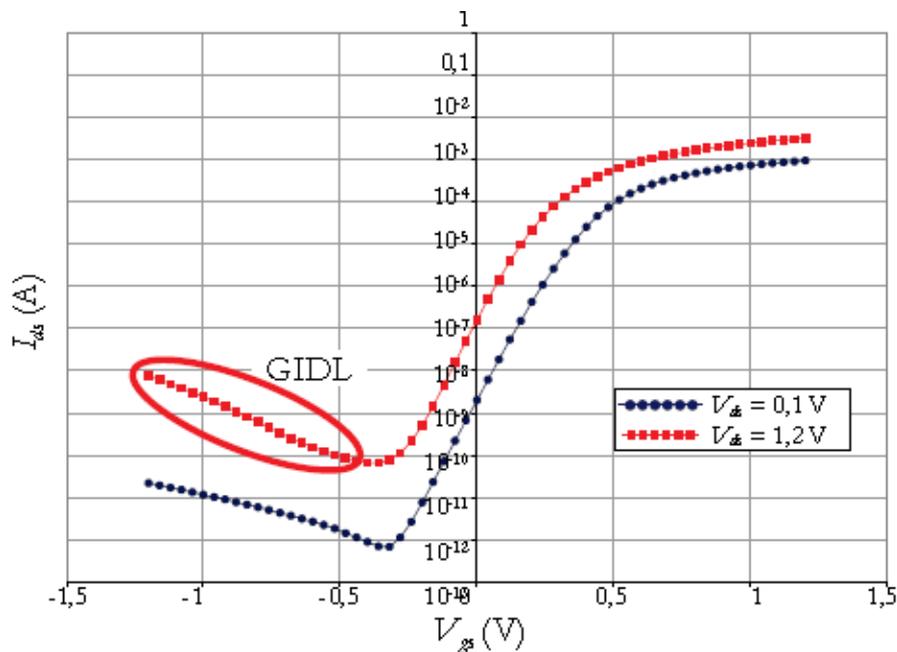


Figure I.29 : Variations de la caractéristique $I_{DS}(V_{GS})$ en fonction de V_{DS} [4].

Pour un MOSFET à canal n, dans sa région n+ du côté du drain, une large zone de désertion se forme sous les effets conjugués des forts champs électriques longitudinaux et verticaux. Un courant tunnel bande à bande issu de paires électron/trou se forme à

l'interface "oxyde de grille/substrat". Les électrons de la bande de valence accèdent à la bande de conduction par des effets tunnel direct et indirect, voir la figure I.30-a. Les électrons sont évacués par le drain, sous l'action du champ électrique vertical. Les trous sont repoussés dans le substrat, par la zone de désertion créée à la jonction "drain/substrat" polarisée en inverse, voir figure I.30-b.

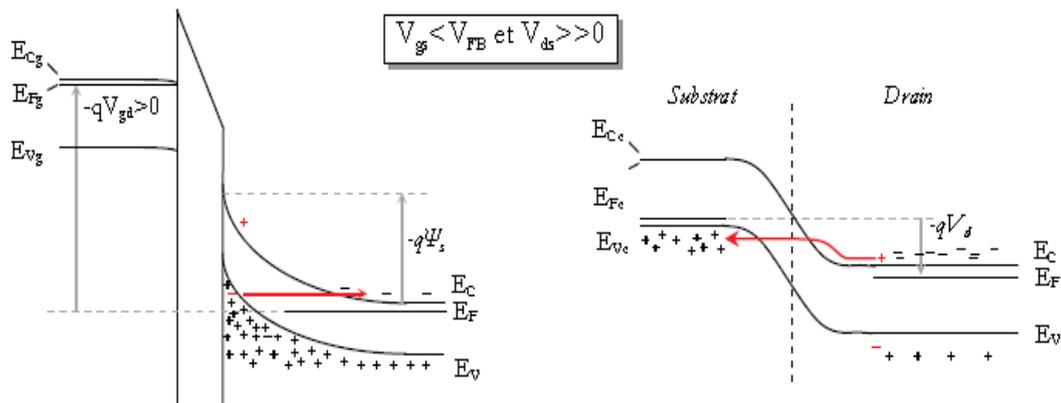


Figure I.30 : Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL[4].

En considérant un dispositif sans zone de LDD «Lighly Doped Drain », l'expression du courant I_{ds} issu du GIDL s'écrit:

$$I_{DS} = A. E_s e^{-B/E_s} \quad \text{I. 48}$$

$$\text{Avec } E_s = (V_{GS} - V_{FB} - \psi_s)/3. t_{ox} \quad \text{I.49}$$

E_g est l'énergie de gap. A et B sont des constantes, fonction d' E_g . $B \sim 21,3$ MV/cm. $V_{FB} + \psi_s$ doit valoir 1,2 V pour que le potentiel à l'interface Si/SiO₂ assure une courbure de bande suffisante pour donner naissance à un effet tunnel bande à bande.

Le courant de GIDL varie en fonction:

- de la température par l'intermédiaire de E_g et des effets de porteurs chauds pour des champs électriques de surface faibles.
- du type de dopage de la grille par rapport au dopage du substrat.
- des effets de bords dans les dispositifs à faible largeur de grille.

- des pièges à l'interface "oxyde de grille/drain pour des champs électriques faibles et, in extenso, des effets de porteurs chauds.

Le dopage de la zone n+ influe sur le courant de GIDL en modifiant le potentiel de surface, mais surtout, en réduisant le champ électrique transversal qui traverse la zone de drain. Ainsi, les dispositifs avec une zone de LDD présentent moins d'effets GIDL[4].

I.3.5. L'ionisation par impact

À la jonction drain/canal, l'amplitude de ce champ électrique est maximale. Elle dépend de L_G et de V_{DS} . Cette quantité, notée E_d , est supérieure à celle du champ électrique critique, E_c , lié à la vitesse de saturation des porteurs. Pour les transistors à canal long, E_c se situe proche du point de pincement. Lorsque la longueur du canal diminue, E_c se rapproche de jonction "source/canal". Lorsque les porteurs minoritaires atteignent leur vitesse de saturation, le champ électrique longitudinal continue de céder de l'énergie cinétique à ces porteurs. Les interactions dans le réseau cristallin modifient aléatoirement leur libre parcours moyen. Puisque leur vitesse de propagation reste constante, par conséquent leur énergie cinétique augmente, en suivant une loi de probabilité dictée par les interactions dans le canal, voir figure I.31. Une partie de ces porteurs ont une énergie suffisamment importante pour ioniser les atomes de silicium du cristal. Ils sont appelés les "porteurs chauds". Des paires électron-trou se forment à partir de ces impacts. À noter que pour les trous, dans un MOSFET à canal p, le taux d'ionisation par impact est plus faible.

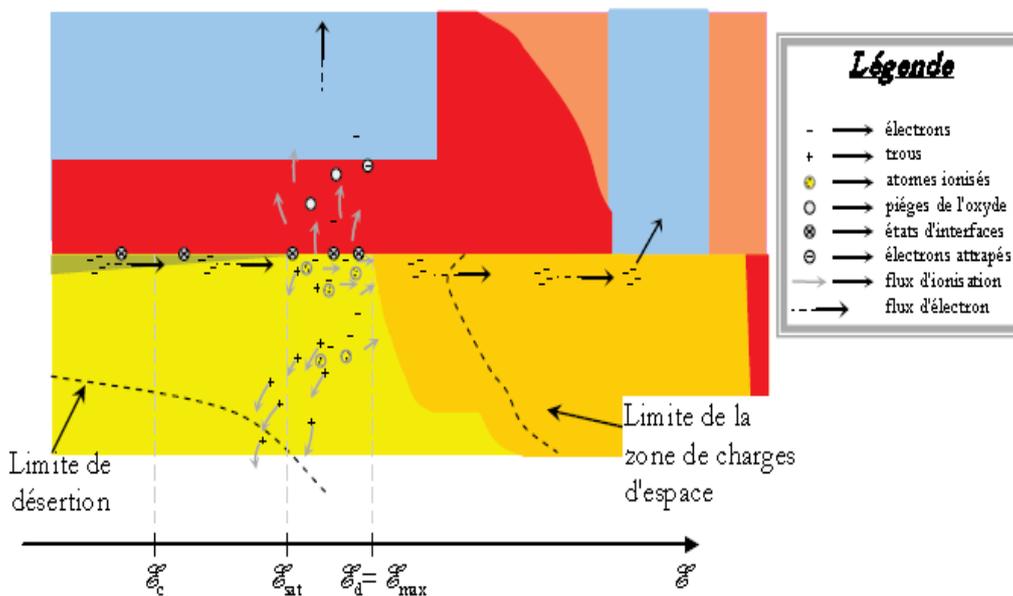


Figure I.31 : Schématisation du processus d'ionisation par impact dans un MOSFET à canal n [4].

Le champ électrique longitudinal attire les électrons du côté du drain. Les trous sont repoussés vers le substrat par le champ électrique de la zone de désertion. Ces trous, issus de l'ionisation par impact, constituent le courant de substrat dont l'expression est :

$$|I_{Db}| = |I_{DS}| K_i (V_{DS} - V_{DS,sat}) e^{-\frac{V_i}{V_{DS} - V_{DS,sat}}} \quad \text{I. 50}$$

K_i et V_i sont des paramètres empiriques d'ajustement. Le rapport de I_{Db} sur I_{DS} représente le coefficient d'ionisation par impact.

Une partie des électrons du canal, dans la zone de saturation, possède suffisamment d'énergie pour franchir la barrière de potentiel située entre l'oxyde de grille et la zone active. Ces électrons sont ensuite collectés par la grille. Ces électrons forment ainsi un courant de grille. Une portion de ces électrons dégrade l'interface oxyde de grille/substrat et augmente ainsi la densité d'états d'interface. La mobilité électrique est alors réduite et la tension de seuil augmente. Une partie des électrons énergétiques issus du canal se retrouve piégée dans l'oxyde. Ce piégeage a pour effet d'augmenter la quantité de charges intrinsèque de l'oxyde de grille [4].

I.3.6. Les claquages et le régime d'avalanche

Les effets d'avalanche ou de claquage ont plusieurs origines. L'une d'elles est liée par les effets d'ionisation par impact. Ces effets induisent l'ionisation des atomes du cristal dans la zone de saturation et entraînent la génération de particules énergétiques. Ces charges peuvent à leur tour ioniser les atomes de silicium et créer un phénomène d'avalanche. Un autre effet est le claquage des jonctions source/substrat et drain/substrat pour une polarisation inverse trop forte. L'oxyde de grille est également altéré par un champ à électrique trop fort [4].

I.3.7. Les résistances et capacités séries

I.3.7.1. Les résistances séries

Un transistor à effet de champ MOS est constitué d'une zone active au voisinage de laquelle se trouvent les régions n+ de source et de drain. Ces zones sont reliées aux lignes d'accès métalliques par une faible couche de siliciuration - TiSi. Cependant la partie de métallisation, R_1 à la figure I.32 - a, le contact métal/silicium, R_2 , et la zone n+, R_3 et R_4 , présentent une résistivité globale non négligeable. Cette résistance parasite diminue le

champ électrique effectif appliqué au dispositif. Par rapport à la représentation de la polarisation du MOSFET donnée à la figure I.32-b, $V_{DS,eff} = V_{DS} - [(R_S + R_D) \cdot I_{DS}]$. R_S et R_D sont respectivement les résistances des régions de source et de drain. De part la symétrie du MOSFET, ces deux résistances ont des valeurs proches. Cette quantité augmente en fonction de l'inverse de la profondeur des jonctions, d_j [4].

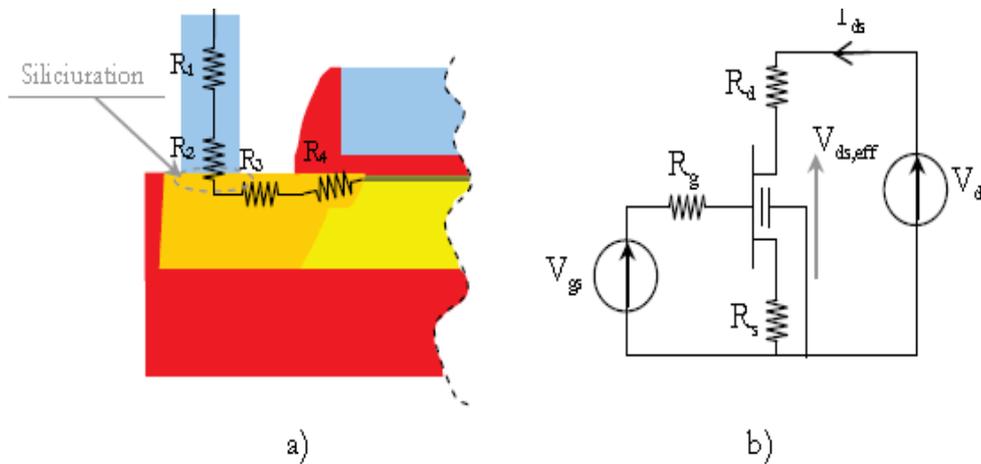


Figure I.32 : Représentation des résistances séries dans les zones source et drain du MOSFET a) 4 résistances composent les résistances séries. b) Polarisation du MOSFET avec les résistances séries [4].

I.3.7.2. Les LDD

La zone de charges d'espace s'étend plus du côté le moins dopé. Il a été noté précédemment que les effets de canal court deviennent importants lorsque la zone de désertion des jonctions s'étend dans le substrat. Par conséquent, une technique pour maîtriser les effets de canal court consiste à réduire la zone de charges d'espace de ces jonctions en contrôlant le dopage des zones n+. Cependant, la résistivité des régions n+ côté source et drain augmente lorsque leur dopage diminue. Pour éviter la formation d'une résistance trop forte, une petite zone faiblement dopée n appelée LDD, "Lightly Doped Drain", est créé entre le canal et les zones n+ de la source et du drain.

Les effets liés aux électrons chauds sont également atténués grâce à cette structure. Une partie du potentiel est absorbée par la zone de désertion de la région de LDD. Le champ électrique maximal, E_d , est alors abaissé. Moins de porteurs "chauds" sont générés dans la zone de saturation. La diminution du champ électrique au travers de la zone de LDD contribue également à affaiblir l'effet DIBL.

Cependant, le champ électrique transversal module la zone de charges d'espace des régions de LDD. Les résistances séries R_4 de source et de drain, à la figure I.32-a, deviennent dépendantes du champ électrique transversal. Du côté du drain, elle est inversement proportionnelle à V_{DS} et V_{GS} . Du côté de la source, sa valeur diminue lorsque V_{GS} augmente [4].

I.3.7.3. Les capacités de recouvrement

Les charges des régions de LDD et n+ de la source et du drain avec celles de la grille forment une capacité appelée capacité de recouvrement. Les régions n+ et de LDD varient du régime d'inversion au régime d'accumulation en fonction du champ électrique transversal. Ceci implique des variations de la valeur de la capacité de recouvrement en fonction de V_{GS} . Cependant, cette capacité est également dépendante du champ électrique longitudinal, donc de V_{DS} [4].

I.4. Les SOI MOSFETs

Le terme SOI de l'anglais « Silicon On Insulator » signifie silicium sur isolant. Contrairement au transistor MOSFET conventionnel où les composants sont réalisés sur un substrat de silicium dit bulk d'une épaisseur de l'ordre 600 μm , le SOI MOSFET est réalisé sur un film de silicium posé auparavant sur une couche d'oxyde enterrée.

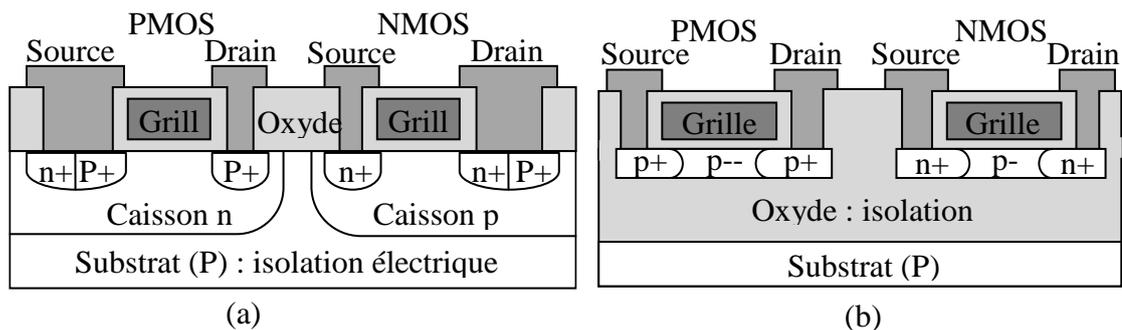


Figure I.33 : Transistor n-MOSFET et P-MOSFET: (a) bulk (b) SOI [5].

La présence de l'oxyde enterré « buried oxide dit BOX » permet un meilleur contrôle du potentiel dans le canal par la grille comparé au transistor MOSFET conventionnel.

L'épaisseur de la couche active de silicium Si dit body est un des paramètres importants dans la classification et le fonctionnement des transistors MOSFET sur SOI. Selon l'épaisseur entre l'oxyde de la grille et l'oxyde enterré, le fonctionnement et les divers phénomènes physiques dans les composants varient.

En effet, pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas le BOX ; nous obtenons alors des transistors MOSFETs partiellement déplétés dits PDSOI-MOSFETs, "Partially Depleted SOI". Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film sera complètement déserté et la grille améliorera le contrôle du potentiel dans le film, nous obtenons dans ce cas des transistors MOSFETs entièrement déplétés dits FDSOI ou Fully Depleted SOI-MOSFETs. La figure qui suit représente ces deux structures.

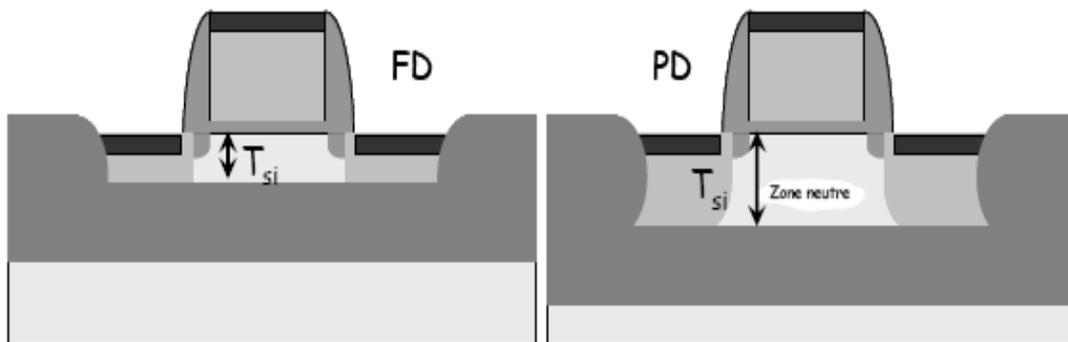


Figure I.34 : Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété [5].

Le fait que le SOI soit partiellement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur X_s de la zone de désertion dans le film dépendra du dopage du film [5].

I.5. Conclusion

Le but de ce chapitre était de nous initier et d'initier les lecteurs au fondement et aux principales avancées expérimentales et théoriques de la technologie MOS. C'est pour cela que nous avons jugé nécessaire d'introduire le transistor MOSFET au sein de ce premier chapitre ainsi que les effets parasite induit par la miniaturisation d'autant plus que notre travail consiste à étudier et simuler les caractéristique d'un transistor MOSFET évolué à canal court appelé tri gate FINFET. Maintenant que nous connaissons son

principe de fonctionnement, nous avons mis l'accent sur les caractéristiques physiques et électriques du MOSFET. Cette étude nous permettra ainsi de poursuivre nos investigations débutant d'abord par la présentation des transistors multigrilles et principalement le tri Gate -FinFET sujet de notre étude que nous avons modélisé.

Référence du Chapitre I

- [1] TALMAT Rachida, « Etude des phénomènes de transport de porteurs et du bruit basse fréquence », thèse de Doctorat, électronique microélectronique et nanoélectronique, université de Caen/Basse-Normandie, 2006.
- [2] BONNAUD Olivier, « Composants à semi-conducteurs », s.l. : Edition ellipses, De la physique du solide aux transistors.
- [3] SAINT-MARTIN Jérôme, « Etude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI », Thèse de doctorat. Université de Paris-Sud : s.n., 2006.
- [4] DAVIOT Renaud, « Etude en radiofréquences de transistors à effet de champ MOS partiellement désertés en technologie avancée Silicium-Sur-Isolant sub-0,13 μm », Grade de docteur de l'INSA, Institut National des Sciences Appliquées de Lyon : s.n., 2006.

- [5]

Chapitre II

Les FinFETs triple-grille

Sommaire chapitre II

II.1. Introduction	54
II.2. Technologie MOSFET Multi grille	55
II.3. Les différentes classes de la technologie MOSFET Multi-grille	57
II.3.1 Transistor MOSFET Double-Grille	57
II.3.1.1. Transistor MOSFET double-grille vertical	59
II.3.1.2. Transistor MOSFET double-grille planaire	59
II.3.1.3. Modes de fonctionnement du transistor MOSFET double-grille	60
II.3.1.4. Symbole du transistor MOSFET double grille	62
II.3.1.5. Schéma équivalent du transistor DGFET	62
II.3.2. Les Transistors double grille quasi planaire de type FinFET	62
II.3.3. MOSFET triple-grille	65
II.3.4. GAA MOSFET	66
II.3.5. MOSFET à nanofil	66
II.3.6. Théorie du scaling	67
II.4. Le transistor FinFET : propriétés électriques et effets physiques.....	70
II.4.1. Présentation du FinFET	70
II.4.2. Propriétés électriques du FinFET	71
II.4.2.1. La longueur du canal (L)	71
II.4.2.2. La largeur (ou l'épaisseur) du Fin (W_{Si}).....	71
II.4.2.3. La hauteur du Fin (H_{Si}).....	72
II.4.2.4. Le dopage du film de silicium	73
II.4.2.5. Des jonctions S/D-canal.....	73
II.4.3. Effets de coin	73
II.4.4. Les effets de la mécanique quantique	77
II.4.5. Underlap – Overlap	79
II.4.6. Extension de la technologie FinFET- Bulk FinFET	81

II.5. Les modèles physiques	83
II.5.1. Le modèle de Dérive-Diffusion	83
II.5.1.1. Théorie du modèle de Dérive-Diffusion	83
II.5.1.2. Les effets non stationnaires.....	85
II.5.2. Les effets quasi-balistiques	89
II.5.3. Recombinaison Shockley-Read-Hall	90
II.5.4. Energie Balance	91
II.6. Conclusion	92
Référence du Chapitre II	93

II.1. Introduction

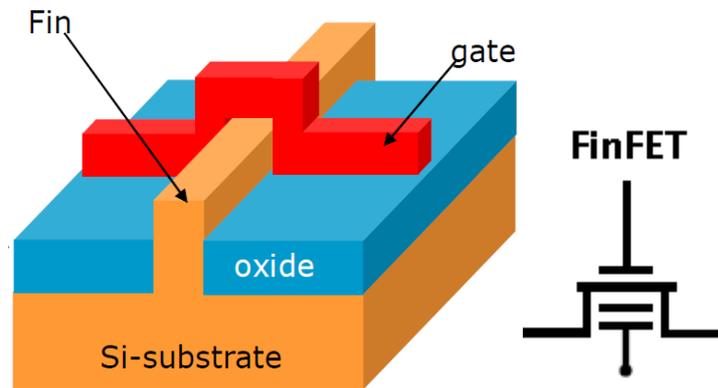


Figure II.1 : Schéma d'un FinFET.

La loi de Moore traduit de manière empirique, mais réaliste, l'évolution de la microélectronique. De nos jours, il devient malheureusement de plus en plus difficile de suivre cette loi. Les limitations technologiques représentant un réel frein à la croissance de cette industrie, l'entrée dans l'ère nanométrique nécessite non seulement de mobiliser des ressources intellectuelles importantes mais aussi des investissements financiers colossaux. De nombreuses solutions sont actuellement étudiées pour contourner les limitations technologiques liées à la réduction d'échelle du transistor MOSFET standard.

Certaines de ces solutions incluent des modifications au sein des structures existantes, dans l'espoir de prolonger leur miniaturisation. Selon le rapport de l'ITRS (*International Technology Roadmap for Semiconductors*), le transistor MOSFET à Triples-grille (Figure II.1) est identifié comme l'un des candidats les plus prometteurs pour les futurs circuits intégrés à très grande densité. Ceci est essentiellement dû à son aptitude intrinsèque à suivre la tendance continue de miniaturisation des dispositifs (grâce au contrôle du canal par les deux grilles).

En parallèle et afin de satisfaire les exigences du concepteur de circuits, il fut nécessaire de développer des modèles compacts de ces technologies émergentes, ces modèles doivent être précis, simples, efficaces en termes de temps de calcul, contenant un minimum de paramètres et enfin, prédictifs. Les travaux se positionnent depuis quelques années dans le cadre de la modélisation compacte du transistor MOSFET multiple grille que nous présentons en figures II.2 et II.3 [1].

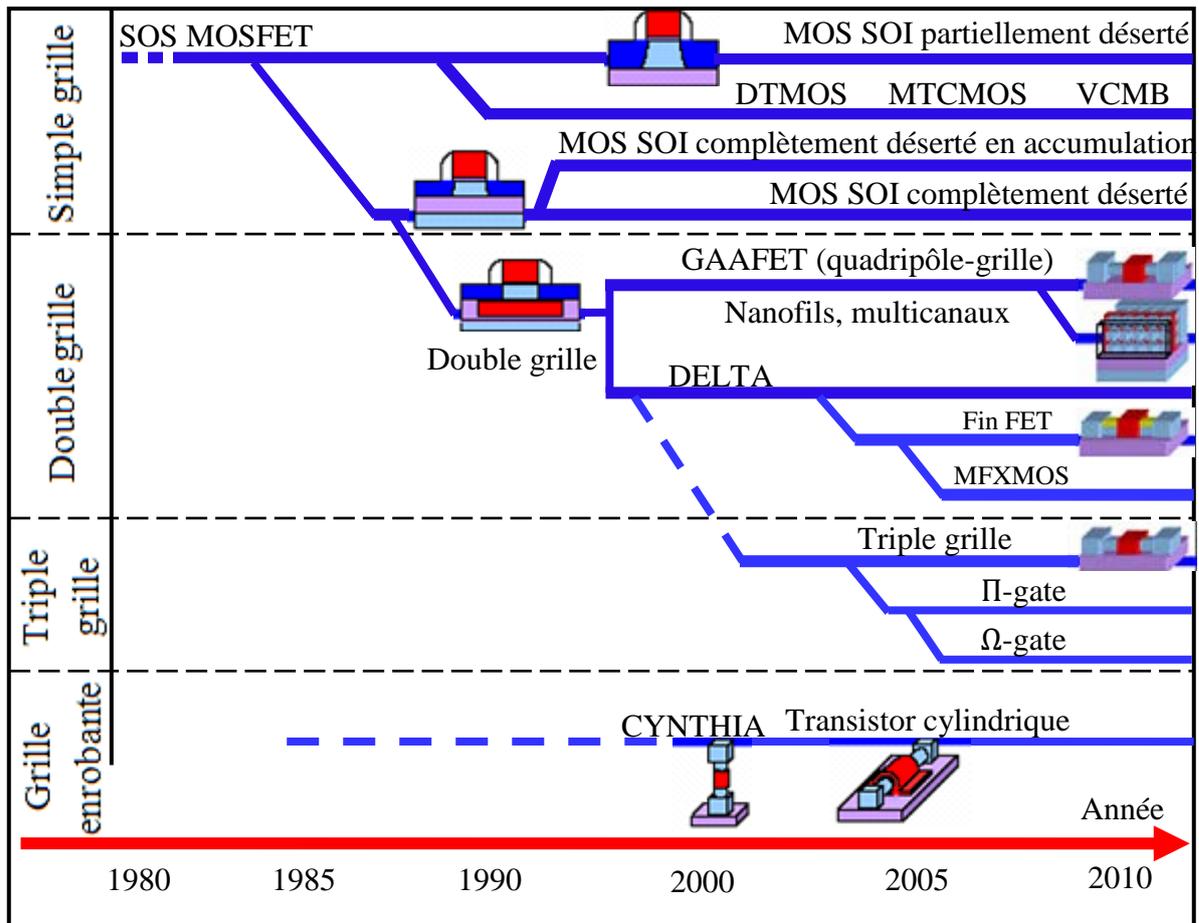


Figure II.2 : Evolution de la technologie SOI au fil des années [2], [3].

II.2. Technologie MOSFET Multi grille

Depuis quelques années, les propriétés des transistors se sont dégradées. Les dispositifs à grilles multiples basés principalement sur la technologie SOI sont plus robustes et présentent un meilleur contrôle du canal au-dessous du nœud technologique 45nm et une réduction des effets canaux courts.

Dans les dispositifs Multi grille, deux grilles ou plus permettent d'influencer le comportement du transistor. Ce contrôle offre un nouveau degré de liberté, qui permettra la création d'architectures innovantes. Des architectures encore plus exotiques, comme par exemple le dispositif n°5 de la Figure II.3 appelée transistor à « Grille en Pi », sont envisageables [1].

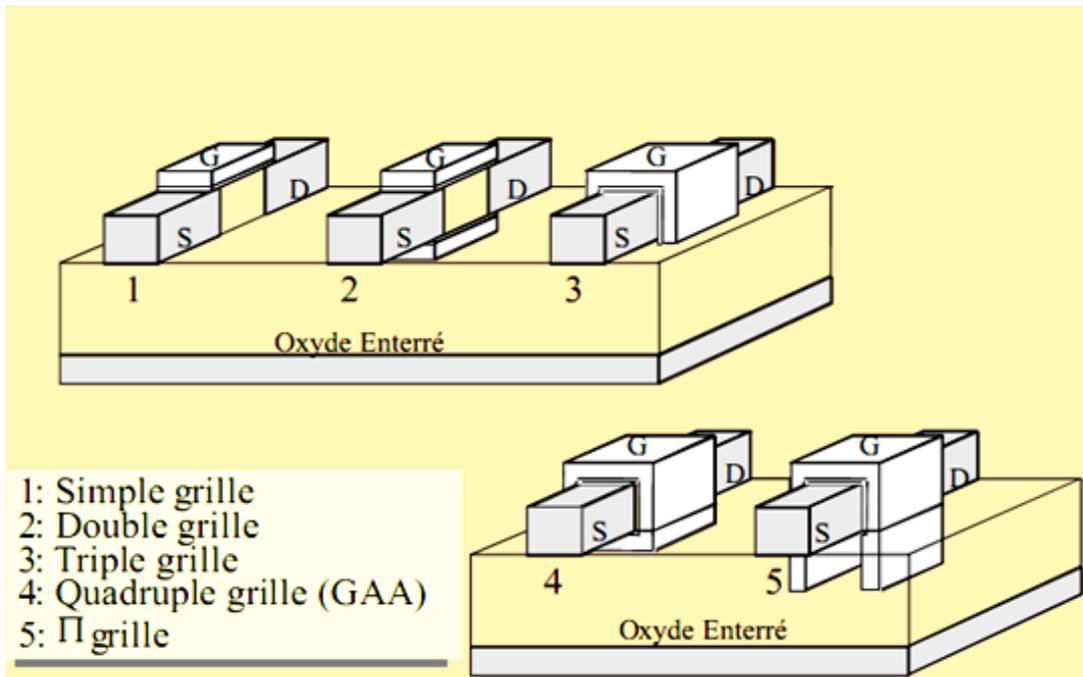


Figure II.3 : MOSFET sur SOI pour différentes configurations de grille 1) Simple Grille, 2) Double grille, 3) Triple Grille, 4) Quadruple Grille ou grille enrobée 5) une nouvelle structure : «Grille en Pi » [1].

L'utilisation de plusieurs grilles permet, à épaisseur d'oxyde constante, d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les effets de canal court.

Dans notre étude nous nous sommes intéressés aux transistors MOSFET de type FINFET présentant une grille au dessus dite top gate et deux grilles latérales. Selon l'épaisseur de l'oxyde sous le Top gate nous pouvons alors distinguer le FINFET considéré comme un transistor de type DG-FET ou un triple gate dit Tri-Gate FINFET. Nous avons pu regrouper ces dispositifs en trois grandes catégories distinctes suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, pourrions-nous distinguer :

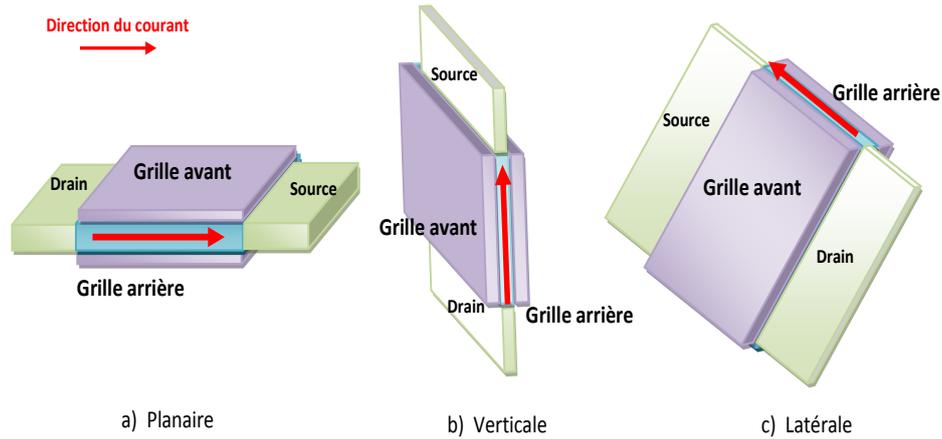


Figure II.4 : Model des trois catégories d'architecture de transistor Multi-Grille.

Dans le cas du DG MOSFET DG planaire figure II.4-(a) le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat, dans le cas du DG MOSFET vertical figure II.4-(b) le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat, alors que pour le DG MOSFET latéral (FinFET) figure II.4-(c) le transport électronique est parallèle au plan de substrat et le champ de grille est parallèle au substrat.

II.3. Les différentes classes de la technologie MOSFET Multi-grille

II.3.1 Transistor MOSFET Double-Grille

Dans un SOI MOSFET conventionnel, il existe un champ électrique dans l'oxyde enterré. Les lignes de champ électriques relient le drain et le silicium en traversant l'oxyde enterré augmentant le potentiel dans le silicium. Cela s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing). Une solution efficace proposée pour éliminer l'effet DIVSB est l'ajout d'une deuxième grille enterrée sous le silicium. Ce dispositif s'appelle simplement le MOSFET double-grille (DG). La grille enterrée coupe les lignes de champ électrique dans l'oxyde enterré, éliminant ainsi l'effet de DIVSB. Par rapport au plan de masse enterré, le DG MOSFET est plus avantageux grâce au renforcement du contrôle du canal par les grilles. La pénétration des zones de charge déplétée par les source/drain étant réduite par rapport à la technologie SOI, conduit donc à de plus faibles effets canaux courts et à une pente sous seuil quasi-idéale (relativement proche de 60mV/décade). Un second canal se forme proche de l'interface Si-SiO₂ de la grille enterrée doublant ainsi le courant en régime de forte inversion [1].

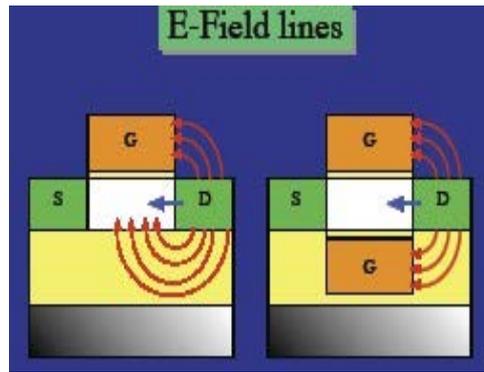


Figure II.5 : Lignes de champ électrique [1].

Des prototypes de DG MOSFET ont été réalisés. Le processus de fabrication d'un DG MOSFET peut varier de l'un à l'autre. Mais quel que soit le processus de fabrication, les deux grilles doivent être strictement alignées [1].

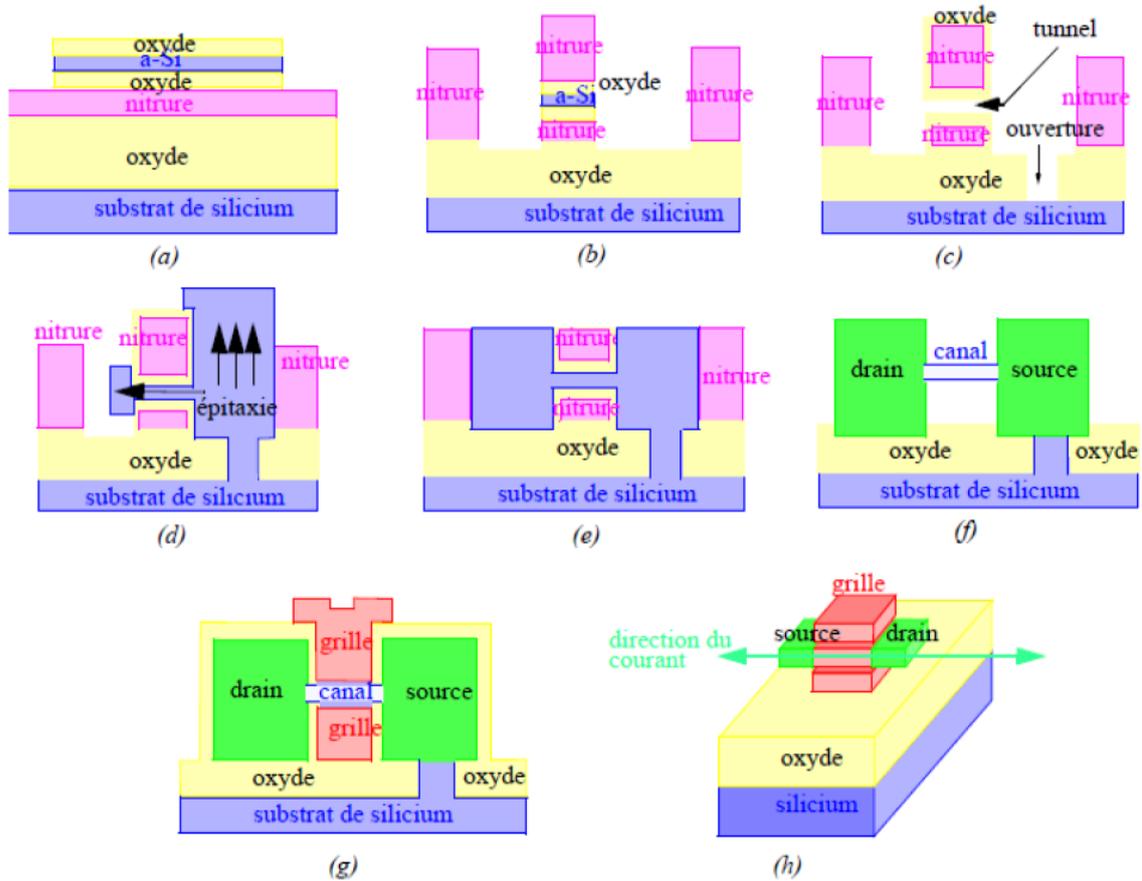


Figure II.5 : Procédé de fabrication des Transistors double grille [1].

II.3.1.1. Transistor MOSFET double-grille vertical

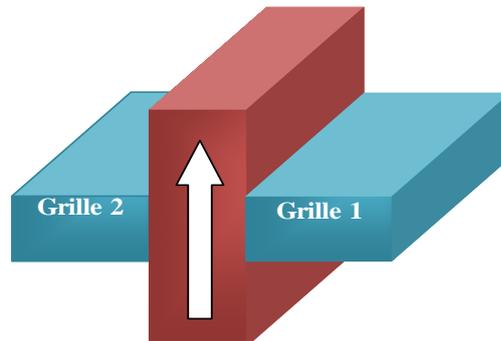


Figure II.7 : Orientation du transport électronique et effet de champ sur le MOSFET Double Grille Vertical.

L'avantage du transistor MOSFET double-grille vertical est que la longueur de grille n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation des longueurs de grille ultracourtes [1].

II.3.1.2. Transistor MOSFET double-grille planaire

Le transistor MOSFET double-grille appelé DGFET planaire représenté par la figure qui suit est constitué de deux grilles placées sur le plan horizontal. Chaque grille exerce un contrôle sur le canal.

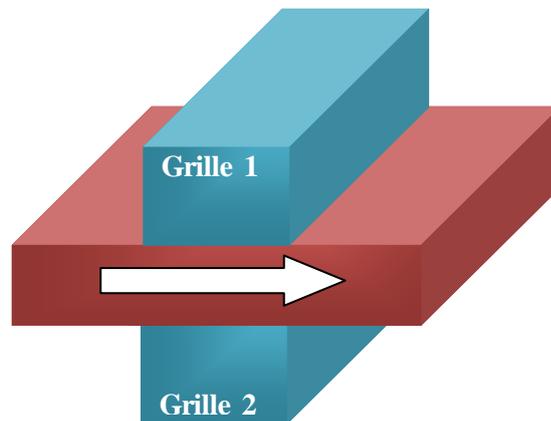


Figure II.8 : Orientation du transport électronique et effet de champ sur le MOSFET Double Grille Planaire.

L'architecture du MOSFET double-grille planaire est basée sur celle du Simple Grille à une grille. En ajoutant une deuxième grille enterrée sous le canal [1].

Le principal problème des MOSFETs doubles grilles planaires est celui de l'alignement des grilles car ces dernières sont gravées successivement et sont alignées optiquement. L'imprécision tenant au non alignement des grilles génère une forte dispersion des caractéristiques des composants à canaux courts [4]. Lorsque la grille inférieure recouvre un des caissons, cela génère des capacités qui dégradent les performances électriques du transistor. Quand le non-alignement est très important, comme il est décrit dans la figure qui suit, le dispositif se comporte comme s'il n'avait qu'une seule grille active. Néanmoins les structures qui ne présentent que de faibles non-alignements des grilles sont considérées comme étant performantes [5]-[6].

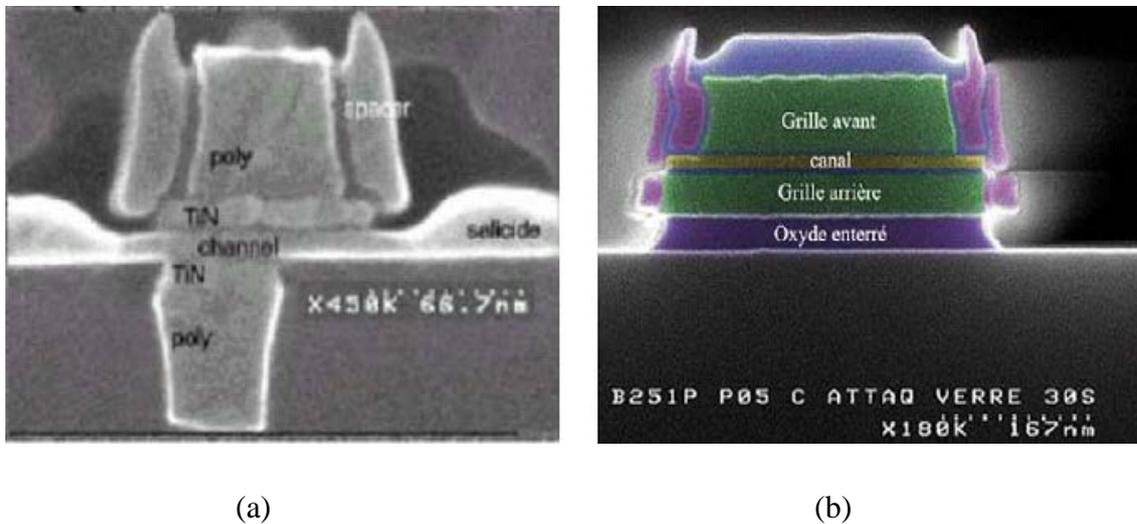


Figure II.9 : Image au MEB (microscopie électronique à balayage) d'une coupe du MOSFET double grille (a) non-auto-alignée, (b) auto-alignée [5].

II.3.1.3. Modes de fonctionnement du transistor MOSFET double-grille

Nous distinguons deux modes de fonctionnement dans un transistor DGFET et cela suivant la polarisation de ses deux grilles :

- **Le mode symétrique**
- **Le mode asymétrique**

nous allons considérer la structure générique MOSFET double-grille présentée dans la figure II.8. Nous notons bien sur cette figure présente la forme planaire, avec une partie centrale qui représente la couche de silicium et qui constitue la partie active du composant. Nous symboliserons de manière générale les épaisseurs d'oxyde par t_{oxk} (k prend les

valeurs 1 et 2), et les différences de travaux de sortie entre le silicium et les grilles par $\Delta\phi_k$. L'épaisseur du film de silicium sera symbolisée par t_{Si} .

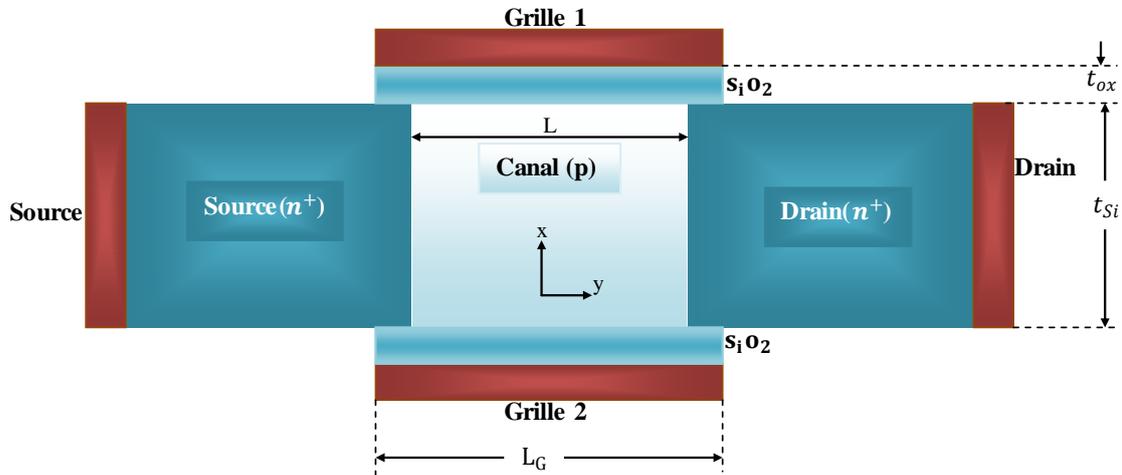


Figure. II.10 : Structure générique d'un transistor MOSFET double grille.

I.3.1.3.1. Le mode symétrique

Ce mode de fonctionnement est obtenu lorsqu'une polarisation identique est appliquée aux deux grilles, les tensions V_{GF} et V_{GB} chutent respectivement à travers les couches d'oxyde d'épaisseurs t_{ox1} et t_{ox2} . Outre ces réductions des polarisations des grilles liées à la présence des oxydes, nous remarquons des chutes additionnelles liées aux différences des travaux de sortie entre le silicium et les grilles ($\Delta\phi_1$ et $\Delta\phi_2$). Finalement, la tension au niveau d'une interface silicium-oxyde dépend aussi bien du t_{oxk} que du $\Delta\phi_k$ correspondant. Il en résulte que si, sur une même structure, les grilles sont faites de même matériau (ce qui conduit à $\Delta\phi_1 = \Delta\phi_2$) et les couches d'oxyde sont de même épaisseur ($t_{ox1} = t_{ox2}$), les tensions sur les deux interfaces silicium-oxyde seront identiques. Par conséquent, au sein de la zone active, les porteurs subissent la même influence de la part des deux grilles. Cela conduit à une symétrie des courbures de bandes dans la direction transversale au film. Dès lors, le MOSFET double-grille adopte un mode de fonctionnement symétrique.

I.3.1.3.2. Le mode asymétrique

En revanche, s'il s'avère que sur la structure les épaisseurs d'oxyde sont différentes ($t_{ox1} \neq t_{ox2}$) ou que les travaux de sortie sont différents ($\Delta\phi_1 \neq \Delta\phi_2$),

nous assistons à une asymétrie dans la répartition des porteurs dans le film. Ceci conduit à un mode de fonctionnement asymétrique.

II.3.1.4. Symbole du transistor MOSFET double grille

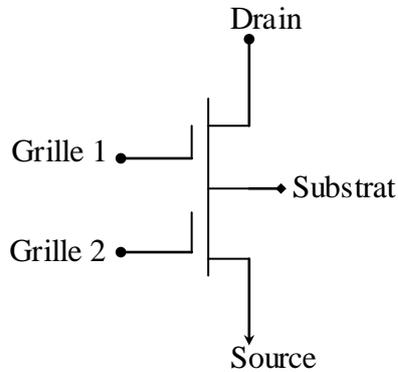


Figure II.11 : Symbole du MOSFET Double Grille.

II.3.1.5. Schéma équivalent du transistor DGFET

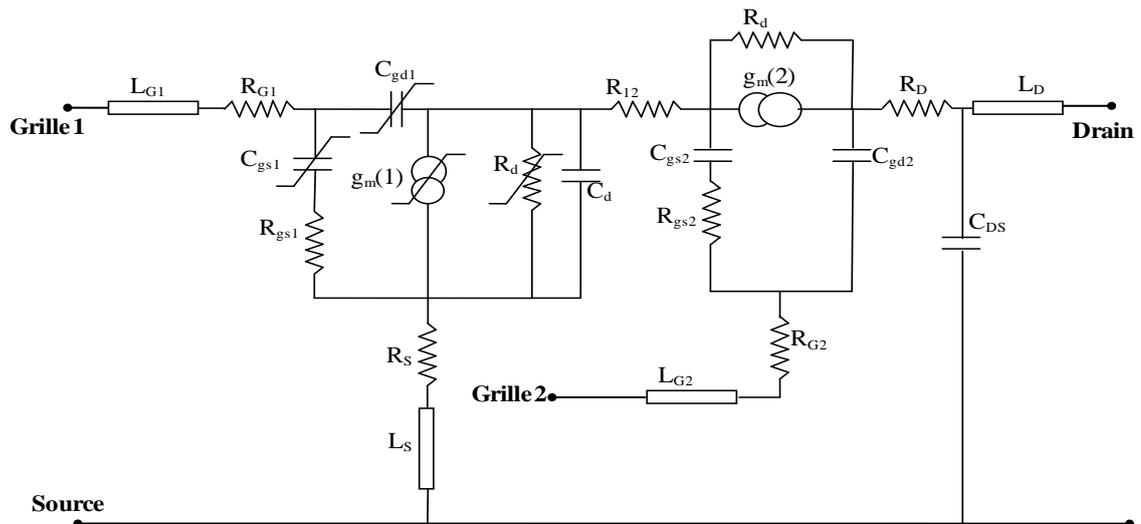


Figure II.12 : Schéma équivalent du transistor MOSFET Double Grille.

II.3.2. Les Transistors double grille quasi planaire de type FinFET

La première structure FinFET a été publiée sous le nom de « DELTA ». Elle est construite à base d'un film de silicium fin sur un wafer SOI. La forme du film de silicium ressemble à un aileron (soit « fin » en anglais). C'est pourquoi elle est nommée FinFET. La section horizontale est similaire à un transistor DG MOSFET. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET. Dans le cas des FINFETs le transport électronique et le champ de grille sont parallèles au plan de substrat.

Du point de vu procède de fabrication et en comparaison avec le DG MOSFET, la fabrication du FinFET est plus compatible à celle du MOSFET surbulk.

La fabrication d'un transistor FinFET démarre avec un wafer SOI (Figure II.14, a-1 et a-2). La qualité de fabrication d'un wafer SOI est importante notamment pour obtenir un bon état d'interface Si-SiO₂. Le premier processus englobe les deux étapes de gravure de l'oxyde et du film de silicium (Figure II.14, b-1 et -2). Nous obtenons un film mince de silicium. Après une étape d'oxydation (Figure II.14, c-1 et -2), le silicium est déposé autour de l'oxyde (Figure II.13, d-1 et -2). La grille est formée par implantation ionique dans le silicium (Figure II-14 e-1 et e-2). Nous avons bien un transistor FinFET (Figure II.14,f-1 et f-2). La Figure II.14 (g-1 et g-2) montre les sections longitudinales et verticales.

La Figure II.13(a) représente le schéma 3D du transistor. Les Figure II.13 (b) et (c) représentent les sections horizontale et verticale. La section horizontale du FinFET est similaire au DG MOSFET. En fait, pour une hauteur du Fin supérieure à 50nm et avec un film de silicium très faiblement dopé ou intrinsèque, le comportement électrique est similaire.

Globalement, dans la fabrication d'un transistor FinFET, les dimensions du transistor, et plus spécifiquement la dimension du film de silicium, sont petites comparées à celles du MOSFET sur bulk. Le processus de gravure du film de silicium est l'étape la plus importante et la plus difficile à réaliser pour une petite dimension. La technique de lithographie d'espaceur est utilisée pour atteindre ces petites dimensions.

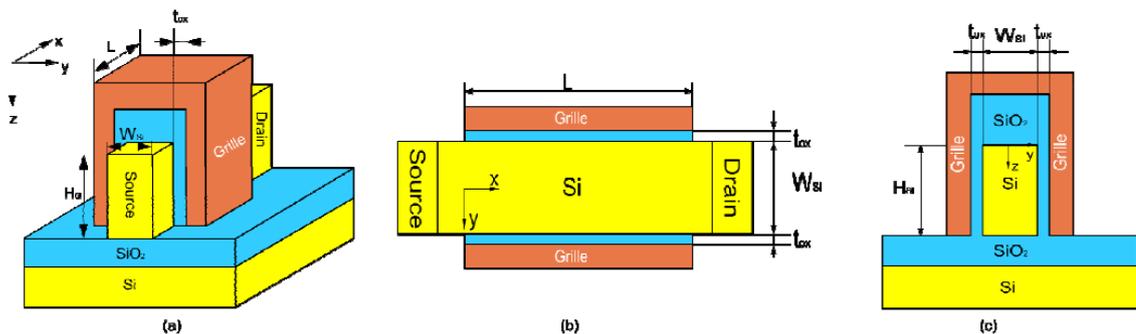


Figure II.13 : (a) structure 3D d'un transistor FinFET, (b) Section horizontale et (c) Section verticale [1].

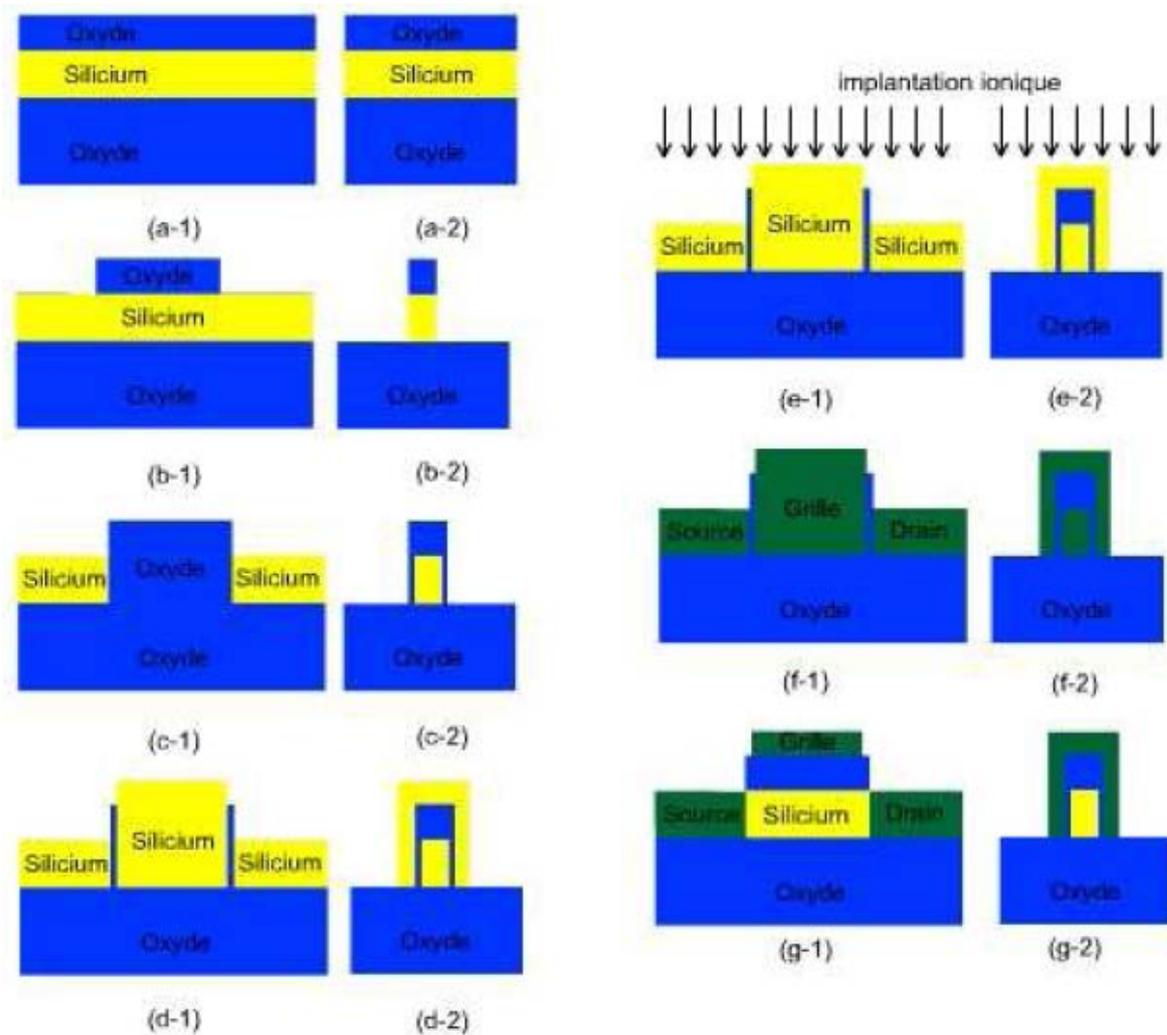


Figure II.14 : Procédé de fabrication des transistors FinFETs [1].

D'abord, l'épaisseur du silicium est réduite par oxydation jusqu'à la hauteur voulue. Puis est déposée une couche de nitrure de silicium que l'on grave ensuite par lithographie optique. Après, l'espaceur est formé par LPCVD de LTO (Low Temperature Oxide) et le processus de gravure correspondant. Si_3N_4 est enlevé par l'acide phosphorique. Ensuite, le LTO resté au-dessus de l'oxyde joue le rôle du masque pour la lithographie optique suivante.

Après cette lithographie, nous obtenons des masques de petite dimension qui ne peuvent pas être déposés par la méthode conventionnelle. Enfin, le silicium est gravé en formant les films de silicium qui sont les corps du « fin ».

Les deux grilles du FinFET sont formées en même temps. Par rapport au DG MOSFET, les avantages du FinFET sont donc l'auto-alignement et la simplification de

la fabrication. Puisque le FinFET est réalisé sur un wafer SOI, certains effets néfastes inhérents à la technologie SOI sont présents, comme l'auto-échauffement [1].

II.3.3. MOSFET triple-grille

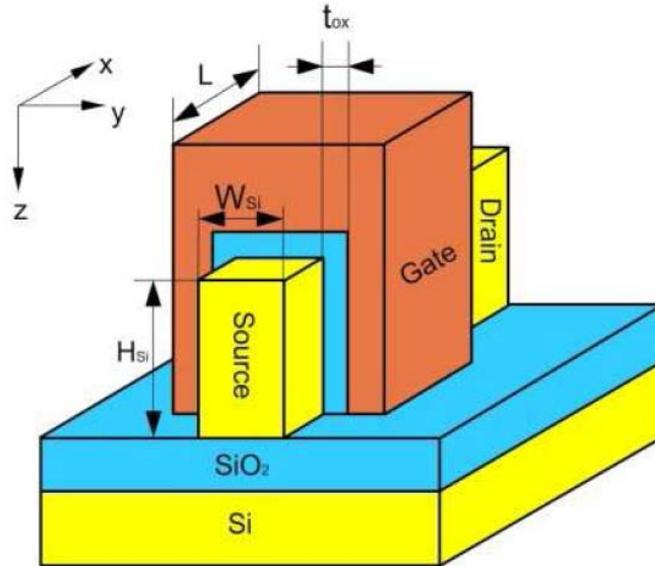


Figure II.15 : Structure 3D d'un TG MOSFET.

La Figure II.15 montre la structure 3D d'un MOSFET triple-grille (TG MOSFET). Une règle simple (liée au scaling) permet de distinguer le FinFET et le TG MOSFET. Si $2 \times H_{Si} \gg W_{Si}$, nous sommes dans le cas du FinFET. Sinon, si $2 \times H_{Si}$ est comparable avec W_{Si} et si l'épaisseur de l'oxyde de la grille supérieure est égale à l'épaisseur de l'oxyde des deux cotés latéraux, nous sommes dans le cas du Triple Grille MOSFET.

Au niveau de la fabrication, le TG MOSFET est plus simple. Dans l'étape de la Figure II.13 (c), l'oxyde recouvrant le silicium peut être formé avec la même durée que pour les deux cotés latéraux. Avec trois grilles, le TG MOSFET renforce encore plus le contrôle du canal. Une estimation simple de la largeur « équivalente » du canal est de 2 fois la hauteur du silicium plus la largeur du silicium soit $(2 \times H_{Si} + W_{Si})$. Pour des mêmes dimensions, le TG MOSFET a donc un courant plus grand qu'un FinFET. Mais pour finaliser la fabrication, les sources et drain seront épitaxiés depuis le haut de la structure ; si l'oxyde au-dessus du film de silicium est très fin, cela risque de court-circuiter les sources et drain avec la grille. Afin d'éviter ce risque, une extension du silicium (underlap) est nécessaire. Cependant, l'introduction de cet underlap augmente la résistance d'accès.

Il est à noter que la modélisation du TG MOSFET est plus compliquée que celle du FinFET, à cause des régions de « coins » proches de l'interface sous la grille supérieure où les influences des grilles horizontale et verticale se superposent.

Le FinFET et le TG MOSFET sont basés toujours sur la technologie SOI. Les canaux se positionnent toujours sous l'oxyde de grille. Les lignes électriques des grilles verticales traversent le BOX lorsqu'elles sont dans le bas du silicium. On appelle cela l'effet de BOX qui influence le comportement du transistor et peut être négligé seulement lorsque la largeur du silicium (W_{Si}) est petite [1].

II.3.4. GAA MOSFET

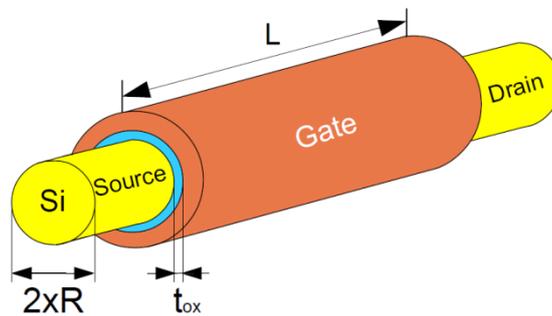


Figure II.16 : Structure du GAA MOSFET [1].

Une solution plus efficace est la structure GAA (Figure II.16). Le silicium est complètement enrobé par la grille. Cela supprime l'effet de BOX. De plus, la section verticale du silicium est ronde, aussi la structure complètement cylindrique du GAA permet d'avoir un comportement symétrique par rapport aux FinFET et TG MOSFET. Il n'y aura plus de problème de coins. Le contrôle du canal est meilleur donc le SCE et le DIBL sont minimisés. L'inconvénient de la technologie GAA MOSFET est qu'elle est très difficile à fabriquer et donc très chère [1].

II.3.5. MOSFET à nanofil

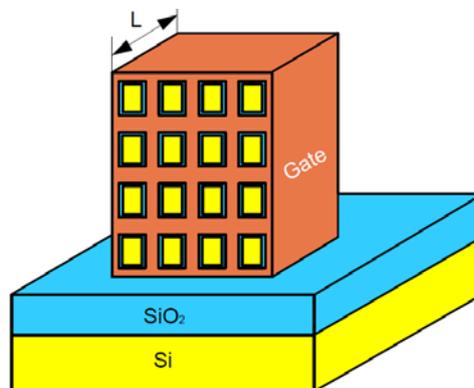


Figure II.17 : Structure Nanofil MOSFET [1].

La dimension de la section du film de silicium est limitée par la technologie de fabrication. Un film de silicium ne peut pas être fabriqué aussi haut que désiré, tout en gardant une petite largeur (W_{Si}). Par conséquent, pour une surface donnée, et afin d'augmenter le courant, plusieurs Fins peuvent être mis en matrice (Figure II.19). Cela maximise l'efficacité de l'utilisation de la surface. De plus la dimension de la section du silicium est très petite (quelques nm^2), ainsi le contrôle de la grille est renforcé de la même manière que pour le GAA MOSFET. Les principaux désavantages de la technologie Nanofil MOSFET sont d'une part le coût de fabrication, et d'autre part les « mismatches » des fils de silicium. Avec un nombre de fils plus grand, l'influence des « mismatches » peut être réduite [1].

II.3.6. Théorie du scaling

L'évolution de la microélectronique est liée au scaling du transistor. Deux des principaux inconvénients sur le plan de la dégradation des performances liés au scaling sont le SCE et le DIBL. Ces deux effets sont dus à la pénétration de l'influence du champ du drain dans le silicium. Afin d'étudier l'influence du champ du drain dans le silicium, nous avons résolu le potentiel dans le film de silicium par l'équation de Poisson en introduisant un paramètre (critère) très utile et très utilisé : la longueur naturelle.

La longueur naturelle l est fonction de la dimension du transistor et son expression dépend de la structure du transistor SOI (Tableau II.1). t_{Si} correspond l'épaisseur du film de silicium pour la technologie simple grille SOI et la largeur du film de silicium entre les grilles pour la technologie multiple-grille. La différence entre les deux colonnes des valeurs de la longueur naturelle dans la Tableau II.1 est que la colonne à gauche a considéré que le courant circule seulement à l'interface Si-SiO₂ et la colonne à droite a considéré que le courant circule aussi dans le volume de silicium. Pour t_{Si} et t_{ox} données, e.g. $t_{Si}=10nm$ et $t_{ox}=1,5nm$, les longueurs naturelles (calculées par les expressions de la colonne à droite dans la Tableau II.1 pour les structures de simple SOI, GAA et DG MOSFET sont respectivement 9,75nm, 4,01nm et 5,92nm. La longueur naturelle pour un GAA est donc plus petite comparée aux autres. Une faible valeur de l indique que les effets SCE et DIBL sont petits. Par conséquent, pour une longueur du canal donnée, la structure GAA MOSFET a la longueur naturelle la plus courte (ref. Tableau II-2). Quelle que soit la structure de transistor, la largeur ou le rayon du film de silicium devraient être le plus petit possible [1].

La longueur naturelle a un sens physique signifiant la pénétration du champ du drain dans le film de silicium. Si la longueur naturelle est grande, la pénétration du champ du drain dans le film de silicium est plus profonde et les effets canaux courts sont plus importants. Il faut donc réduire la longueur naturelle afin d'éliminer les effets canaux courts.

Structure	Longueur naturelle (l)	
Simple SOI	$\sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{\epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{2 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$
DG MOSFET	$\sqrt{\frac{\epsilon_{Si}}{2 \cdot \epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{4 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$
GAA	$\sqrt{\frac{\epsilon_{Si}}{4 \cdot \epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$ (section rectangulaire)	$\sqrt{\frac{2 \cdot \epsilon_{Si} \cdot t_{Si}^2 \cdot \ln\left(1 + \frac{2 \cdot t_{ox}}{t_{Si}}\right) + \epsilon_{ox} \cdot t_{Si}^2}{16 \cdot \epsilon_{ox}}}$ (section circulaire)

Tableau II.1 : Expression de la longueur naturelle (critère) dans les différents structure SOI : MOS bulk, GAA, et plan de masse enterre [1],[7].

La longueur naturelle peut servir aux concepteurs afin d'améliorer le comportement des dispositifs en évitant les effets canal court très importants. Par les expressions de la longueur naturelle dans la colonne gauche de la Tableau I-1, nous pouvons tracer la Figure II-16 qui indique l'épaisseur maximum de film de silicium nécessaire pour éviter les effets de canal court. Nous voyons par exemple que pour un MOSFET double-grille avec la longueur de grille de 50nm, l'épaisseur maximum du film de silicium peut être d'environ 30nm [1].

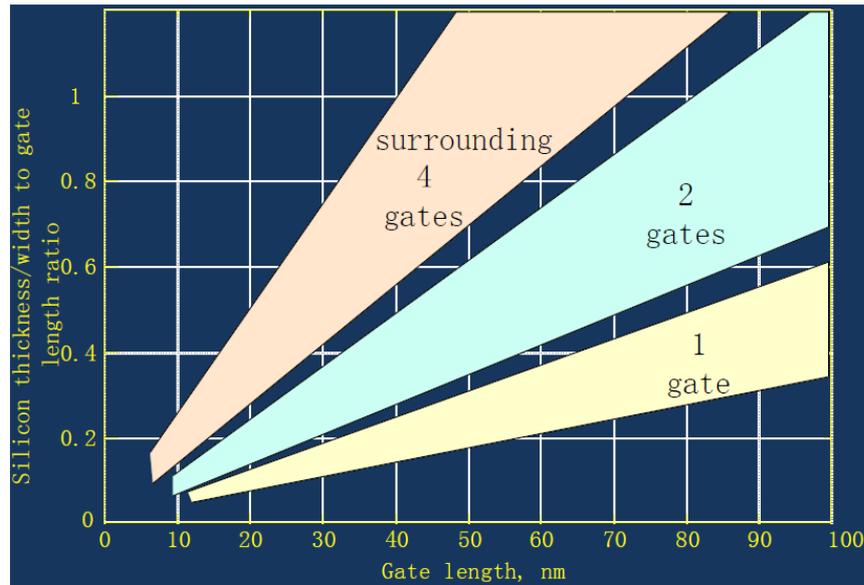


Figure II.18 : L'épaisseur du film de silicium maximum Vs la longueur de la grille afin d'éviter les effets de canal court dans les cas de MOSFET simple-, double-, triple- et quadruple-grille [1],[7].

Structure	Avantages principaux	Inconvénients principaux
MOSFET Bulk	<ul style="list-style-type: none"> • Procédés bien maîtrisés. 	<ul style="list-style-type: none"> • Effets de canal court.
PD SOI avec simple grille	<ul style="list-style-type: none"> • Similaire au MOSFET bulk. 	<ul style="list-style-type: none"> • Similaire au MOSFET bulk.
FD SOI avec simple grille	<ul style="list-style-type: none"> • Complètement déplétif. • Pas de courant de substrat. • Résiste à la radiation. 	<ul style="list-style-type: none"> • L'uniformité de l'épaisseur du silicium. • Champ dans l'oxyde enterré (polarisation virtuelle de substrat induit par le drain, DIVS B).
Double Grille planaire	<ul style="list-style-type: none"> • Plus de courant. • Bon contrôle du canal. • Pas de DIVS B. 	<ul style="list-style-type: none"> • L'uniformité de l'épaisseur du silicium. • Faible épaisseur du silicium. • Auto-alignement des deux grilles.
FinFET	<ul style="list-style-type: none"> • Bon contrôle du canal • Auto-alignement des deux grilles • Procédés proches de MOSFET Bulk. • Possibilité de design en 3-D. • Possibilité de fonctionnement 	<ul style="list-style-type: none"> • Difficulté de lithographie. • Petit largeur du film de silicium nécessaire. • Uniformité de largeur. • Effet de coins.

	symétrique(SDG) et asymétrique (ADG).	
Triple grille	<ul style="list-style-type: none"> • Plus de courant. • Procédés proches de MOSFET Bulk. • Auto-alignement des grilles. 	<ul style="list-style-type: none"> • Difficulté de lithographie. • Petite largeur du film de silicium nécessaire. • Uniformité de largeur. • Effet de coins. • Uniformité de l'épaisseur de l'oxyde de grille.
GAA	<ul style="list-style-type: none"> • Excellent contrôle du canal. • Faible effet de canal court. • Pas d'effet de coins. 	<ul style="list-style-type: none"> • Faible diamètre du silicium nécessaire. • Procédé non-compatible avec le MOSFET bulk.
Nanofil MOSFET	<ul style="list-style-type: none"> • Excellent contrôle du canal. • Faible effet de canal court. • Plus de courant. 	<ul style="list-style-type: none"> • Faible diamètre du silicium nécessaire • Coût de fabrication important • Problème de mismatch

Tableau II.2 : Comparaison des avantages et inconvénients des dispositifs MOS avancés [1].

II.4. Le transistor FinFET : propriétés électriques et effets physiques

II.4.1. Présentation du FinFET

Comme cela a été dit précédemment (II.3.2), la première structure FinFET était publiée sous le nom de « DELTA ». Le FinFET est construit à base d'un film de silicium fin sur un wafer SOI. La forme du film de silicium ressemble à un aileron (soit « fin » en anglais). C'est pourquoi on le nomme FinFET.

La structure du transistor FinFET est définie à la Figure II.19. La grille enrobe le film de silicium. La section horizontale est similaire à un DG MOSFET (Fig.II.19-b). L'oxyde de la grille supérieure est très épais afin de négliger l'influence de la grille associée. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET. Nous pouvons donc estimer que la largeur du canal total en forte inversion est équivalente à 2 fois la hauteur du Fin (H_{Si}).

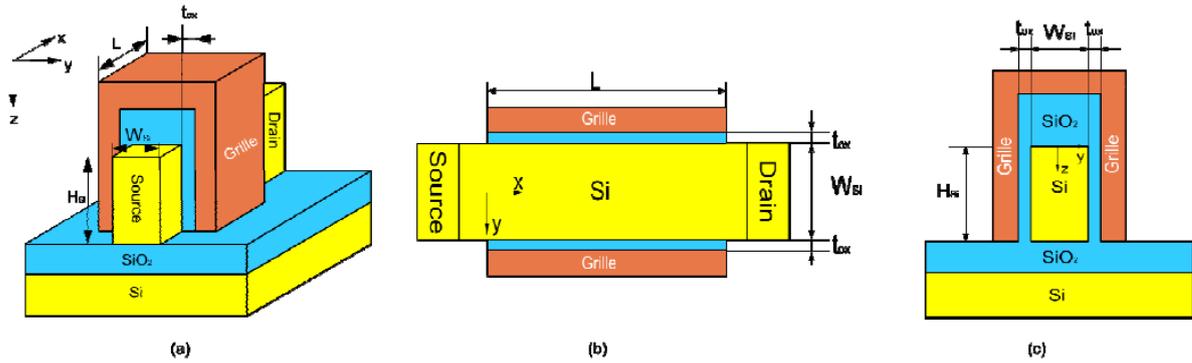


Figure II.17 : Définition du FinFET [1].

II.4.2. Propriétés électriques du FinFET

Les propriétés électriques du FinFET sont liées aux paramètres géométriques et technologiques, c'est à dire: la longueur du canal (L), la largeur du Fin (W_{Si}), la hauteur du Fin (H_{Si}), le dopage du Fin, les propriétés des grilles (SDG/ADG), les jonctions S/D-Fin, la section des source/drain, l'orientation du silicium, etc. Nous détaillerons dans ce chapitre les effets liés à ces paramètres [1].

II.4.2.1. La longueur du canal (L)

Comme dans le cas de la technologie MOSFET bulk, la longueur du canal est le paramètre le plus important et l'indicateur clef de la génération de la technologie.

Afin de fabriquer un circuit qui fonctionne le plus vite possible et qui consomme moins d'énergie et avec une surface la plus petite possible, il faut diminuer la longueur du canal du transistor. En réduisant la longueur du canal, la surface occupée par le transistor est donc réduite et la résistance série est diminuée permettant ainsi d'avoir un courant plus important. En même temps, la transcapacité (C_{gg}) est réduite, et donc la vitesse du circuit s'en trouve augmentée.

Par contre, le SCE et le DIBL sont reliés directement avec la réduction de la longueur du canal. Plus petite est la longueur du canal, plus gênants sont ces effets SCE et DIBL [1].

II.4.2.2. La largeur (ou l'épaisseur) du Fin (W_{Si})

L'épaisseur du film de silicium joue un rôle très important pour le fonctionnement du transistor. Pour que toute l'épaisseur du film de silicium soit déplétée, dans le cas où le dopage du substrat est faible ou intrinsèque, W_{Si} doit être petite. D'après la théorie du scaling(II.3.6), plus petite sera W_{Si} , plus petite sera la longueur naturelle l . Rappelons

que pour une longueur du canal donnée, une petite valeur de W_{Si} limite la dégradation des performances due aux effets SCE et DIBL. La réduction de W_{Si} peut aussi limiter la pénétration des lignes électriques venant des grilles en traversant l'oxyde au-dessous du Fin. La diminution de W_{Si} n'a pas que des conséquences bénéfiques. Elle impliquera l'apparition des effets de mécanique quantique. Cela fait dévier les porteurs de l'interface Si-SiO₂ vers le centre du Fin en augmentant le band-gap effectif. La tension de seuil va donc augmenter (Figure II.20) et la capacité de l'oxyde de grille sera réduite. Par ailleurs, lorsque W_{Si} est réduite, sans considérer les effets quantiques, la section du film de silicium est plus petite, ce qui augmente la résistance série et réduit le courant (Figure II.20) L'auto-échauffement s'en trouve également renforcé [1].

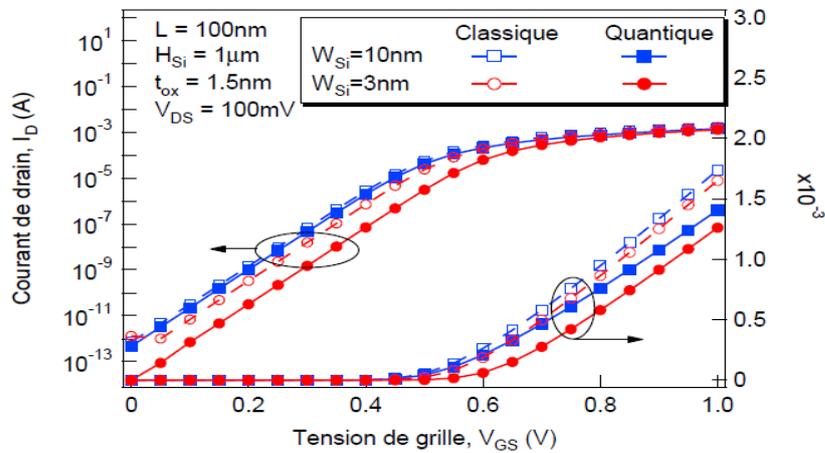


Figure II.20 : Influence du paramètre W_{Si} dans les simulations 3D [1].

II.4.2.3. La hauteur du Fin (H_{Si})

La hauteur du Fin peut être assimilée à la largeur du canal dans le cas du transistor MOSFET bulk. Sauf qu'ici, en forte inversion, la largeur du canal peut être estimée à 2 fois H_{Si} . Afin d'avoir un courant important, la hauteur H_{Si} doit être la plus grande possible. Cela limite aussi les effets de coin et les effets de mécaniques quantiques dans la direction verticale. Cependant, à cause de difficulté de fabrication, H_{Si} ne peut pas toujours être augmentée comme on le souhaite. Quand H_{Si} est très grande, maintenir l'uniformité de la largeur du Fin tout au long de la direction verticale sera un challenge. Par conséquent, pour augmenter le courant, on peut multiplier les films de silicium en parallèle ce qui a donné l'idée de l'élaboration de la technologie MOSFET à nanofil (II.3.5) [1].

II.4.2.4. Le dopage du film de silicium

Dans la technologie MOSFET bulk, il est nécessaire de doper le canal très fortement pour réduire le SCE pour un transistor de faible longueur de grille. Mais ce n'est plus le cas pour un FinFET. Le Fin est laissé non-dopé ou très faiblement dopé, permettant ainsi une mobilité plus importante et une tension de seuil fixée par le travail de sortie de la grille et par les dopages du film de silicium quand le film de silicium est très fortement dopé. Pour le SCE, l'impact du rapport (L/l) est plus important que l'impact du dopage du film de silicium [1].

II.4.2.5. Des jonctions S/D-canal

Puisque le Fin reste intrinsèque ou faiblement dopé, le gradient de dopage de la source et du drain vers le canal est grand et la pénétration du dopage au canal est donc plus profonde. La longueur d'overlap devient plus importante ce qui influence fortement la résistance série et dégrade le courant. Une jonction abrupte est nécessaire pour permettre une résistance plus faible.

L'élargissement des sections de la source et drain :

Une autre solution pour réduire la résistance en série est de surélever la source et drain [1].

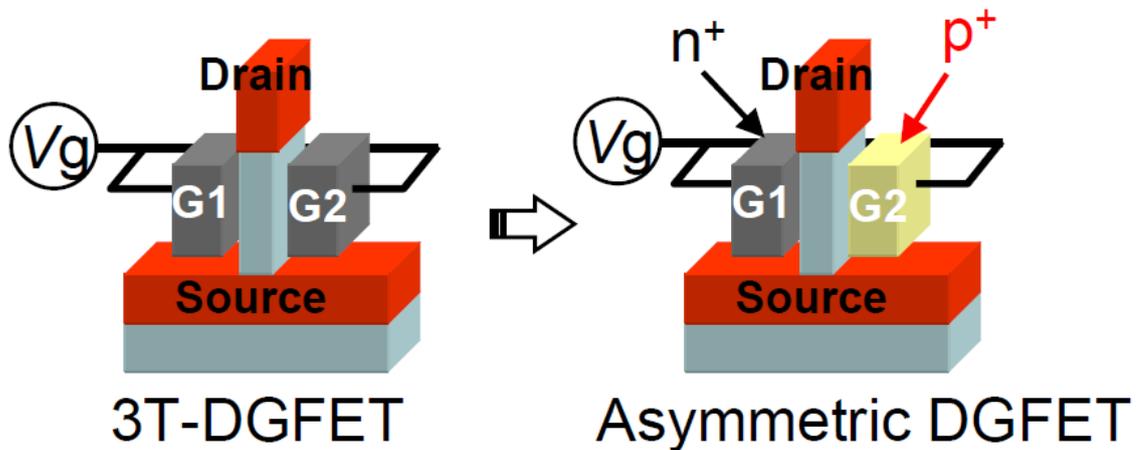


Figure II.21 : types des transistors FinFET [1].

II.4.3. Effets de coin

Les effets de coin sont des effets localisés aux deux coins du film de silicium (comme indiqué à la Figure II.22). L'allure du potentiel est changée dans ces coins du silicium. Ce changement résulte en un courant de fuite aux coins qui n'est pas sous le contrôle des grilles. Dans cette région, la tension de seuil est plus petite qu'ailleurs,

ainsi avant que le transistor ne soit « activé », il existe déjà une somme de courant de coin, nommé courant de fuite. Cela augmente fortement le courant I_{off} . A la Figure II.23, nous voyons que ces effets de coin ont lieu pour toutes les structures 3D. Généralement, la caractéristique dg_m/dV_g peut être utilisée pour identifier la tension de seuil ; cette tension correspond au pic de la courbe. Mais pour les structures 3D, il existe deux pics pour chaque courbe. Le premier pic correspond la tension de seuil dans la région de coin et le deuxième pic correspond à la « vraie » tension de seuil du transistor.

Nous pouvons remarquer sur la Figure II.23 que pour les structures Omega, Pi Grille MOSFET et la structure GAA (équivalent ici à un Quadruple Grille), le premier pic est plus grand que le deuxième, c'est-à-dire, le canal aux coins est activé beaucoup plus vite que le centre de silicium. Pour le FinFET et le TG-MOSFET, les canaux aux coins sont des perturbations non négligeables.

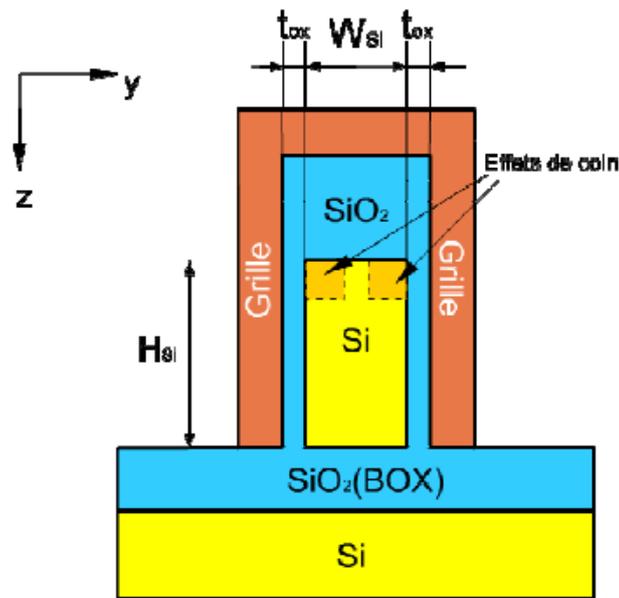


Figure II.22 : Les régions ou les effets de coin se produisent dans la section verticale d'un FinFET [1].

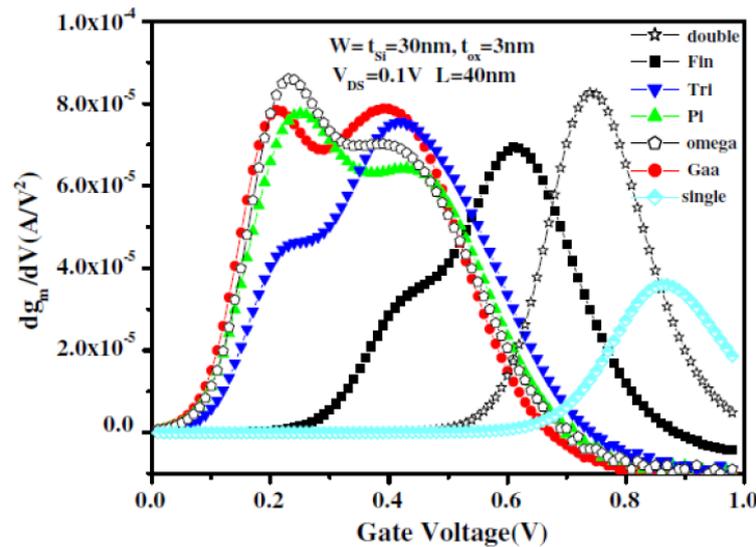


Figure II.23 : dg_m/dV_G a $V_{DS}=0,1V$ pour différent transistor [1].

Si le dopage du silicium est très faible ou intrinsèque, les effets de coin sont généralement négligeables. Une autre solution est d'arrondir le coin. C'est pourquoi le GAA n'a pas d'effet de coin. Une autre solution pour que les effets de coin soient négligeables consiste à d'augmenter la hauteur du Fin (H_{Si}). La raison est simple : si la partie de coin est suffisamment petite par rapport à tout le film de silicium, les effets de coins peuvent être négligés [1].

La grille au-dessus de silicium n'a qu'une très faible influence sur le silicium et peut être négligée par rapport aux grilles latérales. Quand la hauteur du silicium est diminuée jusqu'à 50nm, si la largeur du silicium est suffisamment petite ($W_{Si}=10nm$ ou moins), le potentiel dans le sens vertical est encore quasi-identique. Les parties du potentiel qui ne sont pas identiques dans le sens vertical sont négligeables par rapport à la partie du potentiel identique grâce au fort contrôle des grilles transversales. Quand la hauteur est très petite ($H_{Si}=20nm$), nous ne pouvons plus considérer que le potentiel est identique dans le sens vertical quelle que soit la largeur de silicium. Les contours du potentiel sont arrondis.

Nous avons parlé des effets de coins localisés dans les deux coins supérieurs. En fait, ils peuvent exister aussi dans les deux coins inférieurs (Figure II.24). Les lignes électriques venant des grilles traversent l'oxyde en bas et arrivent au film de silicium. Elles influencent le potentiel en bas du silicium. Cet effet s'appelle aussi l'effet du BOX. Cet effet a une influence similaire à l'effet de coin et il peut être limité en réduisant la largeur du Fin (W_{Si}) [1].

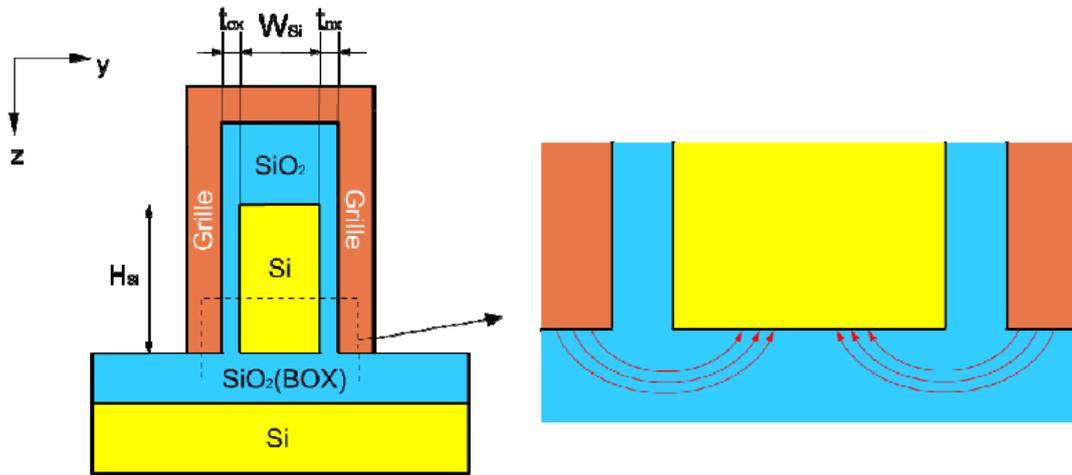


Figure II.24 : Effet du Box dans la direction Y-Z [1].

Les effets de coin dont nous avons parlé précédemment dépendent aussi du dopage du silicium. Bien qu'il existe une influence de la pénétration du champ venant de la grille via l'oxyde au-dessus et au-dessous du silicium et qu'il en résulte un gradient du potentiel dans le sens vertical aux coins supérieurs et inférieurs, cette influence sera très réduite quand le dopage du silicium est très faible ou le silicium est intrinsèque. L'effet du BOX peut aussi se produire dans la direction X-Z (Figure II.25). Les lignes électriques venant des sources et drain traversent l'oxyde en bas et arrivent dans le silicium. Cet effet est appelé également DIVSB (Drain-Induced Virtual Substrate Biasing). Le potentiel dans le film de silicium notamment à côté du drain est augmenté par la polarisation du drain. Il est similaire au DIBL et résulte en une diminution de la tension de seuil. Une couche moins épaisse d'oxyde en bas du film de silicium qu'on appelle BOX est donc préférée afin de limiter la pénétration du champ électrique du drain traversant le BOX et arrivant au silicium (Figure II.25). L'augmentation du potentiel de l'interface Fin/BOX induit par le drain est donc diminuée. L'effet DIVSB est donc moins important [1].

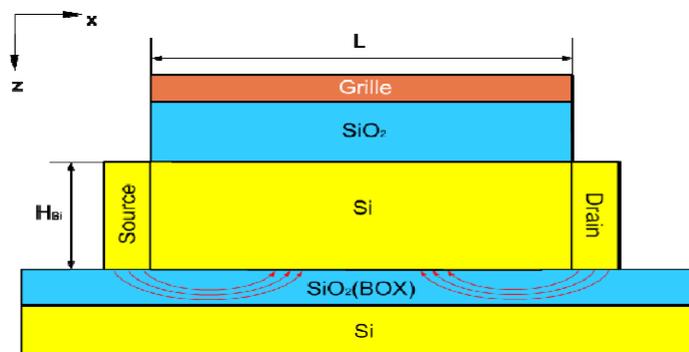


Figure II.25 : Effet du Box dans la direction X-Z [1].

Une solution permettant d'éliminer de manière satisfaisante l'effet DIVSB est d'augmenter la hauteur du silicium. La partie où le contour du potentiel est courbé est négligeable par rapport à la partie où le contour du potentiel est quasi-identique au sens vertical. Quand la hauteur du silicium est petite, i.e. $H_{Si}=20\text{nm}$, la pénétration du champ électrique induit par le drain via le BOX est très importante notamment pour une grande largeur de silicium, i.e. $W_{Si}=50\text{nm}$ (Figure II.25). Cependant, si la largeur du silicium est petite, la pénétration du champ du drain via le BOX est bien limitée [1].

II.4.4. Les effets de la mécanique quantique

D'après la théorie du scaling, une faible largeur du Fin permettrait de limiter le SCE et le DIBL ainsi que le DIVSB, cependant, dans ce cas les effets de la mécanique quantique commencent à dominer.

Les Figure II.26 et Figure II.27 montrent les distributions des électrons dans le film de silicium suivant la direction de la largeur du Fin. L'abscisse est normalisée par rapport à la largeur du Fin.

Pour les simulations classiques, la densité des électrons est uniforme en régime de faible inversion et a deux pics aux interfaces Si-SiO₂ en régime de forte inversion.

Dans les cas quantiques, les électrons sont déviés de l'interface Si-SiO₂ vers le centre du Fin quel que soit le régime d'inversion (faible ou forte). Pour une largeur plus importante, telle que $W_{Si}=10\text{nm}$, nous trouvons deux pics proches des interfaces Si-SiO₂ ; pour une largeur moins importante, telle que $W_{Si}=3\text{nm}$, nous n'avons qu'un seul pic au centre du silicium. Ce phénomène peut être expliqué en regardant le diagramme de bande d'énergie en Figure II.28 [1].

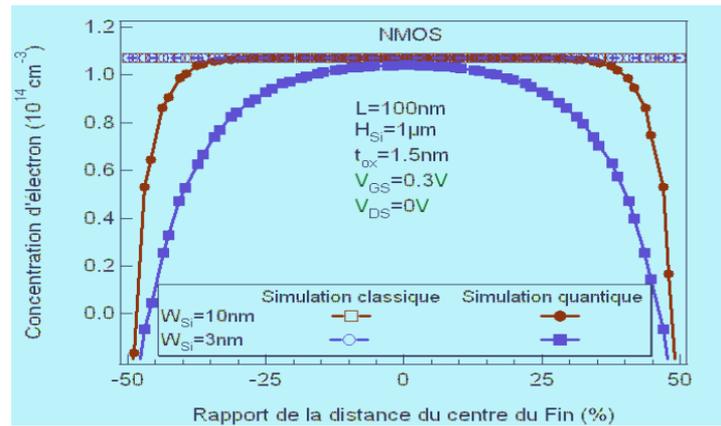


Figure II.26: Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la faible inversion. L'abscisse est normalisée par rapport à la largeur du Fin [1].

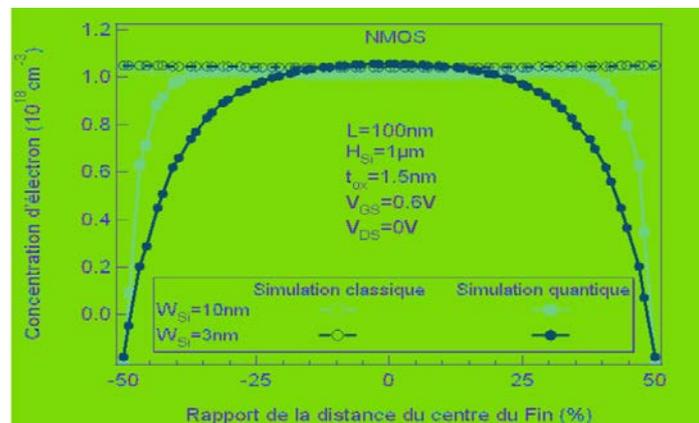


Figure II.27 : Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin [1].

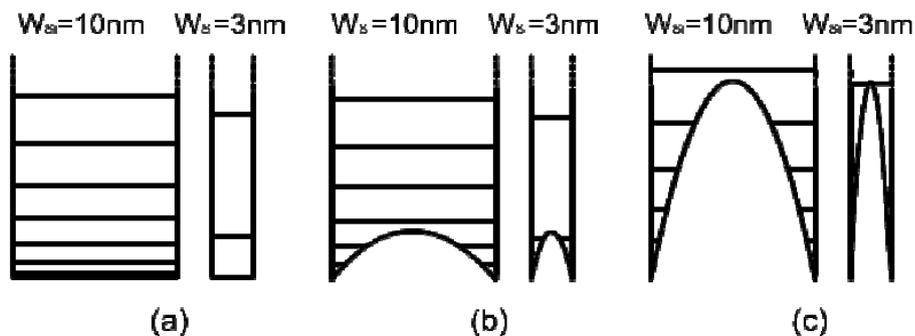


Figure II.26 : Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{Si}=10$ & 3 nm) pour (a) bande plate, (b) faible inversion et (c) forte inversion [1].

En raison des QME, la bande de conduction est quantifiée (Figure II.26). Afin de calculer les niveaux des sous-bandes quantiques, la formule ci-dessous est utilisée [1]:

$$E_{mn} = \frac{\hbar^2 \pi^2}{2U_T} \left[\left(\frac{m}{m_z W_{Si}} \right)^2 + \left(\frac{n}{m_y H_{Si}} \right)^2 \right] \quad \text{II. 1}$$

Où \hbar est la constante réduite de Planck, m_z et m_y sont les masses effectives des électrons suivant les directions z et y , m et n sont les nombres quantiques et U_T ($=k \cdot T/q$) est la tension thermodynamique. Intéressons nous tout d'abord à un FinFET avec une hauteur très importante ($H_{Si}=1\mu\text{m}$). Ainsi le deuxième terme dans le crochet du (II.1) devient négligeable par rapport au premier, et (II.1) peut se simplifier :

$$E_m \cong \frac{\hbar^2 \pi^2}{2U_T} \left[\frac{m}{m_z W_{Si}} \right]^2 \quad \text{II. 2}$$

D'après (II.2), le diagramme des sous-bandes quantiques correspond à la Figure II.26(a). Quand la grille est polarisée, le bas de la bande de conduction se courbe et croise les sous-bandes quantiques. Avec la même polarisation de la grille, pour un FinFET plus large (e.g. $W_{Si}=10\text{nm}$), le bas de la bande de conduction croise plus de sous-bandes quantiques que pour un FinFET moins large (e.g. $W_{Si}=3\text{nm}$), donc plus d'intersections ont lieu (Figure II.28(b) et (c)). Les intersections se trouvent proches de l'interface de Si-SiO₂. Par contre, pour un FinFET plus fin, elles se trouvent vers le centre du silicium. Les électrons se trouvent à ces intersections. C'est pour cette raison que nous trouvons deux pics pour $W_{Si}=10\text{nm}$ et un pour $W_{Si}=3\text{nm}$ dans les Figure II.26 et Figure II.27. La déviation des pics, des interfaces Si-SiO₂, cause une augmentation de tension de seuil ainsi qu'une réduction de la capacité d'oxyde de grille (C_{ox}). Cela réduit alors le courant de saturation (I_{DSSat}) et donc également le courant I_{on} [1].

II.4.5. Underlap – Overlap

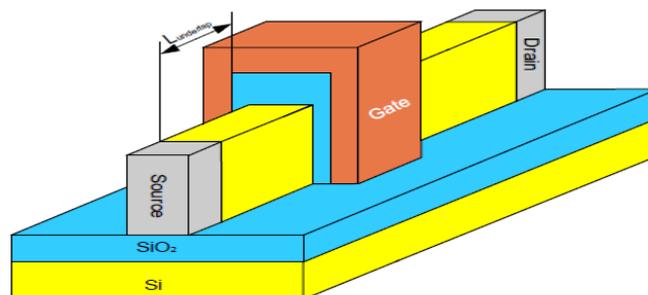


Figure II.29 : Structure d'un FinFET avec la région « underlap » [1].

L'underlap (non-recouvrement) a été introduit pour faciliter le scaling du MOSFET Bulk pour des longueurs de grille inférieures à 20nm. L'underlap est aussi utilisé dans la technologie FinFET. (Figure II.29), les parties du silicium non couvertes par la grille correspondent à l'underlap. L'inconvénient de la technologie d'underlap est qu'elle augmente la longueur du dispositif. La densité d'intégration est donc diminuée. En technologie MOSFET sur Bulk, le silicium est très fortement dopé pour réduire les effets SCE et DIBL. Cependant, le champ latéral devient très important causant plus de collisions entre les électrons et les atomes, donc une faible mobilité et un courant de substrat plus important. L'underlap sert à affaiblir le champ latéral et à supprimer la capacité d'overlap et donc réduire les retards. De plus, l'underlap atténue l'influence du SCE et du DIBL. Malheureusement, le courant de l'état « on » sera diminué par une augmentation de la résistance série. Un compromis doit donc être trouvé selon les différentes applications. Dans la technologie FinFET, le silicium reste intrinsèque ou très faiblement dopé donc le champ latéral est très faible. L'underlap n'a plus d'intérêt en ce qui concerne la réduction du champ latéral, mais il réduit le retard en supprimant la capacité d'overlap. Dans le régime de faible inversion, la longueur du canal est étendue dans les régions de l'underlap, donc les SCE et le DIBL sont naturellement réduits. L'extension de la longueur du canal est proportionnelle à la longueur de Debye (λ/\sqrt{n}). En forte inversion, la longueur du canal est égale à la longueur de grille (L_g). L'inconvénient de la technologie d'underlap est qu'elle introduit une résistance d'accès très importante et réduit le courant de l'état « on ». Cette résistance n'est pas linéaire mais dépend de la polarisation de drain. Ainsi, comme dans le cas du MOSFET-bulk, il est nécessaire de trouver un compromis entre le courant à l'état « on » et la vitesse de circuit [1].

II.4.6. Extension de la technologie FinFET- BulkFinFET

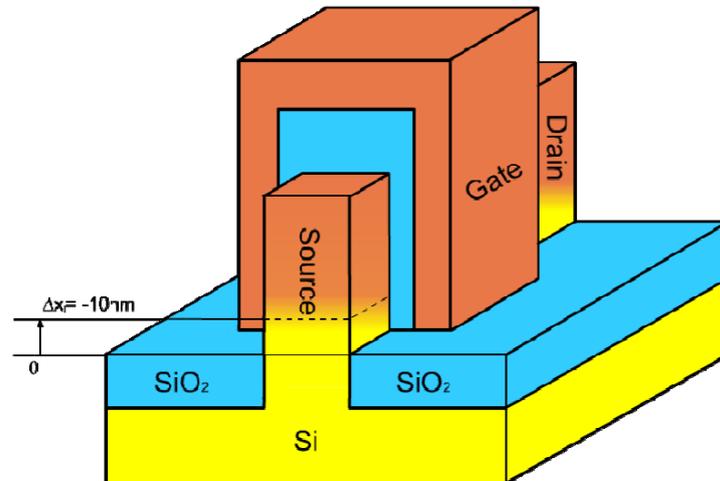


Figure II.30: Structure d'un Body-TiedFinFET [1].

Le FinFET est réalisé sur un wafer SOI et hérite donc de l'inconvénient associé, à savoir une faible conductivité thermique due à la couche d'oxyde au-dessous du film de silicium. Pour remédier à ce problème, le Bulk (Body-Tied) FinFET utilise le wafer de silicium comme base de fabrication au lieu du wafer SOI. Cela réduit aussi le coût de production.

Le wafer de silicium est gravé en laissant une tranche de film de silicium qui sert de corps du transistor (Figure II.30). Le silicium est donc relié directement avec le substrat. La chaleur peut ainsi s'évacuer via le bas du film de silicium. En Figure II.31 des comparaisons de performances sont faites au travers de la caractéristique I_D vs. V_{GS} , entre un SOI-FinFET et Bulk-FinFET de mêmes dimensions ($L_g=50\text{nm}$, $W_{fin}=16\text{nm}$, $t_{ox}=2\text{nm}$) sous la même polarisation de drain ($V_{DS}=1,2\text{V}$).

Pour le Bulk FinFET, la source et le drain sont réalisés par un dopage vertical très fort du type contraire au canal. La profondeur des source/drain est plus petite que celle des 2 grilles verticales d'une hauteur Δx_j (Figure II.30). Deux types de dopages du 'body' sont comparés. Un grand dopage augmente la tension de seuil (V_{th}). Pour le même dopage, V_{th} et I_{off} pour un Bulk FinFET sont légèrement plus grands que pour un SOI FinFET. Mais la pente sous le seuil reste la même. Un autre aspect important pour caractériser la performance concerne le DIBL. Pour un dopage donné, le DIBL est plus faible pour le Bulk FinFET que pour le SOI FinFET (Figure II.32). Dans le régime de saturation (Figure II.33), le SOI FinFET a un courant plus important que le Bulk

FinFET et il est moins sensible au dopage de silicium. Pour un même faible dopage de silicium, les SOI- et Bulk- FinFET ont quasiment le même courant [1].

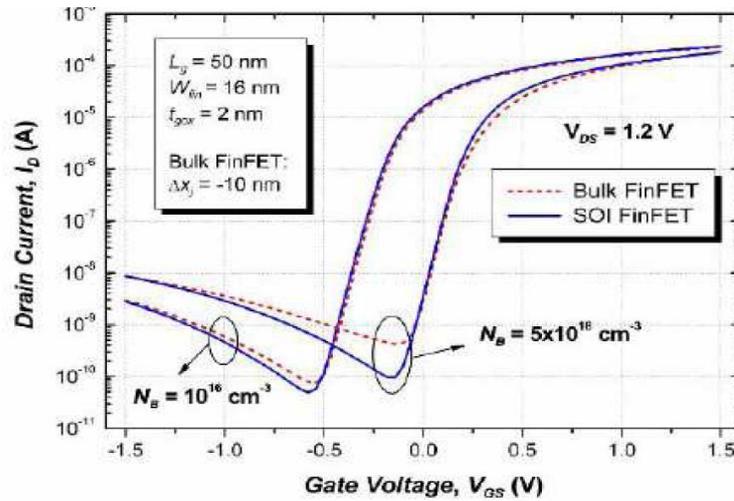


Figure II.31 : Comparaison des caractéristiques de transfert des SOI et bulkFinFET avec $\Delta x_j = -10\text{nm}$ pour les deux différents dopages du body à $V_{DS} = 1,2\text{V}$ [1].

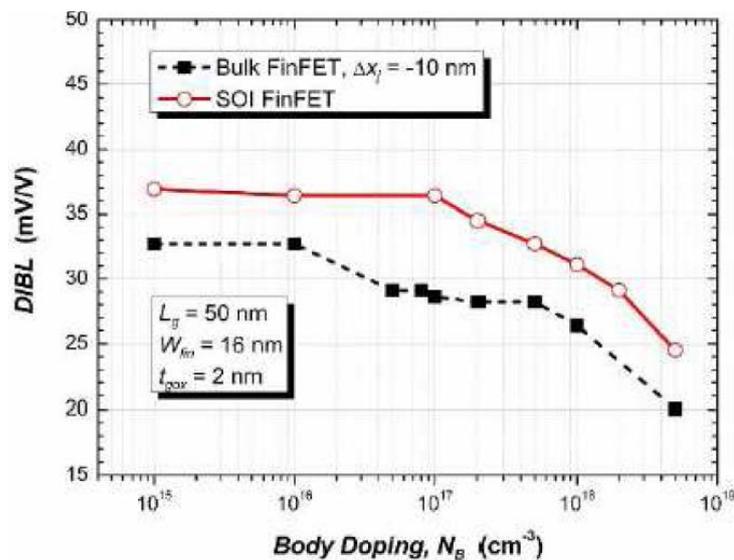


Figure II.32 : Le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET avec $\Delta x_j = -10\text{nm}$ [1].

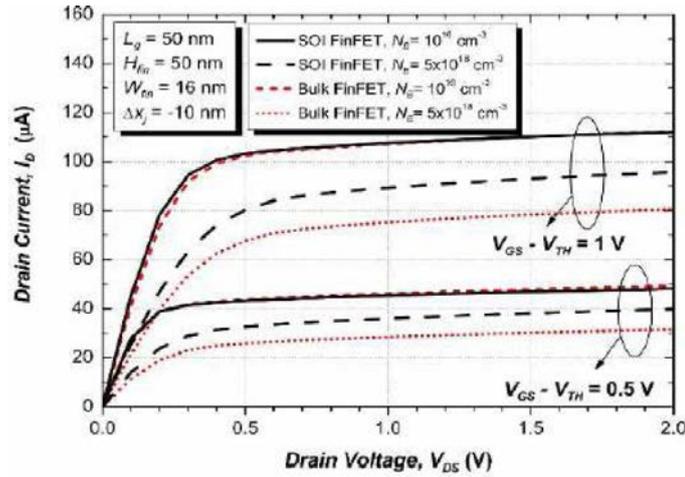


Figure II.33 : Comparaison des caractéristiques de sortie des SOI et BulkFinFET avec $\Delta x_j = -10 \text{ nm}$ pour les deux différents dopages du corps [1].

II.5. Les modèles physiques

II.5.1. Le modèle de Dérive-Diffusion

L'équation de Boltzmann est particulièrement complexe à résoudre dans son intégralité. En outre, la modélisation des dispositifs électroniques ne nécessite généralement pas une description détaillée des mécanismes microscopiques du transport. De fait, des modèles ont été élaborés en tenant compte d'approximations sur certains termes de l'équation de Boltzmann. Ces modèles permettent une souplesse d'utilisation ainsi qu'une réduction de temps de calcul significative.

Nous rappelons succinctement, dans ce paragraphe, les modèles de Dérive-Diffusion qui peuvent être déduits de l'équation de Boltzmann par la méthode des moments puis, nous détaillerons les modèles de Masetti et Canali étendu, associés respectivement à la mobilité à faible champ et à la saturation à fort champ. Enfin, les effets de contrainte sur la mobilité des porteurs de charge est généralement prise en compte dans les simulations Dérive-Diffusion par le modèle de piézorésistance. Nous aborderons succinctement les principaux aspects de ce modèle [8].

II.5.1.1. Théorie du modèle de Dérive-Diffusion

Le modèle de Dérive-Diffusion s'exprime par les équations suivantes [8].

- Les équations de densité de courant \vec{J} :

$$\vec{J}_n(r, t) = |q|D_n \vec{\nabla} n(r, t) + |q|n(r, t)\mu_n \vec{E} \quad \text{II. 3}$$

$$\vec{J}_p(r, t) = -|q|D_p \vec{\nabla} p(r, t) + |q|p(r, t)\mu_p \vec{E} \quad \text{II. 4}$$

$$D_n = \frac{kT}{|q|} \mu_n, D_p = \frac{kT}{|q|} \mu_p$$

Les indices n et p sont respectivement associés aux électrons et trous. D représente le coefficient de diffusion. μ correspond à la mobilité. La mobilité effective μ lie la vitesse de dérive v_d , qui correspond à la vitesse moyenne des porteurs de charge, avec le champ électrique E: $v_d = \mu E$.

- Les équations de continuité :

$$\frac{\partial}{\partial t} n(r, t) - \frac{1}{|q|} \vec{\nabla} \cdot \vec{J}_n - S_n(r, t) = 0 \quad \text{II. 5}$$

$$\frac{\partial}{\partial t} p(r, t) - \frac{1}{|q|} \vec{\nabla} \cdot \vec{J}_p - S_p(r, t) = 0 \quad \text{II. 6}$$

Les indices n et p sont respectivement associés aux électrons et trous $n(r,t)$ et $p(r,t)$ représentent la densité des électrons et des trous. $s(r,t)$ est liée aux taux de génération et recombinaison de paires électron-trou.

L'ensemble des équations II.3, II.4, II.5 et II.6 est couplé à l'équation de Poisson:

$$\nabla(\epsilon_r |\vec{E}|) = |q|(p(r, t) - n(r, t) + N_d + N_a)$$

Les méthodes de Dérive-Diffusion décrivent les propriétés de transport dans des conditions proches de l'équilibre. En effet, on peut démontrer que, dans le cadre de l'approximation du temps de relaxation, la fonction de distribution est similaire à celle de l'équilibre thermodynamique mais translatée de $q\tau_m E$ dans la direction opposée au champ. Cette condition n'est donc valide qu'à faible champ. Cette méthode n'est donc pas adaptée à la simulation de dispositifs électroniques dans des conditions de transport fortement hors-équilibre. Or, le fonctionnement opérationnel des dispositifs nanométriques est particulièrement influencé par ces phénomènes hors-équilibre qui ne peuvent se décrire que par une résolution exacte de l'équation de Boltzmann.

Toutefois, dans le cadre des transistors à canaux ultra-courts dans un régime à fort champ, les simulations Dérive-Diffusion doivent présenter des courants en cohérence avec

ceux résultant des modèles avancés de transport. En effet, le courant de drain calculé par un modèle balistique peut s'approximer de la manière suivante [8]:

$$I = Qv_{therm} \quad \text{II. 7}$$

Q dénote la charge du système. v_{therm} correspond à la vitesse thermique des porteurs.

D'autre part, le courant de drain dans le régime de saturation s'assimile à l'expression suivante:

$$I = Qv_{sat} \quad \text{II. 8}$$

Q dénote la charge du système. v_{sat} correspond à la vitesse de saturation des porteurs.

Or, les valeurs des vitesses v_{therm} et v_{sat} dans le silicium sont équivalentes. Ainsi la similitude entre les solutions des équations II.7 et II.8 tend à démontrer une estimation qualitativement correcte des simulations de Dérive-Diffusion dans les régimes de transport à fort champ.

Par ailleurs, la souplesse d'utilisation du modèle de Dérive-Diffusion permet de moduler les phénomènes de transport hors-équilibre via un réajustement approprié des paramètres du modèle de mobilité [8].

II.5.1.2. Les effets non stationnaires

II.5.1.2.1. Transport stationnaire

Dans les transistors de longueur de grille supérieure à 1mm environ, le transport est stationnaire et le gaz électronique vérifie les lois de mobilité. Le courant est alors décrit comme la somme de deux composantes, une composante de dérive due au champ électrique E et un terme de diffusion dû au gradient de la densité de porteurs. C'est le modèle Dérive-Diffusion. Ainsi pour les électrons [9]:

$$J = q(n\mu_0 E + D_n \nabla_n) \quad \text{II. 9}$$

Où μ_0 est la mobilité des porteurs et D_n le coefficient de diffusion du gaz électronique. Dans cette approche le gaz électronique est supposé à l'équilibre et la température du gaz égale à la température du réseau. En régime stationnaire, la vitesse moyenne des porteurs dans le canal est régie par la mobilité μ qui représente la faculté des porteurs de se mouvoir dans le silicium sous un champ électrique E . Pour la définir, il est nécessaire que le transport se fasse à faible champ et que le nombre d'interactions soit important. Lorsque

c'est le cas, cette grandeur peut être déterminée expérimentalement en fonction du dopage, comme illustré sur la figure II.32 et du champ effectif de confinement. Dans les années 1970, des chercheurs italiens ont mesuré précisément la vitesse de dérive et observé la saturation de cette vitesse à partir d'un champ critique E_c d'environ 3.10^4 V/cm à 300K, comme on peut le voir sur la figure II.33. La vitesse n'est alors plus proportionnelle au champ. Deux configurations sont alors possibles :

-Lorsque $E \ll E_c$, la vitesse est proportionnelle au champ et la température du gaz électronique est égale à celle du réseau car les interactions avec les phonons sont assez nombreuses pour absorber un possible excès d'énergie des porteurs.

-Lorsque $E > E_c$, les interactions inélastiques avec les phonons sont plus probables et ils absorbent l'excès d'énergie cinétique. La vitesse sature à environ $V_{sat} = 1.10^5$ m/s à 300K. En faisant l'hypothèse d'un phonon prédominant d'énergie $\hbar\omega$, la vitesse de saturation est donnée par la relation II.10 [9]:

$$V_{sat} \approx \sqrt{\frac{\hbar\omega}{m_c^*}} \quad \text{II. 10}$$

Où m_c la masse effective de conduction. Dans ces conditions de saturation en vitesse, l'énergie de dérive reste constante et l'énergie supplémentaire induite par le champ électrique apparaît dans la composante thermique, $3/2kT_c$. Dans ce régime de transport, la température du gaz électronique T_c augmente telle que [9]:

$$T_c = T_L + \frac{2}{3} \frac{q}{k_B} \tau_\omega \mu_0 E^2 = T_L \left[1 + \left(\frac{E}{E_c} \right)^2 \right] \quad \text{II. 11}$$

Où τ_ω est le temps de relaxation de l'énergie. Sans dopage dans le silicium, la mobilité en fonction de la température électronique s'écrit [9]:

$$\mu(T_c) = \mu_0 \sqrt{\frac{T_L}{T_c}} \quad , \quad \mu = \frac{\mu_0}{\left[1 + \left(\frac{E}{E_c} \right)^2 \right]^{1/2}}$$

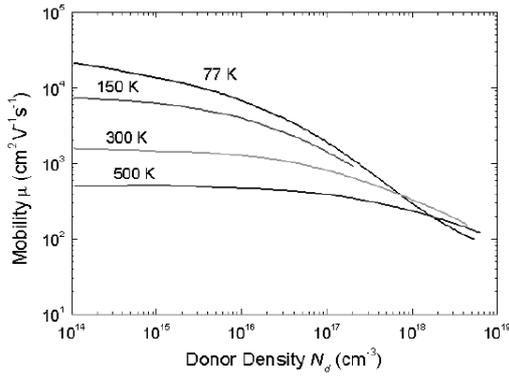


Figure II.32 : Mobilité des électrons en fonction de la densité dopants donneurs à différentes températures [9].

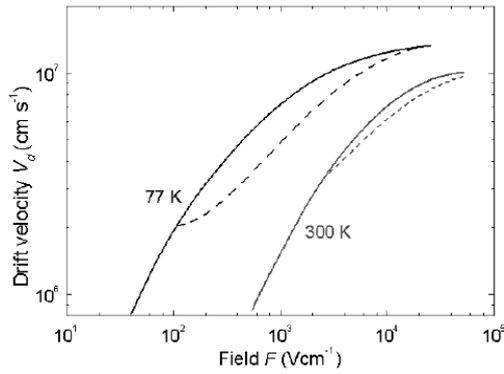


Figure II.33: Mobilité des électrons en fonction du champ électrique [9].

A faible champ, la vitesse est proportionnelle au champ. Ensuite elle sature lorsque le champ dépasse $3 \cdot 10^4$ V/cm environ. En ligne continue, direction $\langle 111 \rangle$ et en ligne pointillée $\langle 100 \rangle$ (figure II.33) [9].

II.5.1.2.2. Transport non stationnaire

Suite à la réduction d'échelle, pour les transistors de longueurs de grille inférieure à 200nm environ, le champ varie rapidement dans le canal. Cette variation du champ engendre alors une augmentation constante de l'énergie transmise au gaz. Dans le même temps, les phonons ne peuvent absorber instantanément cet excès d'énergie par rapport à l'énergie d'équilibre. Ce phénomène se traduit par l'équation (II.12). Elle définit les effets non stationnaires lorsque le gain d'énergie dans le temps induit par le champ est plus grand que la puissance que peut dissiper le réseau par l'intermédiaire des phonons inter-vallées [9].

$$\frac{d\varepsilon}{dt} > \frac{\hbar\omega}{\tau_\omega} \quad \text{II. 12}$$

Où ε est l'énergie du gaz électronique, $\hbar\omega$ l'énergie moyenne des phonons et τ_ω le temps caractéristique qu'il faut aux phonons pour absorber un excès d'énergie du gaz électronique. L'expression II.12 indique un phénomène temporel. Sur la figure II.36 est tracée l'évolution dans le temps de la vitesse et de l'énergie moyenne du gaz électronique sous l'effet d'un champ électrique à $t=0$ (simulation Monte Carlo). Sous l'effet du champ, la vitesse augmente rapidement. Lorsque les porteurs sont hautement énergétiques, leur

probabilité d'interaction avec les phonons inter-vallées augmente fortement. La vitesse revient alors à l'équilibre et l'excès d'énergie est transféré dans la composante thermique de l'énergie. Ainsi, à environ 0.1ps, la vitesse décroît et tend vers la vitesse de saturation. Dans le même temps, l'énergie des porteurs sature à $3/2kT_C$, où T_C vérifie l'équation II.11. Ces simulations mettent en évidence deux temps de relaxation différents :

- Un temps de relaxation moyen de l'énergie τ_w , qui vaut 0.32ps. C'est le temps de réponse du gaz électronique pour ajuster son énergie.
- Un temps de relaxation moyen de la vitesse τ_m , qui vaut 0.029ps pour un dopage de 10^{17} at/cm³. C'est le temps de réponse du gaz électronique pour ajuster sa vitesse. Cependant, la vitesse et l'énergie étant corrélées, la mise à l'équilibre complète de la vitesse en stationnaire est liée aussi au temps de relaxation τ_w , comme illustré sur la figure II.34. Expérimentalement, ce temps de relaxation de l'énergie a été déterminé à 1ps, par Hess et Seeger, dans le silicium à 300K. Cependant, d'un point de vue théorique, les simulations Monte Carlo à forts champs donnent une valeur d'environ 0.3ps. Ce temps de relaxation de l'énergie est représentatif des interactions inélastiques qui émettent ou qui absorbent de l'énergie, et qui par là même, font évoluer les vitesses des porteurs pour tendre vers la saturation.

Par ailleurs, ce phénomène temporel peut se traduire spatialement. En effet, les effets non stationnaires peuvent apparaître lorsque le champ varie rapidement spatialement et que la distance entre deux interactions inélastiques est trop grande pour absorber l'excès d'énergie acquise pendant cette distance [9].

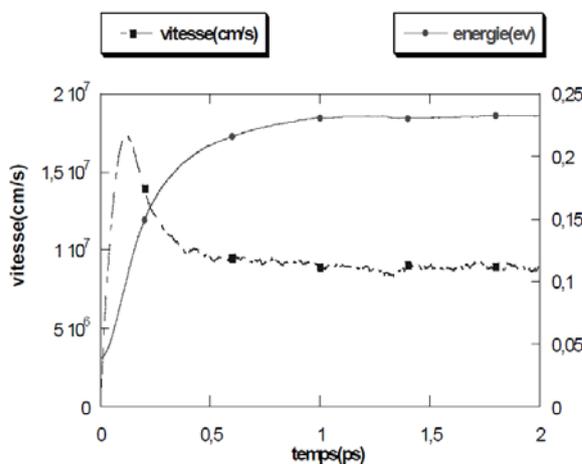


Figure II.36 : Evolution de la vitesse et de l'énergie moyenne des porteurs sous l'effet d'un échelon de champ électrique [8].

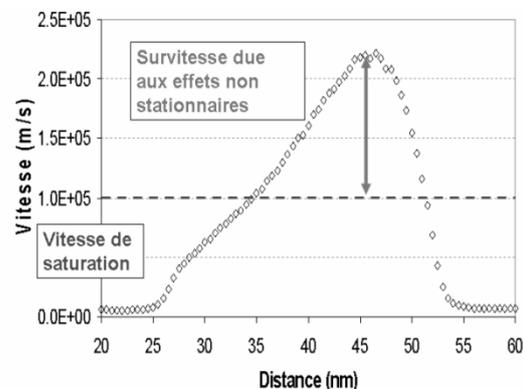


Figure II.35 : Vitesse moyenne des porteurs dans un nMOSFET de 25nm de longueur électrique à $V_{DS}=V_{GS}=0.8V$ [8].

Lorsque l'apparition des effets non stationnaires est due à une augmentation spatiale du champ électrique, les grandeurs les plus pertinentes sont alors les longueurs de relaxation de la vitesse et de l'énergie. Elles sont définies via la vitesse thermique v_{therm} par[9]:

$$L_m = v_{therm}\tau_m = 1 \cdot 10^5 (m/s) \frac{\mu_0 m^* c}{q} \approx 3nm \quad \text{pour} \quad 10^{17} \text{ at/cm}^3$$

$$L_w = v_{therm}\tau_w = 32nm$$

Lorsque le gain d'énergie dû au champ sur la distance L_w est plus grand que l'énergie d'absorption moyenne des phonons, alors le gaz d'électrons n'est alors plus en équilibre avec le champ et les porteurs acquièrent une vitesse de dérive supérieure à la vitesse de saturation, comme illustré sur la figure II.35. Les effets non stationnaires apparaissent alors lorsque les interactions inélastiques sont en nombre insuffisant. Mais que se passe-t-il lorsque c'est l'ensemble des interactions qui sont en nombre insuffisant ? Le transport électronique rentre alors dans le régime quasi-balistique [9].

II.5.2. Les effets quasi-balistiques

Dans ce régime de transport, les effets temporels ne sont pas seulement liés à l'énergie mais aussi à la vitesse (Figure II.34). Le temps caractéristique le plus pertinent est alors le temps moyen entre deux interactions t . Lorsque ce temps est du même ordre de grandeur que le temps que met un électron pour passer de source à drain, il n'y a pas assez d'interactions pour définir la notion statistique de mobilité.

Ce sont les effets quasi-balistiques. Le transport peut être considéré comme quasi-balistique lorsque la longueur du canal est du même ordre que le libre parcours moyen l_{pm} qui représente la distance moyenne que parcourt l'électron entre deux interactions successives.

$$L_{pm} = v_{therm}\tau \quad \text{II. 13}$$

Il y a alors dans ce cas un pourcentage non nul de porteurs qui atteignent le drain sans subir d'interaction. Par exemple, pour un MOSFET sur substrat massif de longueur de grille $L_{ch}=25nm$ dopé à $5,7 \cdot 10^{18} \text{ at.cm}^{-3}$, le l_{pm} est alors d'environ 1.5nm d'après (II.13).

Dans cette configuration, un nombre non négligeable de porteurs, 6%, traversent le canal sans subir d'interaction ; le transport peut être qualifié de quasi-balistique. La statistique des porteurs en est alors fortement modifiée et la notion statistique de mobilité

perd son sens. Par là même, la notion de température, qui est liée à l'agitation induite par les interactions, est moins pertinente. Il est donc nécessaire de définir des grandeurs plus adéquates pour analyser ce régime de transport. Pour cela, Natori a développé un modèle permettant de calculer le courant dans une configuration totalement balistique de source à drain. En se plaçant à 77K (peu d'interactions avec les phonons), Natori a montré que le transport était proche de sa limite balistique. De plus, Lundstrom et ses collaborateurs ont analysé la fonction de distribution en haut de la barrière de potentiel pour caractériser le transport quasi-balistique. En effet en ce point la rétrodiffusion est aisément identifiable et caractérise la nature balistique du transport par l'intermédiaire d'un coefficient de rétrodiffusion R_C permettant de calculer la vitesse d'injection et le courant.

Expérimentalement, Chen et son équipe ont développé une méthodologie pour mesurer ce coefficient caractéristique du transport quasi-balistique et ont montré que les transistors d'aujourd'hui ont déjà atteint ce régime de transport, à environ 50% de leur limite balistique [9].

II.5.3.Recombinaison Shockley-Read-Hall

Actuellement, la théorie de Shockley Read Hall est universellement reconnue pour la description des processus de recombinaison de porteurs excédentaires via les niveaux énergétiques dans la bande interdite du semiconducteur. Conformément à la théorie de Shockley Read Hall, le taux de recombinaison, c'est à dire le nombre de porteurs recombinés dans 1 cm^3 pendant 1 seconde, est donné par l'expression [10]:

$$R_{SRH} = \frac{\sigma_p \sigma_n V_{th} (pn - n_i^2) N_t}{\sigma_n [n + n_i \exp(\frac{E_t - E_i}{kT})] + \sigma_p [p + n_i \exp(\frac{E_i - E_t}{kT})]} \quad \text{II. 14}$$

Ou σ_n et σ_p sont les sections de capture efficace respectivement pour les électrons et les trous (probabilités de capture d'électron ou de trou par les niveaux énergétiques intrabandes) ; E_t et N_t sont respectivement la position énergétique et la concentration des états de piège ; n_i est la concentration intrinsèque ; E_i est le niveau de Fermi dans le semiconducteur intrinsèque et V_{Th} est la vitesse thermique des porteurs, égale à :

$$V_{Th} = \sqrt{\frac{3kT}{m^*}} \quad \text{II. 15}$$

Ou m^* est la masse effective, k constante de Boltzmann et T la température. A l'équilibre

thermodynamique, le taux de recombinaison est à zéro ($np = n_i^2$). Dans Atlas (SILVACO) l'expression (II.14) s'implémente sous la forme suivante :

$$R_{SRH} = \frac{pn - n_i^2}{TAUPO \left[n + n_{ie} \exp\left(\frac{ETRAP}{kT}\right) \right] + TAUNO \left[p + n_{ie} \exp\left(\frac{-ETRAP}{kT}\right) \right]} \quad \text{II. 16}$$

Ou ETRAP est la différence entre le niveau d'énergie E_t et le niveau de Fermi intrinsèque, TAUN0 et TAUPO sont respectivement les durées de vie de l'électron et de trou.

II.5.4. Energie Balance

Jusqu'a présent nous avons considère des modèles qui supposent que le temps de relaxation est constant par rapport a l'énergie ; de ce fait pour chaque intégration de l'ETB nous définissons un nouveau temps de relaxation. On considère qu'il y a une relation microscopique qui relie le temps de relaxation à l'énergie. Pour cela il faut reprendre l'équation de transport Boltzmann en régime permanent en appliquant l'approximation du temps de relaxation:

$$v_g \cdot \nabla_r f + F \cdot \nabla_p f = \left(\frac{\partial}{\partial t} f \right)_{coll} \quad \text{avec} \quad \left(\frac{\partial}{\partial t} \right)_{coll} = - \frac{f_{AS}(k)}{\tau_f(\varepsilon)}$$

Avec $p = \hbar \cdot k$ la quantité de mouvement, $f_{AS}(k)$ la partie antisymétrique de la fonction de distribution et $\tau_f(\varepsilon)$ le temps de relaxation définissant le retour a l'état d'équilibre de la fonction de distribution. Nous ferons les calculs en reportant le temps de relaxation dans la partie gauche de l'expression précédente :

$$\tau_f(\varepsilon) \cdot F \cdot \nabla_p f + \tau_f(\varepsilon) \cdot v_g \cdot \nabla_r f = -f_{AS}(k) \quad \text{II. 17}$$

La méthode générale est sensiblement équivalente au calcul du moment d'ordre 1, a la différence prés que les valeurs moyennes sont réalisées sur l'énergie. Nous intégrons le premier terme de l'équation II.17 en ayant préalablement exprime la dérivée de la fonction de distribution par rapport a l'énergie :

$$F \cdot \int_{V_k} (\tau_f \cdot v_g \cdot \nabla_p f_s) \cdot d\varepsilon = F \cdot \int_{V_k} \left(\tau_f \cdot \frac{v_g \otimes p}{m^*} \nabla_\varepsilon f_s \right) \cdot d\varepsilon = \frac{2}{3} \cdot \frac{F}{m^*} \int_{V_k} \left(\tau_f \cdot \varepsilon^{\frac{3}{2}} \cdot \nabla_\varepsilon f_s \right) \cdot d\varepsilon \quad \text{II. 18}$$

Nous considérons la relation suivante pour la définition de la mobilité:

$$n \cdot \mu_n = \frac{2}{3} \cdot \frac{q}{m^*} \int_{V_k} \left(\tau_f \cdot \varepsilon^{\frac{3}{2}} \cdot \nabla_\varepsilon f_S \right) \cdot d\varepsilon \quad \text{II. 19}$$

Pour l'intégration du second terme nous considérons :

$$n \cdot D_n = \frac{2}{3 \cdot m^*} \cdot \int_{V_k} \left(\tau_f \cdot \varepsilon \cdot f_S \right) \cdot d\varepsilon \quad \text{II. 20}$$

En intégrant le 3^{ème} terme on obtient le courant. Ainsi, en utilisant la relation d'Einstein, nous obtenons l'expression intrinsèque de la seconde équation du modèle suivant l'approche de Stratton :

$$J_n = k_B \nabla_r (\mu_n \cdot n \cdot T_n) + q \cdot \mu_n \cdot E \cdot n \quad \text{II. 21}$$

Après avoir développé et réarrangé les termes de l'équation précédente, on obtient un nouveau modèle, appelé Energy Balance (EB), et qui, s'exprime par une combinaison des moments d'ordre 0, 1 et 2 :

$$q \cdot \frac{\partial n}{\partial t} + \nabla_r J_n = -q \cdot R_{net} \quad \text{II. 22}$$

$$J_n = \mu_n [k_B \cdot (T_n \cdot \nabla_r (n) + n \cdot \nabla_r (T_n)) \cdot (1 + v_n)] + q \cdot E \cdot n \quad \text{II. 23}$$

Avec
$$v_n = \frac{T_n \cdot \nabla_r (\mu_n)}{\mu_n \cdot \nabla_r (T_n)}$$

$$\frac{3k_B}{2} \cdot \frac{\partial (n \cdot T_n)}{\partial t} + \nabla_r (n \cdot S) - E \cdot J_n = -\frac{3k_B}{2} \cdot \frac{n(T_n - T_L)}{\tau_\varepsilon} \quad \text{II. 24}$$

II.6. Conclusion

Nous avons consacré ce deuxième chapitre à la présentation des nouvelles structures multi-grilles et en particulier le FinFET afin de comprendre son fonctionnement, nous avons aussi présenté quelque modèles physique de transport ainsi. Dans le prochain chapitre nous exposerons notre modèle de transistors FinFET en utilisant l'outil de simulation SILVACO ainsi que les principaux résultats.

Référence du Chapitre II

- [1] TANG Mingchun, « étude et Modelisation Compacte du transistor FinFET »,Thèse de Doctorat : Université de Strasbourg, 2009.
- [2] R. Ritzenthaler, « Architecture avancées des transistors FinFETs : Réalisation, caractérisation et modélisation », Thèse INP Grenoble, 2006.
- [3] J. Colinge, « Silicon-on-insulator technology: Materials to VLSI », ISBN 1-4020-77734, Kluwer Academic Publishers, 3PrdP edition, 1997.
- [4] J. Widiez, et al., « Expérimental gatemisaligmentanalysis on double-gate SOI MOSFETs», Proceedings IEEE International SOI Conference, pp. 185-186, 2004.
- [5] M. Vinet, et al. « Bonded planar double-metal-gate NMOS transistors down to 10nm », IEEE Transactions on Electron Devices, vol. 26, no. 5, pp. 317-319, 2005.
- [6] J. S. Martin, « Étude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI », Thèse de Doctorat, Université Paris XI Orsay, 2005
- [7] Ahlam. Guen, « Numerical Simulation of a Planarnanoscale DG n-MOSFET », livre édité chez Lambert AcademicPublishing, 2013
- [8]. FERAILLE Maxime, « Etude du Transport dans les Transistors MOSFETs Constraints: Modélisation Multi-échelle »,Thèse de docteurat : L'Institut National des Sciences Appliquées de Lyon, 2009.
- [9] FUCHS Emmanuel, « etude theorique et experimental du transport electronique dans les dispositifs nanométriques sur silicium »,grade de doctorat en sciences, université Paris XI, 2006.
- [10] Oleksiy NIchiporuk, « simulation,fabriacation et analyse de cellules photovoltaïque a contacts arrière interdigités »,thèse de doctorat, Institut national des sciences appliqué de LYON, 2005.

Chapitre III

Résultats et interprétations

Sommaire Chapitre III

III.1. Introduction.....	97
III.2. Présentation du logiciel TCAD-SILVACO.....	97
III.2.1. Présentation du paquet des programmes SILVACO	97
III.2.1.1. Les outils de simulation.....	98
III.2.1.2. Les outils interactifs.....	99
III.2.2. Présentation d'ATLAS	100
III.2.2.1. Entrées et sorties d'ATLAS.....	100
III.2.2.2. Commandes dans un programme ATLAS	103
III.3. Structure FINFET simulée par SILVACO	111
III.4. Caractéristique électriques du transistor SOI Tri-Gate FINFET.....	113
III.4.1. Caractéristique de transfert $I_{DS}-V_{GS}$	114
III.4.2. Caractéristique de sortie $I_{DS}-V_{DS}$	114
III.5. Effet de la variation de la hauteur du Fin « H_{fin} »	115
III.5.1. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{GS}$	115
III.5.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{DS}$	116
III.6. Effet de la variation de la largeur du fin W_{fin}	116
III.6.1. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{GS}$	116
III.6.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{DS}$	117
III.7. Effet de la variation de la longueur de la longueur de la grille du SOI Tri-Gate FINFET	118
III.7.1. Effet de variation de la longueur de la grille sur la caractéristique $I_{DS}-V_{GS}$	118
III.7.2. Effet de variation de la longueur de du canal sur la caractéristique $I_{DS}-V_{DS}$	119
III.8. Caractéristique d'un transistor FINFET Triple grille sur Bulk	120
III.8.1. Caractéristique de transfert $I_{DS}-V_{GS}$	122
III.8.2. Caractéristique de sortie $I_{DS}-V_{DS}$	123
III.9. Effet de la variation de la hauteur du Fin « H_{fin} »	124

III.9.1. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{GS}$	124
III.9.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{DS}$	125
III.10. Effet de la variation de la largeur du fin W_{fin}	125
III.10.1. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{GS}$	125
III.10.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{DS}$	126
III.11. Effet de la variation de la longueur de la longueur de canal L_c.....	127
III.11.1. Effet de variation de la longueur du canal sur la caractéristique $I_{DS}-V_{GS}$	127
III.11.2. Effet de variation de la longueur de du canal sur la caractéristique $I_{DS}-V_{DS}$	128
III.12. Etude comparative entre un SOI FINFET et un Bulk FINFET.....	128
III.13. Conclusion	130

III.1. Introduction

Notre travail a consisté à concevoir et à simuler les caractéristiques électriques d'un MOSFET nanométrique de type Tri-Gate FINFET. Cette étude a pu être effectuée par le biais du logiciel de simulation du dispositif et process SILVACO-TCAD qu'on se propose tout d'abord de présenter brièvement avant de présenter les résultats de simulation que nous avons obtenus par son biais et qui ont permis la conception et simulation des caractéristiques de notre transistor.

III.2. Présentation du logiciel TCAD-SILVACO

SILVACO est une société internationale Américaine, ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs [1].

SILVACO est l'acronyme de « Silicon Valley Corporation », c'est un environnement qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur. Cet outil sert à la modélisation des dispositifs à semi-conducteurs avant leur fabrication, beaucoup de projets de recherches ont été développés grâce à ATLAS SILVACO [2].

III.2.1. Présentation du paquet des programmes SILVACO

SILVACO présente un ensemble des outils de simulation interactifs permettant la conception et l'analyse de la plus part des dispositifs à semi-conducteurs VWF (Virtual Wafer Fabrication) [3]. Les composants de base de VWF (Figure III.1) sont :

1. Les outils de simulation (VWF CORE TOOLS). Ces outils simulent soit leurs processus de fabrication ou soit leurs comportements électriques. Les outils de simulation sont ATHENA, ATLAS et SDUPEM3.
2. Les outils interactifs (VWF INTERACTIVE TOOLS). Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (Graphical User Interface, GUI). Ainsi le travail de construction du fichier d'entrée devient plus efficace. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers,

ou comme des composants intégrés dans l'environnement des outils d'automatisation.

3. Les outils d'automatisation (VWF AUTOMATION TOOLS). Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales afin de créer des résultats pour l'analyse statistique suivante. Les outils automatiques se servent de la technologie de base de données réparties et des méthodes de logiciels de développement d'interprocessus.

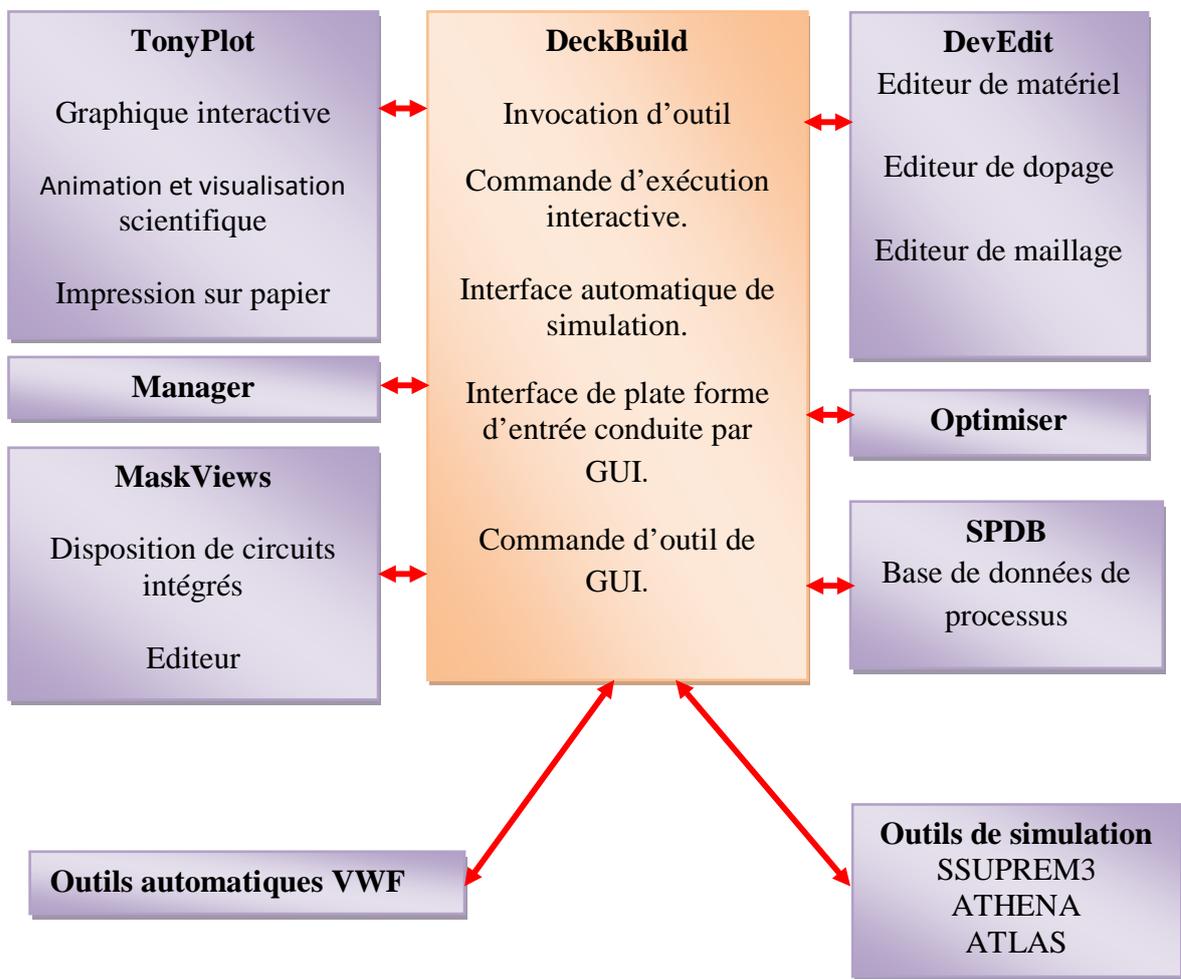


Figure III.1 : Organigramme de la structure VWF.

III.2.1.1. Les outils de simulation

- **ATLAS** : simulateur physique de dispositifs à semi-conducteur 2D ou 3D qui permet de simuler le comportement électrique (statique ou dynamique) de structures spécifiées des dispositifs à semi-conducteur.

- **ATHENA** : simulateur 2D de procédés technologiques qui permet de développer et optimiser des processus de fabrication de semi-conducteur (les différentes étapes effectuées en Salle Blanche). Il fournit une plate-forme pour simuler l'implantation ionique, la diffusion, gravure à l'eau-forte, le dépôt, la lithographie, l'oxydation, et la silicidation des matériaux semi-conducteur. Il remplace des expériences coûteuses par des simulations.
- **SSUPEMS3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs.

III.2.1.2. Les outils interactifs

- **DECKBUILD** : environnement où est défini le programme de simulation. DeckBuild offre une aide et une prise en charge qui permet d'éviter l'apprentissage d'une syntaxe de commande généralement très complexe. Il permet aussi une exécution automatique et très pratique des programmes et des sauvegardes systématiques des étapes intermédiaires d'exécution (il est l'interface avec les outils de simulation).
- **TONYPLOT** : environnement où sont visualisés les résultats des simulations (structure du composant, distribution de grandeurs divers dans celui-ci, caractéristiques électriques...).
- **DEVEDIT** : environnement où est destinée la structure. On peut créer des nouvelles structures ou même modifier des structures existantes. On peut aussi définir des maillages ou raffiner les maillages existants.
- **MASKVIEWS** : outil de dessin des masques (éditeur de layout).
- **OPTIMIZER** : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable.
- **MANAGER** : outil de gestion des fichiers utilisés et créés par VWF.
- **SPDB** : (Semiconductor Process Data Base), c'est un produit séparé, il n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement ainsi que les données qui décrivent les conditions des expériences.

Le projet réalisé dans le cadre de ce travail de, a été basé principalement sur l'outil de simulation « Atlas » et sur l'environnement où est défini le programme de simulation « DeckBuild ». Une fois la simulation effectuée sous « ATLAS », la visualisation des résultats se fait via le logiciel « TonyPlot ».

Par la suite nous allons développer la présentation de l'outil de simulation « ATLAS » que nous avons utilisé pour effectuer la simulation de notre structure.

III.2.2. Présentation d'ATLAS

ATLAS est un simulateur physique 2D ou 3D des dispositifs basés sur la physique de semi-conducteur. Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes physiques internes associés au fonctionnement des dispositifs. Atlas peut être utilisé autonome ou comme un outil noyau dans le milieu de simulation VWF de SILVACO.

Ce simulateur est composé de deux parties :

- une partie de traitement numérique (méthode d'intégration, de discrétisation...)
- une partie formée des modèles physiques des composants semi-conducteurs (modèles de recombinaisons, de mobilités, ...) [4].

III.2.2.1. Entrées et sorties d'ATLAS

La figure III.2 montre les entrées et sorties d'ATLAS. La plupart des simulations réalisées par ATLAS utilisent deux fichiers d'entrée. Le premier est représenté par « Fichier de commande », c'est un fichier script contenant les commandes pour que ATLAS s'exécute. Le second fichier est un « Fichier de structure » qui définit la structure à simuler. A la sortie d'ATLAS, nous avons trois types de fichier. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le « fichier log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé. Le troisième fichier de sortie est le « fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné. Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

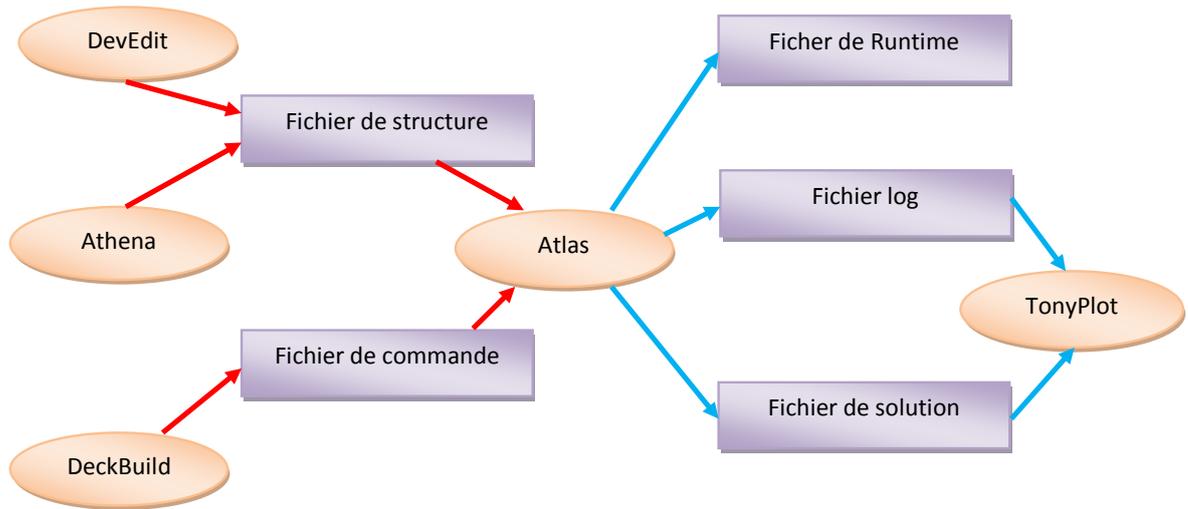


Figure III.2 : Entrées et sorties d'ATLAS.

Dans la figure III.3 nous voyons représentés les composants qui constituent le simulateur ATLAS. Comme nous remarquons le cœur est la physique qui fonctionne dans les dispositifs à base de semi-conducteurs.

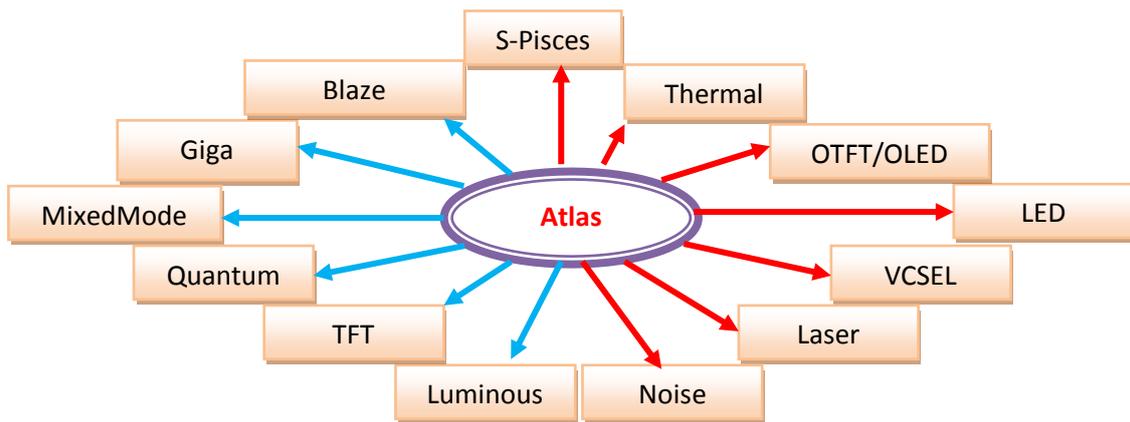


Figure III.3 : les composants (ou modules) d'ATLAS.

Ainsi les composants développés autour sont :

- **S-Pisces** : programme de simulation des dispositifs 2D ou 3D, il modélise les caractéristiques électriques des dispositifs à base de silicium en incluant la technologie comme MOS (Metal Oxide Semiconductor), bipolaire, SOI (Silicon On Insulator), EEPROM (Electrically Erasable Programmable Read Only Memory) et dispositifs de puissance. S-Pisces calcule les distributions internes des paramètres physiques et prévoit le comportement électrique des dispositifs à l'état d'équilibre, transitoire ou dans les conditions de courant alternatif de petit signal.
- **Blaze** : simulateur des dispositifs 2D ou 3D pour les matériaux III-V, II-VI et des dispositifs avec la structure de bande dépendante de la position (c-à-d. hétérojonctions).

Blaze explique les effets de la structure de bande dépendante de la position par des modifications des équations de transport de charge. Blaze est applicable à une large gamme des dispositifs comprenant : HBT (Heterojonction Bipolar Transistor), HEMT (High Electron Mobility Transistor), LED (Light Emitting Diode), détecteurs photoélectriques d'hétérojonction (piles solaires) et diode d'hétérojonction.

- **Giga** : prolonge Atlas pour expliquer l'écoulement de la chaleur du réseau et les environnements thermiques généraux. Giga met en application le modèle rigoureux thermodynamique de Wachutka du chauffage du réseau, qui explique le chauffage de Joule, le chauffage, et le refroidissement du à la génération de porteur et à la recombinaison, et des effets Peltier et Thomson. Giga explique la dépendance du matériau et de transport en fonction de la température du réseau.
- **Laser** : effectue une simulation couplée électrique et optique des lasers à base de semi-conducteur.
- **VCSEL** : (Vertical Cavity Surface Emitting Lasers) effectue la simulation électrique, thermique et optique des lasers d'émission surfacique à cavité vertical à l'aide de méthode entièrement numériques précises, robustes, et fiables et des maillages uniformes.
- **Luminions** : trace des rayons et programme tout usage d'absorption de la lumière. Luminious calcul les profils d'intensités optiques dans les dispositifs semi-conducteurs et convertit ces profils dans des taux de photo génération. Ceci nous permet de simuler des réponses électroniques à des signaux optiques pour une large gamme de détecteur optiques.
- **LED** : fournit des possibilités générales pour la simulation des dispositifs de diodes électroluminescente.
- **MixedMode** : simulateur des circuits qui peut inclure des éléments simulés en utilisant la simulation de dispositif (2D ou 3D), ainsi que des modèles compacts de circuits. MixedMode utilise des algorithmes numériques avancés qui sont efficaces et robustes pour des simulations en DC, régime transitoire, petit signal AC et l'analyse des réseaux petits signaux. MixedMode est généralement utilisé pour simuler des circuits qui contiennent des dispositifs semi-conducteurs pour les modèles compacts et précis qui n'existent pas ou pour simuler des circuits où les dispositifs qui jouent un rôle critique doivent être modélisés de façon très précise. Les modèles compacts disponibles et

utilisés sont en général de type SPICE. La logique de programmation pour spécifier les circuits est de type SPICE.

- **Quantum** : simule les effets de confinement quantique.
- **TFT** : (Thin-Film Transistor Simulator) simule les systèmes de matériaux désordonnés, il ne contient pas de modèles de matériaux donc il faut combiner soit S-PISCES ou BLAZE avec TFT pour simuler ces systèmes matériels. TFT permet de définir une distribution d'énergie des états de défaut dans la bande interdite des matériaux semi-conducteurs.
- **Noise** : simule le bruit petit signal généré par les appareils. Le bruit électronique a comme conséquence une dégradation inévitable des performances d'un circuit. Il est important de comprendre les propriétés de bruit pour minimiser son effet.
- **TFT/OLED** : OTFT simule les caractéristiques des dispositifs réalisés en matériaux organiques (caractéristiques électriques et optiques en courant continu ou transitoire de ceux-ci). OLED simule des densités d'excitation singulière et triplet.
- **Thermal** : résout l'équation de la chaleur à l'équilibre thermodynamique pour trouver la distribution de la température à l'équilibre en structures 3D planaires et non planaires.

III.2.2.2. Commandes dans un programme ATLAS

Nous allons maintenant présenter l'ordre des commandes fondamentales dans un programme ATLAS (Figure III.4). Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement. Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte [4].

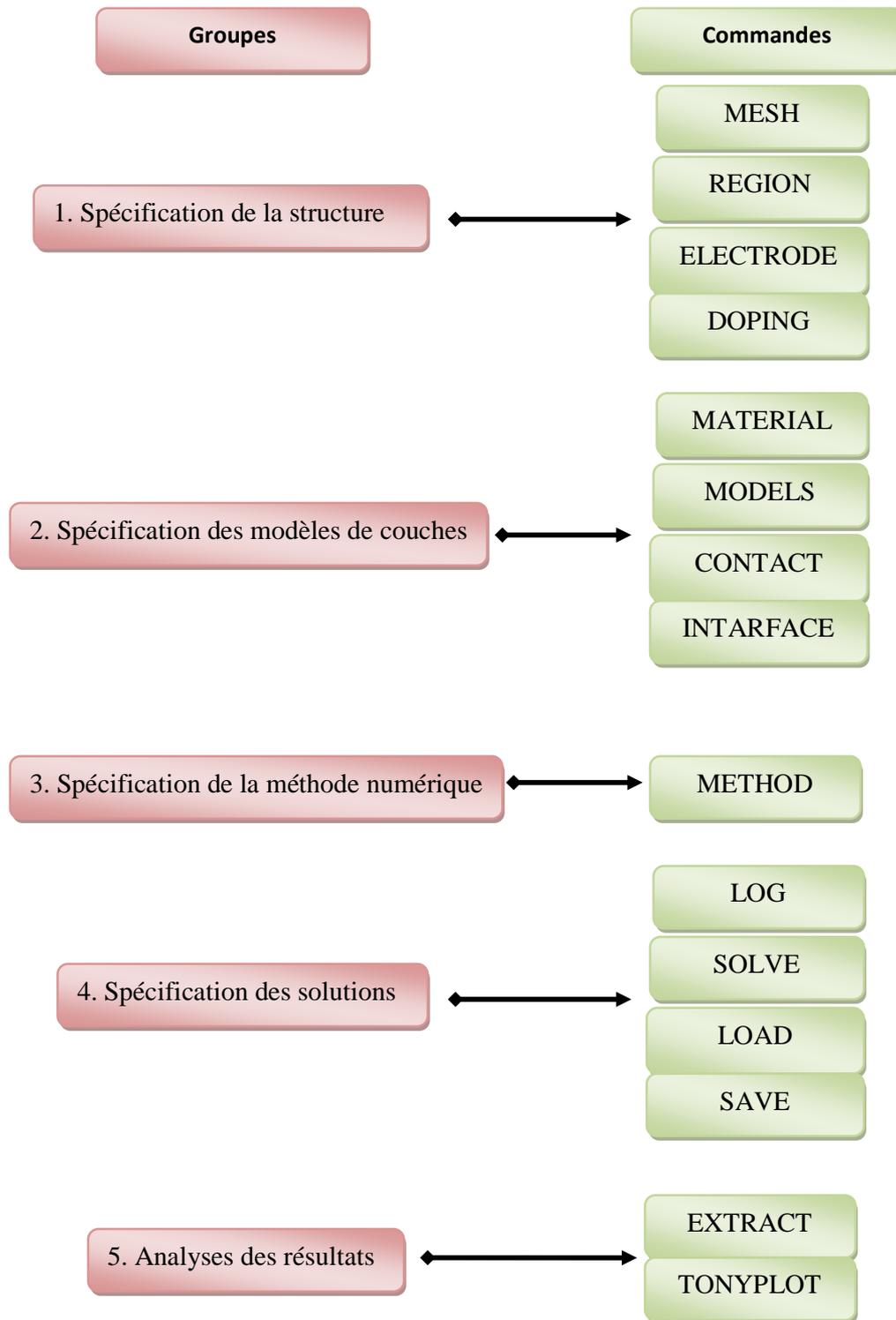


Figure III.4 : Les commandes fondamentales dans un programme ATLAS.

Les commandes fondamentales sont :

III.2.2.2.1. Spécification de la structure

Il s'agit de définir la structure la plus réaliste. La construction de la structure consiste en quatre étapes : définition du maillage, définition des régions, définition des électrodes et définition des dopages.

- **MESH** (définition du maillage) : Le maillage divise la structure simulée en petites cellules pour pouvoir résoudre les équations fondamentales numériquement. L'élément de maille utilisé est le triangle. Pour assurer une bonne précision lors de la simulation, il faut avoir le maillage le plus fin possible. Par contre si le maillage est très fin, le temps de calcul est très élevé, car il y a plus d'éléments à calculer. Il est donc nécessaire de trouver un compromis entre le temps et la précision de calcul.

Le format général pour définir le maillage est :

X.MESH LOCATION=<VALUE> SPACING=<VALUE>

Y.MESH LOCATION=<VALUE> SPACING=<VALUE>

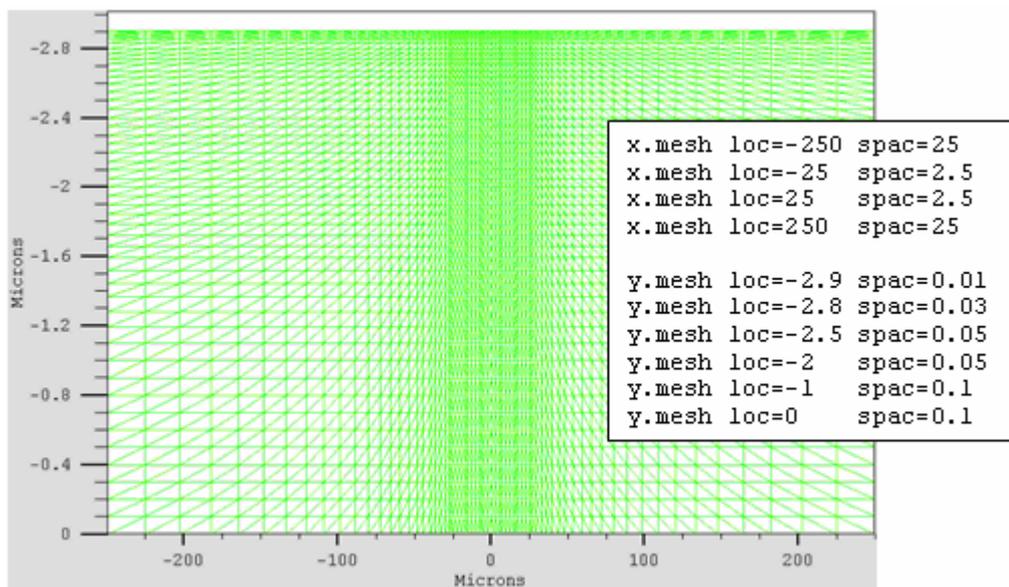


Figure III.5 :Définition du maillage avec Atlas à 2 dimensions [4].

- **REGION** (définition des régions) : Après avoir défini le maillage, il est nécessaire de définir les régions. Dans cette partie nous définissons des régions rectangulaires, par exemple la région n°1 est définie comme un matériau de type silicium et la région n° 2 comme de l'oxyde (SiO₂), etc...Ainsi que les différentes dimensions sont définies en micromètre.

Le forma pour définir des régions est le suivant:

REGION nombre = <integer><material_type> / < position des paramètres >

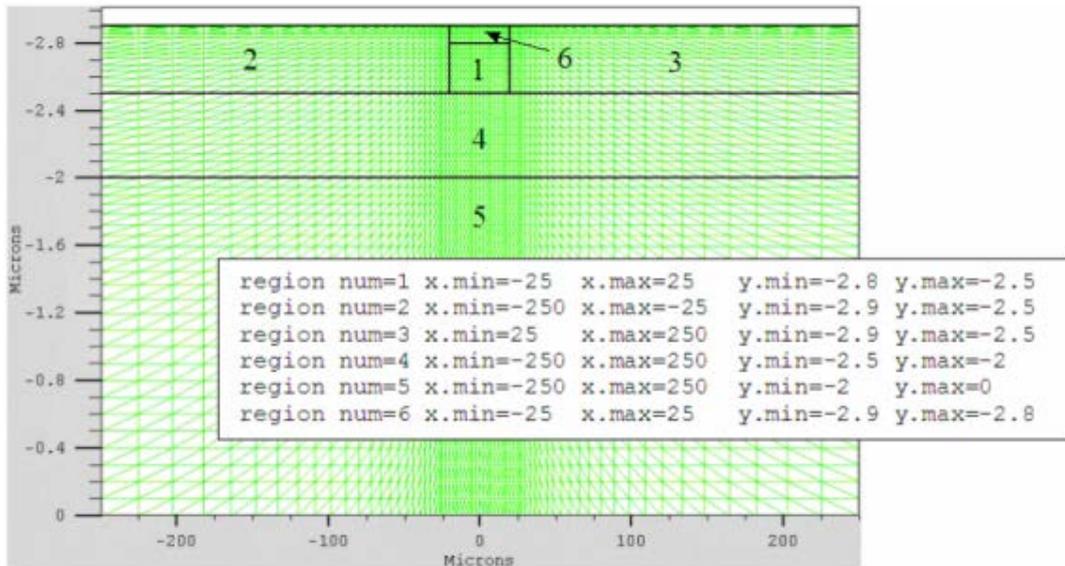


Figure III.6 : Définition des régions avec Atlas [4].

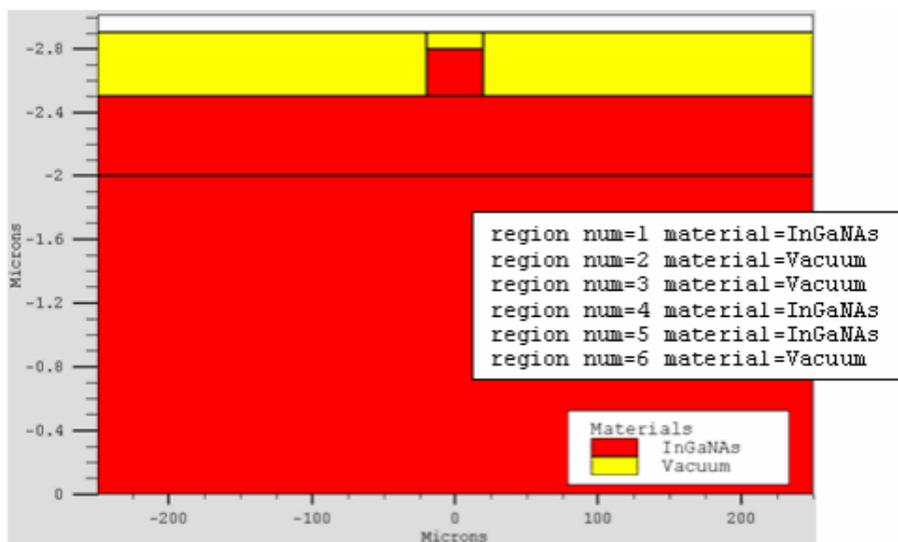


Figure III.7 : Attribution des matériaux à des régions avec Atlas [4].

- **ELECTRODE** (définition des électrodes) : La définition des électrodes permet de réaliser les contacts Grille, Anode et Cathode.

Le format de définition des électrodes est le suivant :

ELECTRODE NAME=<electrode name><position parameters>

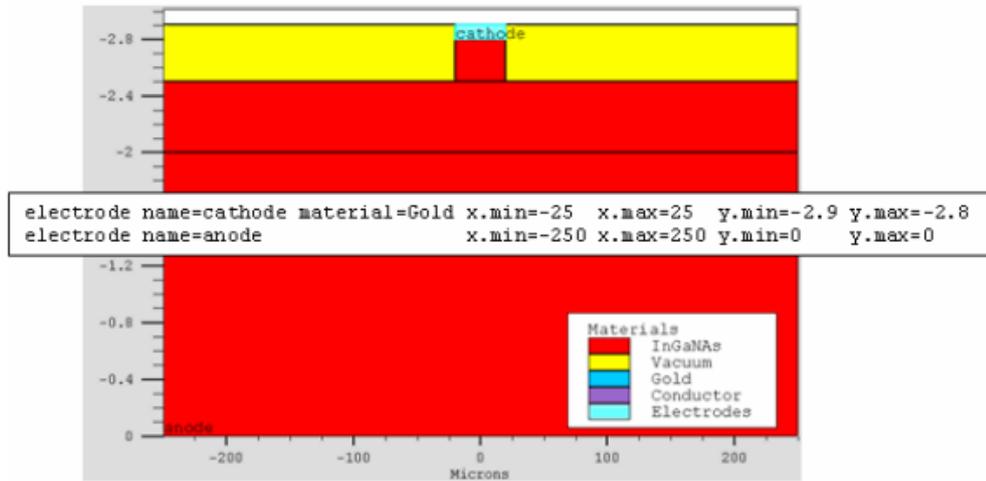


Figure III.8 : Définition des électrodes [4].

- **DOPING** (définition des dopages) : Le dernier aspect de la construction de la structure est le dopage. Le dopage peut être de type n ou p, aussi la distribution peut être uniforme, gaussien, etc...

Le format de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPAGE < type de distribution >< type de dopant > / < position des paramètres >

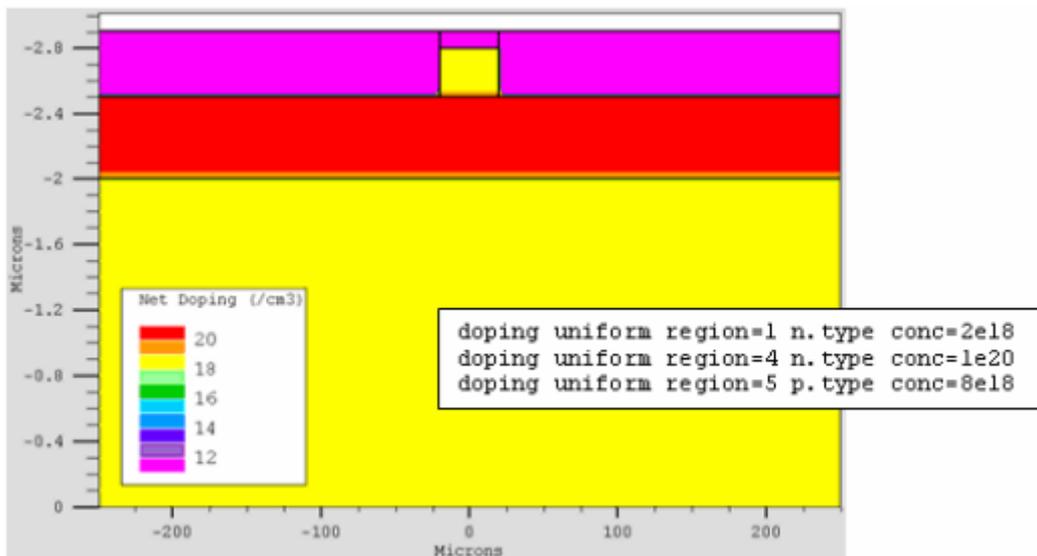


Figure III.9 : Types de dopage [4].

III.2.2.2.2. Spécification des modèles physiques

Après la construction de la structure, il est nécessaire de préciser les modèles physiques et de définir les matériaux. La spécification de modèles et matériaux comporte quatre étapes:

- **MATERIAL** : associe des paramètres physiques aux matériaux dans la maille. Le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard.

Le format de la déclaration du matériau est le suivant :

MATERIAL < localisation >< définition du matériau >

- **MODELS** : Ils indiquent les inclusions de différents mécanismes physiques (recombinaison, mobilité, etc...). Le choix du modèle dépend des matériaux choisis pour la simulation.

La syntaxe de la déclaration du modèle est la suivante:

MODEL< paramètres générales > / < paramètres du modèle >

Les modèles physiques inclus dans « Atlas » sont:

- DC, AC small-signal, and full time-dependency.
- Drift-diffusion transport models.
- Energy balance and Hydrodynamic transport models.
- Lattice heating and heatsinks.
- Graded and abrupt heterojunctions.
- Optoelectronic interactions with general ray tracing.
- Amorphous and polycrystalline materials.
- General circuit environments.
- Stimulated emission and radiation.
- Fermi-Dirac and Boltzmann statistics.
- Advanced mobility models.
- Heavy doping effects.
- Full acceptor and donor trap dynamics.
- Ohmic, Schottky, and insulating contacts.
- SRH, radiative, Auger, and surface recombination.
- Impact ionization (local and non-local).
- Floating gates.
- Band-to-band and Fowler-Nordheim tunneling.
- Hot carrier injection.
- Quantum transport models.
- Thermionic emission currents.

- **CONTACT** : indique les attributs physiques d'une électrode (résistivité, travail de sortie,...).

La syntaxe du contact est la suivante :

Contact nombre = < n > | NOM = <ename> | ALL

- **INTERFACE** : indique les paramètres d'interface aux frontières des semi-conducteurs ou des isolants. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.

La syntaxe est la suivante:

INTERFACE [<parameters>]

III.2.2.2.3. Sélection de la méthode numérique

- **METHOD** : Dans ATLAS, il existe essentiellement deux méthodes numériques pour la résolution des équations : les méthodes dites de Newton et de Gummel. La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure. La méthode de Gummel consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de Newton réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet a priori de diminuer le temps de calcul.

III.2.2.2.4. Spécification des solutions

Après avoir sélectionné la méthode numérique il est nécessaire de déterminer les solutions. La spécification de solution est donnée par les déclarations : LOG, SOLVE, LOAD, et SAVE.

- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log). Notons que log en minuscule veut dire le type de fichier et LOG en majuscule veut dire la commande dans le programme. Les informations sauvées sont de type électrique. Aussi n'importe quel paramètre spécifié par la commande PROBRE est stocké dans le fichier de type log. Si dans le programme, il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.
- **SOLVE** : La déclaration SOLVE fait suite à la déclaration LOG. SOLVE effectue une solution pour un ou plusieurs points de polarisation.

- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
- **SAVE** : sauve toutes les informations d'un point (nœud) du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.

III.2.2.2.5. Analyse des résultats

Une fois la solution a été trouvée pour un problème de dispositif à semi-conducteurs, les informations peuvent être affichées graphiquement.

- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou structure.
- **TONYPLOT** : démarre le programme « TonyPlot » permettant une représentation graphique des données.

Une autre commande importante est BEAM, sa position est au niveau 4 des groupes de commande. BEAM indique un signal d'entrée optique sous forme d'un faisceau de lumière (mono ou multi-spectrale). Le faisceau ainsi déclaré est allumé et utilisé par la commande SOLVE, dans ce cas le module luminous est activé. Donc BEAM est utilisé pour simuler des courants sous lumière ou des réponses spectrales.

Une simulation numérique dans Silvaco (ou tous outil TCAD) est constituée de deux étapes principales (Tableau III.1) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil).

La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouvé sa solution.

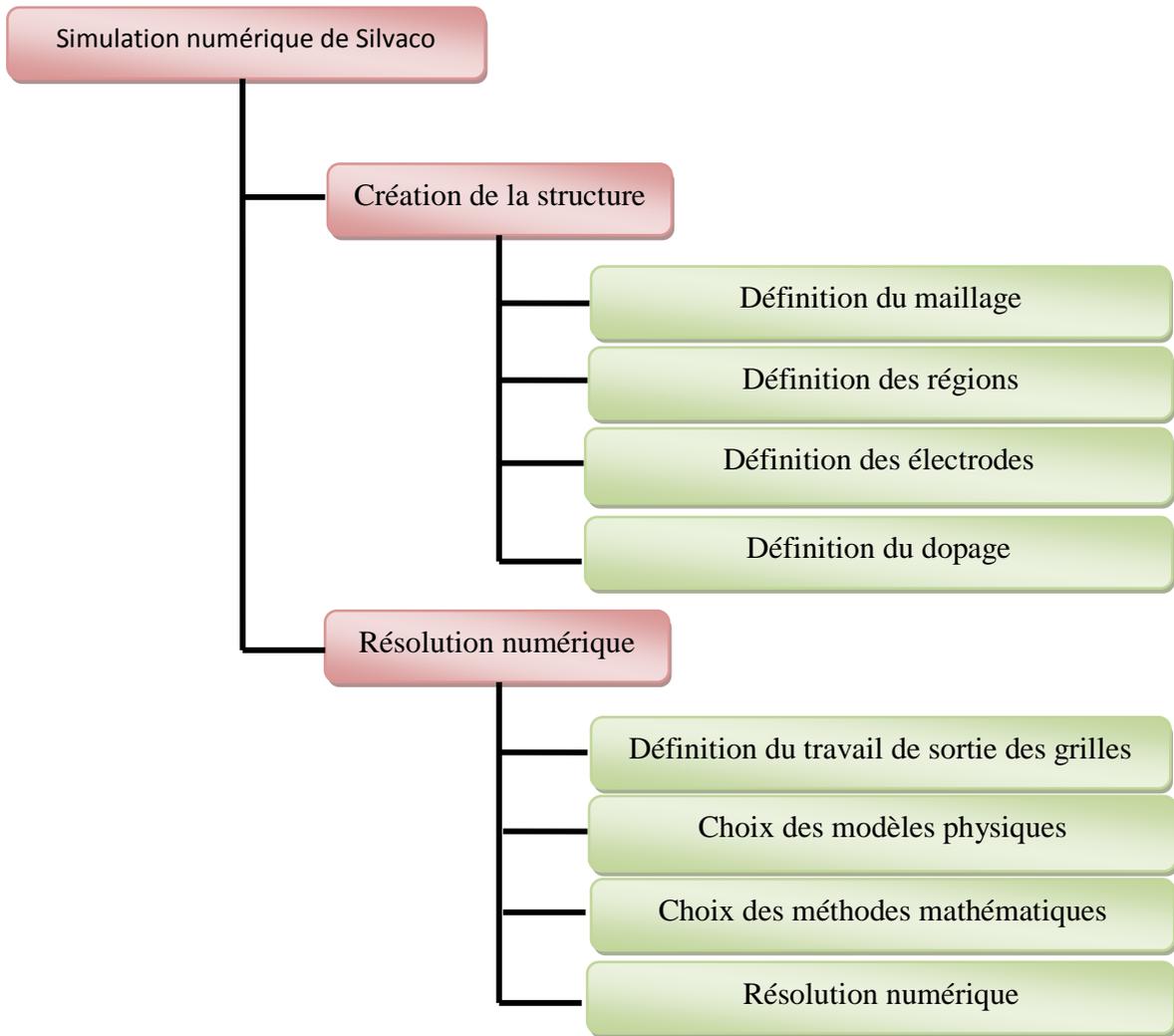


Tableau III.1 : Diagramme de la simulation numérique de Silvaco.

III.3. Structure FINFET simulée par SILVACO

Avant de présenter tous les résultats de simulation que nous avons obtenus, nous tenons tout d'abord à préciser que notre première tâche fut d'apprendre à utiliser ce logiciel de simulation de dispositif et de process avec ses différents constituants et qui nous était jusqu'à la inconnue. Nous avons alors utilisé Atlas et Devedit.

La seconde tache fut alors d'apprendre à faire des simulations 3D vu que le dispositif étudié, et simulé est un transistor de nouvelle génération 3D.

Après avoir présenté le logiciel de simulation que nous avons utilisé, nous présentons dans ce qui suit les résultats de simulation que nous avons obtenus et qui ont permis d'étudier les effets de la variation des paramètres géométriques de notre structure

sur son courant de drain. Pour cela nous avons tout d'abord simulée une structure en 3D à l'aide des modules DevEdit et Atlas du logiciel SILVACO-TCAD. Une représentation 3D du dispositif étudié est représentée en figure III.10.

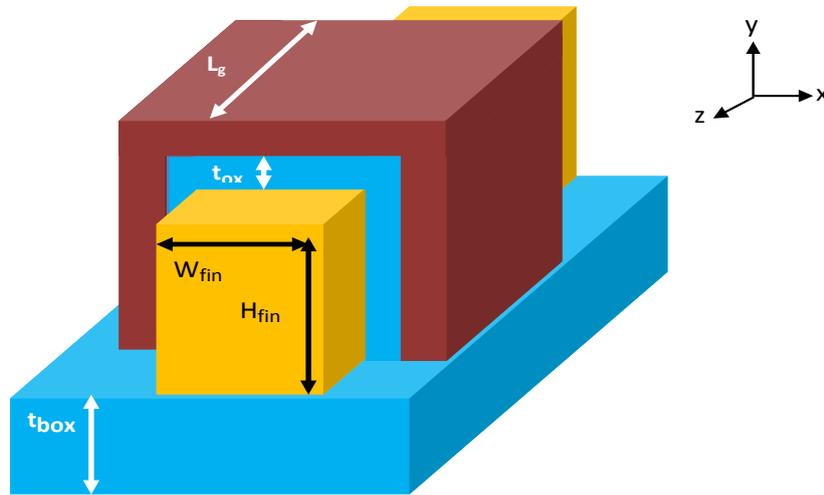


Figure III.20 : Structure d'un FINFET triple grille sur SOI.

Afin de mettre en évidence les différents constituants de notre dispositif une coupe 2D de la structure simulé sous environnement atlas Silvaco est représentée sur la figure qui suit.

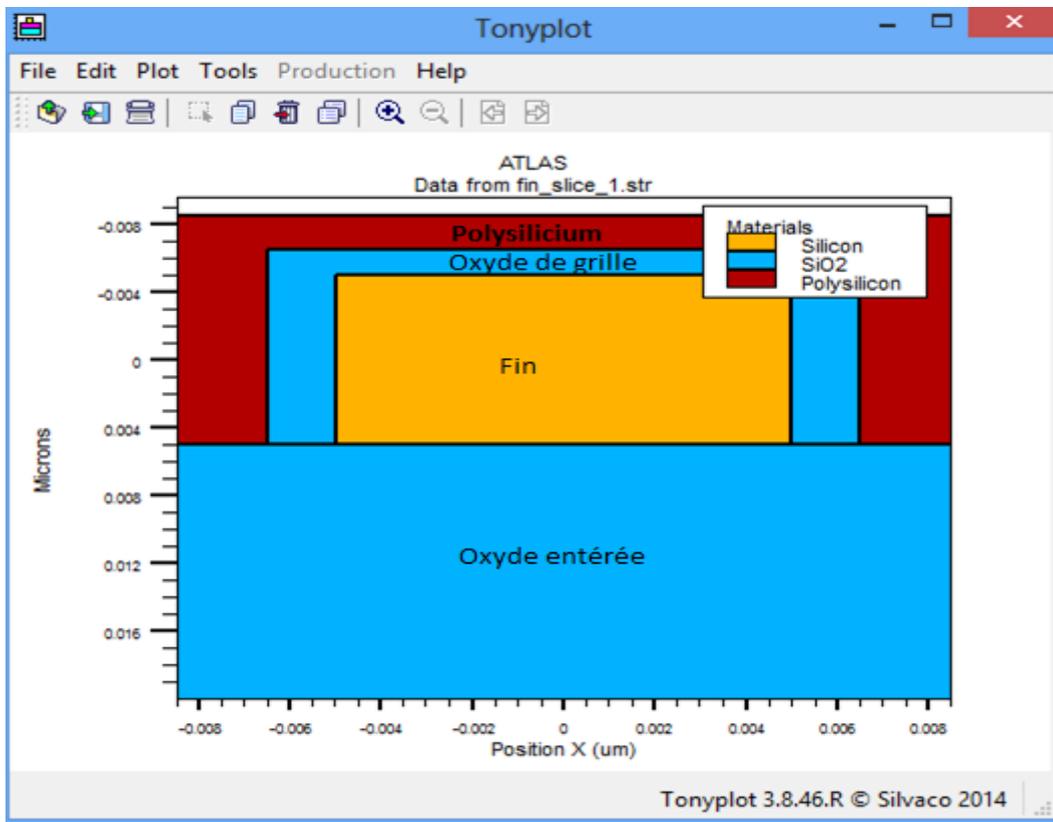


Figure III.11 : Coupe 2D du SOI Tri Gate FINFET Simulé.

La figure qui suit permet d'apprécier le maillage de notre structure. Ce dernier est bien évidemment raffiné au niveau du FIN et à l'interface Si/SiO₂ et reste grossier ailleurs. Notons que ce maillage est important dans la simulation du dispositif et doit de ce fait être choisi adroitement.

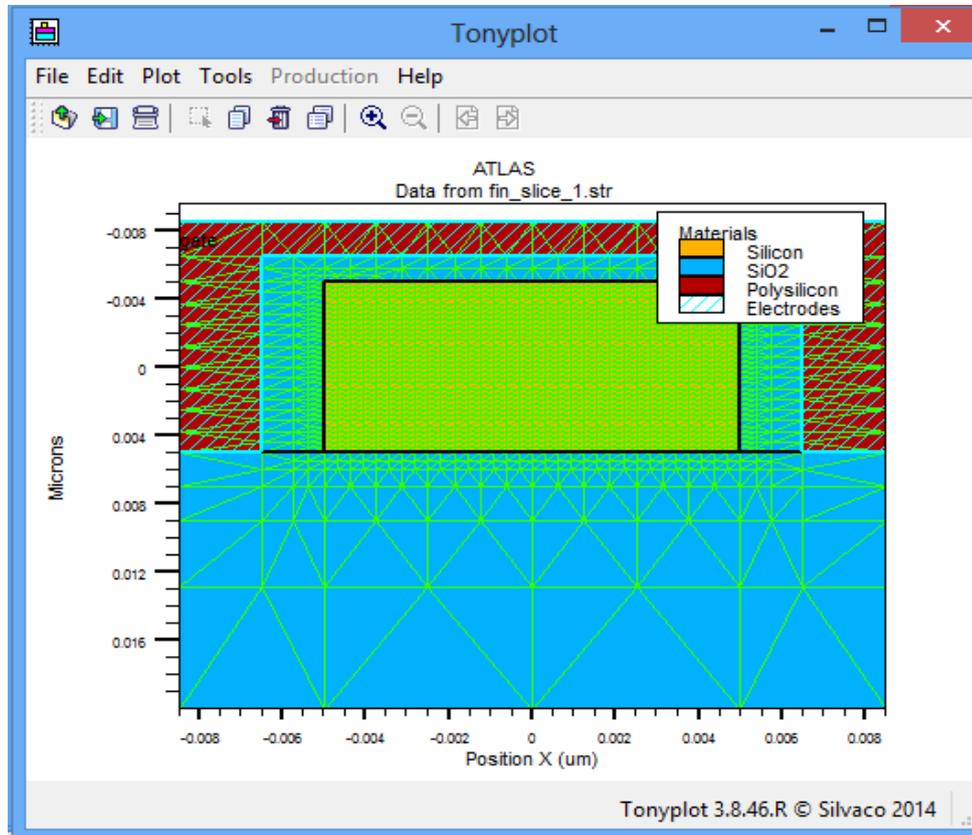


Figure III.12 : Mise en évidence du maillage de la structure SOI Tri-Gate FINFET simulée.

III.4. Caractéristique électriques du transistor SOI Tri-Gate FINFET

Avant de présenter nos résultats de simulations nous tenons tout d'abord à préciser que les dimensions de notre transistor sont choisies en accord avec les exigences de L'ITRS. Nous tenons en plus à préciser que les effets quantiques ont été pris en considération dans toutes nos simulations et ceci en choisissant en plus des modèles utilisés lors de nos simulations tels que : celui de la mobilité CVT, génération-recombinaison SRH, fermi-Dirac, le model adéquat permettant de prendre en considération les effets de confinement quantiques qu'on ne peut malheureusement plus négligés pour les composants de dimensions nanométrique et ceci est bien le cas de notre dispositif. Les divers résultats de simulation que nous avons ainsi obtenue sont représentés dans ce qui suit.

III.4.1. Caractéristique de transfert $I_{DS}-V_{GS}$

La simulation physique d'un transistor FINFET triple grille nous a permis d'obtenir la caractéristique de transfert représenté dans la figure III.13. La tension de polarisation V_{DS} de 0.01 V. Nous pouvons remarquer que note transistor à une tension de seuil de l'ordre de 0.3V.

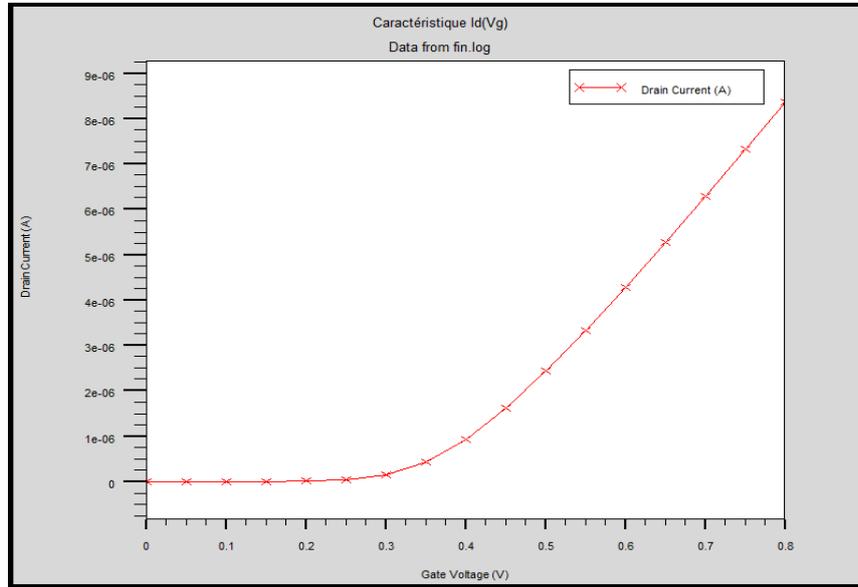


Figure III.13 : Caractéristique $I_{DS}-V_{GS}$ du transistor SOI Tri-Gate FINFET.

III.4.2. Caractéristique de sortie $I_{DS}-V_{DS}$

La figure III.14 représente la variation du courant du drain I_{DS} en fonction de la tension V_{DS} à différente tension de grille V_{GS} .

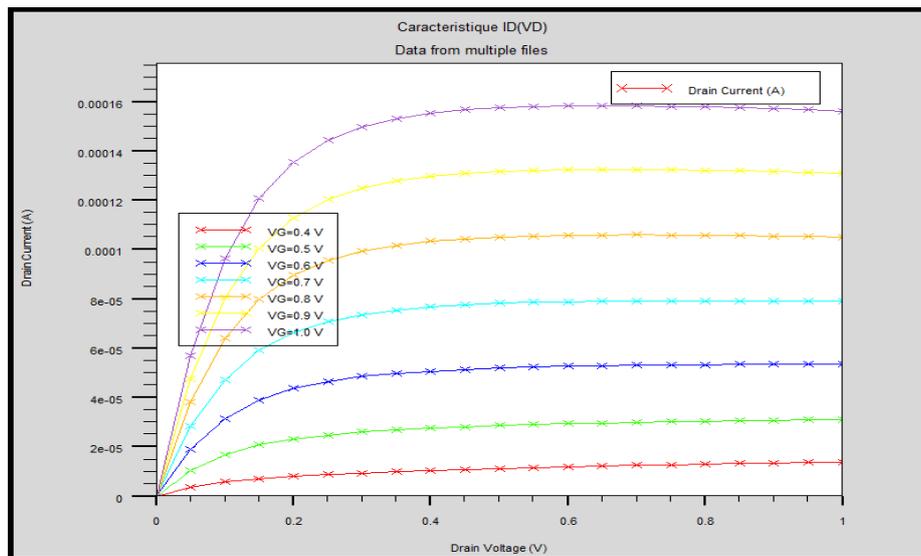


Figure III. 14 : Caractéristique $I_{DS}-V_{DS}$ du transistor SOI Tri-Gate FINFET.

Cette caractéristique a permis de mettre en évidence les différentes zones de fonctionnement. Afin d'observer les effets de la variation des paramètres géométriques de la structure conçue et simulée en fonction de la variation des paramètres géométriques, nous faisons varier indépendamment chacun des paramètres et on observe l'impact de cette variation sur le courant du drain. Les résultats obtenus par le biais de la simulation sous environnement Atlas Silvaco sont représentés dans ce qui suit.

III.5. Effet de la variation de la hauteur du Fin « H_{fin} »

On rappelle tout d'abord que le courant circulant dans le FINFET en mode saturé a pour expression:

$$I_{DS} = \mu C_{ox} \frac{W}{L} \frac{(v_g - v_{TH})^2}{2 + \frac{\delta t_{ox}}{X_d}} \quad \text{III.1}$$

On rappelle que l'épaisseur « W » du transistor dépend étroitement de sa hauteur HFIN et varie proportionnellement avec la variation de cette hauteur. Cette hauteur est donc un paramètre très important dans les structures FinFETs. Son influence sur le courant du drain et la tension de seuil est représentée sur les figures III.15 et III.16.

III.5.1. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{GS}$

L'effet de la variation de la hauteur du FIN sur la caractéristique de transfert est représenté par la figure III.15.

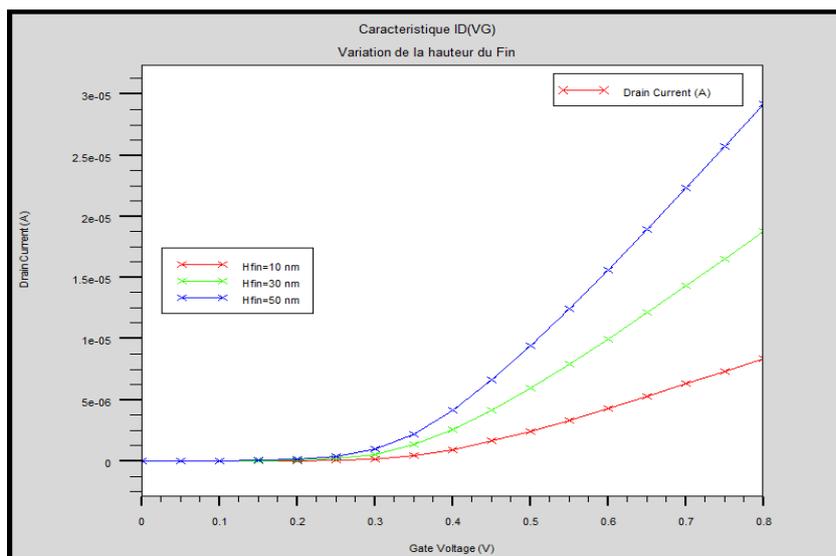


Figure III. 15:Caractéristique $I_{DS}-V_{GS}$ à différente valeur de H_{fin} du SOI Tri-Gate FINFET.

On remarque que l'augmentation de la hauteur du FIN fait augmenter la pente. On peut observer l'effet de la variation de la hauteur du FIN sur la tension de seuil qui diminue lorsque la hauteur du FIN augmente.

III.5.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{DS}$

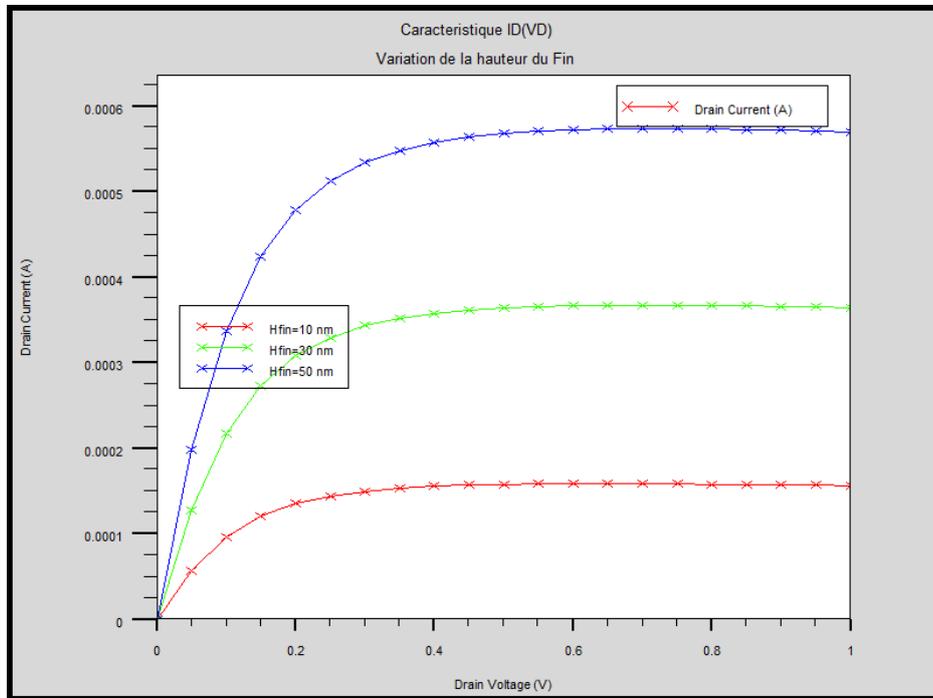


Figure III.16: Caractéristique $I_{DS}-V_{DS}$ à différentes valeurs de H_{fin} du SOI Tri-Gate FINFET.

Sur la figure III.16 est représenté les caractéristiques de sortie du transistor pour différentes valeurs de la hauteur du FIN, il apparaît clairement que le courant du drain I_{DS} augmente avec l'augmentation de la hauteur du Fin. Cela était en fait prévisible en considérant l'équation du courant du drain du transistor qui d'après l'équation du courant est proportionnel à la hauteur du FIN.

III.6. Effet de la variation de la largeur du fin W_{fin}

Afin de mettre en évidence l'effet de la largeur du Fin sur le courant du drain, on a choisi différentes valeurs de W_{FIN} . Les résultats de la simulation obtenus sont représentés au niveau des figures III.17 et III.18.

III.6.1. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{GS}$

La figure III.17 représente la caractéristique de transfert du FINFET triple grille avec différentes largeurs du FIN.

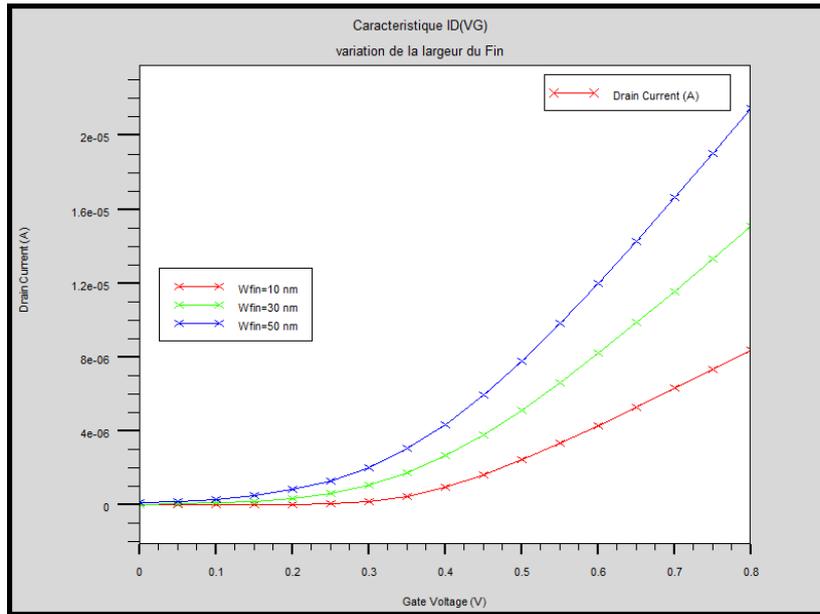


Figure III.17 : Caractéristique $I_{DS}-V_{GS}$ à différente valeur de W_{fin} du SOI Tri-Gate FINFET.

On constate de cette figure que la largeur du FIN a une influence directe sur la tension de seuil du transistor. On constate alors de la caractéristique $I_{DS}-V_{GS}$ une diminution de la tension de seuil du transistor avec une augmentation de la pente quand on augmente la largeur du Fin.

III.6.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{DS}$

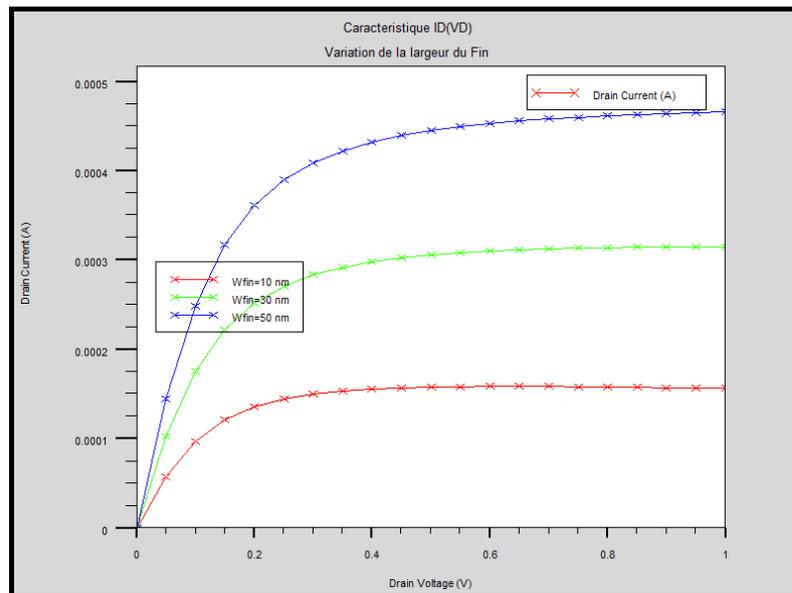


Figure III.18 : Caractéristique $I_{DS}-V_{DS}$ à différente valeur de W_{fin} du SOI Tri-Gate FINFET.

Dans la figure III.18 représentant la caractéristique de sortie de notre structure à différente largeur du Fin, on remarque que la largeur a une influence directe sur le courant du drain. En effet ce courant augmente avec l'augmentation de la largeur du FIN, résultat auquel on s'attendait car en analysant l'équation du courant du transistor on remarque que ce courant est proportionnel à la largeur du FIN et croit donc quand cette largeur augmente.

III.7. Effet de la variation de la longueur de la longueur de la grille du SOI Tri-Gate FINFET

De même que la hauteur et la largeur du Fin, la longueur de la grille est un paramètre très important dans la conception des transistors.

Afin de mettre en évidence les effets de la variation de la longueur du canal, on simule plusieurs dispositifs ayant la même hauteur du FIN ainsi que la même largeur et on maintient constants toutes les concentrations de dopage de la source, Drain et canal. On varie alors la longueur du canal qui est aussi celle de la grille.

III.7.1. Effet de variation de la longueur de la grille sur la caractéristique $I_{DS}-V_{GS}$

Les résultats de la simulation que nous avons obtenue pour la caractéristique $I_{DS}-V_{GS}$ sont représentés dans la figure III.19.

On remarque que lorsque la longueur de la grille augmente la tension de seuil augmente alors que la pente diminue.

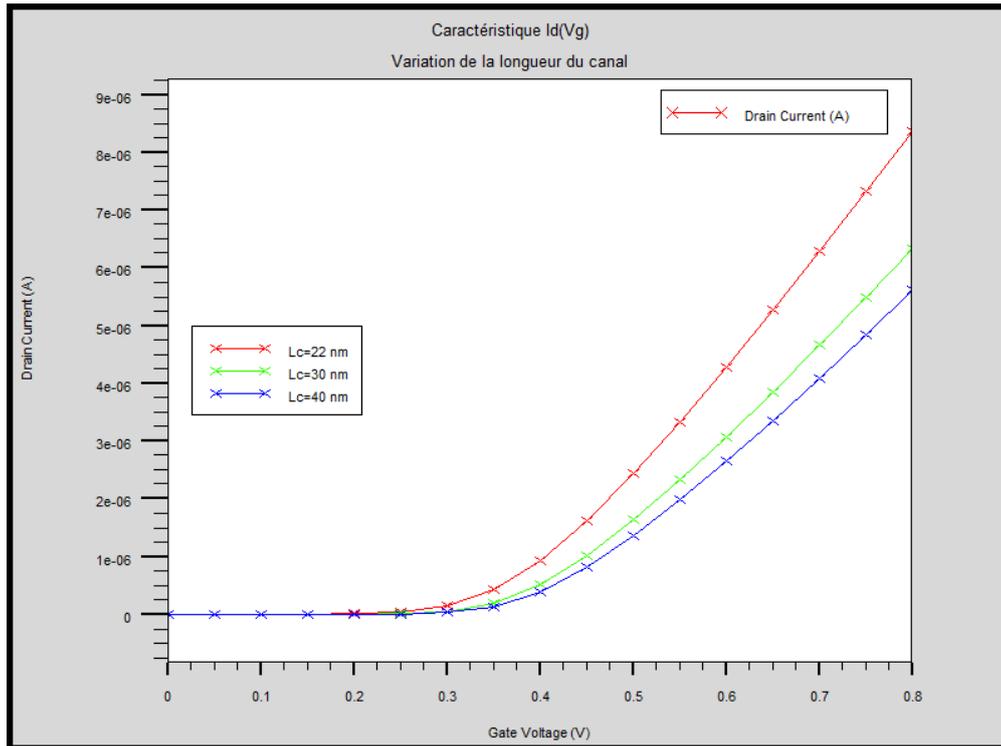


Figure III. 19 : Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du SOI Tri-Gate FINFET.

III.7.2. Effet de variation de la longueur de du canal sur la caractéristique $I_{DS}-V_{DS}$

On remarque d'après l'équation du courant du transistor que ce dernier est inversement proportionnel à la longueur de la grille.

Les résultats de simulation permettant de déterminer l'impact de la variation de la longueur de la grille sur le courant du drain est représenté sur la figure qui suit.

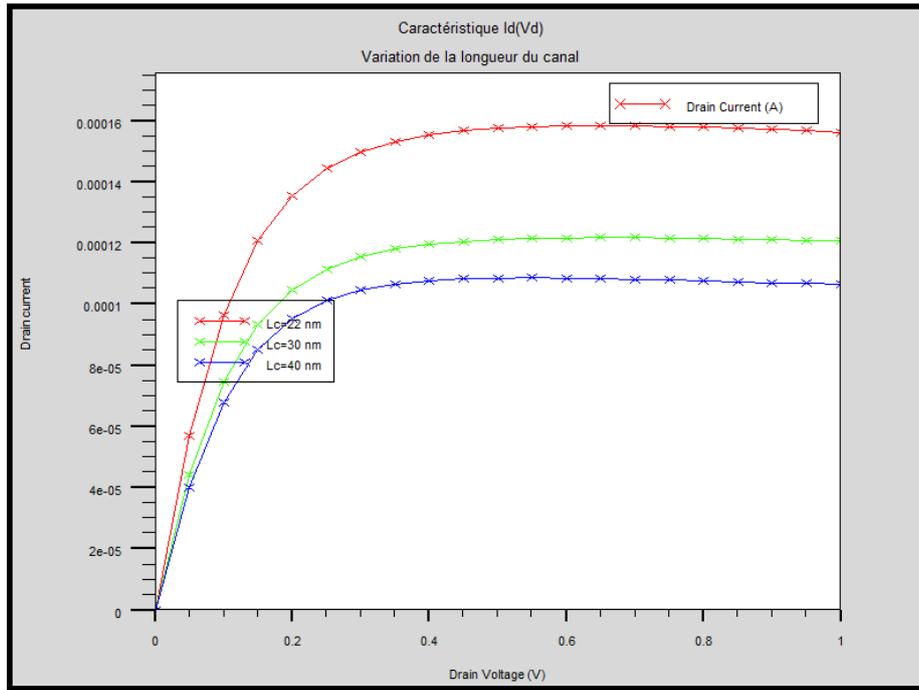


Figure III.20 : Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du SOI Tri-Gate FINFET.

On remarque en considérant la caractéristique $I_{DS}-V_{DS}$ représentée sur la figure III.20 que le courant du drain diminue avec l'augmentation de la longueur de grille qui est dans notre cas égale à celle du canal de conduction du transistor, ce qui était a mon sens prévisible.

III.8. Caractéristique d'un transistor FINFET Triple grille sur Bulk

On propose dans ce qui suit d'examiner une deuxième structure qui est en fait une variante des FINFET. Il s'agit en fait des FINFET sur bulk. En effet les transistors conçus sur substrat SOI sont plus coûteux que ceux conçus sur bulk, ils présentent aussi plus de défauts ainsi que des problèmes de transfert de chaleur. Ainsi il serait plus rentable et utile de concevoir des transistors sur bulk tout en maintenant les performances des dispositifs conçus sur substrat SOI.

Nous allons dans ce qui suit présenter les résultats de simulation que nous avons obtenus lors de la simulation d'un second transistor de type Tri-gate FiINFET que nous avons conçu cette fois ci sur bulk. Cette étude permettra alors de comparer les performances des deux dispositifs.

La représentation 3D de ce dispositif est représentée en figure III.21 alors que celle de la coupe 2D est celle de la figure III.22.

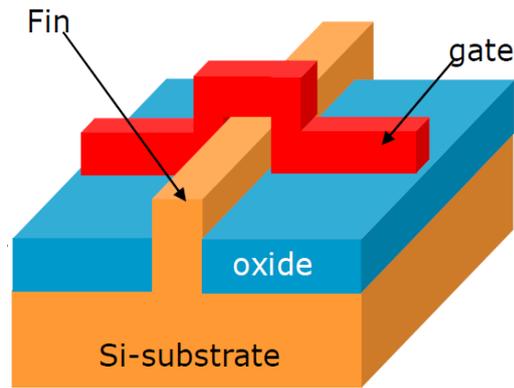


Figure III.21 : Structure d'un FINFET triple grille sur Bulk.

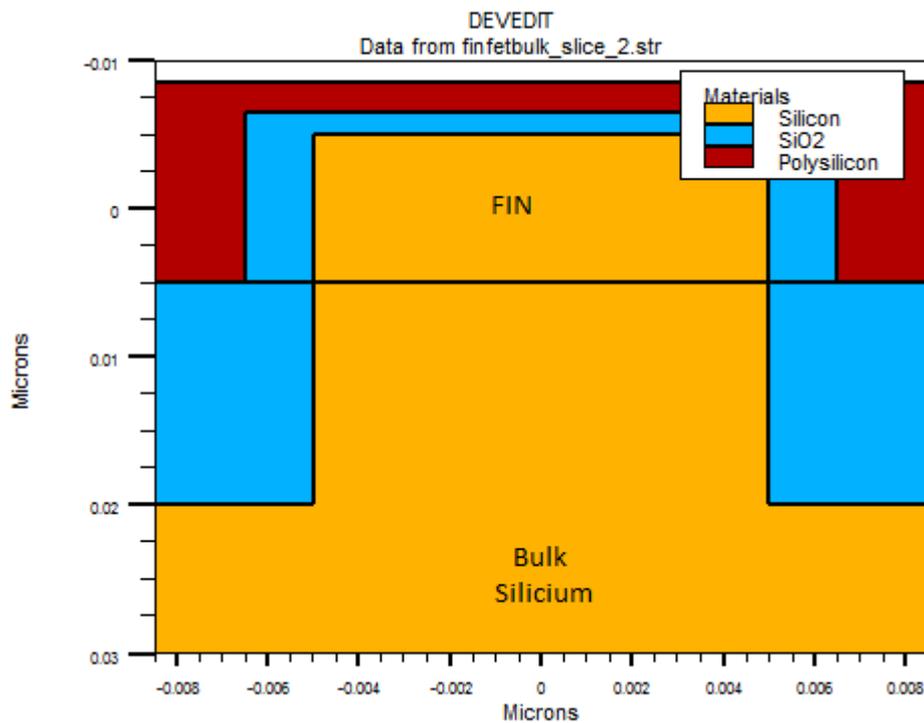


Figure III.22 : Coupe 2D du Tri Gate FINFET sur Bulk Simulé.

Le maillage de la structure est mis en évidence au niveau de la figure qui suit ou on remarque que ce maillage est très raffiné au niveau du FIN et de l'interface et qu'il est plutôt grossier dans le substrat.

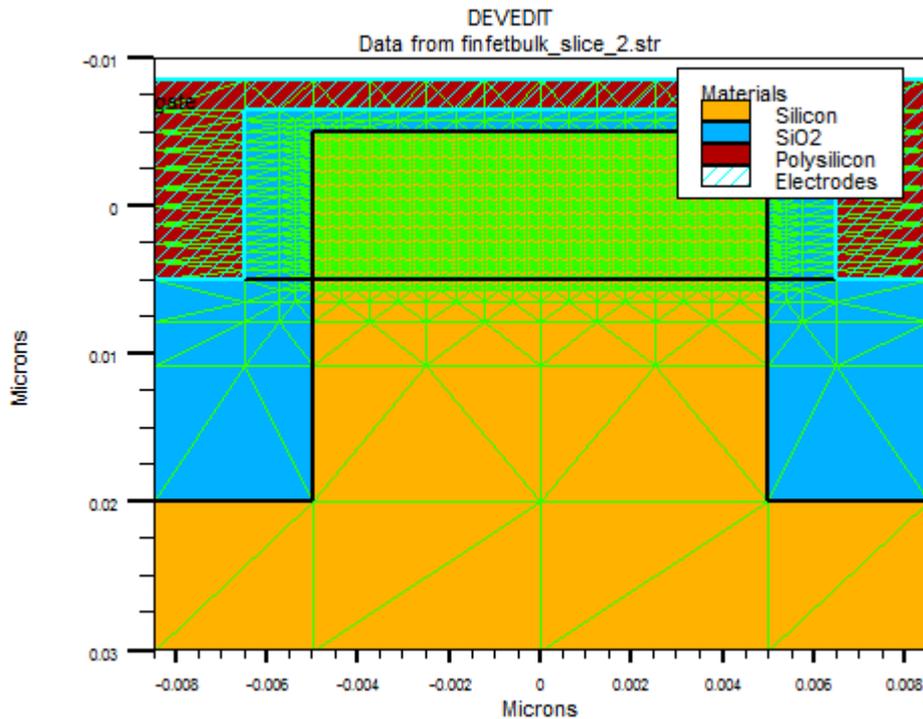


Figure III.23 : Mise en évidence du maillage de la structure Tri-Gate FINFET sur Bulk simulée.

Dans cette partie le transistor a les mêmes grandeurs géométriques mais est conçu sur bulk qui remplace le substrat de type SiO₂ utilisé auparavant. On note en fait que cette seconde structure bien que plus cher présente certains avantages du point de vu dissipation de chaleur. On rappelle aussi que les mêmes conditions de simulations ont été utilisées ce qui permettra en fait de faire une étude comparatives du point de vu résultats.

Les résultats de simulations obtenus sont donc présentés dans ce qui suit.

III.8.1. Caractéristique de transfert I_{DS}-V_{GS}

La figure qui suit permet de mettre en évidence la caractéristique de transfert du dispositif conçu sur bulk de silicium.

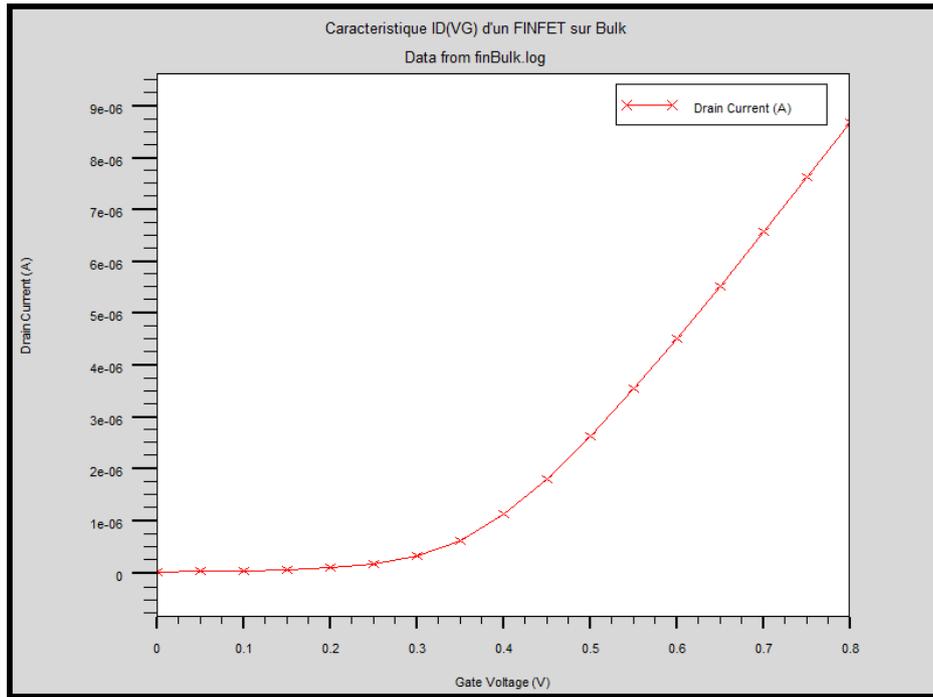


Figure III.24 : Caractéristique $I_{DS}-V_{GS}$ du transistor Tri-Gate sur Bulk.

On peut alors de cette caractéristique déduire la tension de seuil de ce dispositif et qui est de 0.29

III.8.2. Caractéristique de sortie $I_{DS}-V_{DS}$

La figure III.25 représente la variation du courant du drain I_{DS} en fonction de la tension V_{DS} à différente tension de grille V_{GS} .

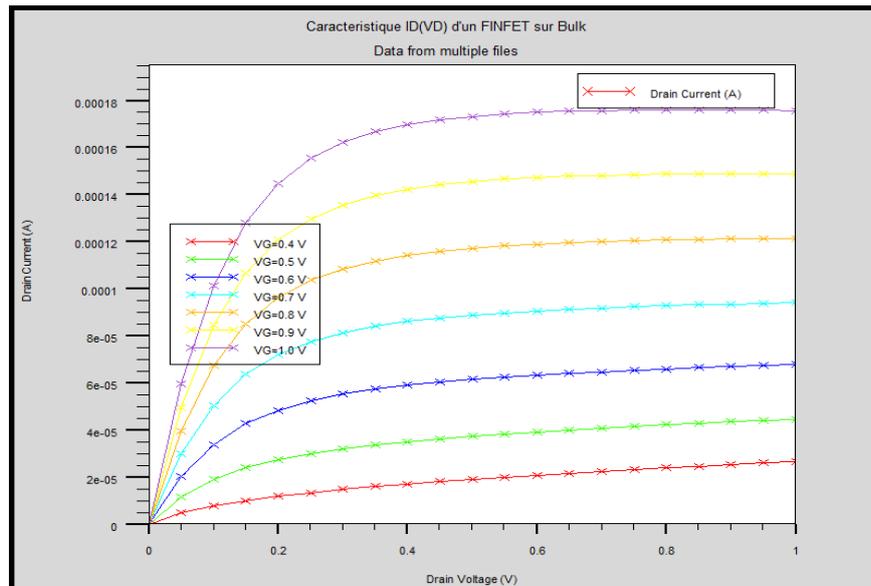


Figure III. 25 : Caractéristique $I_{DS}-V_{DS}$ du transistor triple grille sur Bulk.

Cette caractéristique mais en évidence le bon fonctionnement du transistor dans toutes les régions de fonctionnement. On remarque alors que le courant dépend non seulement de la tension du drain mais aussi de la tension de polarisation de la grille du transistor et croît avec l'accroissement de cette tension.

III.9. Effet de la variation de la hauteur du Fin « H_{fin} »

La hauteur du Fin est un paramètre très important dans les structures Tri gate FINFET quelles soient la nature du substrat. L'influence de la hauteur du FIN sur le courant du drain et la tension de seuil de notre structure conçu sur Bulkest représentée sur les figures III.26 et III.27

III.9.1. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{GS}$

L'effet de la variation de la hauteur du FIN sur la caractéristique de transfert est mis en évidence au niveau de la figure III.26.

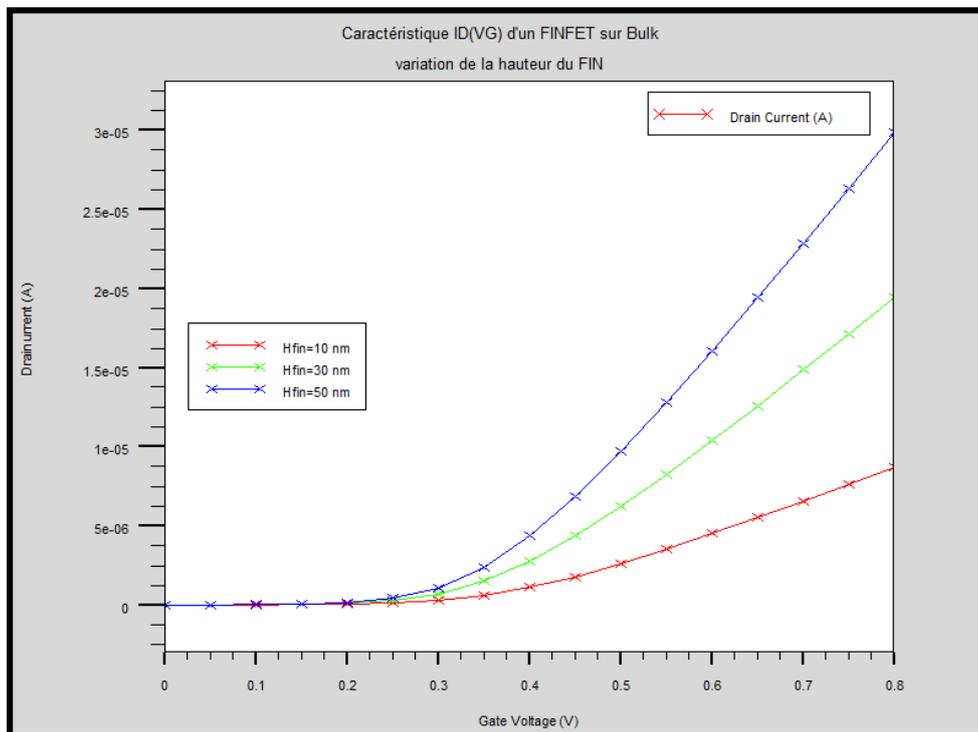


Figure III. 26:Caractéristique $I_{DS}-V_{GS}$ à différente valeur de H_{fin} du Tri-Gate sur Bulk.

On remarque aussi que la tension de seuil dépend aussi de la hauteur du FIN et est plus importante quand la hauteur du FIN diminue.

III.9.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}-V_{DS}$

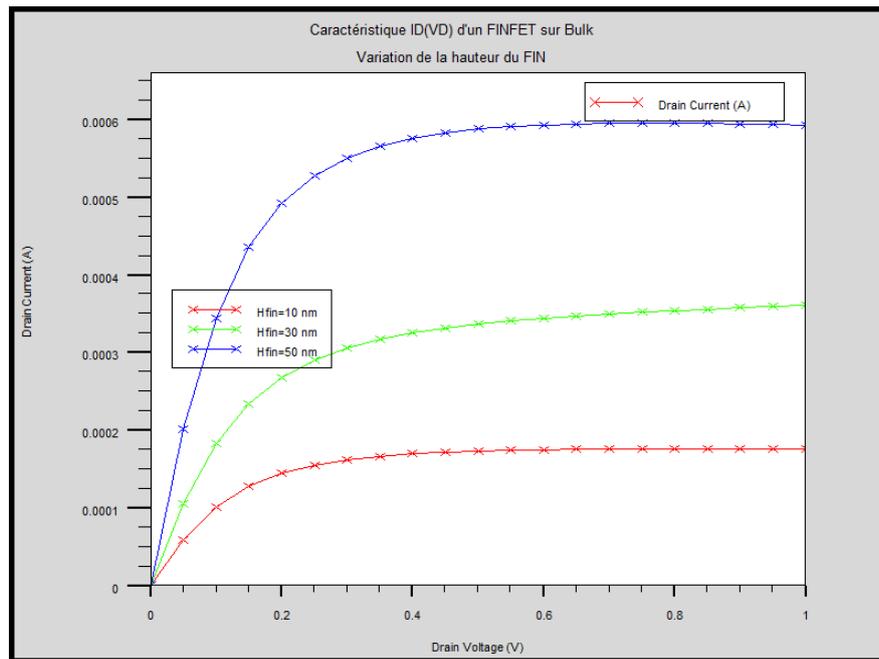


Figure III.27:Caractéristique $I_{DS}-V_{DS}$ à différente valeur de H_{fin} du Tri-Gate sur Bulk.

Le courant du drain du Tri-gate sur Bulk évolue de la même manière que le courant du SOI Tri_gate FINFET suite à la variation de la Hauteur du FIN. En effet ce courant augmente quand la hauteur du FIN augmente

III.10. Effet de la variation de la largeur du fin W_{fin}

Afin de mettre en évidence l'effet de la largeur du Fin sur le courant du drain, on a choisi différentes valeur de cette grandeur. Les résultats des simulations sont représentées au niveau des figures III.28 et III.29.

III.10.1. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{GS}$

La figure III.28 représente la caractéristique de transfert du FINFET triple grille avec différentes largeurs du Fin.

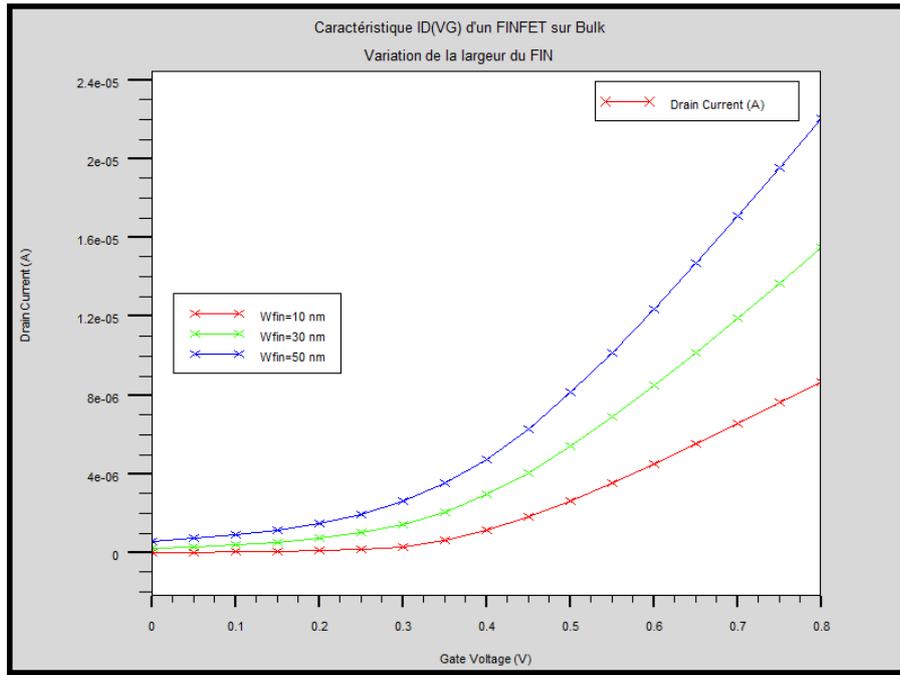


Figure III.28 : Caractéristique $I_{DS}-V_{GS}$ à différente valeur de W_{fin} du Tri-Gate sur Bulk.

On constate qu'une augmentation de la largeur du FIN entraîne une diminution de la tension de seuil accompagnée d'une augmentation de la pente.

III.10.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}-V_{DS}$

On examine dans ce qui suit l'effet de la variation de la hauteur du FIN sur le courant du drain du transistor

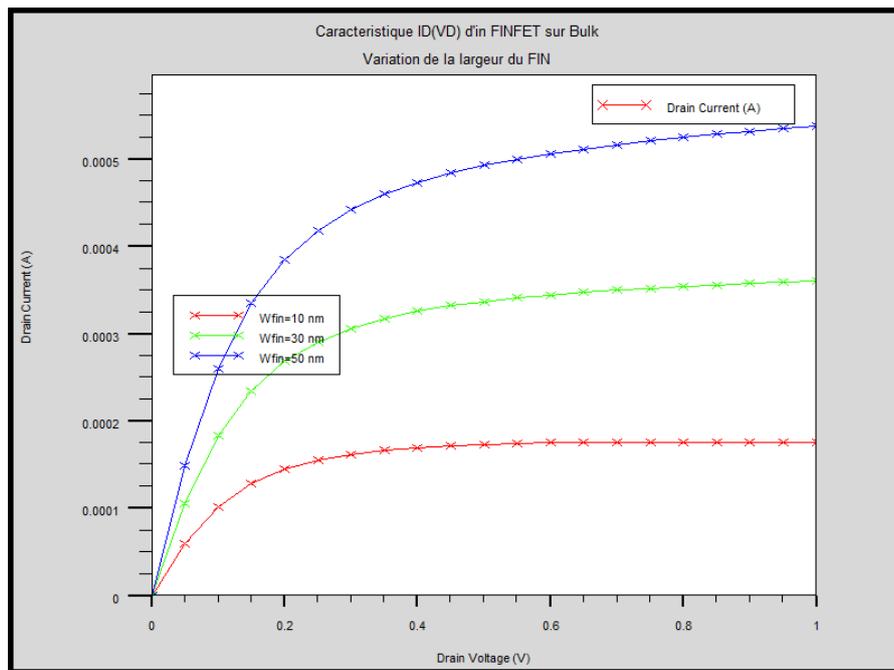


Figure III.29: Caractéristique $I_{DS}-V_{DS}$ à différente valeur de W_{fin} du Tri -Gate sur Bulk.

Sur la figure III.29 représentant cette fois ci la caractéristique de sortie de notre structure Tri Gate FINFET conçu sur bulk à différentes largeurs du FIN, on remarque que la largeur a aussi une influence directe sur le courant du drain. En effet ce courant augmente avec l'augmentation de la largeur du FIN.

III.11. Effet de la variation de la longueur de la longueur de canal L_c

De même que la hauteur et la largeur du Fin, la longueur de la grille est un paramètre très important dans la conception des transistors.

III.11.1. Effet de variation de la longueur du canal sur la caractéristique $I_{DS}-V_{GS}$

Les résultats de la simulation que nous avons obtenue pour la caractéristique $I_{DS}-V_{GS}$ sont représentés dans la figure III.30.

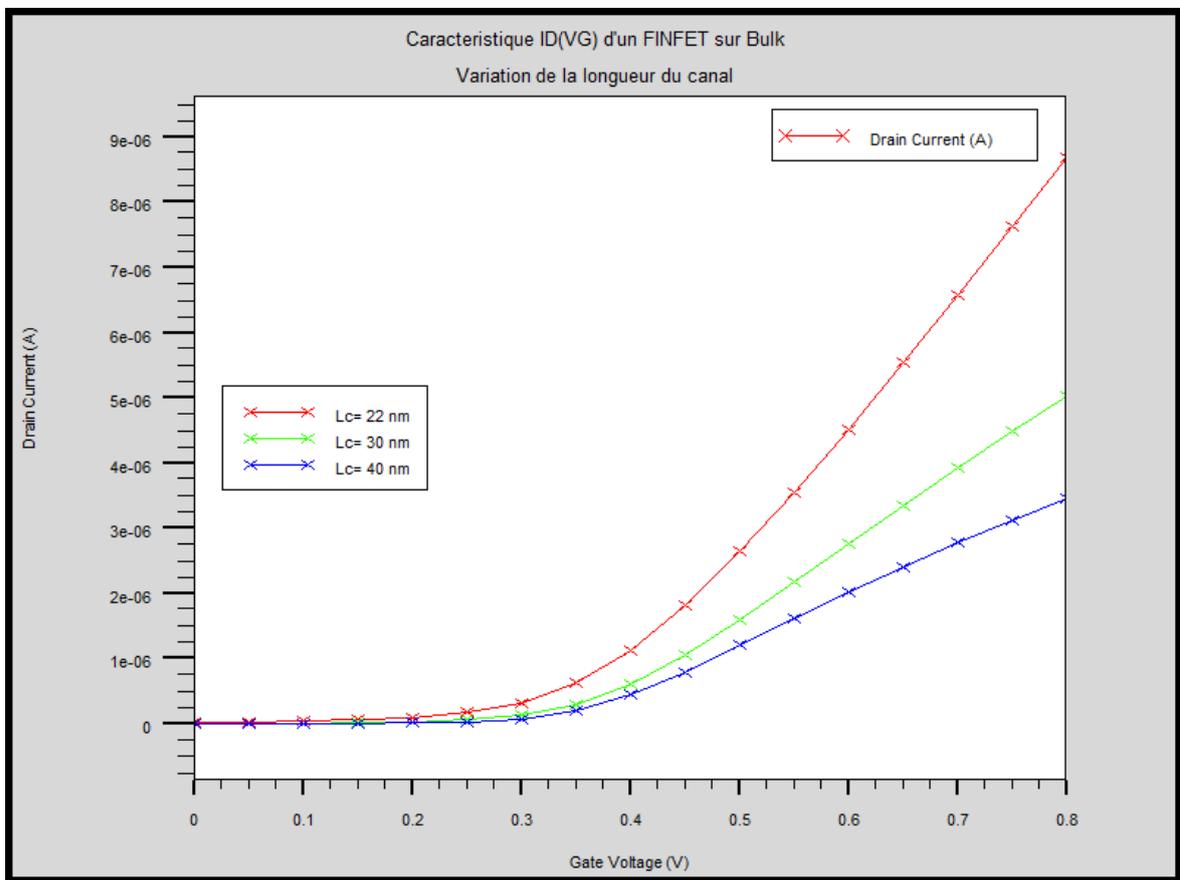


Figure III. 30 :Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du Tri-Gate sur Bulk.

On remarque que lorsque la longueur de la grille augmente il y a une augmentation de la tension de seuil et une diminution de la pente.

III.11.2. Effet de variation de la longueur de canal sur la caractéristique $I_{DS}-V_{DS}$

On remarque que d'après les résultats de simulation de la figure III.31 représentant la caractéristique $I_{DS}-V_{GS}$ que le courant du drain diminue avec l'augmentation de la longueur de grille du transistor Tri-Gate sur Bulk.

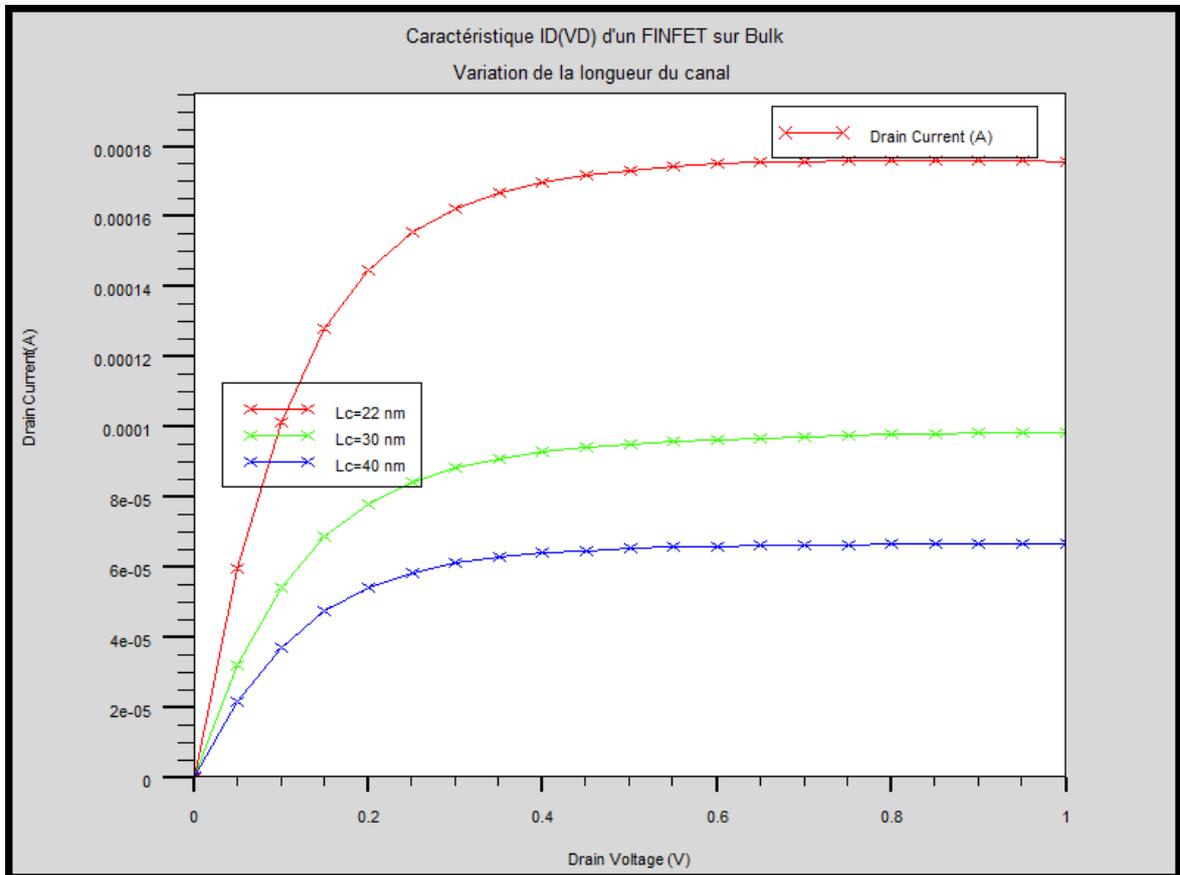


Figure III.31:Caractéristique $I_{DS}-V_{GS}$ à différente valeur de L_c du Tri-Gate sur Bulk.

On remarque en considérant la caractéristique $I_{DS}-V_{DS}$ représenté sur la figure III.31 que le courant du drain de notre transistor conçu sur bulk diminue avec l'augmentation de la longueur de grille qui est dans ce cas aussi égale à celle du canal de conduction du transistor.

III.12. Etude comparative entre un SOI FINFET et un Bulk FINFET

Cette partie est consacrée à l'étude comparative des deux structures simulée. Avant tout on rappelle que les premiers Tri-Gate FINFET furent conçus sur un substrat de type SOI. Les transistors obtenus sont alors des transistors complètement déplétés. Cependant il s'est avéré que ces structures sont non seulement coûteuses, mais présentent aussi des défauts en plus des problèmes de dissipation de chaleur. Afin de pallier la solution à consisté à concevoir ces transistors sur BULK tout en maintenant leurs performances.

Sur les figures qui suivent on a pu représenter simultanément les résultats obtenus pour les deux structures.

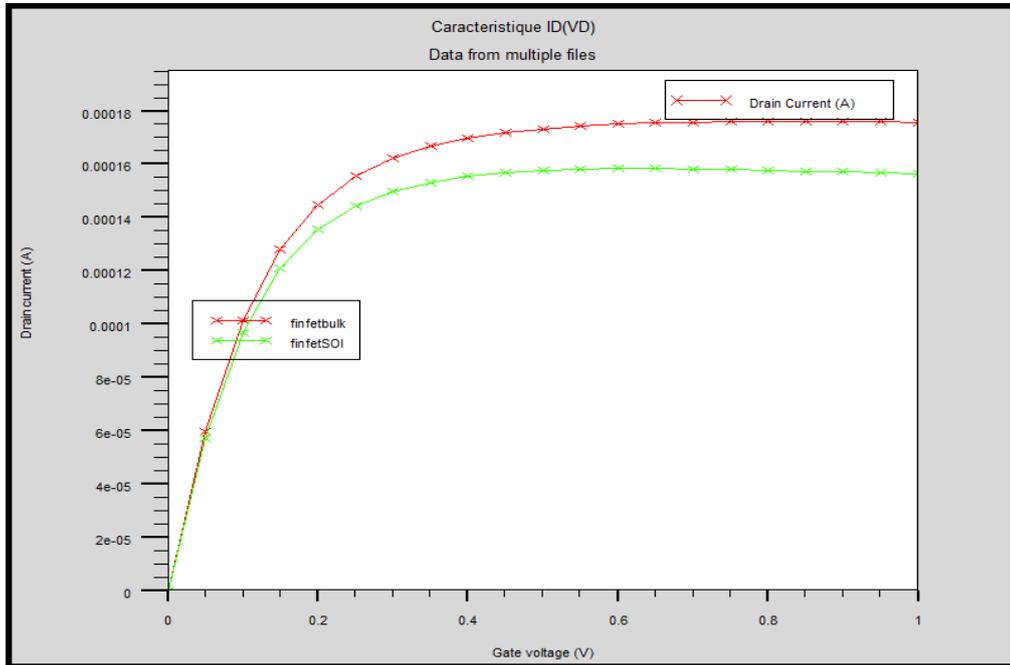


Figure III.32:Caractéristique $I_{DS}-V_{DS}$ pour un SOI et Bulk FINFET.

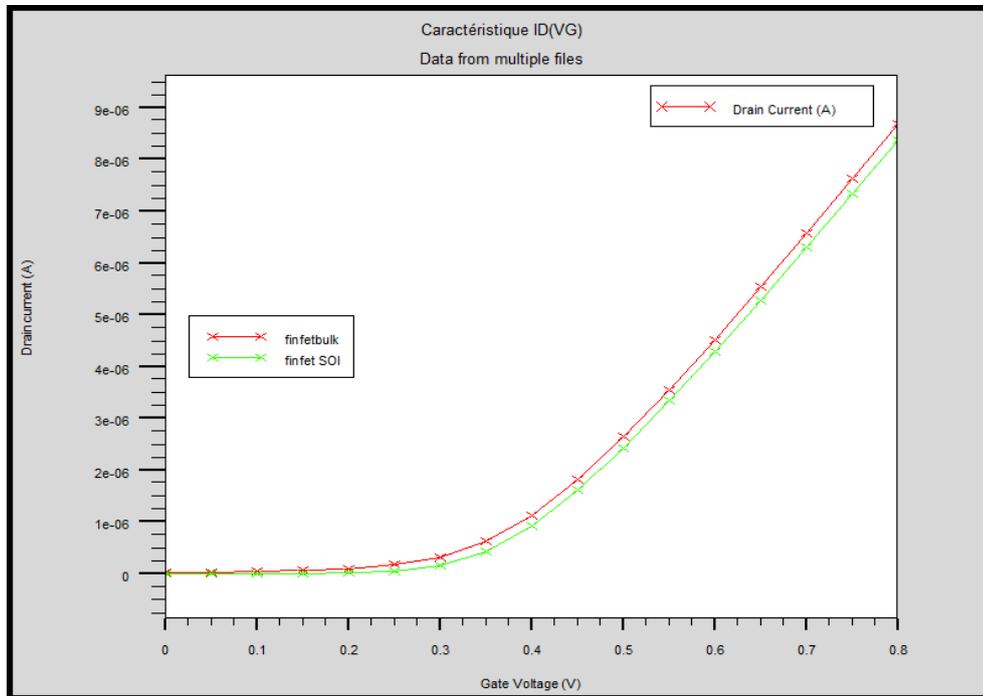


Figure III.33:Caractéristique $I_{DS}-V_{GS}$ pour un SOI et Bulk FINFET.

Les résultats ainsi obtenus montrent une légère variation du courant du drain et de la tension de seuil.

III.13. Conclusion

Le travail présenté dans ce chapitre résultats nous a permis tout d'abord de présenter les deux structures Tri-Gate FINFET que nous avons conçues et qui sont le SOI Tri-Gate FINFET et le FINFET sur Bulk. Nous avons présenté aussi dans ce chapitre quelques résultats de simulations que nous avons obtenus à l'aide du logiciel ATLAS et DevEdit de SILVACO, et qui nous ont permis d'examiner les effets de la variation des dimensions du FIN sur son courant de drain et sa tension de seuil. Les résultats de simulation que nous avons obtenus sont assez prometteurs pour des transistors nanométriques.

Conclusion général

L'évolution de la technologie MOS vers des transistors de plus en plus petits a vu apparaître certains effets néfastes appelés effets canaux courts ou short channel effects. La prise en compte de ces effets tel que l'effet du confinement quantique ou les effets des canaux courts dans ces dispositifs nanométrique a données naissances a de nouvelles architectures. Notre mémoire s'est inscrit dans ce contexte par l'étude et la modélisation de deux structures triple grille : TG-MOSFET.

Cette étude a fait l'objet de 3 chapitres:

Dans le chapitre 1 de ce manuscrit, nous avons commencés par la présentation du transistor MOSFET avec ses différentes configurations et ses différents modes de fonctionnement, ensuite nous avons présenté quelques phénomènes parasites qu'on peut rencontrer dans ce type de transistor dans le cadre de la miniaturisation.

Le chapitre 2, porte sur les solutions qui peuvent être apportés pour réduire voire même éliminer ces effets néfastes. Ces solutions consistent à développer de nouvelles architectures nanométriques. Nous nous somme intéressé plus précisément à l'une de ces structures MUGFET et qui est la structure FinFET et plus particulièrement à la structure Tri-Gate FINFET qui est une structure 3D. Nous avons par la suite énuméré quelques phénomènes de transports intervenant dans ce type de structure.

Dans le dernier chapitre, nous avons présenté les structures conçues et simulées que nous avons modélisées sous l'environnement SILVACO. Nous nous sommes alors intéressés à l'étude de l'influence de la variation des paramètres technologiques de ces transistors sur leur comportement électrique.

Nous avons pu aboutir au résultat suivant :

- La hauteur du Fin (H_{fin}) est un paramètre non négligeable dans la modélisation des FinFETs. L'augmentation de ce paramètre fait augmenter le courant du drain des deux structures.
- La largeur du Fin (W_{fin}) est aussi importante que sa hauteur. Dans ce cas la aussi le courant augmente proportionnellement avec l'augmentation de W_{fin} et ceci pour les deux structures.
- La variation de la longueur du canal L_c permet l'évaluation de la longueur adaptée à ce type de structure. Dans se cas l'augmentation de cette longueur s'accompagne d'une diminution du courant.

En conclusion nous pouvons dire que les résultats de simulation que nous avons obtenus lors de cette étude paraissent assez prometteurs.

Résumé

L'évolution nanométrique des dispositifs CMOS laisse apparaître certains effets qui empêchent le bon fonctionnement de ces dispositifs. L'une des principales solutions est orientée aujourd'hui vers les transistors MOSFET multigrilles. Parmi ces structures on trouve le transistor FinFET triple grille qui permettent de prendre en compte les effets quantiques et les effets canaux courts. Ce mémoire porte sur la présentation de deux structures Triple grille. Nous avons dans ce manuscrit fait d'abord une brève présentation du transistor MOSFET. Nous avons pu aussi présenter quelques effets indésirables liés à la miniaturisation. Nous avons par la suite présenté différentes architectures qui peuvent résoudre ces problèmes, puis quelques phénomènes de transport qui se produisent dans les transistors. Ce travail s'est finalisé par l'étude de deux structures nanométriques de type Tri Gate FINFET l'une sur SOI puis l'autre sur bulk. Nous avons alors examiné l'effet des variations de la géométrie du FIN sur le courant de drain et la tension de seuil des deux structures conçues à l'aide de l'outil de simulation SILVACO.

Mots clés : MOSFET, FINFET, TRIGATE MOSFET, modélisation, SILVACO-TCAD.

Abstract

The evolution of nanoscale CMOS devices reveals some effects which prevents the good operating of these devices. One of the main solutions is oriented now to multigate MOSFETs. Among these structures we found the Three Gate FinFET transistor that allows to take into account quantum effect and the short channel effect. This thesis focuses on the presentation of a two Three Gate structures. In this manuscript we have a brief presentation of the bulk MOSFET transistor. We could also have presented some effects associated with miniaturization. Then we presented different architecture that can solve these problems and some transport phenomena that occur in transistors. This work is completed by the study of two nanoscale structure of Three Gate FINFET one on SOI and other on Bulk. Then we examine the effect of geometrical variation of the FIN in drain current and threshold voltage of two structures designed using the SILVACO software.

Keywords : MOSFET, FINFET, TRIGATE MOSFET, modelisation, SILVACO-TCAD.

ملخص

التطور النانومتري لأجهزة CMOS يكشف عن بعض التأثيرات التي تمنع التشغيل الجيد لهذه الأجهزة. أحد من الحلول الرئيسية يتوجه حاليا نحو الترانزستور MOSFET multigrille. من بين هذه الهياكل نجد الترانزستور FinFET triple grille الذي يسمح بأخذ بعين آثار الكم و آثار القناة القصيرة. هذه المذكرة تتركز على تقديم هيكلين Triple grille. خلال هذه المذكرة قمنا بتقديم الترانزستور MOSFET و بعض الآثار السلبية المتعلقة بالتصغير. قمنا أيضا بعرض هندسات مختلفة تمكننا حل هذه المشاكل, و بعدها عرضنا بعض ظواهر النقل التي تحدث في الترانزستورات. اكتملت هذه المذكرة بدراسة نوعان من هيكل TRI GATE FINFET نانومتري احدها SOI والآخر Bulk. ثم قمنا بدراسة تأثير تغيير معالم بنية هذا الهيكل FIN على سلوك التيار و التوتر للهيكليين باستخدام البرنامج SILVACO

SILVACO-TCAD

MOSFET

MOSFET TRI GATE

FINFET

تصميم

كلمات مفاتيح
