



Mémoire De Magister En
Micro-électronique



Thème :

***Etude Et Simulation Des Courants De Fuites
Dans Les Transistors MOS A Canaux Courts***

Présentée par : **Mr ATTAR MOURAD**

Soutenue devant le jury :

Mr GHAF FOUR Kheir-Eddine

Professeur à l'université
Abou Bekr Belkaid .Tlemcen.

Président du jury.

Mr BOUAZZA Benyounes

Maitre de conférences à l'université
Abou Bekr Belkaid. Tlemcen.

Examineur.

Mr HAMDOUNE Abdelkader

Maitre de conférences à l'université
Abou Bekr Belkaid. Tlemcen.

Examineur.

Mme BOUAZZA (née GUEN) Ahlam

Maitre de conférences à l'université
Abou Bekr Belkaid. Tlemcen.

Encadreur.

Dédicace

A ma mère, mon père

A mes frères et sœurs

A mes amis

Remerciements

A l'issue de cette thèse, je souhaite tout d'abord remercier ALLAH, qui m'a donné la force et le courage afin de réunir mes études et ma vie professionnelle.

C'est avec une profonde sincérité que j'adresse toute ma reconnaissance et ma gratitude à mon directeur de thèse, Mme Ahlam BOUAZZA (née GUEN), Maître de conférences à l'université Abou Bekr Belkaid Tlemcen, avec qui j'ai eu plaisir à travailler, j'ai beaucoup appris à ses côtés, tant sur le plan scientifique qu'humain. Je tiens à la remercier pour la confiance qu'elle a su m'accorder en me proposant ce sujet de recherches et pour avoir contribué activement à la réalisation de ce projet.

Je remercie vivement Mr GHAFFOUR Kheir-Eddine, Professeur à l'université Abou Bekr Belkaid Tlemcen, pour l'intérêt qu'il a porté à cette étude et pour m'avoir fait l'honneur de présider le jury de ma thèse.

J'exprime toute ma reconnaissance à Mr BOUAZZA Benyounes, Maître de conférences à l'université Abou Bekr Belkaid Tlemcen et Mr HAMDOUNE Abdelkader, Maître de conférences à l'université Abou Bekr Belkaid Tlemcen, d'avoir consacré leur temps pour me faire l'honneur d'en être les examinateurs de ce mémoire.

Enfin, tous mes remerciements à ma famille qui m'a supporté durant ces années de thèse et pendant tout mon parcours d'étude, et mes amis qui m'ont aussi bien soutenu pour franchir cette étape de mes études.

Sans oublier de remercier tous ceux qui, de près ou de loin, ont participé pour la réalisation de ce travail.

Abstract

As CMOS technology scaling continues, subthreshold leakage current increases dramatically. A significant percentage of the total chip power is due to leakage sources, also known as static power. Accurately estimating static power in early stages of design is an important step for developing power efficient products. Leakage current is an important segment of total supply current, which is used as a means to identify defective chips. Leakage current value is determined by the sum of leakage currents of those transistors that can leak. Setting leakage current value too high or low will result in excessive shipment of defective chips or yield loss because of rejecting good parts, respectively. So it is important to analyse leakage current in circuits in order to reduce them. Reducing power dissipation is a design goal in devices since excessive power dissipation results in increased packaging and cooling costs as well as potential reliability problems. Our purpose in this work consists in highlighting certain leakage currents by SPICE and MATLAB simulation in submicron structures MOSFET such as the short channel transistor: the BSIM4. We did focus mainly in this study on sub-threshold, I_{GIDL} , I_{DIBL} , I_{OFF} , I_{ON} currents.

Key words: MOSFET, GIDL, DIBL, I_{OFF} , I_{ON} , Leakage Current, Sub threshold current, Electrical simulation.

Résumé

Le courant de fuite sous seuil augmente considérablement avec des technologies de plus en plus évoluées. Un pourcentage considérable de la puissance totale des puces conçues est dû aux courants de fuite, également connue sous le nom de puissance statique. Estimer exactement la puissance statique aux premières étapes de toute conception est une étape importante pour développer des produits à rendement en puissance efficace. Le courant de fuite est une partie importante du courant total. Ce courant de fuite est employé comme référence pour la détermination des puces défectueuses. Il est déterminé par la somme des courants de fuite du composant et plus exactement des transistors élémentaires le constituant.

Une valeur de courant de fuite choisie adéquatement retenue en référence, permettra d'éliminer les puces défectueuses et d'éviter de se débarrasser de celles non défectueuses. La dissipation excessive de puissance a pour conséquence des coûts d'encapsulation et de refroidissement accrus aussi bien que des problèmes de fiabilité.

Le but de ce travail est de mettre en évidence certains courants de fuite dans des transistors à canaux courts tel que BSIM4 employant les logiciels de simulation électrique SPICE et MATLAB. Nous nous sommes intéressés principalement dans cette étude aux courants : sous seuil, I_{GIDL} , I_{DIBL} , I_{OFF} , I_{ON} .

Mots Clé : MOSFET, DIBL, GIDL, I_{ON} , I_{OFF} , Courant De Fuite, Courant Sous Seuil, Simulation électrique.

ملخص

إن تيار التسرب دون عتبة يزيد بشكل كبير مع تقدم التكنولوجيا الحالية. و نسبة كبيرة من طاقة الرقاقات المصممة الإجمالية سببها تيارات التسرب، المعروفة أيضا باسم الطاقة الثابتة. إن التقدير الدقيق للطاقة الثابتة في المراحل الأولى من أي تصميم هو خطوة هامة في تطوير منتجات ذات مردود طاقتي فعال. تيار التسرب جزء مهم من التيار الكلي. هذا التيار

المتسرب يستخدم كمرجع لتحديد الرقائق الغير صالحة. ويمكن تعريفه بمجموع تيارات التسرب وبالأحرى في الترانزستورات التي تعتبر المكونات الجزئية للرقاقة. ان قيمة مناسبة لتيار التسرب مختارة كمرجع، تسمح بالقضاء على الرقاقت الفاسدة والحفاظ على تلك الجيدة. كما أن تبديد الطاقة المفرط ينتج تكاليف مبهضة للتغليف و التبريد فضلا عن مشاكل المردود. والهدف من هذا العمل هو تسليط الضوء على البعض من تيارات التسرب في الترانزستورات ذات قناة قصيرة مثل MISB4ال

باستخدام برنامجي المحاكاة الكهربائية SPICE و MATLAB.

وقد اولينا الاهتمام بشكل رئيسي في هذه الدراسة لتيارات : تحت عتبة ، I_{ON} , I_{OFF} , I_{GIDL} , I_{DIBL}

كلمات المفتاح: I_{ON} , I_{OFF} , I_{GIDL} , I_{DIBL} , MOSFET , تيار التسرب , تيار تحت العتبة , المحاكاة الكهربائية.

Table des matières

LISTE DES FIGURES ET TABLEAUX-----	7
TABLE DES SYMBOLES-----	10
INTRODUCTION GENERALE -----	13
CHAPITRE - I -----	17
Etude Theorique Des Transistors MOSFET	
I. Historique-----	18
II. Constitution -----	18
II.1. Réalisation physique -----	18
II.2. Différents types de structures de base -----	20
III.3. Symboles des différentes structures de base -----	21
III.Principe de fonctionnement-----	23
III.1. Sans polarisation de grille par rapport au substrat-----	23
III.2. La grille est polarisée positivement par rapport au substrat -----	24
III.3. La polarisation de la grille atteint la tension de seuil : $V_{GS} > V_{th}$ -----	25
III.4. Caractéristique $I_{DS}(V_{DS})$ d'un transistor NMOS à enrichissement de canal : -----	26
III.4.1. La tension drain-source V_{DS} est faible -----	26
III.4.2. La tension de grille $V_{GS} > V_{th}$ et la tension drain-source V_{DS} non négligeable -----	27
III.5. Caractéristique de sortie du transistor $I_{DS}(V_{DS}, V_{GS})$ -----	29
IV. Analyse physique de la structure métal/oxyde/semi-conducteur idéale -----	29
IV.1. Diagramme d'énergie à l'équilibre thermodynamique -----	29
IV.2. Régime d'accumulation -----	31
IV.3. Régime de désertion -----	33
IV.4. Régime de faible inversion -----	33
IV.5. Régime de forte inversion-----	34
IV.6. Capacité équivalente de la structure MOS :-----	35
V. Caractéristique d'un transistor MOS idéal -----	37
V.1. Expression de la charge dans le canal-----	37
V.2. Calcul du courant -----	39
VI. Modèle petit signal du MOSFET en saturation sans effet de substrat du MOS-----	42
VI.1. Capacités du MOS -----	43
VI.2. Modèles du MOS Utilisés en simulation -----	44

VI.2.1. Régime d'inversion du transistor MOS	44
VII. Effet des canaux courts dans les transistors MOSFET	45
VII.1. Définition	45
VII.2. Impact sur la tension de seuil	45
VII.3. Effets d'ionisation par impact	48
VII.4. Effets thermiques	50
VII.5. Les avantages des transistors MOS :	51
VIII. Conclusion	52
CHAPITRE - II -	53
Etude Des Courants De Fuites Dans Les Transistors MOSFET	
I. Etude du model BSIM4	54
I.1. Introduction	54
I.2. Model de diélectrique de grille	56
I.3. Modèles de longueur et largeur effectives du canal	57
I.4. Potentiel de surface et profondeur de déplétion :	59
II. Les courants de fuites dans les MOSFETS	61
II.1. Introduction	61
II.2. Courants de fuite du MOSFET	62
II.3. Courants sous seuil	64
II.3.1. Effet de faible inversion	64
II.3.2. Abaissement de la barrière de potentiel par le drain (DIBL : Drain Induced Barrier Lowering)	64
II.4. Effet De substrat	68
II.5. Effet de longueur du canal	68
II.6. Courant de fuite du drain induit par la grille (GIDL)	68
II.7. Courant de polarisation inverse de la jonction p-n	69
II.8. Courant de conduction sous le seuil	69
II.9. Le courant tunnel à travers l'oxyde de grille I_{OX}	70
II.10. Le courant de grille dû à l'injection de porteurs chauds	71
II.11. Courant de perforation (Channel punch-through leakage)	71
III. Paramètres des quels dépendent les courants de fuite	71
IV. Conclusion	72

CHAPITRE - III -	73
Présentation Des Résultats Et Interprétation	
I. Introduction	74
II. Caractéristiques I-V du model BSIM4	76
II.1. Simulation des courants de fuite d'une structure MOSFET	77
II.2. Analyse des effets des canaux courts sur la tension de seuil du MOSFET	90
III. Conclusion	92
CONCLUSION GENERALE	93
REFERENCES BIBLIOGRAPHIQUES	96
ANNEXES	99

Liste Des Figures

Chapitre -I- : Etude théorique des transistors MOSFET

Figure I.1 : Coupe schématique d'un transistor MOS à canal n. Au repos -----	19
Figure I.2 : Coupe schématique d'un transistor NMOS normalement conducteur -----	20
Figure I.3 : Coupes et représentations symboliques des différents types de transistors MOS----	22
Figure I.4 : Transistor NMOS à l'équilibre thermodynamique -----	23
Figure I.5 : Création de la zone de charge d'espace sous la grille -----	24
Figure I.6 : Création du canal lorsque la tension de grille devient supérieure ou égale à la tension de seuil-----	25
Figure I.7 : La variation de la résistance interne du transistor vue entre le drain et la source	26
Figure I.8 : Modification de la forme du canal d'électron-----	27
Figure I.9 : Evolution de la caractéristique $I_{DS}(V_{GS})$ -----	27
Figure I.10 : Déplacement du point de pincement-----	28
Figure I.11 : Caractéristique de sortie du transistor MOS -----	29
Figure I.12 : Diagrammes d'énergie à l'équilibre thermodynamique des différents matériaux de la structure MOS-----	30
Figure I.13 : variation du potentiel à travers la structure-----	31
Figure I.14 : Diagramme de bandes d'énergies pour un MOSFET à Canal n à désertion -----	32
Figure I.15 : Représentation de la distribution des charges dans la structure en régime de forte inversion -----	35
Figure I.16 : Variation de la capacité normalisée en fonction de la tension de grille -----	36
Figure I.17 : Représentation schématique de la structure MOS en régime de conduction non saturée-----	38
Figure I.18 : Caractéristique de transfert typique d'un transistor NMOS intégré -----	41
Figure I.19 : Réseau de Caractéristiques $I(V)$ d'un MOSFET idéal. -----	41
Figure I.20 Schéma équivalent du MOS en régime petits signaux sans effet de substrat -----	42
Figure I.21 : Capacités de terminaison du MOS -----	43
Figure I.22 : Distribution de la charge de désertion contrôlée par la grille -----	45
Figure I.23 : Caractéristiques I_D/V_D d'un transistor MOS à canal court -----	46
Figure I.24 : Caractéristiques I_D/V_G du transistor MOS en régime sous seuilPour différentes longueurs de canal -----	47

Figure I.25 : Evolution de la tension de seuil en fonction de la longueur du canal -----48
 Figure I.26 : schématisation du phénomène d'ionisation par impact dans un transistor à canal N
 -----49

Chapitre -II- : Etude des courants de fuites dans les transistors MOSFET

Figure II.1 :Nombre de paramètres DC du modèle en fonction de l'année de l'introduction du
 modèle -----54
 Figure II.2 : Caractéristique I_{DS} en fonction de V_{DS} du modèle BSIM4-----55
 Figure II.3: Illustration des options pour les modèles du diélectrique de grille du BSIM4 -----57
 Figure II.4: Représentation de la longueur effective du canal -----58
 Figure II.5: Définition de X_L , X_W , dW , W_{eff} et L_{eff} -----58
 Figure II.6 : définition de $W_{dessinées}$ et NF -----59
 Figure II.7: Illustration de la profondeur de déplétion X_{dep} -----61
 Figure II.8 : Illustration des différents courants de fuite présents dans un transistor fortement
 sous-micronique. -----63
 Figure II.9: Profile du potentiel de surface pour des transistors n-MOS-----65
 Figure II.10: Evolution du potentiel de surface pour des dispositifs de différentes longueurs de
 canal. -----66
 Figure II.11: Courbes de transfert pour des tensions de drain de 0.1V(Régime linéaire) et 1.5V
 (régime de saturation).-----67
 Figure II.12: Caractéristique $I_D(V_{GS})$ d'un transistor NMOS montrant le GIDL dans la
 technologie 0,13 μm .-----68
 Figure II.13 : Influence de la tension de seuil sur les courants de fuite d'un transistor NMOS --69
 Figure II.14 : Extension des zone de déplétion dans le substrat conduisant au
 phénomène de punch-through-----71

Chapitre -III- : Présentation des résultats et interprétation

Figure III.1 : Caractéristiques théorique $I_{DS}-V_{GS}$ à $V_{BS}=0$ du BSIM4 -----75
 Figure III.2 : Schéma équivalent DC implémenté par le BSIM4 -----75
 Figure III.3 : Schéma du circuit permettant la mise en évidence des courants de fuite du
 MOSFET -----77
 Figure III.4 : Caractéristique I_{DS} en fonction de V_{DS} à V_{GS} constant et $V_{BS}=0V$ -----78
 Figure III.5 : Mise en évidence de la zone d'ionisation par impact. -----79

<u>Figure III.6 :Caractéristique de transfert $I_{DS}-V_{GS}$,(a) échelle linéaire, (b) échelle logarithmique</u> -----	79
<u>Figure III.7.A : Caractéristiques $I_{DS}-V_{GS}$ à V_{BS} variable du BSIM4 en technologie 50nm (Environnement MATLAB)</u> -----	80
<u>Figure III.7.B : Caractéristiques $I_{DS}-V_{GS}$ à V_{BS} variable du BSIM4 en technologie 50nm (Environnement SPICE)</u> -----	81
<u>Figure III.8 : Caractéristiques $I_{DS}-V_{GS}$ à V_{BS} variable du BSIM4 en technologie 50nm ($W/L=0.5/0.05$, $V_{DS}=1V$),(a) échelle linéaire, (b) échelle logarithmique</u> -----	82
<u>Figure III.9 : Mise en évidence des courants de fuite I_{OFF}, I_{GIDL} du BSIM4 en technologie 50nm ($W/L=0.5/0.05$, (a) : $V_{DS}=1.2V$, (b) : $V_{DS}=0.5V$, (c) technologie 65nm)</u> -----	84
<u>Figure III.10 : Influence de la température sur le courant de fuite I_{OFF}.</u> -----	85
<u>Figure III.11 : Invariance du courant I_{GIDL} avec la température.</u> -----	86
<u>Figure III.12 : Caractéristique $\log I_{DS}(V_{GS})$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF}</u> -----	87
<u>Figure III.13 : Caractéristique $\log I_{DS}(V_{GS})$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF} la technologie CMOS 50nm Pour une longueur variable et une largeur constante =50n.</u> -----	88
<u>Figure III.14 : Caractéristique $\log I_{DS}(V_{GS})$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF} la technologie CMOS 50nm Pour une longueur constante=50n et une largeur variable</u> -----	89
<u>Figure III.15 : impact des effets des canaux courts sur la tension de seuil du transistor</u> -----	90
<u>Figure III.16 : variation de la tension de seuil en fonction de la longueur du canal</u> -----	91

Liste Des Tableaux

<u>Tableau I.1 : les valeurs de capacités de terminaison en fonction des capacités intrinsèques pour chaque zone de fonctionnement du MOS</u> -----	44
<u>Tableau II.1 : Paramètres influençant les courants de fuite</u> -----	72

TABLE DES SYMBOLES

BSIM: Berkeley Short-Channel IGFET Model.

BC : Bande de conduction.

BV : Bande de valence.

CMOS: Complementary Metal Oxyde Semiconductor.

CLM : Channel-length modulation.

C_{ox} : La capacité de l'isolant (Oxyde) par unité de surface.

C_{ZCE} : La capacité surfacique.

C_{gb} : Capacité grille-Substrat.

C_{gd} : Capacité grille-drain.

C_{gs} : Capacité grille-source.

C_{db} : Capacité grille-Substrat.

C_{sb} : Capacité grille-drain.

C_j : La capacité zone de déplétion.

C_{oxeff} : La capacité effective d'oxyde de grille.

DIBL: Drain Induced Barrier Lowering.

DITS : Drain-induced threshold shift.

DTOX : La différence l'épaisseur électrique de grille et l'épaisseur physique.

E_C : Energie du niveau le plus bas de la bande de conduction.

E_V : Energie du niveau le plus haut de la bande de conduction.

E_F : Niveau de fermi du semi-conducteur.

E_{F_m} : Niveau de fermi du métal.

E_i : La position du niveau de fermi du semi-conducteur intrinsèque.

E_{ox} : Le champ à l'interface isolant semi-conducteur.

E_{eff} : Le champ effectif.

g : La conductance du canal.

K : La constante de Boltzmann. ($K=1.38 \times 10^{-23} \text{ J.K}^{-1}$)

L : La Longueur de canal dessiné.

L_{eff} : La longueur effective du canal.

l_t : La longueur caractéristique.

MOS: Métal Oxyde Semi-conducteur.

MOSFET: (Metal Oxyde Semiconductor Field Effect Transistor).

NSD: la concentration des dopants source/drain.

NULD : non-uniforme latéral doping.

N_a : La concentration des atomes accepteurs.

N_d : La concentration des atomes donneurs.

NV : Niveau de vide.

n : La densité des électrons.

n_i : La concentration intrinsèque des porteurs.

NMOS: transistor MOS à canal N.

PMOS: transistor MOS à canal P.

p : La densité des trous.

q : La valeur absolue de la charge de l'électron ($q = 1.602 \times 10^{-19} \text{ Cb}$)

Q_s : La densité d'électron par unité de surface dans le semi-conducteur.

Q_m : La densité de trous par unité de surface dans le métal.

Q_n : La charge dans la zone d'inversion.

Q_{SS} : La charge piégée dans ces états d'interfaces.

Q_{dep} : La charge de déplétion.

Q_B : La densité de charge en bulk.

RSCE : Reverse short-channel effect.

R_G : Résistance de la grille du MOSFET

R_B : Résistance du substrat.

R_{SD} : Résistance série ($R_{SD} = R_S + R_D$).

SCE: Short Channel Effect.

SCBE: Substrate current-induced body effect.

TMOS : Transistor MOS.

TOXE : Epaisseur électrique d'oxyde de grille.

TOXP : Epaisseur physique de l'oxyde de grille.

T : La température absolue.

T_{ox} : Epaisseur de l'oxyde.

V_{FB} : La tension de bandes plates (flat band).

V_T : La tension seuil.

V_{ox} : La différence de potentiel de part et d'autre de l'oxyde.

V_{dsat} : La tension de saturation du transistor MOSFET.

V_d : La tension du drain.

V_{DD} : Tension d'alimentation nominale.

V_G : Tension appliqué sur la grille.

V_{DS} : Tension Drain – Source.

V_{bi} : La barrière de potentiel de la jonction source/drain.

W_{total} : La largeur totale du transistor.

W_{eff} : La largeur effective du canal.

X_{dep} : Profondeur de déplétion.

XJ : La profondeur de la jonction source-drain.

χ : Affinité électronique du semi-conducteur.

ZTC : Zero Temperature Coefficient.

ZCE : zone de charge d'espaces.

ϕ_S : Travail de sortie du semi-conducteur.

ϕ_m : Travail de sortie du métal.

ϕ_{ms} : Différence des travaux de sortie du métal et du semi-conducteur.

ϵ_{ox} : La constante diélectrique d'oxyde.

ϵ_0 : Permittivité du vide ($= 8.85 \times 10^{-12} \text{ F.m}^{-1}$).

ϵ_i : Constante diélectrique de l'isolant.

Ψ_S : Le potentiel de surface.

σ : La conductivité du canal.

ρ : Densité de charges.

ΔE_d : L'énergie d'ionisation du niveau donneur.

μ_{eff} : Mobilité effective des électrons dans le canal.

γ : Le coefficient de polarisation du substrat.

INTRODUCTION GENERALE

Introduction générale

L'augmentation de la densité d'intégration et la rapidité des circuits croît sans cesse, ce fait a conduit au développement des dispositifs submicroniques. Chaque année, les chercheurs s'emploient à réduire la taille de ces dispositifs. L'épaisseur d'oxyde de grille minimum actuellement atteinte est de 20Å soit 7 couches atomiques. Toutefois, on ne peut réduire les dimensions sans prendre en compte certains effets particuliers propres aux dispositifs de petites tailles.

Dans ce travail, nous présentons, le transistor MOS (Métal Oxyde Semi-conducteur) sur silicium utilisés en architecture CMOS (Complementary MOS : MOS Complémentaires) qui est l'un des principaux artisans de cette progression continue et domine de façon écrasante le marché des semi-conducteurs. Depuis l'apparition du transistor MOSFET, des améliorations incessantes ont permis de l'intégrer au quotidien dans des applications de plus en plus complexes dans l'industrie. Plusieurs modèles se sont succédés avec la miniaturisation et la forte densité d'intégration respectant la loi de MOORE, on citera entre autre les modèles MM9, MM11, EKV et la famille BSIM tous considérés comme des transistors à canaux courts.

L'un des facteurs à prendre en compte lors de la conception des transistors est les courants de fuite dissipant de l'énergie inutilement et altérant le fonctionnement des transistors MOSFET à canaux courts, altérant par la même occasion le

fonctionnement des circuits. De ce fait, il devient alors indispensable, de considérer ces courants de fuites et les paramètres ayant une influence directe sur ces courants et pouvant les amplifier. Ce courant sous seuil de fuite augmente considérablement avec des technologies de plus en plus basses. Un pourcentage considérable de la puissance totale des puces conçues est dû aux courants de fuite, également connue sous le nom de puissance statique. Estimer exactement la puissance statique aux premières étapes de toute conception est une étape importante pour développer des produits à rendement en puissance efficace. Le courant de fuite est une partie importante du courant total de la puce (IDSQ). Ce courant de fuite est employé comme référence pour la détermination des puces défectueuses. Il est déterminé par la somme de courants de fuite de la puce et plus exactement des transistors la constituant. Une valeur de courant de fuite choisie adéquatement retenue en référence, permettra d'éliminer les puces défectueuses et d'éviter de se débarrasser des puces non défectueuses.

On se propose dans cette étude d'étudier généralement les courants de fuite des structures MOSFET à canaux courts et de les identifier dans un modèle de transistor à canaux courts : le BSIM4, en employant le logiciel SPICE. Le centre principal de cette étude sera les mécanismes de courant sous seuil, GIDL, DIBL, I_{FF} , I_{ON}

Notre travail est scindé en trois chapitres:

Le premier chapitre est destiné à l'étude théorique des transistors MOS où on rappelle les notions et les équations de bases pour les différentes structures et leurs fonctionnements. La première partie est dédiée à la description de la structure MOS idéal et son fonctionnement ainsi que les étapes de calculs de ses caractéristiques électriques, puis la structure MOS réelle et son fonctionnement en mode statique et en mode dynamique

Le deuxième chapitre est consacré à une étude théorique du modèle BSIM4, où on va présenter les principaux paramètres et équations qui le caractérisent, pour une simulation sur ordinateur, ainsi que les effets physiques pris en compte dans ce modèle. On présentera dans la deuxième partie de ce chapitre les différents courants de fuite, dissipant inutilement de la puissance dans les MOSFET altérant ainsi leur fonctionnement.

Le troisième chapitre sera consacré à la mise en évidence par simulation de certains courants de fuite dans le BSIM4 avec présentation des paramètres influençant ces courants de fuite.

Une conclusion générale permettra de faire la synthèse des résultats obtenus.

CHAPITRE - I -
ETUDE THEORIQUE DES TRANSISTORS
MOS

I. Historique

Le transistor MOSFET est apparu réellement au début des années 1960 bien que son principe ait été proposé dès le début du 20^{ème} siècle. C'est la maîtrise technologique des procédés appliqués au silicium à la place du germanium et plus particulièrement la mise en œuvre des oxydes minces de silicium qui a permis le développement fabuleux de la technologie CMOS.

II. Constitution

II.1. Réalisation physique

La structure Métal/Isolant/Semi-conducteur ou Métal/Oxyde/Semi-conducteur, que l'on nomme plus communément MOS, est basée sur la commande par une polarisation sur une électrode isolée de porteurs libres dans une zone peu dopée. La modulation du nombre de porteurs permet d'établir un canal de conduction entre deux zones conductrices correspondant à des zones semi-conductrices très dopées.

La Figure I.1 présente une coupe schématique de la structure MOS. L'électrode de commande s'appelle grille, les deux autres, source et drain. Cette terminologie sera justifiée dans la suite. La grille est constituée d'une couche isolante de très faible épaisseur, en général de l'oxyde de silicium, SiO₂, surmontée d'une couche très conductrice telle qu'un métal ou dans le cas des circuits intégrés du silicium très dopé. Les zones de semi-conducteur de source et drain sont recouvertes d'une couche métallique permettant d'établir un bon contact électrique avec les circuits extérieurs.

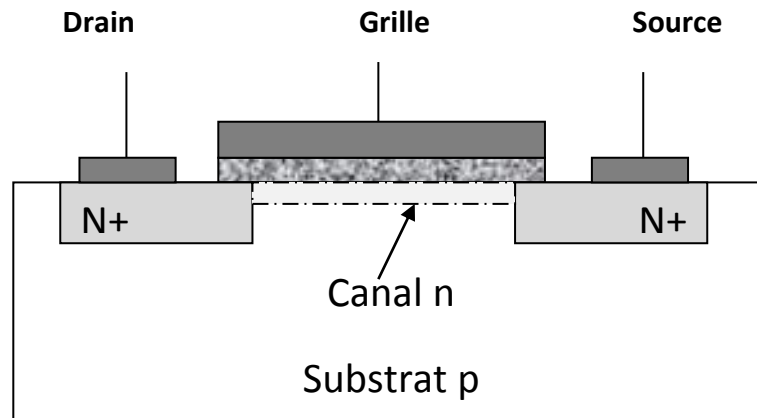


Figure I.1 : Coupe schématique d'un transistor MOS à canal n. Au repos

Pour que sans polarisation de grille le courant circulant entre les deux électrodes source et drain soit négligeable, la zone de canal à l'équilibre thermodynamique doit être de type opposé aux zones de source et drain afin d'avoir, quel que soit le sens de la polarisation entre ces deux zones, une jonction polarisée en inverse et qui est donc bloquante ; la structure est équivalente à deux diodes tête-bêche. Ainsi, si la source et le drain sont de type n comme représentées Figure I.1, alors la zone sous la grille isolée est de type p .

Par l'action d'une polarisation sur le contact de grille par rapport à la zone semi-conducteur, il se crée un champ électrique qui va agir sur la zone semi-conductrice sous l'oxyde (c.a.d par rapport au Bulk). Pour assurer une conduction, il faut dans l'exemple de la Figure I.1 que des électrons viennent prendre la place des trous. Il se crée dans ces conditions un canal induit de type n . L'application d'une polarisation positive sur la grille conduira à cet effet. Le transistor est nommé dans ces conditions MOS de type n ou plus simplement NMOS.

Puisque au repos le transistor de la Figure I.1 ne conduit pas, nous dirons qu'il est de type à enrichissement, *normally off* en anglais.

NB : un raisonnement similaire se fait pour des transistors PMOS. Dans ce cas le substrat, la source et le drain seront de type N, et le canal induit sera de type P.

II.2. Différents types de structures de base

Telle que nous l'avons décrite ci-dessus, la structure ne conduit pas entre la source et le drain au repos, c'est-à-dire lorsque aucune tension n'est appliquée sur la grille ; en pratique, il est possible de réaliser une couche très fine et suffisamment dopée juste sous l'isolant de même type que les zones de sources et de drain afin de permettre une conduction au repos : trois zones dopées du même type sont en série. Par contre, l'application d'un champ électrique peut « chasser » les électrons de ce canal existant au repos et donc peut entraîner le blocage de la conduction. La Figure I.2 montre la coupe schématique d'une telle structure. Ce transistor est alors appelé transistor *NMOS* à appauvrissement dit *normally on*, en anglais.

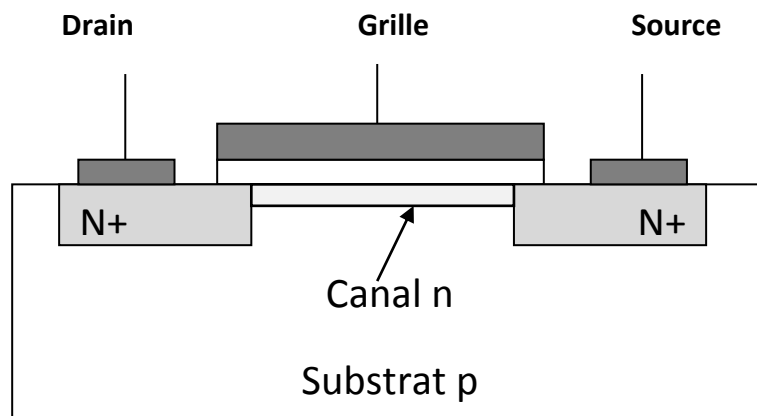


Figure I.2 : Coupe schématique d'un transistor NMOS normalement conducteur (à appauvrissement)

Les Figures I.1 et I.2 sont données pour des transistors à canal *n*. Nous pouvons remplacer par analogie le dopage de type *n* des zones de sources et de drain par un dopage de type *p*, et le dopage du substrat de type *p* par du

type n et éventuellement celui du canal en surface par du type p . Nous créons dans ce cas des transistors *PMOS* soit à enrichissement, soit à appauvrissement. Il existe donc 4 types de transistors *MOS*.

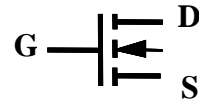
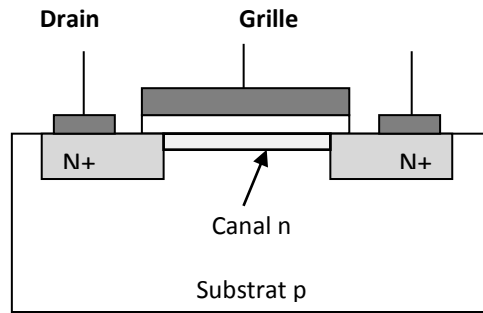
- Le NMOS à enrichissement de canal
- Le NMOS à appauvrissement de canal
- Le PMOS à enrichissement de canal
- Le PMOS à appauvrissement de canal

II.3. Symboles des différentes structures de base

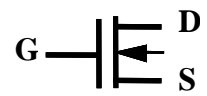
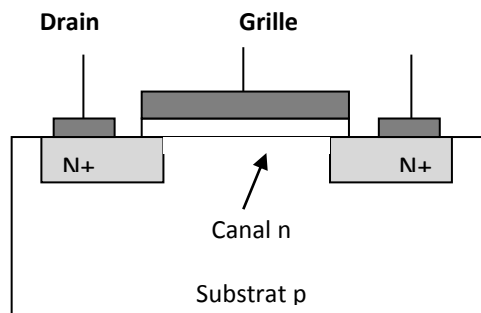
Les quatre types possibles de transistors sont représentés ci-dessous avec leurs symboles conventionnels. Il faut noter que pour des simplicités graphiques certains catalogues et ouvrages utilisent des formes légèrement différentes. La Figure I.3 recense ces structures.

De façon symbolique, une flèche apparaît entre le substrat et le canal. Cette flèche est orientée dans le sens passant de la jonction pn fictive substrat-canal. Par exemple, dans le cas du *NMOS* à enrichissement, la flèche est orientée dans le sens substrat-canal.

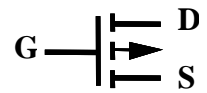
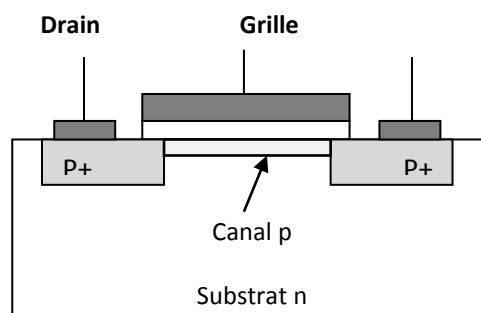
NMOS à appauvrissement



NMOS à enrichissement



PMOS à appauvrissement



PMOS à enrichissement

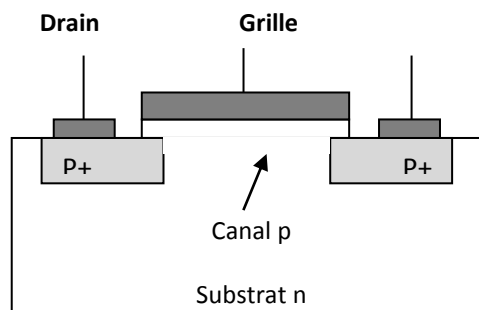


Figure I.3 : Coupes et représentations symboliques des différents types de transistors MOS.

III. Principe de fonctionnement

Le principe de fonctionnement des transistors à grille isolée est effectuée en prenant comme exemple un transistor NMOS à enrichissement de canal, et en considérant les couches idéales. Nous verrons plus loin en détail ce que cela signifie.

III.1. Sans polarisation de grille par rapport au substrat

Le circuit électrique entre la source et le drain est toujours constitué de deux diodes à jonction pn montées en tête-bêche. Quel que soit le signe d'une polarisation drain-source, automatiquement, l'une des deux diodes est polarisée en inverse ce qui signifie que le courant dit drain-source, I_{DS} peut être considéré nul *ou tout au moins négligeable*.

A l'équilibre thermodynamique, il existe en permanence une zone de charge d'espace entre le drain et la zone de substrat, ainsi qu'entre la source et le substrat (Figure I.4). Il faudra être attentif aux extensions de ces zones qui doivent bien sûr être inférieures à la distance entre les jonctions métallurgiques pour éviter de mettre en court-circuit les zones de source et de drain.

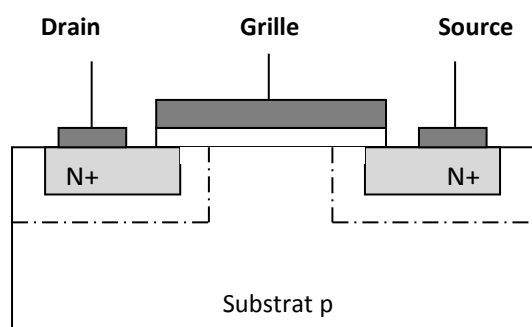


Figure I.4 : Transistor NMOS à l'équilibre thermodynamique.

NB: au niveau du substrat, la structure source-substrat-drain (*npn*) a l'aspect d'un transistor bipolaire. Puisqu'il n'y a aucune polarisation directe des jonctions source-substrat ou drain-substrat, le substrat qui pourrait jouer le rôle de la base n'est pas alimenté et ne provoque donc aucune injection ; il n'y a donc pas d'effet transistor bipolaire, dans ces conditions.

III.2. La grille est polarisée positivement par rapport au substrat

Le circuit électrique entre la source et le drain est toujours constitué de deux diodes à jonction. L'application d'un potentiel $V_G > 0$ sur la grille, entraîne la création d'un champ électrique orienté vers le substrat à la fois dans l'oxyde et dans le semi-conducteur. En général, la référence est le substrat et quand ce dernier est court-circuité à la source, la référence sera donc la source, si bien que nous noterons dans la suite $V_{GS} > 0$.

Ce champ dans le semi-conducteur a tendance à chasser les trous près de l'interface et donc à désertifier la zone sous la grille ceci est représenté en Figure I.5, puisque les ions accepteurs sont immobiles. Il se crée ainsi une zone de charge d'espace (ZCE) sous la grille qui prolonge les deux zones latérales préexistantes. Pour un champ électrique faible, la zone de charge d'espace correspond essentiellement à l'évacuation de trous qui sont majoritaires dans cette zone dopée de type *p*.

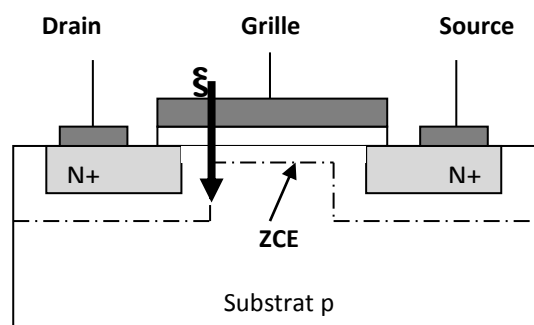


Figure I.5 : création de la zone de charge d'espace sous la grille par la présence d'un champ électrique.

Si le champ dans le semi-conducteur augmente intuitivement, celui-ci peut devenir suffisant pour attirer les porteurs minoritaires qui viennent s'agglutiner sous l'oxyde. Il se forme alors progressivement un canal d'électrons contre l'oxyde. La transition entre la source et le drain devient possible et un faible courant I_{DS} peut commencer à circuler dans le canal.

III.3. La polarisation de la grille atteint la tension de seuil : $V_{GS} > V_{TH}$

En augmentant V_{GS} , on augmente le champ électrique dans le substrat près de l'interface oxyde substrat et la concentration en électrons continue à augmenter. A l'interface oxyde-substrat, coté semi-conducteur, la concentration en électrons peut atteindre la valeur du dopage, c'est-à-dire la concentration en trous initiale du substrat : partie foncée du canal entre les deux zones dopées N^+ sur la Figure I.6.

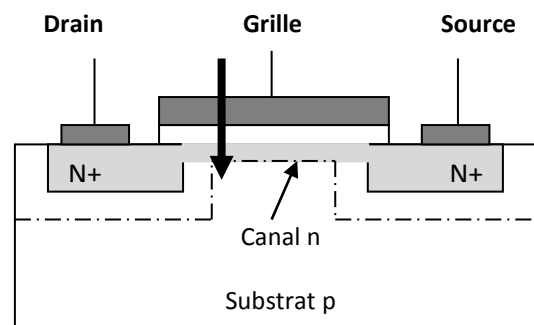


Figure I.6 : Création du canal lorsque la tension de grille devient supérieure ou égale à la tension de seuil.

Dans ces conditions, nous dirons qu'il y a une inversion de population de porteurs et que la tension de grille a atteint la tension de seuil du transistor (V_{TH}). Nous dirons aussi que le canal est créé.

La conduction entre source et le drain peut devenir importante et le transistor sera dit en *régime de conduction*. Ainsi, par application d'une tension positive sur la grille, il est possible de commander un courant entre la source et le drain.

En régime continu ou aux basses fréquences, le courant traversant la grille peut être considéré nul. Le dispositif est donc un *convertisseur tension-courant* (entrée-sortie) qui sera d'autant meilleur qu'une faible tension pilote un fort courant (transconductance élevée). La suite va consister à établir la forme de la caractéristique électrique de sortie en tenant compte des contraintes physiques et de l'influence des différents paramètres physiques et électriques.

III.4. Caractéristique $I_{DS}(V_{DS})$ d'un transistor NMOS à enrichissement de canal :

III.4.1. La tension drain-source V_{DS} est faible

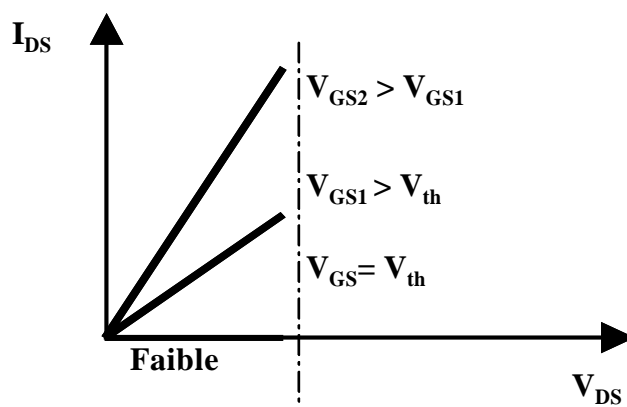


Figure I.7 : La variation de la résistance interne du transistor vue entre le drain et la source En fonction de V_{GS}

Dès que la tension de grille atteint une tension de seuil appelée (threshold voltage) V_{TH} , le canal d'électrons est formé. Lorsque la tension V_{GS} croit encore, la densité d'électrons dans la zone de canal augmente et la résistance équivalente du canal diminue. La pente I_{DS}/V_{GS} augmente. Tant que la tension V_{DS} est faible, elle ne modifie sensiblement pas cette distribution de concentration d'électrons. Le dispositif est dit *en régime ohmique* ; le transistor se comporte comme une résistance pilotée par la tension de grille (Figure I.7).

III.4.2. La tension de grille $V_{GS} > V_{TH}$ et la tension drain-source V_{DS} non négligeable

$V_{GS} > V_{TH}$ signifie que pour la tension V_{DS} très faible, le canal d'électrons existe en tout point compris entre les zones de drain et de source. Pour une valeur de V_{DS} positive et non négligeable, la différence de potentiel entre la grille et le substrat (dans la zone de canal) coté drain diminue.

Cela revient à diminuer le champ électrique dans la zone de canal sous la grille, coté drain. La concentration dans le canal, du coté drain, a alors tendance à diminuer (Figure I.8). La résistance du canal coté drain augmente puisque le nombre de porteurs diminue, ce qui signifie que la pente de la courbe $I_{DS}(V_{DS})$ diminue.

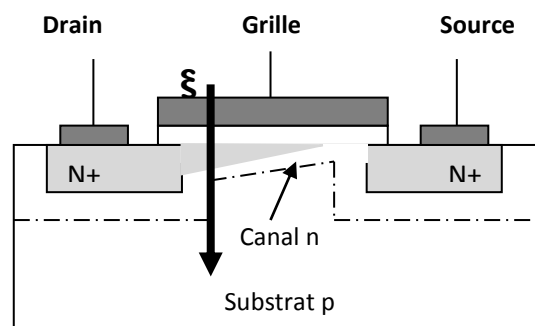


Figure I.8 : Modification de la forme du canal d'électron lorsque la tension de grille est supérieure à la tension de seuil et la tension de drain augmente. Le canal est beaucoup plus étroit du coté drain, jusqu'à ce qu'il disparaisse.

Nous dirons que nous sommes dans la zone de caractéristique intermédiaire, telle que représentée Figure I.9.

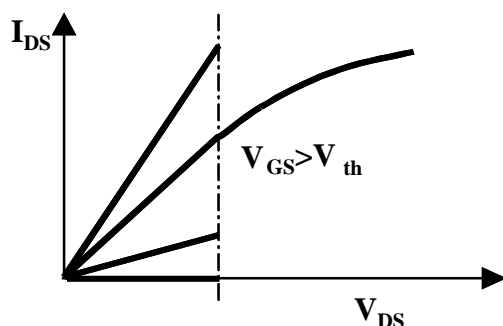


Figure I.9 : Evolution de la caractéristique $I_{DS}(V_{GS})$ lorsque la tension de drain augmente, pour une tension de grille supérieure à la tension de seuil.

La conduction est alors assurée par le champ électrique transverse tel que présenter dans la Figure I.10. Notons que ce champ peut être calculé par intégration de l'équation de Poisson dans ce domaine compris entre l'extrémité du canal et la zone de drain

Si la concentration de dopant dans la zone de canal n'est pas trop faible, l'extension de cette zone est faible et la variation relative de la longueur totale du canal est faible. Le canal existant n'est alors pas modifié sensiblement et sa résistance entre la source et le point de pincement est pratiquement constante. Le potentiel du point de pincement correspond à $V_{GS} - V_{TH}$ qui est constant pour une valeur donnée de V_{GS} . Ainsi, la différence de potentiel entre le point de pincement et la source est constante.

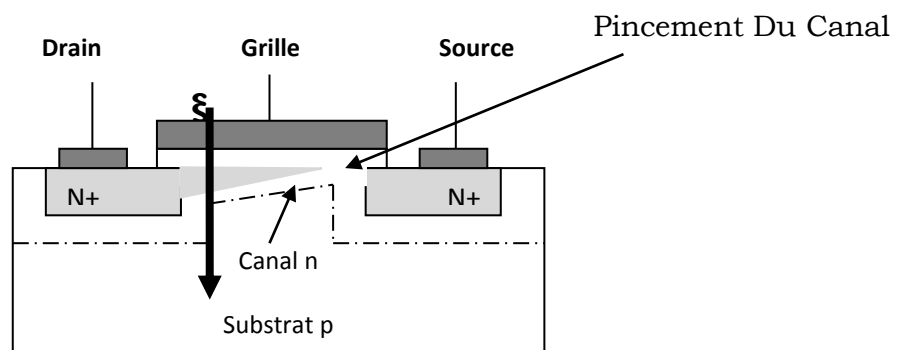


Figure I.10 : Déplacement du point de pincement lorsque la tension de drain rend la différence de potentiel entre grille et drain inférieure à la tension de seuil.

Différence de potentiel et résistance fixées, signifient que le courant traversant le canal, I_{DS} , est constant à V_{GS} donnée ($I = U/R$). La caractéristique électrique est alors *horizontale* et a l'allure de la Figure I.8. Nous dirons que le transistor est en *régime de saturation*. Pour un V_{GS} donné, la caractéristique de sortie comprend ainsi trois zones significatives :

- *le régime ohmique.*
- *le régime intermédiaire.*
- *le régime de saturation.*

Le point de saturation dépend de la valeur de V_{GS} puisqu'il apparaît pour $V_{GS} - V_{DS} = V_{TH}$. Cette valeur de V_{DS} s'appelle tension de saturation V_{DSsat} .

III.5. Caractéristique de sortie du transistor I_{DS} (V_{DS} , V_{GS})

La Figure I.8 a été tracée pour une tension appliquée sur la grille bien définie et supérieure à la tension de seuil. La modification de V_{GS} va :

- modifie la pente en régime ohmique,
- déplace la tension de saturation, V_{DSAT} ,
- modifie l'amplitude du courant de saturation.

On retrouve de la sorte un réseau de courbes représenté dans la Figure I.11, semblable à celui d'un transistor bipolaire mais la grandeur de contrôle est dans ce cas le potentiel de grille à la place du courant base.

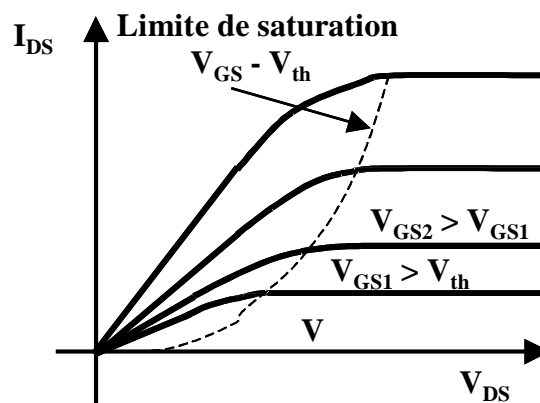


Figure I.11 : Caractéristique de sortie du transistor MOS

IV. Analyse physique de la structure métal/oxyde/semi-conducteur idéale :

IV.1. Diagramme d'énergie à l'équilibre thermodynamique

La structure Métal/Oxyde/Semi-conducteur est donc un sandwich de couches constituées de matériaux de nature différente: conducteur, isolant

et semi-conducteur. Nous allons pour simplifier l'étude considérer que ces matériaux sont homogènes et ont des travaux de sortie identiques.

En d'autres termes, l'écart énergétique entre le niveau du vide et le niveau de Fermi du métal est égal à celui du semi-conducteur dopé constituant le substrat. A l'équilibre thermodynamique, il n'y a donc pas de différence de potentiel et donc pas de champ électrique local entre le conducteur et le semi-conducteur. La Figure I.12 montre les diagrammes d'énergie avant et après contact entre les différents matériaux. Nous considérerons toujours un modèle unidimensionnel : l'orientation est perpendiculaire aux interfaces.

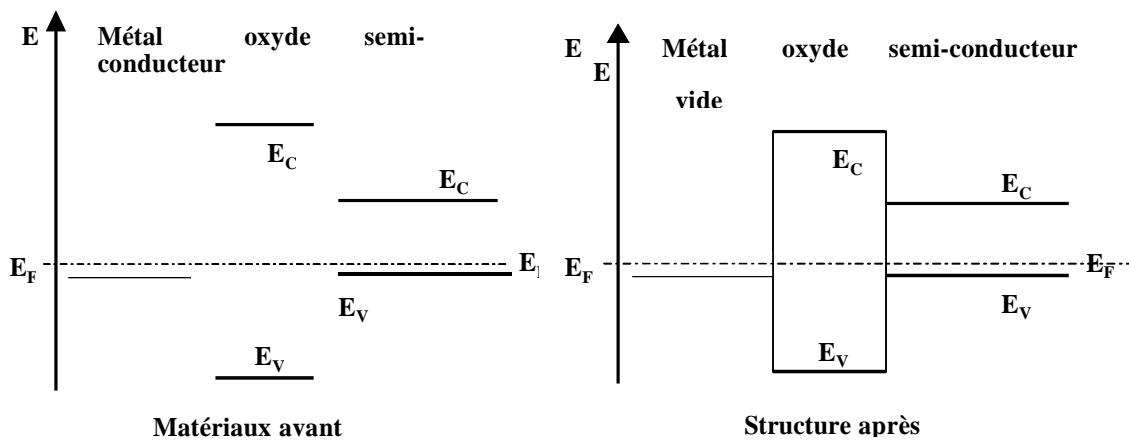


Figure I.12 : Diagrammes d'énergie à l'équilibre thermodynamique des différents matériaux de la structure MOS avant contact puis après contact.

***NB :** Le niveau de Fermi est dans la bande de conduction pour le métal. La largeur de la bande interdite de l'oxyde est très grande devant celle du semi-conducteur. Le semi-conducteur est dopé p dans cet exemple, le niveau de Fermi se trouve donc proche de la bande de valence.*

A l'équilibre thermodynamique, le métal et le semi-conducteur sont au même potentiel, les niveaux de Fermi sont donc alignés. Nous allons prendre comme potentiel de référence le potentiel du semi-conducteur loin de l'interface oxyde/semi-conducteur.

IV.2. Régime d'accumulation

Pour ce régime, une tension est appliquée sur le métal par rapport au semi-conducteur qui correspond à la tension de grille appliquée par rapport au substrat. La chute de potentiel va se répartir entre l'oxyde et le semi-conducteur près de l'interface. L'oxyde étant supposé idéal, il n'existe aucune charge à l'intérieur, ni statiques, ni en transit. D'après l'équation de Poisson, le champ électrique y est constant la variation de potentiel linéaire. Puisqu'il existe une charge d'espace possible dans le semi-conducteur, le champ peut varier dans cette zone, le potentiel aussi.

La Figure I.13 montre de façon qualitative la variation du potentiel dans la structure, et donc la variation du niveau du vide. Sur cette figure, nous appelons :

- ψ_s : le potentiel à l'interface.
- V_o : la chute de potentiel dans l'oxyde,
- ψ : le potentiel à l'abscisse x .

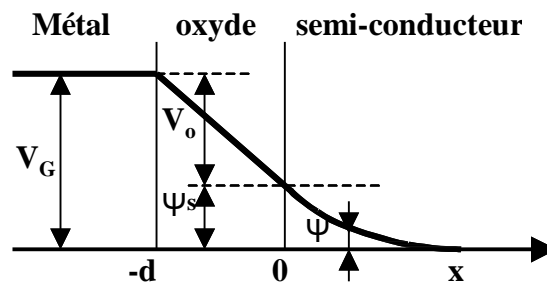


Figure I.13 : variation du potentiel à travers la structure.

La variation est linéaire dans l'oxyde. ψ_s est le potentiel à l'interface. Le potentiel de la grille est égal à la somme des potentiels dans l'oxyde et le semi-conducteur.

Lorsque V_G est négatif, ψ l'est aussi. Le niveau de Fermi dans la zone considérée se rapproche de la bande de valence. Notons la relation :

$$V_G = V_0 + \psi_S \quad (1.I)$$

Et comme :

$$p = N_V \exp\left(\frac{E_F - E_V}{KT}\right) \quad (2.I)$$

Le semi-conducteur s'enrichit en trous majoritaire, nous appelons ce régime le *régime d'accumulation*.

La zone de charge d'espace est alors remplie par des trous majoritaires et les concentrations des autres types de charges deviennent négligeables. La Figure I.14.a montre le diagramme d'énergie dans ce régime. Dans le cas présenté, le potentiel du métal est plus faible que celui du semi-conducteur (sens inverse des énergies).

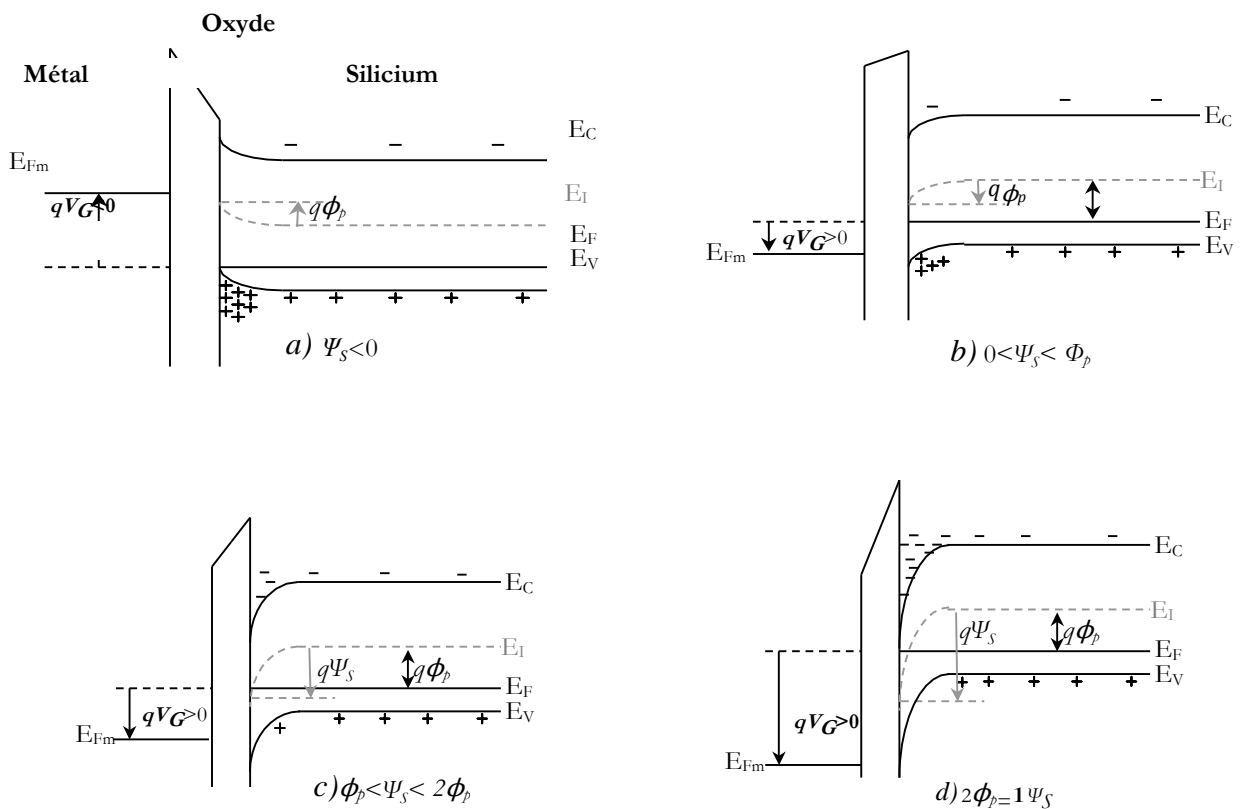


Figure I.14 : Diagramme de bandes d'énergies pour un MOSFET à Canal n à désertion. MOSFET en régime
a) accumulation b) désertion; c) inversion faible; d) inversion forte.

IV.3. Régime de désertion

Dans ces conditions, la tension appliquée sur le métal est positive : $V_G > 0$, mais pas trop élevée. La courbure des bandes d'énergie est changée de sens par rapport au cas précédent. Le potentiel de surface, ψ_s , est positif et donc le niveau de Fermi à l'interface s'éloigne de la bande de valence et se rapproche du milieu de la bande interdite, c'est-à-dire du niveau de Fermi intrinsèque. Il y a *appauvrissement de porteurs*, en trous dans cet exemple. La zone de charge d'espace contient principalement des atomes dopants ionisés (accepteurs dans ce cas).

La Figure I.14.b montre le diagramme d'énergie dans ces conditions. Il faut analyser la position du niveau de Fermi à l'interface oxyde-semi-conducteur. Dans ce cas

$$|q\psi_s| < |\phi_p| \quad (3.1)$$

Ce qui signifie que le niveau de Fermi reste dans la partie inférieure de la bande interdite. La concentration en trous est très inférieure à la concentration en dopant et la concentration en électrons reste complètement négligeable. La zone de charge d'espace s'étend en fonction de la tension appliquée sur la grille. Quand la courbure augmente, l'extension augmente.

IV.4. Régime de faible inversion

La tension appliquée sur le métal est plus élevée de manière à ce que le potentiel de surface (en énergie) soit supérieur à l'écart énergétique entre le niveau de Fermi et le niveau de Fermi intrinsèque dans le substrat semi-conducteur initial, $q\phi_p$.

Dans ces conditions, telles que représentées dans la Figure I.14.c, la courbure est vers le bas, le niveau de Fermi à l'interface est passé au-dessus du niveau de Fermi intrinsèque ; le niveau de Fermi à l'interface est plus proche de la bande de conduction que de la bande de valence. Les électrons sont alors plus nombreux que les trous mais restent néanmoins en

concentration négligeable par rapport aux atomes dopants ionisés. La *population de porteurs s'est inversée* à l'interface. Nous appelons ce régime la *faible inversion*.

IV.5. Régime de forte inversion

Ce régime débute lorsque le canal tel que nous l'avons défini commence à exister, c'est-à-dire dans le cas proposé, lorsque la concentration en électrons devient égale en surface du semi-conducteur à la concentration d'atome dopant ionisé, ce qui correspond à la concentration en trous dans le volume neutre (loin de l'interface). Dans ces conditions, l'écart énergétique entre le niveau de Fermi de surface et le niveau de Fermi intrinsèque est égal en valeur absolue à celui du volume neutre. Autrement dit, le potentiel en surface est égal ou supérieur à 2 fois ϕ_p .

Nous noterons :

$$|\psi_s| \geq 2\phi_p \quad (4.I)$$

Lorsque :

$$|\psi_s| = 2\phi_p \quad (5.I)$$

Alors:

$$|V_G| = |V_{th}| \quad (6.I)$$

C'est-à-dire que la tension de grille est égale à la tension de seuil. La Figure I.15 montre cette situation. La courbure de bande a augmenté et la zone de charge d'espace atteint pratiquement un maximum.

En effet, la zone de charge d'espace comporte deux parties chargées avec des éléments portant le même signe :

- la zone désertée de concentration, N_A dans notre cas,
- la zone de canal de concentration n très élevée et supérieure à N_A .

La zone de canal est en fait très fine (quelques Angström à quelques dizaines d'Angström) puisque les porteurs s'agglutinent contre la paroi d'oxyde. La charge totale de ces deux contributions se retrouve de signe opposé sur la grille comme le montre la Figure I.15.

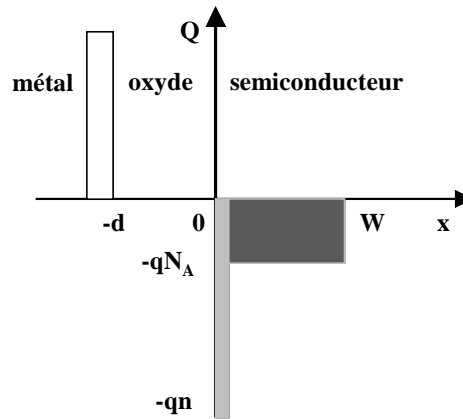


Figure I.15 : Représentation de la distribution des charges dans la structure en régime de forte inversion.

Sur cette figure, très schématisée, il est possible de se rendre compte de la faible épaisseur du canal. Du côté du métal, la concentration en électrons est tellement forte que l'épaisseur concernée, correspondant à un déficit d'électrons est presque nulle.

IV.6. Capacité équivalente de la structure MOS :

On associe la variation de charge totale de la zone de charge d'espace à la variation de la tension de grille V_G , par l'équivalence d'une capacité :

$$C = \frac{dQ_S}{dV_G} \quad (7.1)$$

Or on sait que :

$$V_G = V_{o+} + \psi_s \text{ et donc } dV_G = dV_{o+} + d\psi \quad (8.1)$$

Et donc :

$$V_G = dV_0 + d\psi_s \tag{9.I}$$

D'où:

$$C = \frac{dQ_s}{dV_0 + d\psi_s} = \frac{1}{\frac{dV_0}{dQ_s} + \frac{d\psi_s}{dQ_s}} \tag{10.I}$$

Le premier terme du dénominateur correspond à la capacité de l'oxyde C_{ox} . Le second à la capacité équivalente de la zone de charge d'espace du semi-conducteur, C_d .

$$C = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_d}} = C = \frac{C_{ox}C_d}{C_{ox} + C_d} \tag{11.I}$$

La capacité totale est équivalente à la mise en série des deux capacités C_{ox} et C_d . Peut être déduit de l'étude de $Q_s(\psi_s)$, pente de la courbe. Ainsi, si nous supposons que la variation de V_G est suffisamment lente pour considérer que l'équilibre est atteint en permanence, la forme de $C(V_G)$ est celle représentée sur la Figure I.16. Pour effectuer la mesure il faut en général superposer à V_G un signal variable. En haute fréquence, les porteurs minoritaires ne peuvent pas suivre la variation imposée, puisqu'ils sont trop peu nombreux pour permettre d'atteindre l'équilibre. Pour des zones de substrat de très bonne qualité (grande durée de vie), le domaine de « haute fréquence » peut débiter à quelques dizaines de Hertz.

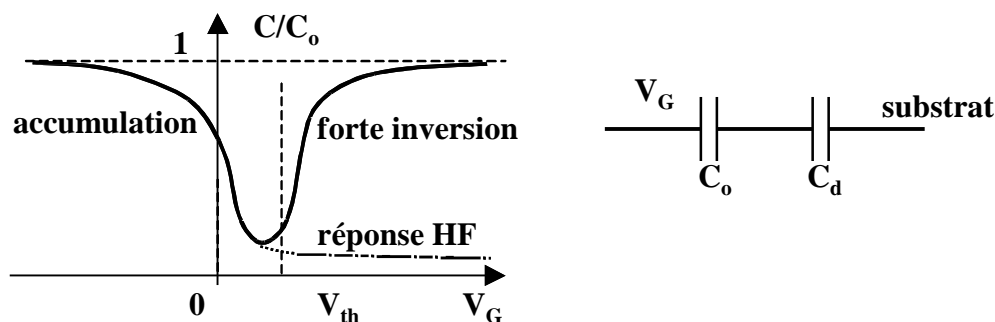


Figure I.16 : Variation de la capacité normalisée en fonction de la tension de grille

La capacité totale est la mise en série des deux capacités C_o et C_d . Si la fréquence est très basse, les porteurs minoritaires ont le temps de répondre et la capacité remonte vers C_o en forte inversion. En haute fréquence, nous obtenons la courbe en pointillés pour les tensions de grille positives.

V. Caractéristique d'un transistor MOS idéal

Il s'agit de retrouver les expressions analytiques $I_D(V_{DS}, V_{GS})$ correspondant à la forme de la caractéristique présentée au *paragraphe 2*. Cela va nécessiter un certain nombre d'approximations en fonction du régime de fonctionnement. Nous nous limiterons à ce stade, à la caractéristique en conduction, c'est-à-dire pour des tensions de grille au moins égales, en valeur absolue, à la tension de seuil.

V.1. Expression de la charge dans le canal

La charge totale dans le semi-conducteur, Q_s , est la somme de la charge correspondant aux atomes dopants ionisés dans la zone de charge d'espace, Q_B , et de la charge équivalente des porteurs libres dans le canal, Q_I . Ainsi :

$$Q_s = Q_I + Q_B \quad (12.I)$$

La tension de grille, $V_G > V_{TH}$ est appliquée sur une face de l'isolant. En raisonnant à l'aide d'un condensateur équivalent, la charge totale Q_s se retrouve en vis-à-vis aux bornes de l'isolant. La tension aux bornes de l'isolant s'exprime alors par :

$$V_0 = -\frac{Q_s}{C_{ox}} \quad (13.I)$$

Et donc :

$$V_G = -\frac{Q_s}{C_{ox}} + \psi_s \quad (14.I)$$

Lorsque $V_G = V_{TH}$, nous pouvons supposer que Q_I est encore négligeable puisque le canal commence tout juste à se former ; même si la concentration des porteurs atteint celle du dopage, l'épaisseur du canal est encore suffisamment faible pour être négligeable devant l'extension de la zone de charge d'espace ; ceci est bien sûr une approximation importante. Alors :

$$V_G = -\frac{Q_B}{C_{ox}} + 2\phi_p \quad (15.I)$$

Ainsi, en tout point du canal, le potentiel est $V_G - V_{TH} - \Delta\psi$, ce dernier terme représentant le potentiel local dans la zone de canal à l'interface oxyde-semi-conducteur.

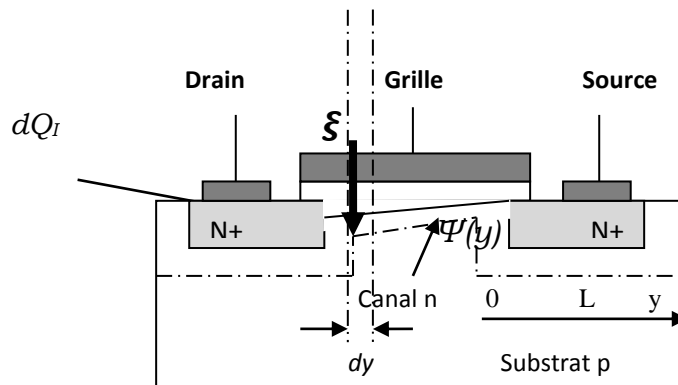


Figure I.17 : Représentation schématique de la structure MOS en régime de conduction non saturée.

Le canal couvre toute l'interface. Le potentiel de surface varie en fonction de la position y ; il en est de même pour la charge d'interface Q_I . L'intégrale de la résistance entre 0 et L permet de déterminer le courant total drain-source traversant le transistor. La résistance augmente proportionnellement avec la polarisation drain-source.

V.2. Calcul du courant

Dans la zone de canal quand celui-ci existe, nous ne supposons que le mécanisme de conduction prépondérant est de type dérive dans le champ électrique transverse, ξ_y . L'expression du courant inclue donc le champ électrique, la mobilité des porteurs, la charge du canal par unité de surface, et la largeur du canal, W . La longueur du canal est L .

$$I_D = -W\mu_n Q_I \xi_y \text{ et } \xi_y = -\frac{d\psi}{dy} \quad (16.I)$$

Donc:

$$I_D = -W\mu_n C_{ox}(V_G - V_{TH} - \psi(y)) \frac{d\psi}{dy} \quad (17.I)$$

En intégrant cette équation tout le long du canal entre 0 et L , le potentiel variant de 0 à V_D .

$$\int_0^L I_D dy = W\mu_n C_{ox} \int_0^{V_D} (V_G - V_{th} - \psi) d\psi \quad (18.I)$$

$$I_D L = W\mu_n C_{ox} \left[(V_G - V_{TH})V_D - \frac{V_D^2}{2} \right] \quad (19.I)$$

D'où:

$$I_D = \frac{W}{L} \mu_n C_{ox} \left[(V_G - V_{TH})V_D - \frac{V_D^2}{2} \right] \quad (20.I)$$

L'expression du courant trouvée ici est très simplifiée mais donne un bon aperçu de l'équation de la caractéristique du transistor. Sans les approximations, la résolution est beaucoup plus compliquée.

Dans le calcul ci-dessus, nous avons supposé que le canal existe sur toute la longueur L en régime limite. Lorsque $V_{DS} = V_{GS} - V_{TH}$, le point de pincement du canal apparaît au niveau du drain.

Cette situation correspond au début de la saturation du courant ; le courant de saturation sera noté I_{DSAT} .

D'autre part on a que : $V_{Dsat} = V_G - V_{TH}$

D'où:

$$I_D = \frac{W}{L} \mu_n C_{ox} \left[(V_G - V_{th}) V_D - \frac{(V_G - V_{TH})^2}{2} \right] \quad (21.I)$$

À la fin on aboutie à :

$$I_D = \frac{W}{L} \mu_n C_{ox} \frac{(V_G - V_{TH})^2}{2} \quad (22.I)$$

Ainsi, nous déterminons le courant de saturation qui ne dépend que de la différence entre la tension de grille et la tension de seuil.

Il faut cependant remarquer que pour la tension de grille très légèrement inférieure ou égale à la tension de seuil, le courant n'est pas nul. Pour connaître le comportement électrique au-dessous du seuil, il faut reprendre les équations qui déterminent la quantité effective des porteurs (dans notre cas les électrons) dont la concentration est inférieure à la concentration de dopant mais est loin d'être nulle ($10^{17} cm^{-3}$ par exemple). Dans ces conditions, nous déterminons la caractéristique de transfert sous le seuil, le courant pouvant varier sur une bonne dizaine de décades pour atteindre la valeur du courant inverse d'une des deux jonctions drain-canal ou source-canal.

La forme de cette caractéristique et plus particulièrement sa pente dans une échelle logarithmique est directement liée à l'épaisseur d'oxyde, au dopage de la zone de canal et à la densité de charge parasite liée essentiellement aux défauts d'interface oxyde/zone canal.

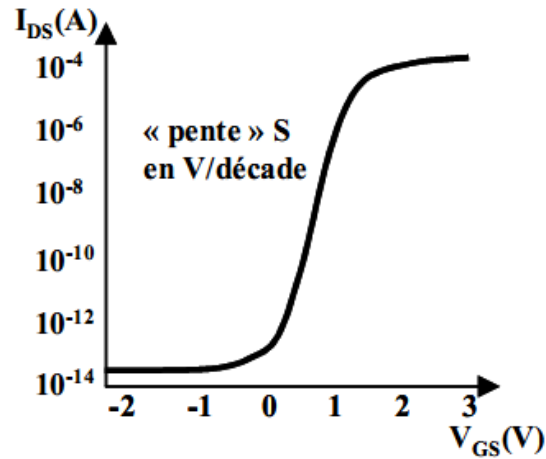


Figure I.18 : Caractéristique de transfert typique d'un transistor NMOS intégré

Le courant drain-source varie sur une dizaine de décade pour une variation de l'ordre du volt pour la tension de grille.

On peut conclure alors ce qu'on a vue précédemment par le Réseau de caractéristiques présenter dans la Figure I.19 :

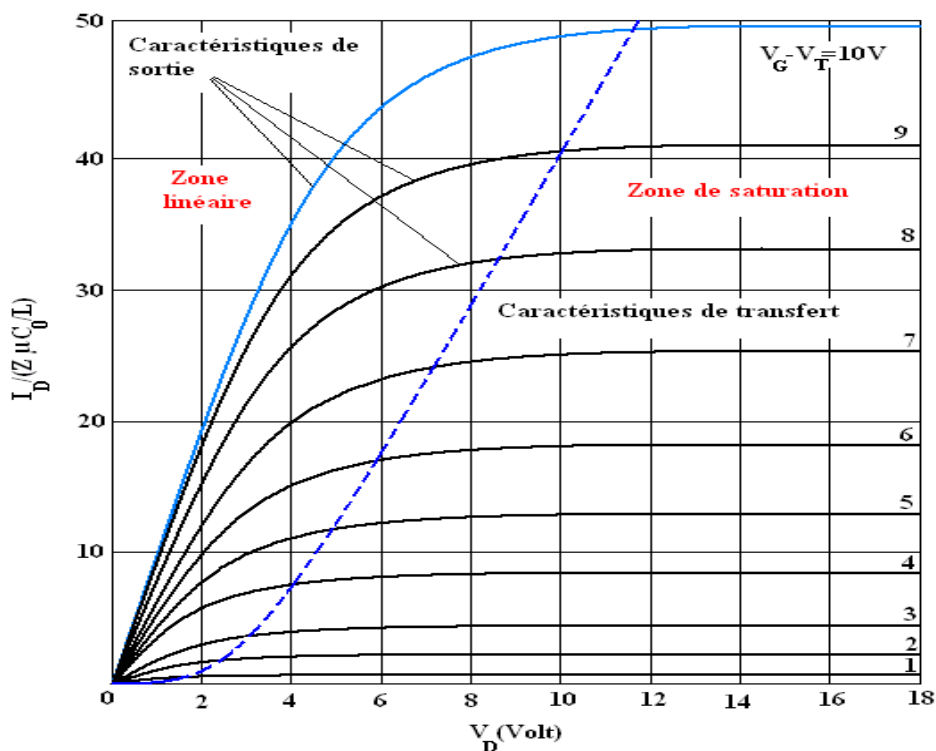


Figure I.19 : Réseau de Caractéristiques $I(V)$ d'un MOSFET idéal.

VI. Modèle petit signal du MOSFET en saturation sans effet de substrat du MOS

Il se trouve que dans ce modèle Le courant I_{DS} peut être exprimé par :

$$I_D = g_m V_{GS} + g_{DS} V_{DS} + g_{mb} V_{BS} \quad (23.I)$$

On défini alors La conductance g_D et la transconductance g_m par :

$$g_{DS} \equiv \frac{\partial I_D}{\partial V_{DS}} \left\{ V_{GS} = \text{cons} \right. \cong \frac{W}{L} \mu_n C_{ox} (V_G - V_{TH}) \quad (24.I)$$

$$r_{DS} = \frac{1}{\lambda I_{D0}} \quad (25.I)$$

$$g_m \equiv \frac{\partial I_D}{\partial V_{GS}} \left\{ V_{DS} = \text{cons} \right. \cong \frac{W}{L} \mu_n C_{ox} V_D \quad (26.I)$$

$$g_{mb} = \frac{\partial I_{DS}}{\partial V_{BS}} = \frac{\gamma}{2\sqrt{2|\phi_F| + V_{SBQ}}} \cdot g_m \quad (27.I)$$

On en déduit alors le schéma équivalent du MOSFET en régime petits signaux qui est donné par le schéma de la Figure(I.20)

Figure I.20 Schéma équivalent du MOS en régime petits signaux sans effet de substrat.

VI.1. Capacités du MOS

En haute fréquence les modèles du MOS que nous avons cité sont inadéquats. Cette limitation est en fait due aux capacités parasites inhérentes à la structure MOS.

La plupart des capacités du modèle petits signaux sont facilement déduits du modèle physique des transistors MOS

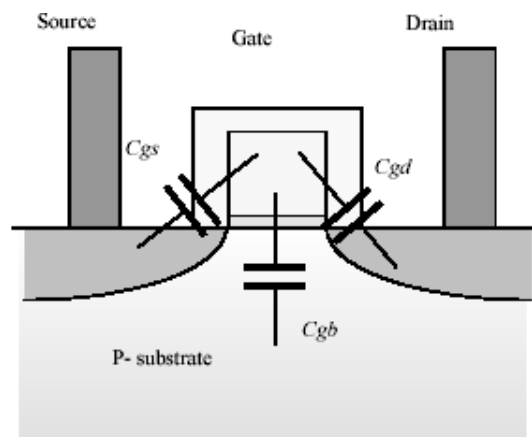


Figure I.21 : Capacités de terminaison du MOS

Sur le tableau ci-dessous nous indiquons pour chacune des zones de fonctionnement du MOS les valeurs de capacités de terminaison en fonction des capacités intrinsèques.

<i>Region</i>			
	<i>Bloquée (cutoff)</i>	<i>ohmique</i>	<i>saturée</i>
C_{GD}	$C_{ox}WL_D$	$C_{ox}WL_D + \frac{1}{2}WLC_{ox}$	$C_{ox}WL_D$
C_{GS}	$C_{ox}WL_D$	$C_{ox}WL_D + \frac{1}{2}WLC_{ox}$	$C_{ox}WL_D + \frac{2}{3}WLC_{ox}$
C_{BG}	$C_{ox}WL$	0	0
C_{BD}	C_{BD1}	$C_{BD1} + \frac{1}{2}C_{BC1}$	C_{BD1}
C_{BS}	C_{BS1}	$C_{BS1} + \frac{1}{2}C_{BC1}$	$C_{BS1} + \frac{2}{3}C_{BC1}$

Tableau I.1 : les valeurs de capacités de terminaison en fonction des capacités intrinsèques

VI.2. Modèles du MOS Utilisés en simulation

VI.2.1. Régime d'inversion du transistor MOS

Selon la valeur de V_{GS} , le canal du MOS est plus au moins bien formé. On peut distinguer trois types d'inversion, l'inversion faible correspondant à l'absence de canal mais pour la quelle il existe néanmoins des porteurs de courant en faible quantité dans la zone de charge d'espace engendré par la présence d'un canal fortement rempli de porteurs du courant (électrons pour un NMOS et trous pour un PMOS) et entre les deux l'inversion modérée ou le canal est présent mais ou la quantité de charges mobiles dans le canal n'est pas prédominante devant la située sous le canal.

- $V_{TH} - (50 \text{ à } 100mV < V_{GS} < V_{TH})$: Inversion faible
- $V_{TH} < V_{GS} < V_{TH} + (75 \text{ à } 100 mV)$: Inversion modérée
- $V_{GS} > V_{TH} + 100 mV$: Inversion forte

VII. Effet des canaux courts des transistors MOSFET

VII.1. Définition

La diminution de la longueur des canaux des transistors MOSFET induit de nombreux effets. Tel que les effets d'ionisation par impact, saturation de la vitesse, dégradation de la mobilité.....On s'intéresse particulièrement dans ce qui suit à un de ces effets appelé effet des canaux courts.

Ces effets sont dus aux zones de désertion de la source et du drain qui viennent recouvrir partiellement la zone de la grille représentée par le trapèze Q_g . Ceci est bien représenté sur le schéma de la figure qui suit :

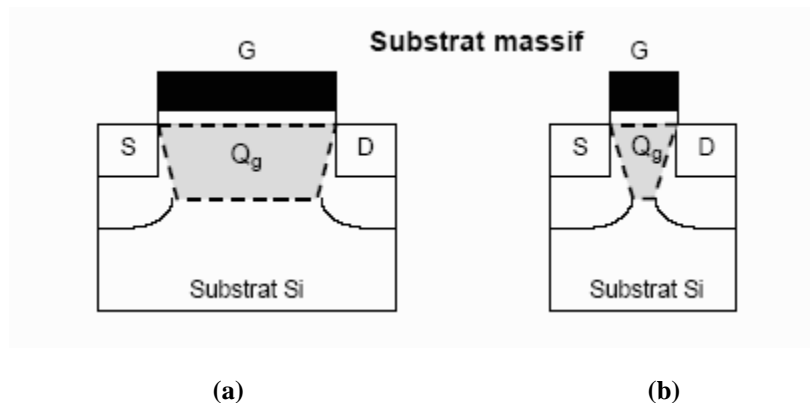


Figure I.22 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour (a) un MOSFET à canal long, (b) un MOSFET à canal court.

Pour de long transistor cet effet est insignifiant par rapport à la zone de contrôle de la grille. Cet effet devient de plus en plus significatif au fur et à mesure que la longueur du canal diminue.

VII.2. Impact sur la tension de seuil

Les effets des canaux courts ont un impact important sur les caractéristiques statiques du MOSFET. Par exemple ces effets dégradent la

penne sous seuil et par conséquent la vitesse de commutation des circuits numériques. Ils détériorent également le courant de fuite à l'état bloqué et peuvent impliquer une conduction du transistor sous la tension de seuil. De ce fait les paramètres technologiques ont un impact direct sur la tension de seuil.

Par exemple, l'effet *DIBL* qu'on expliquera par la suite augmente lorsque la longueur de la grille diminue.

Le courant de drain dans ces transistors à canaux courts augmente considérablement avec la tension de drain au-delà de la zone de pincement (saturation) en comparaison avec des dispositifs dits à canal long où l'on peut considérer que le courant reste constant en saturation (si on néglige l'effet Early). C'est comme si courant de drain d'un transistor à canal court ne sature pas vraiment Figure I.23

Figure I.23 : Caractéristiques I_D/V_D d'un transistor MOS à canal court ($L=0.23\mu m$) [SZE81]

En outre, le courant de drain n'est pas nul pour une tension V_{GS} nulle. Pour une tension de drain de l'ordre de 3V pour un transistor d'une longueur de $0.23\mu m$ par exemple comme illustré en Figure I.23 [SZE81], le courant de drain peut atteindre le milliampère. La grille a donc perdu le contrôle du canal et ne peut plus "couper" le transistor.

En deuxième lieu, considérons la caractéristique I_D/V_G de transistors MOS à canal court en régime sous seuil représenté en Figure I.24.

Figure I.24 : Caractéristiques I_D/V_G du transistor MOS en régime sous seuil Pour différentes longueurs de canal. [YAU74]

La caractéristique $I_{DS} = f(V_{GS})$ est idéale pour des transistors à canal long, Ceci est bien illustré dans le cas de la Figure I.24.

En faisant alors varier la longueur du canal de 0.8μ à 5μ notre caractéristique se déforme lorsque L devient inférieur à $2\mu m$. On se trouve donc en présence d'une chute de la tension de seuil lorsque la longueur de canal diminue en dessous de $2\mu m$. En dessous de $0.8\mu m$, la tension de grille ne contrôle plus le courant de drain et le transistor ne peut plus être utilisé alors comme interrupteur [YAU74].

La variation de la tension de seuil avec la variation de la longueur du canal est représentée sur la Figure I.25 [SZE80].

Figure I.25 : Evolution de la tension de seuil en fonction de la longueur du canal [SEI80].

On peut donc conclure que pour les dispositifs à canaux longs, la tension de seuil est indépendante de la longueur de canal. Toutefois, pour les transistors à canal court, la tension de seuil décroît fortement lorsque L devient inférieur à $2\mu\text{m}$ [SEI80].

VII.3. Effets d'ionisation par impact

L'expression du champ électrique longitudinal dans la région de pincement est donnée par l'équation :

$$E(x) = E_{sat} \cosh\left(\frac{x-L_{sat}}{l_p}\right) \quad (28.1)$$

Où:

$$l_p = \sqrt{\frac{\epsilon_s}{C_{ox}}} t_d \quad (29.1)$$

Avec :

- L_{sat} est la longueur du canal jusqu'au point de pincement.
- L_p est la longueur caractéristique
- T_d est l'épaisseur de la région n^+ de drain pour un MOSFET à substrat massif.

A la jonction drain/canal, l'amplitude de ce champ électrique est maximale. Elle est notée E_d et dépend de L_g qui représente la longueur de la grille et de V_{ds} . L'amplitude du champ électrique est à ce niveau supérieure à l'amplitude du champ électrique critique noté E_c , lié à la vitesse de saturation des porteurs. Pour des transistors à canal long E_c se situe près du point de pincement. Lorsque la longueur du canal diminue, E_c se rapproche de la jonction source/canal. Lorsque les porteurs minoritaires atteignent leur vitesse de saturation, le champ électrique longitudinal continue à céder de l'énergie à ces porteurs.

Les interactions dans le réseau cristallin modifient aléatoirement leur libre parcours moyen puisque leur vitesse de propagation reste constante, par conséquent leur énergie cinétique augmente, en suivant une loi de probabilité dictée par les interactions dans le canal ce qui est bien illustré dans la figure qui suit :

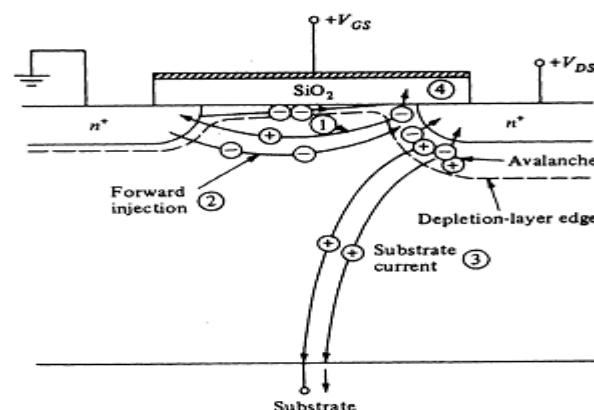


Figure I.26 : schématisation du phénomène d'ionisation par impact dans un transistor à canal N.

Une partie de ces porteurs ont une énergie suffisamment importante pour ioniser les atomes de silicium du cristal. Ils sont appelés les porteurs chauds. Des paires électrons/trous se forment à partir de ces impacts. Le champ électrique longitudinal attire les électrons du côté du drain. Les trous sont repoussés vers le substrat par le champ électrique de la zone de désertion. Ces trous, issus de l'ionisation par impact, constituent le courant de substrat. Ce dernier a pour expression :

$$I_{db} = |I_{ds}| K_i (V_{ds} - V_{dsat}) \exp\left(\frac{V_i}{V_{th} - V_{dsat}}\right) \quad (30.I)$$

Où : K_i et V_i sont des paramètres empiriques d'ajustement.

Le rapport $\left(\frac{I_{db}}{I_{ds}}\right)$ représente le coefficient d'ionisation par impact. Une partie des électrons dans le canal, possède une énergie suffisante pour franchir la barrière de potentiel située entre l'oxyde de grille et la zone active. Ces électrons sont ensuite collectés par la grille. Ces électrons forment ainsi un courant de grille. Une portion de ces électrons dégrade l'interface oxyde de grille/ substrat et augmente alors la densité d'état d'interface. La mobilité diminue (dégradation de la mobilité) alors que la tension de seuil augmente. Une partie des électrons issus du canal se trouve piégés dans l'oxyde. Ce piégeage a pour effet d'augmenter la quantité de charge intrinsèque de l'oxyde de grille.

VII.4. Effets thermiques

Lors du fonctionnement du transistor la puissance électrique génère une quantité de chaleur par effet joule. Plus cette puissance sera élevée, plus la température du canal augmentera. Il est à noter que la mobilité, la tension

de seuil et la vitesse de saturation dépendent étroitement de la température par les relations qui suivent :

$$\mu_{eff} = \mu_{eff_{T_{amb}}} \left(\frac{T}{T_{amb}} \right)^{-k_1} \quad (31.I)$$

$$V_{th} = V_{th_{eff_{T_{amb}}}} - k_2(T - T_{amb}) \quad (32.I)$$

$$v_{sat} = v_{sat_{T_{amb}}} - A_T \left(\frac{T - T_{amb}}{T_{amb}} \right) \quad (33.I)$$

Où :

- $k_1 \in [1.5; 1.7]$.
- $k_2 \in [0.5; 4]$.
- $A_T = 3.3 \cdot 10^4$.

$\mu_{eff_{T_{amb}}}$, $V_{th_{eff_{T_{amb}}}}$ et $v_{sat_{T_{amb}}}$ sont respectivement la mobilité effective, la tension de seuil effective et la vitesse de saturation effective à la température ambiante T_{amb} . La réduction de la mobilité effective est le facteur limitatif dominant. Lorsque la température ou la puissance dissipée augmente, la mobilité diminue entraînant la décroissance du courant I_{DS} . Ainsi la puissance dissipée sera plus faible, ce qui va entraîner la diminution de la température. Un phénomène auto-entretenu est alors mis en place reliant la température du canal et le courant du drain. Cet effet est l'effet d'auto-échauffement. En conséquence la caractéristique $I_{DS}=f(V_{GS})$ présente en mode saturé une décroissance.

VII.5. Les avantages des transistors MOS :

- Sa résistance d'entrée est très importante $R_s \approx 10^{12} \Omega$, pour un transistor à effet de champ à jonction, elle est plus faible, soit de l'ordre de $10^8 \Omega$.

- le bruit intrinsèque est toujours très faible.
- Facile à fabriquer et par suite peu onéreux.
- La densité d'intégration autorisée par ce type de composant est très importante: (10^7 transistors sur une seule puce).
- Petite surface de silicium
- Impédance de sortie faible de l'ordre de 100Ω .
- Ce composant est symétrique, aucune distinction du point de vue fabrication entre la source et le drain.
- le circuit de commande très simple.
- Il supporte très bien la mise en parallèle sans dispositif particulier grâce à son coefficient de température positif.

VIII. Conclusion

Nous avons présenté au sein de ce chapitre les transistors MOSFET pour les quels nous avons expliqué le mode de fonctionnement dégageant ainsi leurs caractéristiques électriques. Les effets indésirables les plus dominantes dans les transistors à canaux court sont aussi présentés dans cette section. On se propose d'étudier dans ce qui suit les courants de fuites dans un type de transistors à canaux court qui sera brièvement décrit par le passage.

CHAPITRE - II -
ETUDE DES COURANTS DE FUITES DANS
LES TRANSISTORS MOSFET

Avant de présenter les courants de fuite altérant le fonctionnement des transistors MOSFET submicronique, on propose un model de transistor MOSFET à canal court auquel nous nous sommes intéressés pour la détermination des courants de fuite, Ce transistor intitulé BSIM4, largement utilisé en industrie est la dernière conception de l'université de Californie de Berkeley.

I. Etude du model BSIM4 :

I.1. Introduction

L'évolutions des modèles compacts :

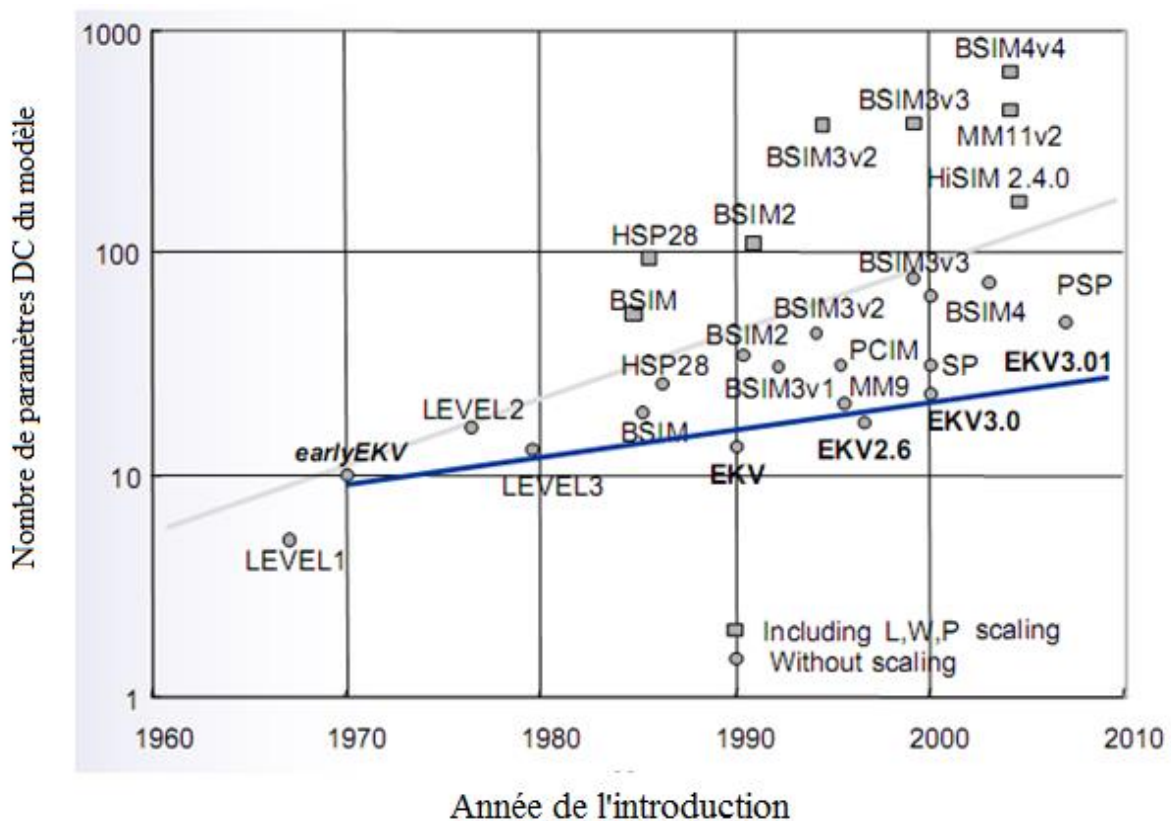


Figure II.1 : Nombre de paramètres DC du modèle en fonction de l'année de l'introduction du modèle [HAL.96].

Une nouvelle manière de modéliser le MOS fait apparaître une nouvelle version appelée BSIM4 qui a été présentée en 2000. Le BSIM4 est un modèle qui prend toujours en considération les régions de fonctionnement décrites dans le niveau 3 du MOS (linéaire pour des tensions relativement basse de V_{DS} , saturé pour des tensions V_{DS} relativement importantes, subliminal pour V_{GS} inférieures à la tension de seuil V_{th}). Le BSIM4 présente non seulement, en plus de ses prédécesseurs, une continuité parfaite entre ses différentes régions de fonctionnement, mais en plus, une nouvelle région où l'effet d'ionisation par impact est dominant, cette région peut être mise en évidence pour des valeurs très importantes de la tension drain-source bien au-dessus de la tension d'alimentation nominale V_{DD} .

La caractéristique théorique I_{DS} en fonction de la tension V_{DS} est celle de la Figure II.2.

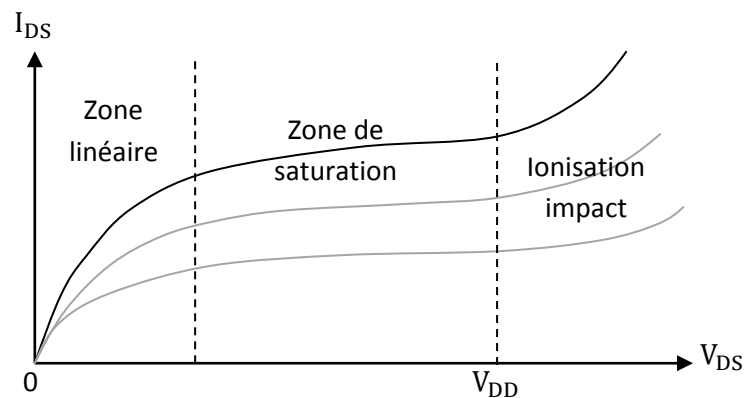


Figure II.2 : Caractéristique I_{DS} en fonction de V_{DS} du modèle BSIM4

Avant d'entamer notre étude du model BSIM4, on doit tout d'abord noter que depuis l'invention du transistor MOS, plusieurs effets physiques ont pu être mis en évidence et ont fait l'objet d'études récentes, on citera entre autre : les effets du dopage vertical et horizontal non uniforme ((Hori *et al.* (1993),.....)), les phénomènes de courants de fuites *DIBL* (Troutman (1979)); effets des canaux court (Viswanathan *et al.* (1985); Hsu *et al.* (1991); Rafferty *et al.* (1993)), effet des largeurs étroites, dépendance de la mobilité et de la vitesse de saturation du champ électrique induit des polarisations de la structure, effets de la modulation de la longueur du canal, l'ionisation par impact conséquente aux effets des canaux courts. Ces différents effets ont été introduits dans différents model de transistors MOS de dernières générations telle que le model BSIM3v3. Avec l'évolution technologique on a été amené à considérer de nouveaux phénomènes qui ont fait leurs apparitions avec le nouveau model de taille de plus en plus réduites (nanostructures) on citera entre autres le phénomène de *GIDL* , quantification de la couche d'inversion, comportement en HF avec apparition de parasites dans cette gamme de fréquence, résistance source/drain asymétrique.....Dans le nouveau model visé par notre étude, set qui est le BSIM4 ces nouveaux effets sont pris en considération.

I.1. Model de diélectrique de grille

Les transistors MOS considérés actuellement, sont des transistors de faibles dimensions où l'épaisseur de l'oxyde de grille T_{ox} est bien inférieure à 3nm ,les effets de la quantification du canal , permettant la détermination de l'épaisseur finie de la couche de charge (FCLT : finit charge layer thickness) ne peuvent être négligée . Le BSIM4 modélise cet effet dans ses caractéristiques $I(V)$ et $C(V)$. Pour activer l'effet FCLT dans ses simulation, le model fait intervenir deux paramètres qu'il considère comme des grandeurs d'entrée à savoir :

-l'épaisseur électrique d'oxyde de grille notée *TOXE*.

-l'épaisseur physique de l'oxyde de grille notée *TOXP*.

Ainsi que la différence des deux soit alors $D_{TOX} = TOXE - TOXP$.
Sur la base de ces paramètres, le BSIM4 modélise l'effet de FCLT par l'introduction

dans ses calculs d'une capacité effective d'oxyde de grille notée C_{oxeff} dans ses modèles $I(V)$ et $C(V)$ (Liu et al.(1999)), l'algorithme permettant de déterminer les épaisseurs électrique et physique d'oxyde de grille est illustré sur le schéma de la Figure III-3.

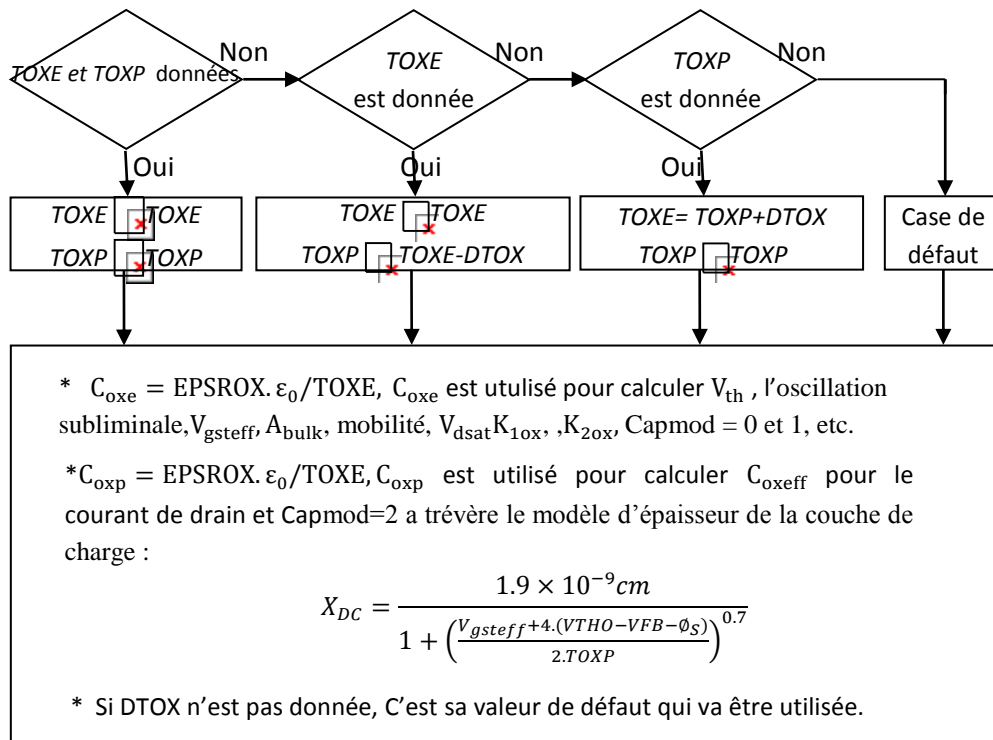


Figure II.3: Illustration des options pour les modèles du diélectrique de grille du BSIM4 [BER].

I.2. Modèles de longueur et largeur effectives du canal

Deux paramètres d'ajustement additionnels XL et XW de la longueur et de la largeur du canal sont introduites au niveau du model afin de corriger les imperfections et les erreurs dues aux procédés de fabrications et qui surviennent au niveau du dessin de masque et des procédés de gravure.

Les expressions utilisées par le model après correction de la longueur et de la largeur du canal sont données par :

$$L_{eff} = L_{dessinée} + XL - 2dL \quad (1.II)$$

$$dL = L_{INT} + \frac{LL}{L_{LLN}} + \frac{LW}{W_{LWN}} + \frac{LWL}{L_{LLN}W_{LWN}} \quad (2.II)$$

$$W_{eff} = W_{dessinée} + XW - 2dW \quad (3.II)$$

$$dW = W_{INT} + \frac{WL}{L_{WLN}} + \frac{WW}{W_{WWN}} + \frac{WWL}{L_{WLN}W_{WWN}} + DWGV_{gsteff} + DWB(\sqrt{\phi_S - V_{bseff}} - \sqrt{\phi_S}) \quad (4.II)$$

Où L_{eff}, W_{eff} : représentent respectivement la longueur et la largeur effectives du canal, alors que $L_{INT}, LL, LW, LWL, LLN, W_{INT}, WL, WW, WWL, WLN, WWN$ et LWN sont des paramètres du modèle et dont certains sont explicites en considérant les Figure II.4 et II.5. Les paramètres DWG et DWB sont utilisés pour expliquer les effets de polarisation de la grille et du substrat.

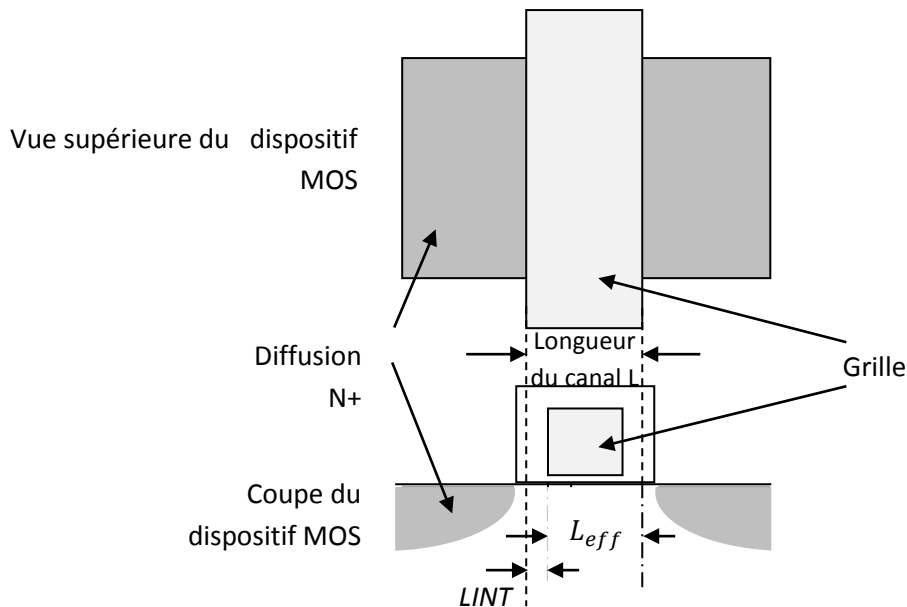


Figure II.4: Représentation de la longueur effective du canal

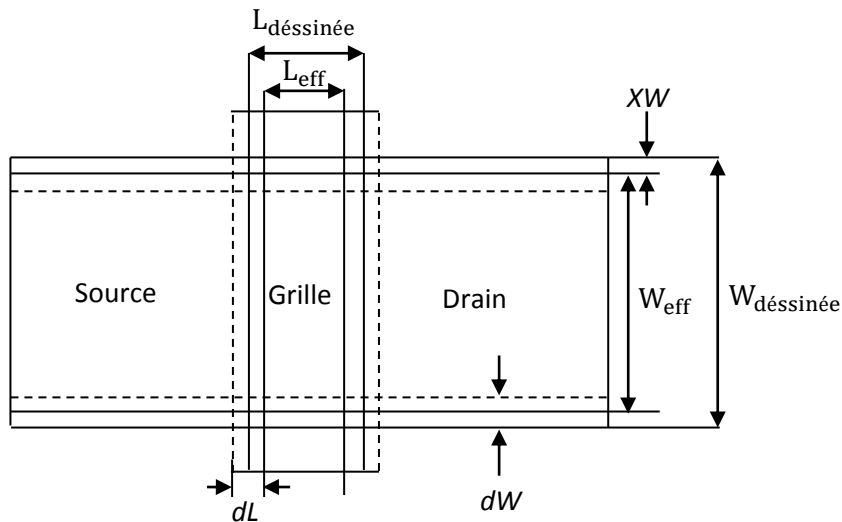


Figure II.5: Définition de XL , XW , dW , W_{eff} et L_{eff}

Le $W_{dessinée}$ dans ce cas est une largeur de canal pour un dispositif à grille unique « single-finger device ». Dans un dispositif multi-grille qu'on rencontre très souvent en conception analogiques et où les transistors sont de tailles importantes, $W_{dessinée}$ représente la largeur du canal par grille. Dans ce cas la largeur dessinée de la grille s'exprime par:

$$W_{dessinée} = W_{total} / N_F \quad (5.II)$$

Où W_{total} est la largeur totale du transistor et N_F est le nombre des doigts de grilles. Afin de permettre de plus amples explications, on se propose de représenter en Figure III.6, un transistor à 5 grilles, dans ce cas :

$$W_{total} = 5. W_{dessinée} \quad (6.II)$$

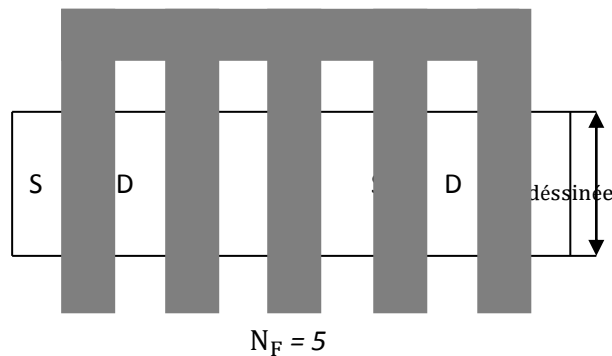


Figure II.6 : définition de $W_{dessinée}$, et N_F

I.3. Potentiel de surface et profondeur de déplétion :

Le potentiel de surface ϕ_S et la profondeur de déplétion sont des paramètres de base sont introduits dans l'évaluation de la tension de seuil et du courant I_{DS} . En effet afin de déterminer les grandeurs électriques tels que les charges et les courants en vu d'une description adéquate des caractéristiques électriques des transistors MOS on introduit nécessairement la notion de potentiel de surface.

En fait le potentiel de surface est le potentiel électrostatique à l'interface oxyde de grille/ substrat par rapport à la zone neutre du substrat. Dans le cas de notre model le calcul permet d'avancer l'expression suivante :

$$\phi_S = 0.4 + vt \ln\left(\frac{N_{dep}}{n_i}\right) + PH_{IN} \quad (7.II)$$

Où : N_{dep} représente la concentration du dopant à bord de la couche de déplétion du canal à

$V_{BS} = 0$ (environs 10^{17}cm^{-3} pratiquement), n_i est la concentration intrinsèque des porteurs dans la région du canal ($n_i = 1.02 \cdot 10^{10} \text{cm}^{-3}$, à $T=300\text{K}$)

PH_{IN} est un paramètre de modèle permettant de décrire l'effet du dopage vertical non uniforme sur le potentiel de surface, vt étant le potentiel thermique et qui s'exprime par :

$$vt = \frac{K_B T}{q} \quad (8.II)$$

Où : K_B est la constante de Boltzmann = $1.38 \cdot 10^{-23} \text{J/K}$.

T est la température absolue;

q est la charge d'électron = $1.60 \cdot 10^{-19} \text{C}$

Le potentiel de surface ϕ_s en processus CMOS submicronique profond est environ égal à 0.85V à 300°K

La barrière de potentiel de la jonction source/drain est alors donné par :

$$V_{bi} = vt \ln \left(\frac{N_{dep} N_{sd}}{n_i^2} \right) \quad (9. II)$$

Où N_{sd} est la concentration des dopants source/drain à $V_{BS}=0$ à $T=300^\circ\text{K}$ on aura une barrière de potentiel V_{bi} en processus CMOS submicronique profond à environs 1.0V.

La profondeur de déplétion X_{dep} est calculée suivant l'équation 10.III, qui correspond à l'épaisseur de la région a coté de l'interface de la jonction N+/P donnée par :

$$X_{dep} = \sqrt{\frac{2\epsilon_{rsi}\epsilon_0(\phi_s - V_{bs})}{q N_{dep}}} \quad (10.II)$$

Où : ϵ_{rsi} est la constante diélectrique du silicium,

ϵ_0 est la permittivité du vide, la valeur typique de X_{dep} est $0.5\mu\text{m}$

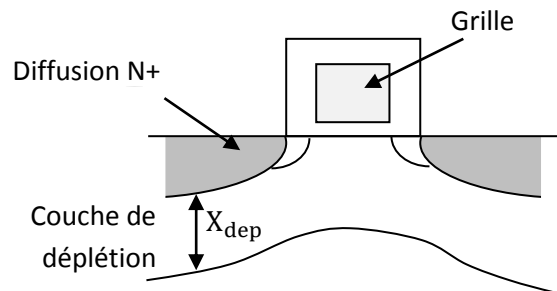


Figure II.7: Illustration de la profondeur de déplétion X_{dep}

II. Les courants de fuites dans les MOSFETS

II.1. Introduction

Il y a plusieurs paramètres influençant les courants de fuite d'un transistor de MOS: la tension de seuil, profil de dopage du canal, épaisseur d'oxyde de grille, les dimensions physiques du canal, profondeur de jonction des drain/source, et V_{DD} tous ont des effets sur les courants de fuite en générale et sur le courant I_{OFF} en particulier. Il y a plusieurs mécanismes de fuite contribuant au courant de fuite I_{OFF} d'un transistor MOSFET dans des dispositifs à canaux courts. Le mécanisme dominant de fuite dépend de la taille des dispositifs, des dimensions du canal, des conditions de fonctionnement, de la technologie considérée, et d'autres paramètres du transistor. Avec la forte intégration et l'augmentation des niveaux de métallisation, la taille des transistors ne cesse de diminuer selon les prévisions et

la loi de Gordon Moore, cette forte densité d'intégration et cette diminution de la géométrie des composants s'accompagne indéniablement de la diminution de leur tension d'alimentation V_{DD} . Par conséquent la tension de seuil diminue aussi, ainsi que l'épaisseur de la couche d'oxyde. Puisque le courant de fuite en régime de faible inversion dépend de la tension de seuil, le courant de fuite I_{OFF} du transistor croit aussi. En augmentant la tension de polarisation V_{DS} du transistor, on élargit les régions de déplétions drain/canal et par conséquent le courant du drain croit de manière significative. L'accroissement du courant I_{OFF} est dû au courant à la surface du canal, causée par le *DIBL*. La tension de seuil, ainsi que le courant de fuite I_{OFF} dépendent étroitement de la largeur du transistor. Si la largeur du transistor décroît, ces deux paramètres sont modulés, et ceci provoque l'effet des canaux étroits. Ces effets indésirables s'appellent les effets des canaux courts (*SCE*). Afin de contrôler ces effets, l'épaisseur de l'oxyde de grille doit être réduite avec la réduction de la longueur du canal, ce qui aura comme conséquence la quantité considérable de courant traversant l'oxyde de grille du transistor en raison du champ électrique élevé. Ceci signifie que l'impédance d'entrée des transistors de MOS ne peut être considérée comme infinie plus et les performances des circuits CMOS sera sérieusement dégradée. Les deux composantes principales du courant de fuite de la grille sont : l'injection des porteurs chauds du substrat vers l'oxyde de grille, et le tunnel à travers l'oxyde de grille. L'effet de déplétion des porteurs juste à la surface du drain juste au-dessous du chevauchement grille/drain cause un autre courant de fuite appelé le courant *GIDL*. On peut par conséquent conclure en premier lieu que le courant de fuite I_{OFF} est fonction du profil de dopage et des dimensions physique et effective du canal, de la profondeur des jonctions drain/source, de la tension de seuil V_T , de la tension d'alimentation V_{DD} et de la température.

II.2. Courants de fuite du MOSFET

D'une manière générale on s'intéresse tout particulièrement à un courant de fuite noté I_{OFF} . Ce courant se manifeste quand le transistor est à l'état bloqué. Un transistor est affecté par huit courants de fuite différents [KA1.92], qui sont illustrés Figure qui suit :

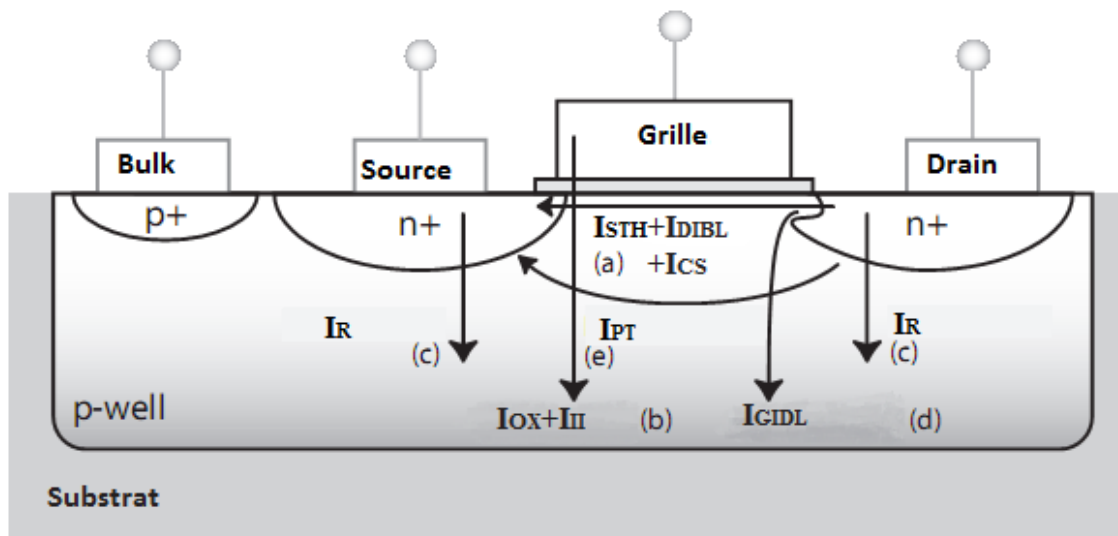


Figure II.8 : Illustration des différents courants de fuite présents dans un transistor fortement sous-micronique.

- le courant de conduction sous le seuil I_{STH} ,
- le courant dû à l'abaissement de la barrière de potentiel par le drain I_{DIBL} ,
- le courant de fuite du drain induit par la grille I_{GIDL} ,
- le courant de fuite de la jonction p-n du drain polarisée en inverse I_R ,
- le courant tunnel à travers l'oxyde de grille I_{OX} ,

- le courant de grille dû à l'injection de porteurs chauds I_{II} ,
- le courant de perforation I_{PT} ,
- le courant de surface du canal dû à un effet de canal étroit.

Il faut noter que le courant tunnel à travers l'oxyde de grille I_{OX} ne se manifeste que lorsqu'un potentiel non nul est appliqué sur la grille, c'est-à-dire lorsque le transistor est passant. Quant au courant de grille dû à l'injection de porteurs chauds I_{II} , il traduit un vieillissement du transistor, à la suite de l'introduction d'électrons et de trous dans l'oxyde.

Les courants de fuite dominants qui composent le courant I_{OFF} sont :

- le courant sous-seuil I_{STH} ,
- le courant de polarisation inverse de la jonction p-n au niveau du drain I_R ,
- le courant I_{DIBL} ,
- et le courant I_{GIDL} .

L'expression des courants de fuite est exprimée par :

$$\left\{ \begin{array}{l} I_D = I_C + I_{GIDL} - I_{gd} + I_{II} + I_{jbd} \\ I_G = I_{gb} + I_{gs} + I_{gd} \\ I_B = I_{ii} - I_{jbd} - I_{gb} - I_{jbs} - I_{GIDL} - I_{GISL} \\ I_S = -I_D - I_G - I_B \end{array} \right. \quad (11.II)$$

II.3. Courants sous seuil

Les courants sous seuil dans les transistors MOS sont causés par des phénomènes que nous décrirons brièvement dans ce qui suit :

II.3.1. Effet de faible inversion

Le transistor est considéré en faible inversion quand la tension de polarisation V_{GS} est en dessous de la tension de seuil de fonctionnement du transistor. Dans ce mode de fonctionnement la concentration des porteurs minoritaires dans le canal est faible mais non nulle. La tension drain- substrat .La tension drain -substrat chute entièrement à travers la jonction de PN, substrat-drain qui est polarisée en inverse. Puisque le champ électrique longitudinal et la concentration de charge mobiles dans le canal sont faibles le courant de diffusion domine.

II.3.2. Abaissement de la barrière de potentiel par le drain (DIBL : Drain Induced Barrier Lowering)

Le phénomène de *DIBL* (« surface *DIBL* ») est pris en compte lorsque le transistor travail en régime sous seuil (ou faible inversion) et concerne le potentiel de surface.

En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille.

Il existe également en régime de faible inversion, une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive (cas similaire à une jonction PN à l'équilibre).

Figure II.9: Profile du potentiel de surface pour des transistors n-MOS à canal et (b) court [SUN.97].

(a)lor

Si la tension au drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source et il se produit un abaissement de la barrière source-canal. L'abaissement de la barrière à la source permet l'injection d'électrons au travers du canal (en surface) et ceci indépendamment de la tension de grille. Comme conséquence, en régime sous seuil, la grille perd le contrôle du courant de drain.

Un courant sous seuil important peut être observé quand la longueur du canal est inférieure à $1.5\mu\text{m}$ Figure II.9.

Cette effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue Figure II.10.

On peut dire résumé comme suit : Le phénomène *DIBL* se produit quand les régions de déplétion de source et de drain agissent l'un sur l'autre près de la surface du canal. Une tension de drain élevée dans un dispositif à canal court amène la région de déplétion du drain à interagir avec la source près de la surface, abaissant la barrière de potentiel. Par conséquent celle-ci diminue la tension de seuil. Par conséquent la source injecte des porteurs de charge dans la surface du canal. La tension de grille n'a aucun effet sur ce phénomène. Si la longueur de canal continue à diminuer et la tension de drain à augmenter, l'effet de *DIBL* devient de plus en plus significatif [Roy.03]. Le *DIBL* est proportionnel au rapport V_{DS}/L_{eff} du transistor [MAT.90]. Le *DIBL* peut être mesuré en considérant la variation du courant I_{DS} pour une variation de la tension V_{DS} , à tension V_{GS} constante.

L'effet *DIBL* est illustré Figure II.11.

Le *DIBL* déplace la courbe vers le haut et la gauche lorsque la tension V_{DS} augmente.

L'effet *DIBL* est donc habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_{th} divisé par le ΔV_D entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \quad (mV/V) \quad (12.II)$$

Il faut remarquer que le phénomène de *DIBL* se produit avant que les conditions de « punch-through » soient atteintes, c'est-à-dire avant que la zone de déplétion du côté du drain (plus en profondeur dans le substrat) ne rencontre celle du côté de la source sous l'effet d'une augmentation de la tension de drain.

En vue d'atténuer les effets de canal court, il est courant d'augmenter le dopage du canal. Ceci permet de réduire l'extension de la zone de charge d'espace et donc réduit l'interaction entre le drain et la source.

II.4. Effet De substrat

Quand la jonction puits-source dans un transistor MOS est polarisée en inverse la région de déplétion du substrat s'élargit et ceci augmente la tension de seuil. L'augmentation de la tension de seuil fait diminuer le courant de fuite

II.5. Effet de longueur du canal

Dans des transistors à canaux courts, les régions de déplétion de drain et de source sont à proximité l'un de l'autre. Elles pénètrent dans la longueur de canal et en conséquence une partie du canal est déplétée. En conséquence, moins de tension de grille est nécessaire pour amorcer le transistor. Ceci signifie que la tension de seuil est inférieure pour les transistors à canaux court et le courant sous seuil est plus important.

II.6. Courant de fuite du drain induit par la grille (GIDL)

Le courant *GIDL* trouve son origine au niveau du chevauchement du drain par la grille : il est dû à un effet tunnel de bande à bande et dépend fortement du champ électrique transverse et du profil de dopage de la jonction. Il se manifeste pour des polarisations de grille négative et des valeurs élevées de V_{DS} , cet effet est illustré en figure.

II.7. Courant de polarisation inverse de la jonction p-n

Le courant de polarisation inverse I_R a deux composantes principales :

- la première est la diffusion de porteurs minoritaires près du bord de la région de déplétion.
- la deuxième provient de la génération de paires électrons-trous dans la région de déplétion.

Le courant de fuite de la jonction en inverse dépend de la surface de la jonction et de la concentration du dopage.

II.8. Courant de conduction sous le seuil

Le courant de conduction sous le seuil ou courant en inversion modéré est le courant entre la source et le drain qui a lieu lorsque la tension V_{GS} est nulle. C'est un courant de porteurs minoritaires le long de la surface du canal : il est fonction de la tension de seuil V_T et de la pente sous le seuil S et a pour expression [SZE.81]:

$$I_{fuite} = W \frac{I_0}{W_0} 10^{-\frac{V_T}{S}} \quad (13.II)$$

Où I_0/W_0 représente la référence de densité de courant. Ce courant de fuite varie exponentiellement avec la tension de seuil comme indiqué Figure II.14

Cette figure représente le courant I_{DS} en fonction de la tension de grille V_{GS} d'un transistor NMOS pour deux polarisations de substrat.

La tension de seuil d'un transistor dépend de la tension substrat-source V_{BS} selon l'expression suivante :

$$V_{TH} = V_{T0} + \gamma(\sqrt{2\psi_F - V_{BS}} - \sqrt{2\psi_F}) \quad (14.II)$$

Où le paramètre γ représente le coefficient d'effet de substrat et le paramètre ψ_F le potentiel de Fermi dans le substrat. Mais la tension de seuil d'un transistor dépend aussi de la tension drain-source V_{DS} . Deux effets entrent en jeu. Le premier est la « rétroaction statique du drain ». La zone de déplétion sous la grille est influencée par le potentiel de canal, qui varie du drain à la source, et est donc influencée par la tension V_{DS} . Un potentiel de drain plus élevé va augmenter la zone de déplétion, augmenter le nombre de porteurs minoritaires et réduire la barrière que le potentiel de grille doit surmonter pour créer une couche d'inversion. L'augmentation de la tension V_{DS} a donc pour conséquence de réduire la tension de seuil V_T .

II.9. Le courant tunnel à travers l'oxyde de grille I_{ox}

La réduction d'épaisseur d'oxyde de grille s'accompagnant avec l'utilisation de technologies de plus en plus petites a pour conséquence l'augmentation du champ électrique à travers l'oxyde. Les électrons peuvent percer un tunnel à partir de l'oxyde de grille vers le substrat ou vice-versa. Ce courant de fuite se produit en raison du champ électrique élevé près de l'interface Si-SiO₂. Les électrons et les trous peuvent gagner assez d'énergie pour surmonter la barrière potentielle à l'interface et pénétrer dans la couche d'oxyde. Ce courant de fuite peut être exprimé par l'équation :

$$I_{ox} = K_g \cdot W \left(\frac{V}{T_{ox}} \right)^2 \exp\left(-\frac{\alpha_g \cdot T_{ox}}{V}\right) \quad (15.II)$$

Avec K_g et α_g (alpha grille) sont des constantes déterminées expérimentalement, W la largeur de canal du transistor, T_{ox} l'épaisseur d'oxyde de grille et V le potentiel à travers l'oxyde de grille. Cette équation montre clairement que la réduction de l'épaisseur de l'oxyde de façon exponentielle augmente l'effet tunnel.

Les électrons ont plus de facilité entrer dans l'oxyde de grille puisqu'ils ont une masse effective inférieure à celle des trous, et la taille de barrière pour des électrons est de 3.1eV est inférieur à celle des trous qui est égale à 4.5eV [Roy.03].

II.10. Le courant de grille dû à l'injection de porteurs chauds

Ce courant de fuite se produit en raison du champ électrique élevé près de l'interface Si-SiO₂.

Les électrons et les trous peuvent gagner assez d'énergie pour surmonter la barrière potentielle à l'interface et pénétrer dans la couche d'oxyde

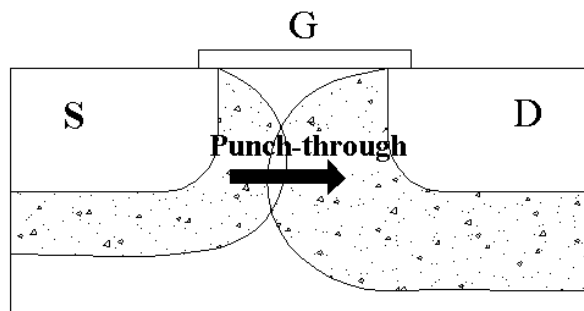
Les électrons ont plus de facilité entrer dans l'oxyde de grille puisqu'ils ont une masse effective inférieure à celle des trous, et la taille de barrière pour des

électrons est de 3.1eV est inférieur à celle des trous qui est égale à 4.5eV [Roy.03].

II.11. Courant de perforation (Channel punch-through leakage)

La décroissance de la longueur de canal conduit au rapprochement des régions de déplétion du drain et de la source p. La croissance de la tension de drain force également les deux régions de déplétion à se rapprocher.

Quand les deux régions de déplétion fusionnent, les porteurs majoritaires de la source surmontent la barrière d'énergie et pénètrent dans le substrat, où certains



d'entre eux sont collectés par le drain [Roy.03].

III. Paramètres desquels dépendent les courants de fuite

En observant la définition de chacun des mécanismes de fuite présentée précédemment il est évident que les différents courants de fuite dépendent d'un ou plusieurs paramètres de transistor. Le tableau 1 récapitule ces mécanismes et les paramètres desquels ces courants de fuite dépendent. Le changement de chacun de ces paramètres changera la valeur d'un ou plusieurs de ces courants de fuite.

Courant de fuite	Paramètres
Courant sous seuil	$V_{th}, L, W, V_{GS}, T_{ox}$

Figure II.14 : Extension des zone de déplétion dans le substrat conduisant au phénomène de punch-through.

GIDL	Concentration des régions n et p, surface des jonctions, V_{DD}
Courant de perforation	L, V_{DS}
Le courant tunnel à travers l'oxyde de grille	T_{OX}
Injection de porteurs chauds	V_{GS}, T_{OX}

Tableau II.1 : Paramètres influençant les courants de fuite

IV. Conclusion

Nous avons essayé dans ce chapitre de présenter tout d'abord le model de transistor MOSFET à canal court pour lequel nous avons essayé de déterminer certains de ses courants de fuite. Nous avons par la suite donné un aperçu sur les courants de fuite altérant le fonctionnement des transistors à canaux courts, et conduisant ainsi à une dissipation de puissance des transistors. Avec les technologies fortement sub-microniques, la puissance statique due à ces courants de fuite devient une source de plus en plus importante de consommations.

***CHAPITRE - III -
PRESENTATION DES RESULTATS ET
INTERPRETATION***

I. Introduction

Notre travail consiste à mettre en évidence les courants de fuite dans un dispositif MOSFET à canal court. Plusieurs modèles de transistors se prêtent à cette étude. On citera entre autre les modèles de transistors MOSFET suivants : le MM9, MM11 de Philips, le modèle EKV de Lausanne, et le modèle BSIM4 de l'université de Californie de Berkeley.

Nous avons choisi en ce qui nous concerne pour cette étude le model BSIM4, modèle très populaire et très présent actuellement dans l'industrie. BSIM4 est proposé actuellement pour répondre aux besoins des concepteurs de circuits, et qui a été introduit en 2000. Recommandé pour les simulations en Ultra Deep Submicron. Il contient 300 paramètres. Ce model décrit 3 zones de fonctionnement avec une bonne continuité entre chacune. Il est devenu un standard pour les fondeurs qui ne proposent même plus de paramètres pour les modèles plus simples. Il permet d'aboutir à des simulations précises pour des technologies submicroniques et submicroniques profondes .Le model BSIM (Berkeley Short-Channel IGFET Model) existe déjà dans différentes tel que le BSIM1, BSIM2, BSIM3 avec différentes versions améliorés pour chacun de ses modèles. La dernière version soit le BSIM4 a l'avantage d'être considérée comme une norme d'industrie pour les simulations submicroniques profondes des dispositifs.

. Le BSIM4 présente non seulement, en plus de ses prédécesseurs, une continuité parfaite entre ses différentes régions de fonctionnement, mais en plus, une nouvelle région où l'effet d'ionisation par impact est dominant, cette région peut être mise en évidence pour des valeurs très importantes de la tension drain-source bien au-dessus de la tension d'alimentation nominale V_{DD} .

Une des principales caractéristiques du model BSIM4, visé par cette étude, est en fait l'utilisation d'une seule équation du courant drain-source, valide pour tous les modes de fonctionnement, et avec une bonne continuité.

La caractéristique théoriques I_{DS} en fonction de la tension V_{DS} est celle de la Figure III.1.

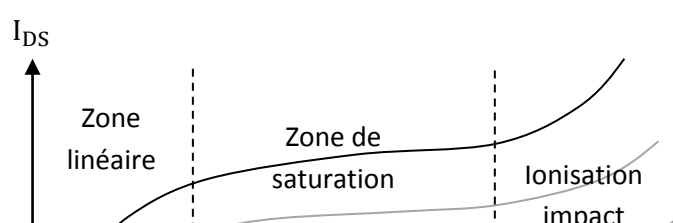


Figure III. 2 : Schéma équivalent DC implémenté par le BSIM4.

Le schéma de la Figure III.2 est le schéma équivalent implémenté par le BSIM4. On remarque que ce model n'inclut aucun courant de fuite au niveau de la grille ce qui revient à dire que le courant de fuite du drain induit par la grille I_{GDL} , le courant tunnel à travers l'oxyde de grille I_{OX} ainsi que le courant de grille dû à l'injection de porteurs chauds ne sont pas pris en considération au niveau du schéma équivalent.

Les courants de fuite dont on tient compte dans ce model sont les courants de fuite des jonctions drain/substrat et source/substrat I_{jDB} et I_{jSB} , le courant de fuite du au substrat I_{SUB} due à l'ionisation par impact des porteurs de charge dans le canal avec les atomes du cristal générant des paires électrons/trous ainsi que le courant sous seuil I_{DS} .

Les courants de fuite aux nœuds du modèle sont exprimé par:

$$I_G = 0 \quad (1.III)$$

$$I_D = I_{DS} + I_{SUB} - I_{jDB} \quad (2.III)$$

$$I_S = -I_{DS} - I_{jSB} \quad (3.III)$$

$$I_B = -I_{SUB} + I_{jSB} + I_{jDB} \quad (4.III)$$

$$I_D = I_S + I_B \quad (5.III)$$

II. Caractéristiques I-V du model BSIM4

Afin de mettre en évidence les courants de fuites dans notre structure submicronique de 50nm, nous avons tout d'abord mené ce travail sous environnement Matlab. Cette approche nous a permis de nous familiariser avec le model et l'expression de son courant de drain, ainsi qu'avec tous les paramètres que nous avons du manipuler permettant le tracé de cette caractéristique à expression complexe.

Nous rappelons que la caractéristique permettant d'exprimer le courant du drain en fonctions des tensions de polarisation et des paramètres du modèle est exprimée par :

$$I_{DS} = \frac{I_{DS0}}{1 + \frac{R_{DS} \cdot I_{DS0}}{V_{dseff}}} \cdot \left[1 + \frac{1}{C_{clm}} \cdot \ln \left(\frac{V_A}{V_{ASAT}} \right) \right] \cdot \left(1 + \frac{V_{DS} - V_{dseff}}{V_{ADIBL}} \right) \cdot \left(1 + \frac{V_{DS} - V_{dseff}}{V_{ADITS}} \right) \cdot \left(1 + \frac{V_{DS} - V_{dseff}}{V_{ASCBE}} \right) \quad (6.III)$$

Avec :

$$I_{DS0} = \frac{W_{eff} \cdot \mu_{eff} \cdot C_{oxeff} \cdot V_{gsteff} \cdot V_{dseff} \cdot \left(1 - \frac{V_{dseff}}{2 \cdot V_b} \right)}{L_{eff} \cdot \left(1 + \frac{\mu_{eff} \cdot V_{dseff}}{2 \cdot V_{SAT}(T) \cdot L_{eff}} \right)} \quad (7.III)$$

I_{DS0} est le courant du canal pour un composant intrinsèque (sans inclusion de la résistance source/drain) dans les régions de forte inversion.

Les contributions de saturation de vitesse, modulation de la longueur du canal (*CLM*: Channel-length modulation) et courant induit de substrat du à l'effet substrat effet de substrat (*SCBE*: substrate current-induced body effect) au courant du canal et la conductance ont été pris en compte dans cette expression complexe.

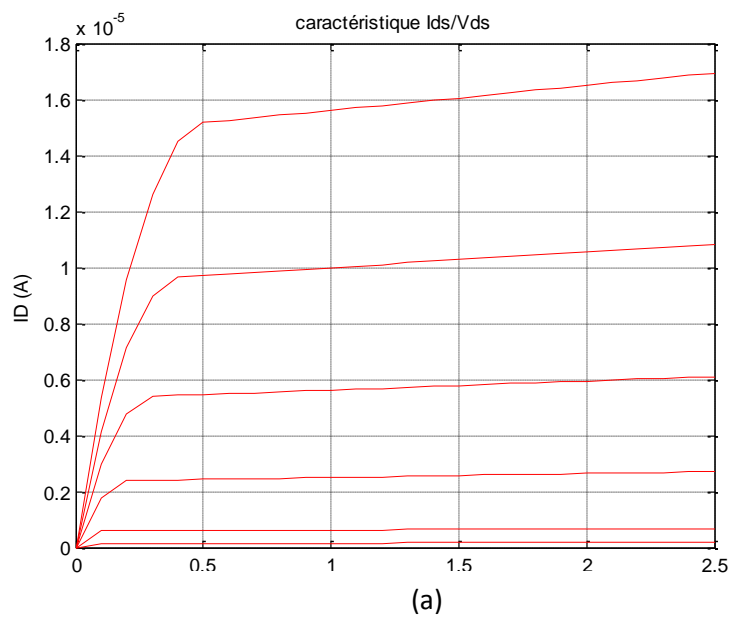
Comme nous l'avons exprimé déjà, le travail sous environnement Matlab permet de manipuler cette expression du courant et nous oblige à connaître toutes ses composantes, permettant ainsi une bonne compréhension du model et de l'influence de ses paramètres sur la détermination de son courant de drain. Une deuxième approche nous a conduit à utiliser le simulateur électrique SPICE, qui tient compte des modèles BSIM et ou il faut alors importer le model du BSIM4 dans l'élaboration du programme, ou on appelle le model décrit par une netlist quand on définit le transistor utilisé.

II.1. Simulation des courants de fuite d'une structure MOSFET

Nous avons choisi pour nos simulations comme nous l'avons cité auparavant le transistor BSIM4. Ces simulations ont été effectuées pour une technologie 50nm. Pour ces simulations le circuit suivant fut considéré.

Figure III.3 : Schéma du circuit permettant la mise en évidence

Nous avons tout d'abord simulé les caractéristiques du BSIM4 en technologie 50nm.les résultats de simulation que nous avons obtenus sous environnement MATLAB puis sous programmation SPICE sont données par la Figures III.4.



(b)

Figure III. 4 : Caractéristique I_{DS} en fonction de V_{DS} à V_{GS} constant et $V_{BS}=0V$. (a) : sous environnement MATLAB, (b) : Simulation SPICE

Afin de mettre en évidence la région où l'ionisation par impact est dominante, On polarise le transistor par des valeurs très importantes de la tension drain-source bien au-dessus de la tension d'alimentation nominale V_{DD} . Les résultats de simulation que nous avons obtenue sont donnés par la Figure III.5 qui suit :

Figure III.5 : Mise en évidence de la zone d'ionisation par impact.

La caractéristique I_{DS} en fonction de la tension V_{GS} permet de déterminer la tension de seuil V_{TH} . Le transistor considéré pour cette étude est un BSIM4 en technologie 50nm.

(a)

(b)

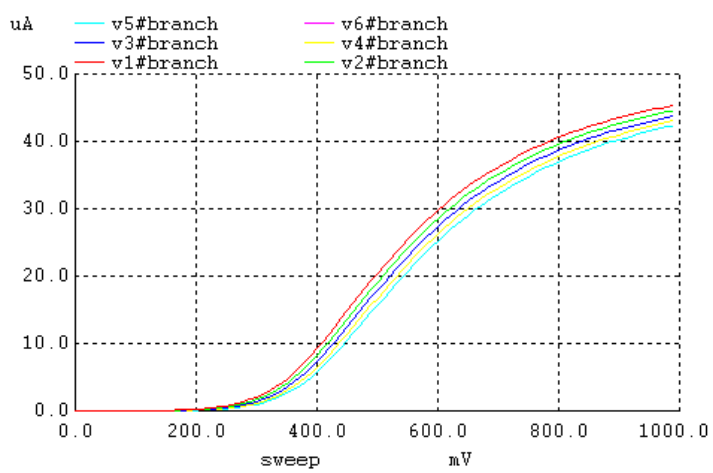
Figure III.6 : Caractéristique de transfert $I_{DS}-V_{GS}$

De ces graphes on détermine la tension de seuil à partir de laquelle ce transistor à enrichissement est conducteur soit alors $V_{TH} = 0.7V$ sous environnement SPICE et sous environn (b) Figure III.6 : Caractéristique de transfert $I_{DS}-V_{GS}$ vérifier avec le SPICE du BSI (b) : simulation MATLAB (b) Simulation SPICE.

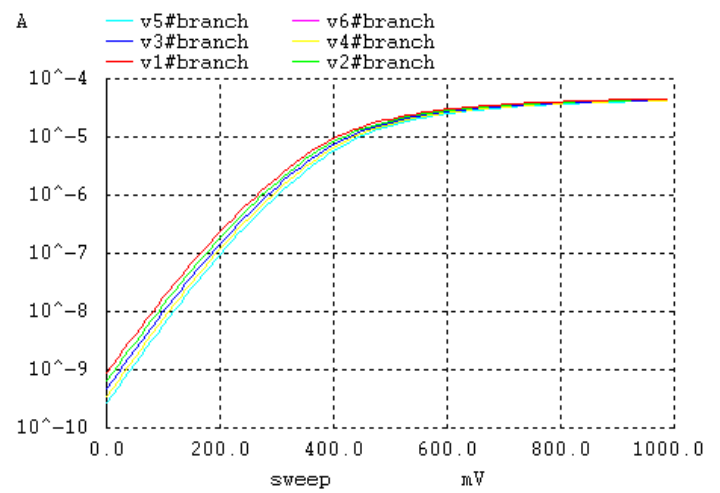
Afin de mettre en évidence l'effet de la variation de la tension de polarisation sur le courant du drain du transistor, on varie alors la tension de polarisation V_{BS} et on trace la caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de V_{BS} variant de $-0.5V$ à $0V$ avec un pas de $-0.10 V$. Les résultats de simulation obtenus pour une tension de polarisation $V_{DS}=0.05V$ et une tension de polarisation V_{GS} variant de $0V$ à $1V$ sont données tout d'abord en échelle linéaire, puis logarithmique dans ce qui suit. La représentation en échelle logarithmique permettra comme nous le verrons plus tard de déterminer le courant de fuite I_{OFF} du transistor.

(a)

(b)



(a)



(b)

Figure III.7 .B : Caractéristiques $I_{DS}-V_{GS}$ à V_{BS} constant du BSIM4 en technologie 50nm ($W/L=0.5/0.05$, $V_{DS}=0.05V$)

(b) échelle linéaire. (b) échelle logarithmique.

Environnement SPICE

Une deuxième simulation où on prend une tension $V_{DS}=V_{DD}=1V$ avec un même transistor permet d'obtenir les résultats de la Figure III.8 suivants :

Nous pouvons tout d'abord remarquer que la tension de polarisation V_{DS} a une influence directe sur le courant du transistor. En effet en augmentant la tension de polarisation, le courant I_{DS} croit aussi.

On s'intéresse alors à l'identification des courants de fuite du modèle. Pour cela on définit alors les courants de fuite I_{ON} et I_{OFF} par :

$$I_{OFF} = I_D \Big|_{V_{gs}=0, V_{ds}=V_{DD}, V_{bs}=0}$$

$$I_{OFF} = I_D \Big|_{V_{gs}=V_{DD}, V_{ds}=V_{DD}, V_{bs}=0}$$

Le courant de fuite I_{OFF} est essentiellement du au courant sois seuil appelée subthreshold current et aux courants des jonctions I_{jDB} et I_{jSB} , alors que le courant de grille est négligeable en comparaison au courant I_{OFF} . A $V_{GS}=0V$, les courants I_{gb} , I_{gs} , I_{jbs} sont nuls

On peut alors écrire :

$$\begin{cases} I_D = I_C + I_{GIDL} - I_{gd} + I_{jbd} \\ I_G = I_{gd} \\ I_B = -I_{jbd} - I_{GIDL} \end{cases} \quad (8.III)$$

On se propose alors dans ce qui suit de mettre en évidence les courants I_{ON} , I_{OFF} et I_{GIDL} .

Dédicace

Pour cela nous faisons varier la tension de grille de $-V_{DD}$ à $+V_{DD}$ soit alors dans une première étude ou nous polarisons le transistor à $V_{DD}=V_{DS}= 1.2V$, la tension de grille varie alors de $-1.2V$ à $+1.2V$ pour $V_{BS}=0V$ et en considérons toujours le même transistor.

Les résultats de simulation que nous avons obtenus sont ceux de la Figure III.9 qui suit :

(a)

(b)

Nous pouvons alors déduire les courants I_{ON} , I_{OFF} , I_{GIDL} qui apparaissent clairement sur nos résultats de simulation. On compare alors nos résultats (Figure III.9.a) avec ceux obtenus par d'autres travaux (Figure III.9.b) utilisant la technologie 65 μ . Nos résultats de simulations sont jugés satisfaisants en comparaison avec ceux représentés en technologie 65 μ dans une étude menée sur les MOS en technologie 65 μ . Il est cependant à noter que les résultats de simulation de la Figure III.9.b présentent un courant I_{GIDL} moins important que le notre vu que le modèle considéré est un modèle de transistor faible puissance.

On varie la tension de polarisation V_{DD} . Cette tension est maintenant prise à 0.5V. Les résultats de simulations que nous avons obtenus sont ceux de la Figure III.9.c.

On remarque tout d'abord que la tension de polarisation a un impact direct sur les courants I_{GIDL} ce qui était prévisible car ce courant dépend étroitement avec la concentration des dopants, la surface des jonctions, et de la tension de polarisation V_{DD} . On remarque donc que ce courant croît quand la tension de polarisation croît.

Quand au courant I_{OFF} la variation n'est pas très importante, néanmoins il varie légèrement aussi avec la variation de la tension de polarisation.

Afin de mettre en évidence les effets de la température sur les courants I_{ON} et I_{OFF} , on trace la caractéristique $I_{DS}-V_{GS}$ en échelle logarithmique avec $V_{BS}=0$, pour trois températures. Les résultats obtenus sont donnés par le schéma de la figure I_{D1} pour $T=-40^{\circ}\text{C}$, I_{D4} pour $T=20^{\circ}\text{C}$ et $T=100^{\circ}\text{C}$. Nos résultats de simulation sont regroupés sur la figure III.10 :

Figure III.10 : Influence de la température sur le courant de fuite I_{OFF} .

On peut tout de suite remarquer que les courants I_{OFF} et I_{ON} dépendent de la température. Le courant I_{OFF} augmente quand la température augmente. Le courant I_{ON} varie aussi, mais sa variation est insignifiante en comparaison avec la variation du courant I_{OFF} . La variation du courant I_{ON} est due à la variation de la mobilité et à celle de la vitesse de saturation des porteurs, ainsi que de la tension de seuil qui varient avec la température. Les lois mettant en évidence ces variations sont exprimées comme suit :

$$U_0(T) = U_0(T_{nom}) \left(\frac{T}{T_{nom}} \right)^{U_{TE}} \quad (9.III)$$

$$V_{SAT}(T) = V_{SAT}(T_{nom}) - A_T \left(\frac{T}{T_{nom}} - 1 \right) \quad (10.III)$$

$$V_T(T) = V_T(T_{nom}) + K_T \left(\frac{T}{T_{nom}} - 1 \right) \quad (11.III)$$

U_0 est la mobilité des porteurs, V_{SAT} leur vitesse de saturation, U_{TE} , A_T et K_T sont les coefficients de température respective de la mobilité, de la vitesse de saturation et de la tension de seuil T_{nom} est la température ambiante. Tous ces paramètres diminuent avec l'accroissement de la température.

Concernant le courant I_{GIDL} , Ce paramètre ne dépend pas de la température et n'est aucunement affecté par la variation de la température. Afin de vérifier cette théorie nous varions la température pour notre model, les résultats de simulation sont donnés en Figure III.11 :

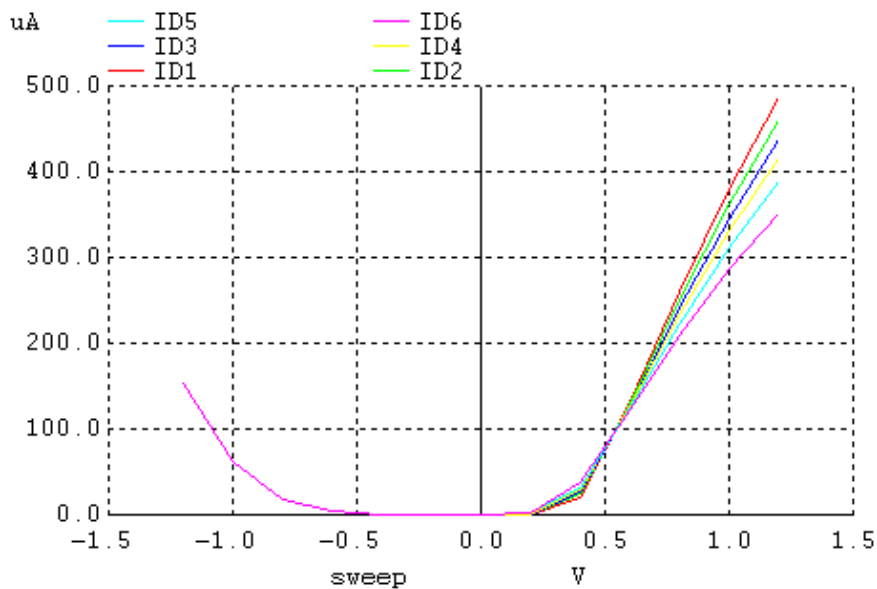


Figure III.11 : Invariance du courant I_{GIDL} avec la température.

Nous

Reprenons la caractéristique $\log I_{DS}$ en fonction de V_{GS} pour deux tensions de polarisation V_{DS} de la Figure III.11. Ces résultats mettent en évidence les composantes principales du courant I_{OFF} qui sont le courant sous le seuil, le courant inverse de la diode, le $DIBL$ et le $GIDL$ de notre transistor MOS étudié en technologie CMOS 50nm

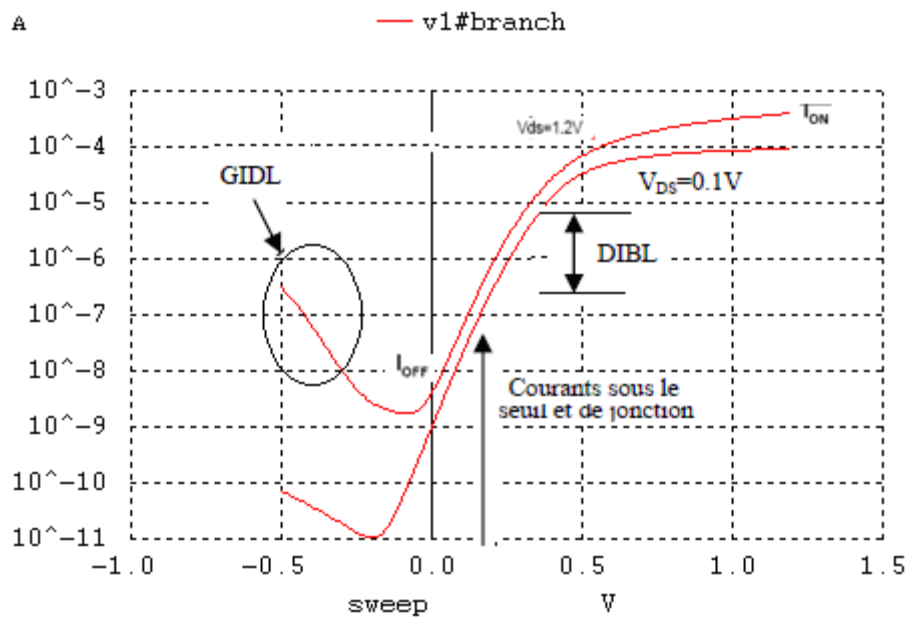


Figure III.12 : Caractéristique $\log I_{DS}(V_{GS})$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF} qui sont le courant sous le seuil, le courant inverse de la diode, le *DIBL* et le *GIDL* dans la technologie CMOS 50nm

On remarque que la tension de seuil a baissée ; ceci est du à l'effet *DIBL* qui abaisse la tension de seuil du transistor mais ne modifie cependant pas la pente sous le seuil qui est égale à 0.22v pour $V_{DS}=1.2v$. L'effet *DIBL* est donc habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_{th} divisé par le ΔV_D qui est dans notre cas égale à 1.1volt , entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \quad (mV/V) \quad (12.III)$$

Le *DIBL* est donc considéré comme la variation du courant I_{DS} pour une variation de la tension V_{DS} , à tension V_{GS} constante. L'effet *DIBL* est illustré sur Figure: il déplace la courbe vers le haut et la gauche lorsque la tension V_{DS} augmente de 0.1v à 1.2v. De ce résultat de simulation, nous avons mettre en évidence les composantes principales du courant I_{OFF} à savoir le courant sous le seuil, le courant inverse de la diode, le *DIBL* et le *GIDL* dans la technologie CMOS 50nm

On propose alors de voir l'influence de la longueur puis de la largeur du transistor sur ses courants de fuites

Pour cela nous varions la longueur du canal de 50 nanomètres, à 1250 nanomètres avec un pas de 50 μ . La largeur est maintenue constante et égale à 1250 nanomètres. Les résultats de simulation que nous avons obtenus sont donnés en Figure III.13

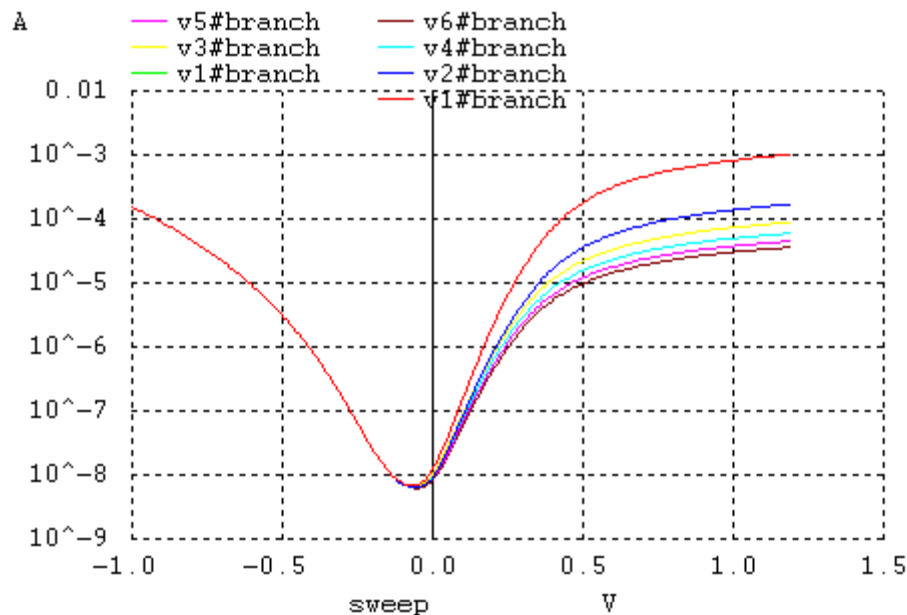


Figure III.13 : Caractéristique $\log I_{DS} (V_{GS})$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF} la technologie CMOS 50nm

Pour une longueur variable et une largeur constante =50n.

On remarque que la variation de la longueur du canal n'a pas d'influence sur le courant I_{GIDL} , son influence sur le courant I_{OFF} est presque insignifiante par contre le courant I_{on} varie de manière significative avec L

On varie maintenant la largeur tout en maintenant une longueur constante et égale à 50nanometres. Les résultats de simulation ainsi obtenus sont donnés en Figure III.14

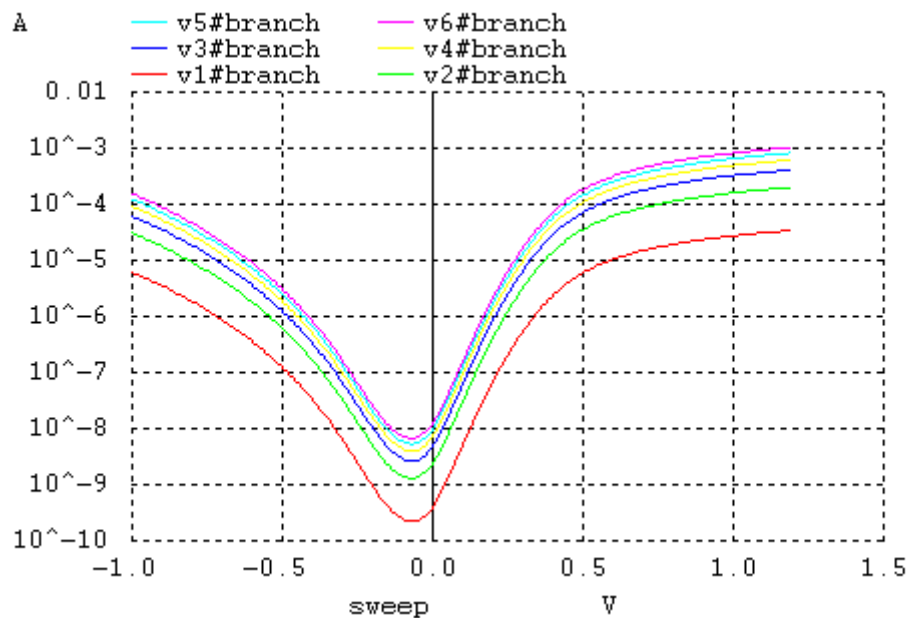


Figure III.14 : Caractéristique $\log I_{DS} (V_{GS})$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF} la technologie CMOS 50nm

Pour une longueur constante=50n et une largeur variable.

En variant la largeur du canal les courants I_{OFF} , I_{GIDL} ainsi que I_{OFF} varient simultanément.

II.2. Analyse des effets des canaux courts sur la tension de seuil du MOSFET

Afin d'illustrer les effets des canaux courts, nous déterminons les caractéristiques $I_{DS}-V_{DS}$ pour le même model de transistor pour lequel on varie ses paramètres géométriques :

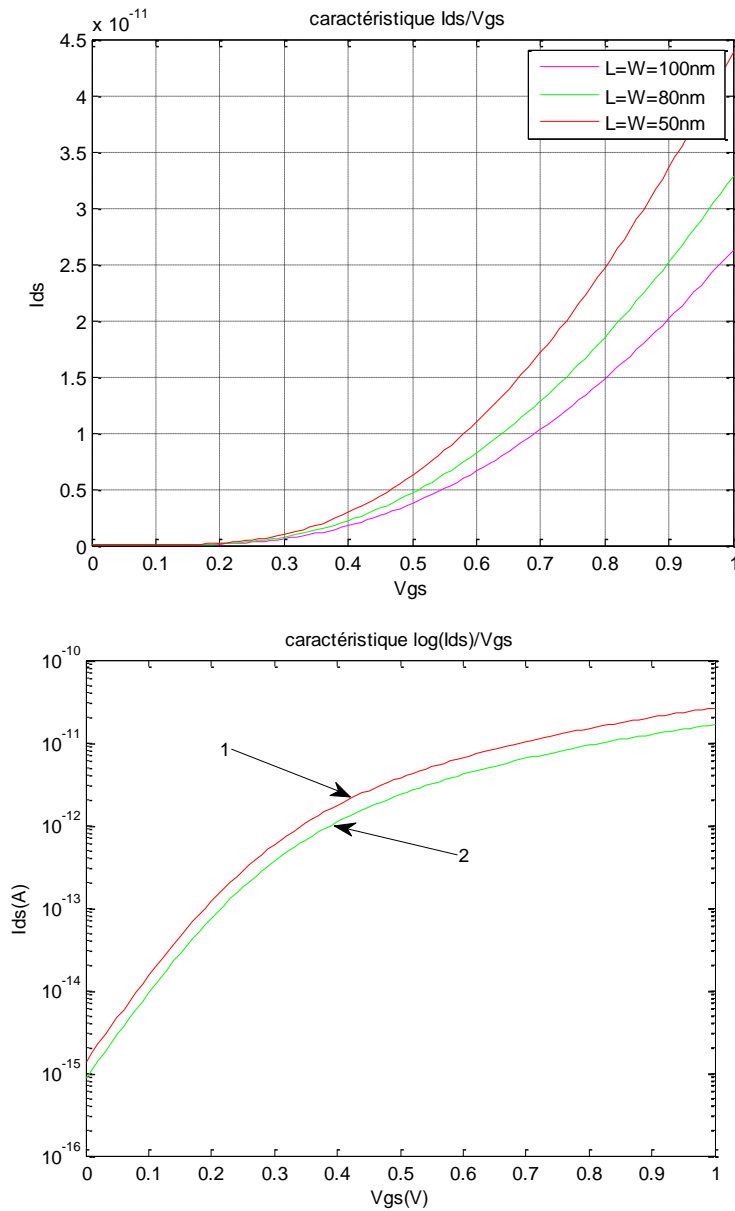


Figure III.15 : impact des effets des canaux courts sur la tension de seuil du transistor

Nous pouvons tout de suite remarquer la variation de la tension de seuil est plus importante dans le cas d'un transistor à canal long (courbe 2) par rapport à un transistor à canal plus court (courbe 1).

Nous finissons ce travail par la mise en évidence des effets des canaux courts sur la tension de seuil quelque soit la structure MOS étudiée.

Pour cela nous considérons un dispositif MOS avec les paramètres suivants:

La densité de dopage du substrat $N_A = 10^{16} \text{cm}^{-3}$

la densité de dopage Poly silicium N_D (grille) = $2 \cdot 10^{20} \text{cm}^{-3}$

l'épaisseur de l'oxyde de grille $T_{ox} = 50 \text{ nm}$

La densité fixe de charge d'oxyde d'interface de $N_{ox} = 4 \cdot 10^{10} \text{ cm}^{-2}$

La densité de dopage de diffusion de la source et le drain $N_D = 10^{17} \text{ cm}^{-3}$

En outre, nous supposons que la région de canal est implanté avec des impuretés type p (impuretés concentration $2 \cdot 10^{11} \text{ cm}^{-2}$) Pour régler la tension de seuil.

En plus, la profondeur de diffusion de la jonction source-drain est $x_j = 1,0 \text{ nm}$

Notre Objectif est de déterminer la variation de la tension de seuil V_{Th} en fonction de la longueur de canal L Cette dernière étude a été réalisée sous environnement MATLAB

La variation de la tension de seuil en fonction de la longueur L du canal est représentée par le schéma de la Figure III.16.

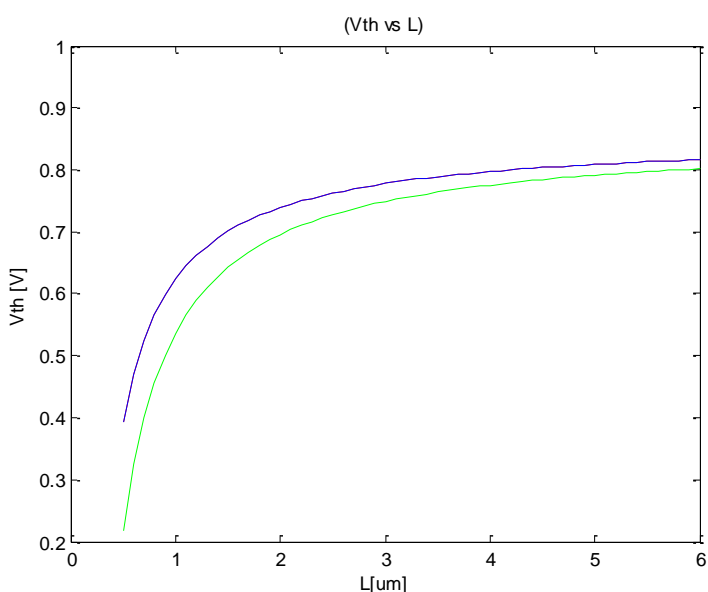


Figure III.16 : variation de la tension de seuil en fonction de la longueur du canal

Ce graphe illustre la variation de la tension de seuil avec la longueur du canal. On voit bien que de la tension de seuil diminue de près de 50% pour les longueurs courtes du canal alors qu'elle augmente pour des longueurs de canal plus grandes.

Si la tension de drain augmente, la barrière de potentiel dans le canal diminue, conduisant à la diminution de la barrière de drain induite le (DIBL). La réduction de la barrière de potentiel permet éventuellement un flux d'électrons entre la source et le drain, même si la tension grille-source est inférieure à la tension de seuil. Le courant de canal qui passe dans ces conditions ($V_{GS} < V_{T0}$) représente le courant sous seuil.

III. Conclusion

Nous avons essayé dans ce chapitre de mettre en évidence les courants de fuite inhérents aux transistors MOSFET submicronique. Notre choix s'est porté sur le BSIM4 et la technologie visée par cette étude est la technologie 50nm. Notre choix a été conditionné par le fait que ce model est largement adopté actuellement en industrie et dans le domaine de la recherche. Nos travaux ont été effectués tantôt sous environnement MATLAB et tantôt en utilisant un logiciel de simulation électrique très puissant le SPICE.

Cette étude nous a non seulement permis de mettre en évidence certains courants de fuite conduisant a des dissipations inutiles de puissances et à l'échauffement des composants d'une part et nous a permis aussi de comparer nos résultats de simulations par les deux chemins que nous avons pris et de mieux nous familiariser avec ces méthodes ce calcul.

Nous pouvons remarquer que la simulation sous environnement MATLAB est intéressante dans le sens ou nous manipulons les équations régissant le fonctionnement du model, néanmoins une simulation SPICE est à notre sens bien plus appropriée, elle permet de faire appel au model directement par sa netlist.

CONCLUSION GENERALE

Conclusion générale

La puissance dissipée par les circuits microélectroniques représente une contrainte de plus en plus forte lors de leur conception, que ce soit pour des raisons de coût, des raisons de fiabilité ou bien des raisons d'autonomie et tout particulièrement dans le cas de systèmes portables. Bien évidemment, ce problème n'est pas nouveau puisqu'il est apparu avec les premières montres à quartz. Seulement aujourd'hui, il concerne un spectre plus large d'applications. Pour pallier ce problème, la réduction de la tension d'alimentation qui s'accompagne de la réduction de dimension du dispositif s'avère très efficace dans le cas où les performances attendues ne sont pas trop élevées. Cela permet en effet de réduire quadratiquement la puissance dynamique et exponentiellement de la puissance due aux courants de fuite. Il faut néanmoins trouver un compromis entre la consommation et la vitesse, cette dernière chutant rapidement lorsque la tension d'alimentation devient inférieure à une certaine valeur de la tension.

Pour mieux appréhender le comportement des transistors MOS opérant à très basses tensions, nous avons présenté dans ce travail un modèle physique et analytique prenant en compte les effets des canaux court. Ce modèle décrit les propriétés du transistor, les phénomènes physiques liés à la structure particulière du poly-silicium.

Nous nous sommes aussi intéressés aux problèmes posés par les différents courants de fuites qui se manifestent lors de la miniaturisation. Il est en effet connu que, dans les technologies submicroniques actuelles, le délai de propagation des signaux est de plus en plus présent dans les fils car il tend à

diminuer d'une génération technologique à l'autre. Intuitivement, nous pourrions penser que ce problème est aggravé à très basse tension puisque le courant fourni par les transistors est déjà très faible, de ce fait il serait souhaitable d'avoir des courants de fuites faibles dans ces structures.

En ce qui nous concerne, nous avons choisie pour la présentation des courants de fuites dans les structures MOSFET à canaux courts, le model BSIM4 de l'université de Californie Berkeley qui après comparaison avec d'autres modèles, s'avère être celui qui possède le meilleur facteur de qualité et la meilleure marge au bruit. Dans ce type de technologies submicroniques et nanométriques, la consommation d'énergie dynamique n'est plus la seule source pertinente de la dissipation de puissance. En fait, le présent et l'avenir technologies sera caractérisée par la consommation d'énergie provenant de différentes grandes sources de fuite statique. Dans cette deuxième partie, les principales ont été expliquées. Toutefois, il est important d'observer que, selon la polarisation du transistor, seulement une partie des mécanismes décrits se produit. Les résultats obtenus , nous ont permis de mettre en évidence certains courants de fuite inhérents aux transistors MOSFET, ce qui nous a permis par la même occasion de connaitre et d'étudier cette notion de courants de fuite dans les structures MOSFET, et leurs inconvénients, ce qui nous était jusque la inconnu.

Ainsi, avec le modèle étudié, nous avons été en mesure d'examiner de près l'influence de la variation des dimensions du canal (longueur et largeur), et de la température sur les courants de fuites.

Une étude plus exhaustive permettrait de mettre en évidence ces courants de fuites dans d'autres modèles tels que l'EKV ; MM11... et de comparer les effets de ces courants sur le vieillissement de ces structures.

REFERENCES BIBLIOGRAPHIQUES

References

- [KRI.81] KRIEGER G. and SWANSON R.M., Fowler-Nordheim Tunneling in Thin Si-SiO₂-Al Structures, J. Appl. Phys., (1981), 9, n°52, 5710-5717.
- [LEN.68] LENZLINGER M. and SNOW E. H., Fowler-Nordheim Tunneling into Thermally Grown SiO₂, J. Appl. Phys., (1968), 1, n°40, 278-283.
- [MAT.90] MATHIEU H., Physique des semiconducteurs et des composants électroniques, Masson (2^e édition), Paris, 1990.
- [NEV.99] NEVE A., FLANDRE D. et QUISQUATER J.-J., Feasibility of Smart Cards in Silicon-On-Insulator (SOI) Technology, Proceeding of USENIX Workshop on Smartcard Technology, (1999), 1-7.
- [SEI.80] SEIKI O., TSANG P.J., WALKER W.W., CRITCHLOW D.L. and SHEPARD J.F., Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor, IEEE Transactions on Electron Devices, (1980), 27, n°8, 1359-1367.
- [SZE.81] SZE S.M., Physics of Semiconductor Devices, Wiley-Interscience Publication (second edition), 1981.
- [YAU.74] Yau L.D., A Simple Theory to Predict the threshold Voltage of Short-Channel IGFET's, IEEE J. of Solid State Electron., (1974), 9, n°3, 256-263.
- [XIN.93] Xing Zhou, Khee Yong Lim - "A general approach to compact threshold Voltage formulation based on 2-D numerical simulation and experimental correlation for deep.submicron ULSI technology development"(1993).
- [KAI.92] Kai Chen and Chenming Hu - "Performance and V_{dd} scaling in deep submicrometer CMOS" (1992).

- [HAL.96] Haldun H. – “Digital microelectronics”
- [SUN.97] Sung-Mo, Yusuf – “CMOS digital integrated circuits”
- [LIM.90] Lim, Zhou, Zu, Ho, Loiko, Lau, Tse, Choo – “A predictive semi-analytical threshold voltage model for deep-submicron MOSFET’s”
- [Roy.03] K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-sub micrometer CMOS circuits", IEEE, Vol. 91, No. 2, Feb. 2003, pp. 305 - 327.
- [FAY.06] Fayçal djefal. Modelisation et simulation du transistor MOSFET fortmrrnt submicronique. Application a la conception des dispositifs integrés. Thèse de doctorat 2006. Université de Batna.
- [BER] X. Xi et al., "BSIM4.5.0 MOSFET model – User's manual", <http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html>.
- [YPT.87] Y. P. Tsividis "Operating and Modeling of the MOS transistor", McGraw-Hill, 1987,ISBN 0-07-065381-X.
- [YCH.99] Y. Cheng, C. Hu "MOSFET Modeling & BSIM3 user's guide", Kluwer AcademicPublishers, 1999.
- [WLI.01] W. Liu "Mosfet Models for SPICE simulation including Bsim3v3 and BSIM4", Wiley &Sons, 2001.
- [EUD] <http://www.eudil.fr/eudil/bbsc/unip/unip800.htm>
- [IRI] <https://iris.univ-lille1.fr/dspace/handle/1908/1019>
- [TEC] www.techniques-ingenieur.fr/affichage/noeud.asp.

ANNEXES

Solutions apportées à certains effets indésirables de la miniaturisation

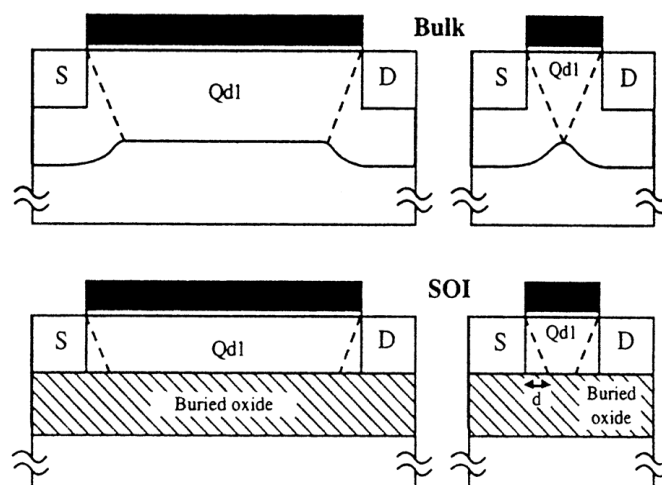
Nous exposerons ici les principales améliorations apportées aux dispositifs submicroniques.

1. Amélioration du contrôle de la grille sur la charge de déplétion grâce à la technologie SOI :

Le modèle de séparation de charge fournit la proportion de la charge de déplétion Q_{d1} contrôlée par la grille par rapport à celle contrôlée par la source et le drain.

Si on compare des transistors MOS en technologie bulk et SOI possédant les mêmes dimensions (même longueur de canal, même épaisseur de jonction...), on constate, toutes proportions gardées, que le rapport entre la charge de déplétion contrôlée par la grille et le drain (la source), est beaucoup plus important en technologie SOI.

Ce phénomène est d'autant plus marqué que la longueur de canal diminue comme il est représenté dans la figure qui suit :

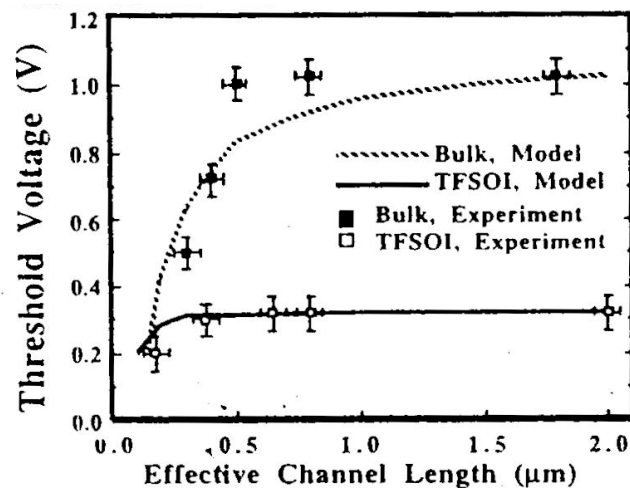


Distribution de la charge de déplétion pour des transistors MOS en technologie bulk et SOI.

Il s'en suit que la tension de seuil sera moins affectée par une augmentation de la tension de drain en technologie SOI.

Suivant certaines approximations effectuée grâce au modèle de Yau [YAU.74], on obtient les caractéristiques de la tension de seuil en fonction de la longueur de canal en SOI.

On peut constater que la tension de seuil est nettement moins affectée par la réduction de la longueur de canal en technologie SOI qu'en bulk comme suite :

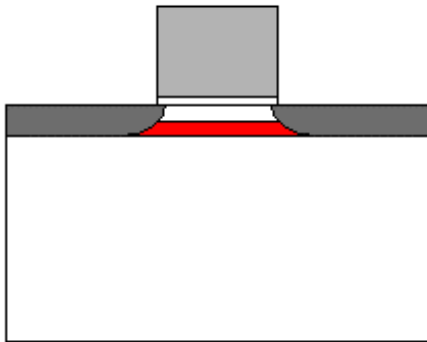


Caractéristique de la tension de seuil en fonction de la longueur de grille en bulk et en SOI.

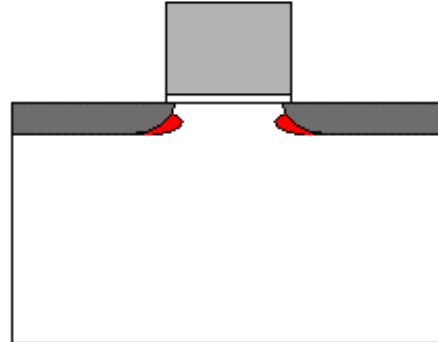
2. Diminution du phénomène de punch-through :

Le punch-through crée un courant parasite qui emprunte un chemin plus en profondeur dans le substrat. Une façon de pallier à ce courant parasite est d'augmenter le dopage du substrat de façon à réduire l'extension des zones de déplétion. Toutefois, il ne faut pas perdre de vue que cela se fait au détriment d'une détérioration de la pente sous seuil.

Un autre moyen consiste en l'implantation de zones dopées P⁺ (dans un transistor (N⁺P-N⁺) localisées à la base des jonctions où se produit le punch through. Ceci permet de réduire localement la zone de déplétion sans détériorer la pente sous seuil.



(a)



(b)

*Implantation de zones P⁺ dans le substrat de transistor n-MOS de type
(a) « Delta Doping » et (b) « Pocket Implants ».*