

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE



UNIVERSITE ABOU BEKR BELKAID-TLEMCEEN
FACULTE DE TECHNOLOGIE
DEPARTEMENT DE GENIE ELECTRIQUE ET ELECTRONIQUE



MEMOIRE DE MAGISTER
EN
MICROELECTRONIQUE

Présenté par :

M^{elle} RAHOU Fatima Zohra

Sur le Thème

**Etude et mise en évidence des performances
des structures MOS sur SOI**

Soutenu en Décembre 2010 devant la commission d'examen :

Mr F. BEREKSI REGUIG	Professeur à l'université de Tlemcen	Président
M ^{me} A. GUEN. BOUAZZA	Maître de Conférences à l'univ. de Tlemcen	Directeur de Mémoire
Mr N.E. CHABANE-SARI	Professeur à l'université de Tlemcen	Examineur
Mr K.E. GHAF FOUR	Professeur à l'université de Tlemcen	Examineur
Mr B. BOUAZZA	Maître de Conférences à l'univ. de Tlemcen	Examineur

Dédicace

Je dédie ce modeste travail :

*A mes parents, les plus chers au monde qu'ils
m'ont encouragé,*

A mon frère et mes sœurs,

A toute ma famille et tous ceux qui me sont chers,

A mes collègues de promotion et toutes mes amies.

Remerciements

Je remercie **ALLAH** le Tout-puissant de m'avoir donné le courage, la volonté de mener à terme ce travail.

Les travaux présentés dans ce manuscrit ont été réalisés à la faculté de technologie, Département d'Electronique de l'Université ABOU-BEKR Belkaid de Tlemcen situé à CHETOUANE et à l'Unité de Recherche Matériaux et des Energies Renouvelables (URMER) de la faculté des sciences, sous la direction de madame **Ahlam Guen BOUAZZA**, Maîtres de conférences à l'Université Abou Bekr -Belkaïd-Tlemcen, à qui Je voudrais témoigner toute ma reconnaissance et toute ma gratitude , elle a fait preuve de tant de patience et de pédagogie tout au long de ce travail . Je lui exprime toute ma reconnaissance pour m'avoir fait bénéficier de toutes ses compétences et sa rigueur scientifiques, ses connaissances et sa maîtrise en la matière. Je voudrais aussi lui témoigner toute ma gratitude pour ses qualités humaines et sa constante disponibilité.

J'adresse mes sincères remerciements à monsieur **F. BEREKSI REGUIG**, Professeur à l'Université Abou Bekr Belkaïd-Tlemcen, d'avoir accepté de présider le Jury de ce mémoire.

Je remercie sincèrement monsieur **N.E CHABANE SARI** et **K.E. GHAF FOUR** Professeurs à l'Université Abou Bekr Belkaïd-Tlemcen ainsi que monsieur **B. BOUAZZA** Maîtres de conférences à l'Université Abou Bekr Belkaïd-Tlemcen d'avoir accepter de faire partie du Jury.

Je ne peux terminer ces remerciements sans exprimer toute ma gratitude à tous les membres de ma famille qui m'ont supporté, soutenu et conseillé tout au long de ce mémoire, en particulier ma **mère** et mon **père**.

Table des matières

Liste des constantes, symboles et abréviations	IV
Liste des figures	V
Liste des tableaux	VI
Introduction générale.....	1
Chapitre I : Etude et modélisation du transistor à effet de champ à grille isolée : Le MOSFET	7
I.1. Introduction	7
I.2. La structure MOS	8
I.2.1. La capacité MOS	8
I.2.2. Principe et régimes de fonctionnement.....	9
I.2.3. Modélisation de la capacité MOS.....	11
I.2.3.1. Les équations de bases	11
I.2.3.2. Evolution de la capacité C avec la tension V_{GS}	12
I.2.3.3. La charge du semi-conducteur Q_{SC}	14
I.2.3.4. La charge de la zone désertée Q_{dep}	16
I.2.3.5. La charge de la zone d'inversion Q_S	16
I.3. Etude de fonctionnement physique de transistor MOSFET	17
I.3.1. Principe de base et structures des transistors MOS	18
I.3.1.1 Effet de champ	18
I.3.1.2. Structure possibles	19
I.4. Principe de fonctionnement du transistor MOS	22
I.4.1. La tension de seuil V_{th} (threshold voltage)	22
I.4.2. Les régimes de fonctionnement du transistor MOS	23
I.4.3. Modélisation de courant de drain	26
I.4.3.1. Régime linéaire.....	30
I.4.3.2. Régime sous linéaire	31
I.4.3.3. Régime de saturation	31
I.4.4. Principaux paramètres des MOSFETs.....	34
I.4.5. Transistor MOS : schéma équivalent	37
I.4.5.1. Schéma équivalent en petits signaux basse fréquence.....	39

I.4.5.2. Schéma équivalent en petits signaux haute fréquence	40
I.5. Les phénomènes parasites dans le MOSFET	40
I.5.1. La mobilité effective	40
I.5.2. Les effets des canaux courts	43
I.5.2.1. Diminution de la tension de seuil V_{th} dans les canaux courts	43
I.5.2.2. Effets de réduction de la barrière de potentiel induit par le Drain (Effet de percement)	44
I.5.2.3 . Résistances séries parasites	46
I.5.2.4. Effet de perçage	47
I.5.2.5. Vitesse de saturation	48
I.5.2.6. Le partage des charges	49
I.5.2.7. Effet de canal court inverse	50
I.5.3. Les effets liés à la grille.....	51
I.5.3.1. Épaisseur effective de grille.....	51
I.5.3.1.1. Effets de polydésertion	51
I.5.3.1.2. Les effets quantiques	52
I.5.3.2. Le courant de grille	53
I.5.4. Effet GIDL	55
I.5.5. L'ionisation par impact	56
I.5.6. Les claquages et le régime d'avalanche	58
I.6. Conclusion.....	58
Références chapitre I.....	59
Chapitre II : Généralités et état de l'art de la technologie Silicium sur Isolant (Silicon On Insulator) SOI	64
II.1. Introduction	64
II.2. Applications actuelles et nouvelles motivations.....	66
II.2.1. Application aux PICs (Power Integrated Circuits)	69
II.2.2. Application aux composants de puissance	71
II.2.3. Application aux microsystèmes.....	72
II.3. Différentes technologies permettant la fabrication de wafers SOI.....	73
II.3.1. Les premières méthodes développées	75
II.3.1.1. Silicium sur saphir – SOS	75

II.3.1.2. Isolation diélectrique – DI	77
II.3.2. Les techniques actuelles et les plus répandues.....	78
II.3.2.1. Techniques de collage, dites « de bonding » : Wafer Bonding.....	78
II.3.2.1.1. BESOI (Bonded and Etchback SOI)	78
II.3.2.1.2. Eltran (Epitaxial Layer Transfer)	79
II.3.2.1.3. SmartCut (Unibond)	80
II.3.2.2. Techniques de conversion du matériau : Réalisation de la couche enterrée par implantation	82
II.3.2.2.1. SIMOX (Separation by Implantation of Oxygen)	82
II.3.2.3. Techniques d'épitaxie	83
II.3.2.3.1. Epitaxie latérale, ELO et MELO	83
II.3.2.3.2. Recristallisation de la zone fondue, ZMR (Zone Melting Recrystallization)	85
II.3.2.3.3. Le LEGO	86
II.4. Le futur des « couches actives sur isolant »	87
II.5. Nouvelles architectures sur SOI	87
II.6. Le transistor MOS SOI	87
II.6.1. Introduction	87
II.6.2. Avantage de la technologie SOI	92
II.6.2.1. Réduction des capacités parasites du substrat	92
II.6.2.2. Absence du phénomène de "latchup"	93
II.6.2.3. Simplification des étapes de siliciuration ou de metallization.....	94
II.6.2.4. Diminution du nombre d'étapes de développement.....	95
II.6.2.5. Meilleure caractéristiques de courants	97
II.6.2.5.1. Réduction de l'effet « body ».....	97
II.6.2.5.2. Plus grand courant de saturation	97
II.6.2.5.3. Plus grande mobilité et transconductance de grille.....	97
II.6.2.6. Réduction des effets de canaux courts.....	97
II.6.2.7. Meilleure pente sous seuil inverse.....	98
II.6.3. Fonctionnement des transistors MOSFET sur SOI	99
II.6.3.1. Transistors partiellement et totalement désertés	99
II.6.3.2. Propriétés électriques des composants PD et FD	102
II.6.3.2.1. Courant de saturation	103
II.6.3.2.2. Mobilité	103

II.6.4. Les effets physiques liés à la technologie SOI	103
II.6.4.1. Les effets thermiques	104
II.6.4.2. Les effets liés au potentiel de substrat flottant	105
II.6.4.2.1. Effet « kink »	105
II.6.4.2.2. Effet GIFBE	108
II.6.4.2.3. Effet du transistor bipolaire parasite	109
II.6.4.2.4. Les effets transitoires	111
II.7. Conclusion	112
Références chapitre II	113
Chapitre III : Résultats et interprétations	119
III.1. Présentation de l’outil de simulation numérique bidimensionnelle SILVACO	119
III.1.1. Présentation du paquet des programmes SILVACO	120
III.1.1.1. Les outils de simulation (VWF core tools)	120
III.1.1.2. Les outils interactifs (VWF interactive tools)	120
III.1.1.3. Les outils d’automatisation (VWF automation tools)	120
III.1.2. Présentation d’Atlas	122
III.1.2.1. Logique de programmation	125
III.1.2.2. Simulation avec Atlas – SILVACO	127
III.1.2.2.1. L’équation de poisson	127
III.1.2.2.2. L’équation de continuité	127
III.1.2.2.3. L’équation de transport	128
III.1.3. Simulation de la Technologie SOI	128
III.1.3.1. Le maillage dans les transistors SOI MOSFET	128
III.1.3.2. Méthodes numériques utilisées lors de la simulation des transistors SOI MOSFET	129
III.2 Modélisation 2D du transistor SOI NMOSFET	129
III.2.1. Structure SOI NMOSFET simulée par SILVACO	132
III.2.2. Caractéristique de transfert $I_{DS}-V_{GS}$	135
III.2.3. Caractéristiques de sortie $I_{DS}-V_{DS}$	136
III.2.4. Influence des variations des paramètres du SOI NMOSFET sur son courant de drain	136

III.2.4.1. Influence de la variation de l'épaisseur du film de silicium T_{si} sur les caractéristiques du transistor	137
III.2.4.1.1. Influence de la variation de l'épaisseur du film de silicium T_{si} sur les caractéristiques $I_{DS}-V_{DS}$	137
III.2.4.1.2. Influence de la variation de l'épaisseur du film de silicium T_{si} sur les caractéristiques $I_{DS}-V_{GS}$	138
III.2.4.2. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques du transistor	139
III.2.4.2.1. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$	139
III.2.4.2.2. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$	140
III.2.4.3. Influence de la variation de la longueur de la grille L_G sur les caractéristiques du transistor	142
III.2.4.3.1. Influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{DS}$	142
III.2.4.3.2. Influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{GS}$	142
III.2.4.4. Influence de la variation de la longueur du canal L sur les caractéristiques du transistor	143
III.2.4.4.1. Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$	143
III.2.4.4.2. Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{GS}$	145
III.2.4.5. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques du transistor	146
III.2.4.5.1. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$	146
III.2.4.5.2. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$	147
III.2.4.6. Influence de la température	147

III.2.4.6.1. Influence de la température sur les caractéristiques $I_{DS}-V_{DS}$ et $I_{DS}-V_{GS}$	148
III.3. Conclusion	153
Références chapitre III	154
Conclusion générale	155
Annexe : Procédés technologiques	158

Liste des constantes, symboles et abréviations

Constantes	Significations/Valeurs
ϵ_0	Permittivité diélectrique du vide, $\epsilon_0 = 8,85 \cdot 10^{-12}$ F/m
ϵ_{Si}	Permittivité diélectrique du silicium, $\epsilon_{Si} = 11,8 \cdot \epsilon_0$
ϵ_{SiO_2}	Permittivité diélectrique de l'oxyde de silicium, $\epsilon_{SiO_2} = 3,9 \cdot \epsilon_0$
k_B	Constante de Boltzmann, $k_B = 8,617385 \cdot 10^{-5}$ eV/K
q	Charge élémentaire, $q = 1,602 \cdot 10^{-19}$ C
k_1	Constante, $k_1 \in [1,5 ; 1,7]$
k_2	Constante $k_2 \in [0,5 ; 4]$
A_T	Constante $A_T = 3,3 \cdot 10^4$
a_i	Constante empirique $a_i \approx 1,4 \cdot 10^6$ cm ⁻¹
B_i	Constante empirique $B_i \approx 2,6 \cdot 10^6$

Symboles	Significations	Unités
Φ_m	Le travail de sortie du métal	eV
Φ_{sc}	Le travail de sortie du semi-conducteur	eV
Φ_B	La hauteur de barrière métal-oxyde	eV
Φ_{MS}	La différence entre les travaux de sortie de la grille et du semi-conducteur	eV
Φ_D	Le potentiel de diffusion de la jonction drain-substrat	eV
Φ_F	Le potentiel de Fermi du silicium	eV
Φ_n, Φ_p	Les niveaux de potentiel de quasi Fermi	eV
χ_i	L'affinité électronique de l'oxyde	eV
χ_{sc}	L'affinité électronique du semi-conducteur	eV
E_g	La largeur de la bande interdite du semi-conducteur	eV
E_F	L'énergie du niveau de Fermi	eV
E_i	Le niveau de Fermi intrinsèque	eV
Q_G	La charge au niveau de la grille	C m ⁻²
Q_{ox}	La charge fixe dans l'oxyde	C m ⁻²
Q_{it}	Les pièges d'interface	C m ⁻²

Q_{SC}	La charge du semi-conducteur	$C m^{-2}$
Q_{dep}	La charge de la zone désertée	$C m^{-2}$
Q_s	La charge d'inversion	$C m^{-2}$
Q_T	La concentration d'ions fixes dus à des défauts des matériaux (pièges).	cm^{-3}
N_A	la concentration en atomes accepteurs ionisés	cm^{-3}
N_D	La concentration en atomes donneurs ionisés	cm^{-3}
n_i	La concentration intrinsèque de porteurs libres	cm^{-3}
$\rho(y)$	La densité de charges	C
$p(y) / n(y)$	Les densités de trous et d'électrons dans le semi-conducteur	C
p_0 / n_0	Les densités de trous et d'électrons libres dans le semi-conducteur	C
$n(xyz)$	La densité d'électrons	C
$\sigma(xyz)$	La conductivité du canal	S/m
μ_n / μ_p	Les mobilités des porteurs n et p	$m^2 V^{-1} s^{-1}$
μ_{eff}	La mobilité effective des électrons dans le canal	$m^2 V^{-1} s^{-1}$
μ_0	La mobilité des électrons dans le canal à faible champ électrique	$m^2 V^{-1} s^{-1}$
$\mu_{eff, Tamb}$	La mobilité effective à la température ambiante,	$m^2 V^{-1} s^{-1}$
C	La capacité totale d'une capacité MOS	$F m^{-2}$
C_{ox}	La capacité d'oxyde	$F m^{-2}$
C_{SC}	La capacité du semi-conducteur	$F m^{-2}$
C_{ZCE}	La capacité de la zone de charge d'espace	$F m^{-2}$
C_{inv}	La capacité d'inversion	$F m^{-2}$
C_{GSpara}	La capacité parasite côté source	$F m^{-2}$
C_{DSpara}	La capacité parasite côté drain	$F m^{-2}$
C_{bord}	La capacité due à des effets de bord	$F m^{-2}$
C_{rec}	La capacité de recouvrement	$F m^{-2}$
C_{gd}	La capacité grille-drain	$F m^{-2}$
C_{gs}	La capacité grille-source	$F m^{-2}$

C_{ox1}	La capacité d'oxyde de grille	$F m^{-2}$
C_{ox2}	La capacité d'oxyde enterré	$F m^{-2}$
C_b	La capacité entre le canal d'inversion et la face arrière du substrat	$F m^{-2}$
C_{si}	La capacité du film de silicium	$F m^{-2}$
I_D	Le courant de drain	A
I_{dsat}	Le courant de drain de saturation	A
I_{off}	Le courant de drain I_D à $V_{DS} = V_{DD}$ et $V_{GS} = 0 V$	A
I_{on}	Le courant de drain I_D à $V_{DS} = V_{GS} = V_{DD}$	A
I_{ij}	Le courant issu de l'ionisation par impact	A
I_r	Le courant inverse "body-source"	A
I	Le courant d'une diode	A
I_0	Le courant de génération de la diode	A
I_{dsv0}	Le courant de drain sans les effets de saturation de la vitesse	A
I_{dsv}	Le courant de drain incluant les effets de saturation de la vitesse	A
J_g	Les courants tunnel	A
I_{db}	Le courant de substrat	A
I_{gidl}	Le courant de trou issu de l'effet GIDL	A
J_n	La densité de courant des électrons	A/m^2
J_p	La densité de courant des trous	A/m^2
Φ_s	Le potentiel de surface à l'interface Si-SiO ₂	V
Ψ_S	Le potentiel de surface du substrat	V
Ψ_B	Le potentiel de volume du semi-conducteur	V
V_{DS}	La tension Drain/Source	V
V_{DD}	La tension d'alimentation	V
V_{dsat}	La tension Drain/Source à partir de laquelle a lieu la saturation du courant I_D	V
V_{GS}	La tension Grille/Source	V
V_{FB}	La tension de bandes plates	V
V_p	La tension de pincement	V

V_{th}	La tension de seuil	V
V_{sb}	La tension source-substrat	V
V_{db}	La tension drain-substrat	V
V_{ox}	La tension appliquée aux bornes de l'oxyde	V
$V_{theff, Tamb}$	La tension de seuil effective à la température ambiante	V
V_{bs}	Le potentiel de la zone neutre (body)-source	V
V_{bd}	Le potentiel de la zone neutre (body)-drain	V
V	La tension aux bornes de la jonction	V
V_{dsmax}	La tension de claquage	V
β	Le potentiel thermique (q/kT)	V
$V_{sateff, Tamb}$	La vitesse de saturation effective à la température ambiante	m/s
$\xi(y)$	Le champ électrique	V/m
E_y	Le champ électrique transversal	V/m
$E(x)$	Le champ électrique longitudinal	V/m
E_{sat}	Le champ électrique au point de pincement	V/m
E_d	Le champ électrique maximal	V/m
E_c	Le champ électrique critique	V/m
G_m	La transconductance de drain du transistor	S
G_{ms}	La transconductance en régime de saturation	S
G_d	la conductance de drain du transistor	S
R_{on}	La résistance à l'état passant	Ω
R_D	La résistance du drain	Ω
R_S	La résistance de la source	Ω
r_{ds}	La résistance drain-source	Ω
S	La pente sous le seuil	mV/dec
T_{ox}	L'épaisseur de la couche d'oxyde	m
T_{Si}	L'épaisseur de la zone active de silicium	m
T_{ZCE}	L'épaisseur de la zone de charge d'espace	m
T_{box}	L'épaisseur d'oxyde enterré BOX	m
t_d	L'épaisseur de la région n+ de drain	m
X_{dmax}	L'épaisseur maximale de la zone de déplétion	m
W	La largeur du canal	m
L	La longueur du canal	m

L_G	La longueur de la grille	m
L_{sat}	La longueur du canal de la source au point de pincement	m
l_p	La longueur caractéristique	m
A_{eff}	La surface du dispositif	m^2
T	La température	$^{\circ}K$
T_{amb}	La température ambiante	$^{\circ}K$
α	Paramètre d'ajustement	-
α_{FD}	Coefficient donné pour un transistor FD totalement déserté	-
α_{PD}	Coefficient donné pour un transistor PD partiellement déserté	-
$\theta_a, \theta_b, \theta_c$	Paramètres d'ajustement	-
α_1, α_2	Paramètres d'ajustement	-
K_i, V_i	Paramètres empiriques d'ajustement	-
b_1, b_2	Constantes	-
A, B	Constantes	-
β'	Le gain du transistor bipolaire parasite	-
M	Le taux d'ionisation par impact	%
G_n / R_n	Les taux de génération et de recombinaison des électrons	%

Sigle/Abréviation	Signification
MOS	Metal Oxide Semiconductor
CMOS	Complementary MOS
VLSI	Very Large Scale Integration
ULSI	Ultra Large Scale Integration
CCD	Charge Coupled Devices
MOSFET	Metal Oxide Semiconductor Field Effect Transistor- transistor à effet de champ MOS
NMOS	Transistor à effet de champ MOS à canal N
PMOS	Transistor à effet de champ MOS à canal P

ZCE	Zone de charge d'espace
DIBL	Drain Induced Barrier Lowering : Abaissement de la barrière d'injection source/drain due à la tension de drain
GIDL	Gate Induced Drain Leakage
LDD	Lightly Doped Drain
GIFBE	Gate Induced Floating Body Effect
LKE	Linear Kink Effec
SOI	Silicon On Insulator
BOX	Buried OXide- couche d'oxyde de silicium
SCE	Short Channel Effects
FDSOI	Transistor totalement déserté sur isolant
PDSOI	Transistor partiellement déserté sur isolant
DI	Dielectric-Isolation
SOS	Silicon On Sapphire
SOZ	Silicon On Zirconia
SON	Silicon On Nothing
ZMR	Zone Melt ecrystallization
LEGO	Lateral Epitaxial Growth over Oxide
ELO	Epitaxial Lateral Overgrowth
MELO	Merged Epitaxial Lateral Overgrowth
SPER	Solid Phase EpitaxyRegrowth
FIPOS	Full Isolation with Porous Oxidized Silicon
SIMOX	Separation by IMplantation of Oxygen
SIMNI	Separation by IMplantation of Nitrogen
BESOI	Bonded and Etch back SOI
ELTRAN	Epitaxial Layer Transfer
RESURF	Reduced Surface Field
BV	Breakdown Voltage
HARMEMS	High Aspect Ratio MEMS
SPER	Solid Phase Epitaxial Regrowth
LPCVD	Low Pressure Chemical Vapor Deposition
CVD	Chemical Vapor Deposition

SEG	Selective Epitaxial Growth
RIE	Reactive Ion Etching
MLSOI	Multiple Layers SOI
TCAD	Technology Computer Aided Design
SPICE	Simulation Program with Integrated Circuit Emphasis
IC	Integrated Circuits
UTMOST	Universal Transistor Modeling Software
IC CAD	Integrated Circuit Computer Aided Design
VWF	Virtual Wafer Fab
SPDB	Semiconductor Process Data Base
HBT	Heterojunction Bipolar Transistor
HEMT	High Electron Mobility Transistor
LED	Light Emitting Diode
IGBT	Insulated Gate Bipolar Transistor
VCSEL	Vertical Cavity Surface Emitting Lasers

Liste des figures

Figure I.1 : Schéma en coupe d'une structure MIS.....	8
Figure I.2 : Schéma de bandes d'une capacité MOS idéale de type n sous polarisation nulle.....	8
Figure I.3 : Diagrammes de bandes représentant les différents régimes du semi-conducteur en fonction du potentiel appliqué	10
Figure I.4 : Modèle électrique de la capacité MOS.....	11
Figure I.5 : Capacité normalisée d'une structure MOS idéale de type P en fonction de la tension de polarisation de la grille.....	13
Figure I.6 : La structure et la capacité totale équivalente de la capacité MOS	14
Figure I.7 : Structure d'un transistor MOS	18
Figure I.8 : Effet de champ dans un transistor MOS.....	18
Figure I.9 : Structures et symboles des transistors MOS.....	19
Figure I.10 : Caractéristiques de transfert et de sortie des différents types de MOSFET	21
Figure « I.11.a » : Coupe de MOSFET représentative de son fonctionnement en absence de polarisation (régime bloqué)	24
Figure « I.11.b » : Coupe de MOSFET représentative de son fonctionnement : activation du canal ($V_g > V_{th}$)	24
Figure « I.11.c » : Coupe du MOSFET représentative de son fonctionnement en régime linéaire dit ohmique	24
Figure « I.11.d » : Coupe de MOSFET représentative de son fonctionnement en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de ΔL (droite)	24
Figure I.12 : Caractéristiques idéales de transfert (a) et de sortie (b) d'un transistor MOS de type N. La courbe pointillée correspond à la tension V_{dsat} . Pour $V_d > V_{dsat}$ le courant reste constant à I_{dsat}	26
Figure I.13 : Zone active du MOSFET	26
Figure I.14 : La variation de $Q_s(y)$ en un point d'abscisse y de la structure.....	28
Figure I.15 : Pincement du canal	33
Figure I.16 : Présentation de la longueur de la zone de déplétion d'un élément de semi-conducteur soumis à une différence de potentiel.....	33

Figure I.17 : Caractéristiques $I_D(V_{DS})$ typiques à différents V_{GS} d'un transistor NMOS.....	35
Figure I.18 : Caractéristique $I_D(V_{GS})$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , G_m et V_T sont indiqués	36
Figure I.19 : Caractéristique $\log [I_D(V_{GS})]$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , I_{off} et S sont indiqués	36
Figure I.20 : Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en régime d'inversion.....	37
Figure I.21 : Décomposition de la capacité parasite C_{GSpara} de la en capacité C_{bord} et capacité de recouvrement C_{rec} grille/caisson.....	38
Figure I.22 : Schéma équivalent en petits signaux et basse fréquence du transistor MOS établi sur la base de caractéristiques de la figure I.17.....	39
Figure I.23 : Schéma équivalent petits signaux en haut fréquence du transistor MOS	40
Figure I.24 : Caractéristiques d'un nMOSFET avec $L_g = 0,12 \mu m$ et $W = 2,5 \mu m$ pour deux polarisations distincte de V_{ds}	41
Figure I.25 Variations de la caractéristique dI_{ds}/dV_{gs} en fonction de V_{gs} et de V_{sb} pour un nMOSFET [18].....	42
Figure I.26 : Evolution de la bande de conduction dans un MOS « long » ($L_G > 2.d$) et un MOS « court » ($L_G < 2.d$) selon l'axe source-drain à faible V_{DS} et avec V_{GS} égal à la tension de bande plate V_{FB} « d » épaisseur des ZCE des jonctions caissons/canal.....	44
Figure I.27 : Illustration des effets de percement. La tension de drain vient modifier la barrière de potentiel qui limite l'injection des porteurs dans le canal (percement en volume)	44
Figure I.28 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d'accès	46
Figure I.29 : Caractéristiques $I_{dsat}(L_g)$ pour différents MOSFET.....	49
Figure I.30 : Visualisation des effets liés au partage des charges par comparaison de la région de désertion sous le canal pour, a), un MOSFET à canal long et, b), à canal court. Un grossissement de la région de désertion est donné en c)	50
Figure I.31 : Variations de la tension de seuil en fonction de la longueur du canal pour différents MOSFET. $V_{DS} = 1,2V$	50

Figure I.32 : Impact de la désertion de grille sur les caractéristiques C-V	51
Figure I.33 : Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET a) et illustration des effets de mécanique quantique et de polydésertion par le diagramme des bandes b)	52
Figure I.34 : Structure de bandes lorsque le courant de grille se manifeste	53
Figure I.35 : Représentation des courants tunnel traversant l'oxyde de grille d'un MOSFET à canal n	54
Figure I. 36 : Variations de la caractéristique $I_{ds}(V_{gs})$ en fonction de V_{ds}	55
Figure I.37 : Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL	56
Figure I.38 : Schématisation du processus d'ionisation par impact dans un MOSFET à canal n	57
Figure II.1 : Effet des irradiations (a) sur substrats massifs et (b) sur SOI	65
Figure II.2 : Evolution des performances par rapport à la loi de Moore, pour des composants réalisés sur substrat massif (Bulk) et sur substrat SOI.....	67
Figure II.3 : Schéma des structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplés	68
Figure II.4 : Structures SOI (a) pleine plaque ou FSOI et (b) partielle ou PSOI.....	69
Figure II.5 : Substrat PSOI comportant un composant de commande faible puissance sur SOI entièrement isolé du reste du substrat, et a) un composant latéral de forte puissance réalisé sur couche SOI comportant une ouverture, b) un composant latéral ou vertical de forte puissance réalisé hors SOI	70
Figure II.6 : Schéma des différentes isolations latérales pour les applications aux PICs sur SOI	70
Figure II.7 : Classification de quelques procédés technologiques permettant d'obtenir des structures SOI.....	73
Figure II.8 : Structure SOS – Silicium sur saphir	76
Figure II.9 : Etapes du procédé DI – Isolation diélectrique	77
Figure II.10 : Etapes du procédé BESOI	79
Figure II.11 : Etapes du procédé ELTRAN	80
Figure II.12 : Utilisation d'un jet d'eau pour séparer les 2 wafers	80
Figure II.13 : Etapes du procédé SmartCut	81
Figure II.14 : Observation des microcavités formées à la profondeur d'implantation d'hydrogène.....	81

Figure II.15 : Etapes du procédé SIMOX.....	83
Figure II.16 : Substrat SOI réalisé par le procédé MELO – Merged Epitaxial Lateral Overgrowth.....	83
Figure II.17 : Substrat SOI réalisé par le procédé ELO – Epitaxial Lateral Overgrowth.....	85
Figure II.18 : Principe du procédé ZMR.....	86
Figure II.19 : Estimation de la production annuelle de wafers SOI	88
Figure II.20 : a) Schéma d'un MOSFET SOI vu en coupe parallèlement à la longueur du canal. b) Vue du MOSFET SOI au microscope électronique à balayage	88
Figure II.21 : Structure d'un transistor NMOS SOI.....	90
Figure II.22 : Couplage capacitif du body d'un transistor NMOS en fonction des variations des tensions de grille et de drain.....	92
Figure II.23 : Capacités de jonctions parasites	93
Figure II.24 : Comparaison d'une structure CMOS réalisée (a) sur Si massif ; (b) sur SOI. Illustration de l'élimination du phénomène de latch-up dans le CMOS sur SOI	94
Figure II.25 : formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat massif (A) et d'un composant sur substrat SOI (B)	95
Figure II.26 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (gauche) et à canal court (droite)	98
Figure II.27 : Diagramme de bande d'énergie de structures MOS. a. Substrat Bulk, b. Substrat SOI épais et c. Substrat SOI fin	99
Figure II.28 : Transistors MOS SOI totalement déserté (FD) et partiellement déserté (PD)	100
Figure II.29 : Vue en coupe d'un transistor MOS SOI (a)partiellement désertés (PD) et (b) complètement désertés (FD)	101
Figure II.30 : Réseaux de capacités vus depuis la grille pour les MOSFET SOI totalement désertés (a) et partiellement désertés (b)	102
Figure II.31 : MOSFET SOI partiellement déserté avec les effets de substrat flottant l'effet kink.....	106
Figure II.32 : Effets liés au potentiel flottant de la zone "body" flottant sur les caractéristiques $I_{ds}(V_{ds})$ et $g_{ds}(V_{ds})$, pour plusieurs polarisations de V_{gs}	106
Figure II.33 : Effets "kink" sous le seuil sur la caractéristique $\log(I_{ds}(V_{gs}))$ pour NMOSFET SOI partiellement déserté, + : "body" connecté; o : "body" flottant.....	107

Figure II.34: Transistors FD sans effet kink	108
Figure II.35 : Effets GIFBE sur la caractéristique $g_m(V_{GS})$ pour $V_{DS} = 0,3$ V. nMOSFET SOI partiellement déserté avec $L_g = 0,5 \mu m$ et $W = 50 \mu m$	109
Figure II.36: MOSFET SOI partiellement déserté avec les effets de substrat flottant – l'effet bipolaire parasite.....	109
Figure II.37 : Caractéristiques statiques du MOSFET SOI partiellement déserté à "body" flottant.....	110
Figure III.1 : Organigramme de la structure VWF	121
Figure III.2 : Entrées et sorties d'Atlas.....	122
Figure III.3 : Les composants (ou les modules) d'Atlas	123
Figure III.4 : structure SOI NMOSFET.....	132
Figure III.5 : Maillage de la structure SOI NMOSFET	133
Figure III.6 : Structure SOI NMOSFET réalisée sous Atlas-SILVACO.....	134
Figure III.7 : Profil de dopage de la structure SOI NMOSFET	134
Figure III.8 : Structure, maillage et profil de dopage de la structure SOI NMOSFET.....	135
Figure III.9 : Caractéristique $I_{DS}-V_{GS}$ du transistor SOI NMOSFET	135
Figure III.10 : Caractéristiques $I_{DS}-V_{DS}$ du transistor SOI NMOSFET	136
Figure III.11 : Influence de la variation de T_{si} sur les caractéristiques $I_{DS}-V_{DS}$ du transistor SOI NMOSFET.....	137
Figure III.12 : Influence de la variation de T_{si} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor SOI NMOSFET.....	138
Figure III.13 : Variation de la tension de seuil V_{th} en fonction de la variation de l'épaisseur du film de silicium T_{si}	139
Figure III.14 : Influence de la variation de T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET	140
Figure III.15 : Zoom de la caractéristique $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET pour $T_{ox}=0.017\mu m$	140
Figure III.16 : Influence de la variation de T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor SOI NMOSFET.....	141
Figure III.17 : Variation de la tension de seuil V_{th} en fonction de la variation de l'épaisseur de la couche d'oxyde T_{ox}	141
Figure III.18 : Influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET	142

Figure III.19 : Influence de la variation de la longueur de la grille L_G sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET	143
Figure III.20 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$ du transistor FDSOI NMOSFET	144
Figure III.21 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET	144
Figure III.22 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{GS}$ du transistor FDSOI NMOSFET	145
Figure III.23 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET	145
Figure III.24 : Influence de la variation de L avec une réduction de T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET	146
Figure III.25 : Influence de la variation de L avec une réduction de T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET	147
Figure III.26 : Distribution de la température de la structure SOI NMOSFET	148
Figure III.27 : Influence de la température sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET	149
Figure III.28 : Influence de la température sur les caractéristiques $I_{DS}-V_{DS}$ du transistor FDSOI NMOSFET	149
Figure III.29 : Influence de la température sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET	150
Figure III.30 : Influence de la température sur les caractéristiques $I_{DS}-V_{GS}$ du transistor FDSOI NMOSFET	151
Figure III.31 : Caractéristiques $I_{DS}-V_{GS}$ du transistor FDSOI NMOSFET : pour ZTC linéaire $V_{DS}=0.1V$ et pour ZTC- saturation $V_{DS}=2V$	152

Liste des tableaux

Tableau II.1 : Liste des procédés technologiques existants pour obtenir des structures SOI	75
Tableau II.2 : Comparaison des étapes de conception d'un CMOS en technologie sur substrat massif et SOI	96
Tableau II.3 : Quelques valeurs typiques de la conductivité thermique de cristaux purs à 300°K.....	105
Tableau III.1 : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes)	125
Tableau III.2 : Diagramme de la simulation numérique de SILVACO	131
Tableau III.3 : Paramètres du transistor SOI NMOSFET	132

Introduction générale

Introduction générale

Depuis l'invention du premier transistor en 1947, puis celle du circuit intégré en 1958, par Jack Kilby, les progrès de la microélectronique ont été considérables, tant au niveau de l'amélioration des performances et de l'accroissement de la complexité des circuits que de la baisse des coûts de production.

Les transistors MOS (Métal Oxyde Semi-conducteur) sur silicium utilisés en architecture CMOS (Complementary MOS : MOS Complémentaires) sont les principaux artisans de cette progression continue et dominante de façon écrasante le marché des semi-conducteurs. L'amélioration des performances de ces transistors nécessite toujours plus d'imagination de la part des concepteurs de composants. En effet, les gains en performance attendus de la miniaturisation de ces dispositifs sont fortement réduits à cause de phénomènes inhérents qui sont devenus de plus en plus importants.

L'importance de ces effets, dits « de canal court », et la complexité des méthodes pour les contrer sont telles que le monde de la microélectronique, pourtant très frileux, est en train de s'intéresser très activement à toutes les architectures alternatives possibles aux transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor : transistor à effet de champ MOS) massifs 'traditionnels'. Ainsi, pour atteindre les prochains objectifs fixés par la feuille de route internationale des semi-conducteurs (ITRS : International Technology Roadmap of Semiconductor), l'utilisation d'architectures MOSFETs sur SOI (Silicon On Insulator : Silicium sur Isolant) en remplacement de l'architecture MOSFET massif sur bulk est très sérieusement envisagée.

Il a été démontré que les structures SOI peuvent être largement utilisées dans plusieurs applications : réalisation de composants partiellement et entièrement dépeuplés sur couche mince, microsystèmes, et isolation diélectrique. Par ailleurs, il existe des wafers SOI «pleine plaque» où la couche d'oxyde enterré se situe sur tout le wafer, et des wafers «SOI partiel» où la couche d'oxyde enterrée est localisée.

Dans ce mémoire, nous nous sommes intéressés à l'étude et à la simulation d'un transistor SOI MOSFET à canal N.

Le travail de ce mémoire a fait l'objet de trois chapitres :

Le premier chapitre 1, est consacré à la présentation et à l'étude du transistor MOSFET sur substrat massif ainsi qu'à l'énumération des problèmes engendrés par sa miniaturisation.

Au deuxième chapitre, nous avons introduit la technologie SOI « Silicon On Insulator ». Nous y présentons alors les principales techniques de réalisation des substrats SOI, puis nous citons ses avantages par rapport aux technologies MOS sur substrat massif, ensuite, le fonctionnement des transistors MOSFET réalisés sur des substrats SOI partiellement désertés ou totalement désertés.

Le chapitre 3 de ce mémoire a été consacré tout d'abord à la présentation de l'outil de simulation numérique bidimensionnelle que nous avons utilisé pour concrétiser notre travail qui consiste à la conception d'une structure MOSFET SOI : Nous citons le logiciel SILVACO. Dans la seconde partie de ce chapitre nous avons présenté la structure que nous avons conçue et nous avons alors pu mettre en évidence les effets de la variations des paramètres de cette structure (tel que l'influence de la variation de l'épaisseur du film de silicium T_{si} , l'épaisseur de la couche d'oxyde de grille T_{ox} , la longueur de la grille L_G , la longueur du canal L , la longueur du canal L avec une réduction de T_{ox} et l'influence de la température) sur le comportement électrique de notre transistor SOI MOSFET à canal N.

Chapitre I

Etude et modélisation du transistor à effet de champ à grille isolée : Le MOSFET

Sommaire du chapitre I

I. Etude et modélisation du transistor à effet de champ à grille isolée :	
Le MOSFET	7
I.1. Introduction	7
I.2. La structure MOS	8
I.2.1. La capacité MOS	8
I.2.2. Principe et régimes de fonctionnement	9
I.2.3. Modélisation de la capacité MOS.....	11
I.2.3.1. Les équations de bases	11
I.2.3.2. Evolution de la capacité C avec la tension V_{GS}	12
I.2.3.3. La charge du semi-conducteur Q_{SC}	14
I.2.3.4. La charge de la zone désertée Q_{dep}	16
I.2.3.5. La charge de la zone d'inversion Q_S	16
I.3. Etude de fonctionnement physique de transistor MOSFET	17
I.3.1. Principe de base et structures des transistors MOS	18
I.3.1.1 Effet de champ	18
I.3.1.2. Structure possibles	19
I.4. Principe de fonctionnement du transistor MOS	22
I.4.1. La tension de seuil V_{th} (threshold voltage)	22
I.4.2. Les régimes de fonctionnement du transistor MOS	23
I.4.3. Modélisation de courant de drain	26
I.4.3.1. Régime linéaire.....	30
I.4.3.2. Régime sous linéaire	31
I.4.3.3. Régime de saturation	31
I.4.4. Principaux paramètres des MOSFETs.....	34
I.4.5. Transistor MOS : schéma équivalent	37
I.4.5.1. Schéma équivalent en petits signaux basse fréquence.....	39
I.4.5.2. Schéma équivalent en petits signaux haute fréquence	40
I.5. Les phénomènes parasites dans le MOSFET	40
I.5.1. La mobilité effective	40
I.5.2. Les effets des canaux courts	43
I.5.2.1. Diminution de la tension de seuil V_{th} dans les canaux courts	43

I.5.2.2. Effets de réduction de la barrière de potentiel induit par le Drain (Effet de percement)	44
I.5.2.3 . Résistances séries parasites	46
I.5.2.4. Effet de perçage	47
I.5.2.5. Vitesse de saturation	48
I.5.2.6. Le partage des charges	49
I.5.2.7. Effet de canal court inverse	50
I.5.3. Les effets liés à la grille.....	51
I.5.3.1. Épaisseur effective de grille.....	51
I.5.3.1.1. Effets de polydésertion	51
I.5.3.1.2. Les effets quantiques	52
I.5.3.2. Le courant de grille	53
I.5.4. Effet GIDL	55
I.5.5. L'ionisation par impact	56
I.5.6. Les claquages et le régime d'avalanche	58
I.6. Conclusion.....	58
Références chapitre I.....	59

Chapitre I. Etude et modélisation du transistor à effet de champ à grille isolée : Le MOSFET

I.1. Introduction

Les concepts du transistor MOS (Metal Oxide Semiconductor) ont été brevetés par Lilienfeld et Heil en 1930, cependant des difficultés technologiques très importantes ont retardé sa réalisation pratique. En effet, il n'apparaîtra sous sa forme moderne qu'en 1955 grâce à Ross, cela bien après la réalisation par Shockley en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus sophistiqué. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO_2 . Le silicium fut un choix très judicieux car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, augmentant remarquablement leur fiabilité.

Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement en cette époque moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS (Complementary MOS) inventée en 1968. En effet, cette technologie ne consomme et ne dissipe que très peu d'énergie. Nous rappelons que Les transistors MOS sont à la base de la conception des circuits intégrés VLSI (Very Large Scale Integration) et ULSI (Ultra Large Scale Integration), et ont mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS (TMOS). La réduction constante des dimensions de ces composants est le moteur de cette course à la performance ; en fait, c'est cette volonté de toujours réduire la taille des transistors MOS qui a entraînée toute l'industrie du semi-conducteur à se surpasser et à se projeter en permanence dans le futur.

I.2. La structure MOS

La structure MOS métal oxyde semi-conducteur est l'une des pièces maîtresses de l'électronique moderne. Elle est à la base des circuits intégrés et ULSI, elle est aussi à l'origine des composants à transfert de charges CCD (Charge Coupled Devices).

I.2.1. La capacité MOS

Par définition un condensateur est constitué de deux électrodes conductrices séparées par un matériau isolant. Ainsi, on appelle « capacité MIS » la superposition de trois couches de matériaux : le métal ou polysilicium dégénéré (appelé grille), l'isolant (SiO_2 , HfO_2 , Ta_2O_5 , Si_3N_4 ...), et le semi-conducteur (Si, Ge...) de type N ou de type P (appelé bulk ou substrat) Figure (I.1).

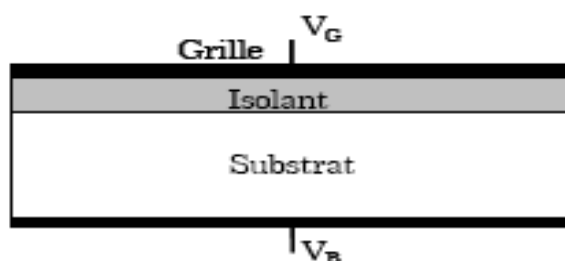


Figure I.1 : Schéma en coupe d'une structure MIS [2].

La dénomination capacité MOS (pour Metal- Oxide- semiconductor) résulte de la nature de l'isolant qui est un oxyde. Le schéma de bandes d'une telle structure, en l'absence de polarisation de grille et pour une capacité idéale ($\Phi_m = \Phi_{sc}$), est représenté sur la figure I. 2.

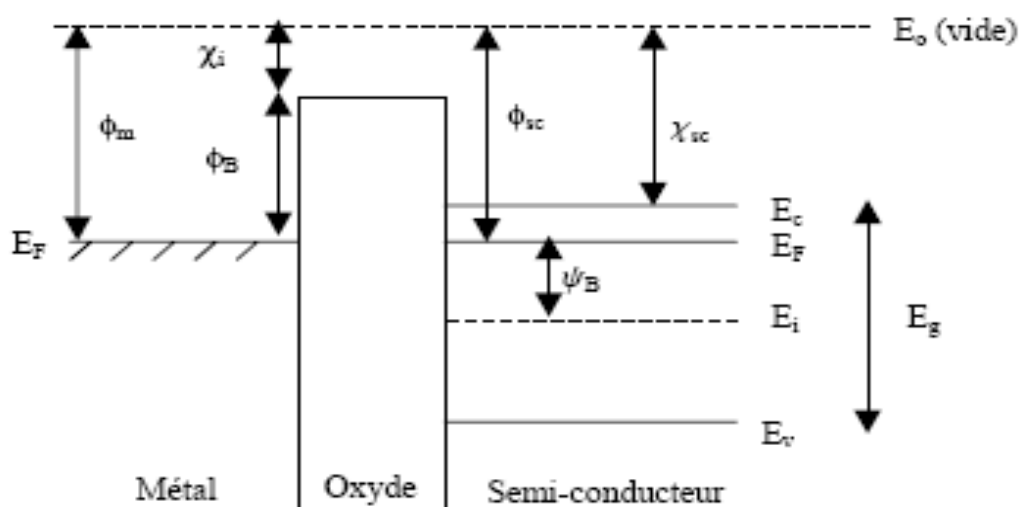


Figure I.2 : Schéma de bandes d'une capacité MOS idéale de type n sous polarisation nulle [1].

Φ_m est le travail de sortie du métal, Φ_{sc} le travail de sortie du semi-conducteur, Φ_B la hauteur de barrière métal-oxyde, χ_i l'affinité électronique de l'oxyde, χ_{sc} l'affinité électronique du semi-conducteur, Ψ_B le potentiel de volume du semi-conducteur, E_g la largeur de la bande interdite du semi-conducteur, E_F l'énergie du niveau de Fermi [1].

I.2.2. Principe et régimes de fonctionnement

La polarisation de la capacité par une tension V_{GS} , entre la grille métallique et le substrat, implique l'apparition d'une charge Q_G dans la grille et d'une charge opposée Q_{SC} dans le semi-conducteur. La variation de la tension V_{GS} modifie la valeur de ces charges, ce qui a pour conséquence les changements de régimes de fonctionnement de la capacité. La figure (I.3. a, b, c et d) présente les différents diagrammes de bandes du semi-conducteur d'une capacité de type P en fonction de la tension V_{GS} [2].

Pour des tensions de grille négatives ($V_{GS} < 0$), les trous sont attirés à la surface et une très fine couche de charges positives (la couche d'accumulation) est alors formée (Figure. I.3.a).

Avec l'augmentation de V_{GS} , la courbure des bandes devient plus faible, jusqu'à une certaine valeur où il n'y a plus de courbure des bandes. Cette valeur particulière de tension de grille est appelée la tension de bandes plates $V_{GS} = V_{FB}$ (Figure. I.3.b).

Au delà de ce point, la courbure des bandes est opposée à celle en accumulation, une charge négative est en train de se former. En fait, la charge positive à la grille repousse les trous de la surface du silicium et fait apparaître une charge négative (due aux ions accepteurs immobiles), appelée charge de déplétion (Figure I.3. c).

Quand la tension de grille augmente encore plus, la courbure des bandes vers le bas devient plus prononcée. Cette courbure peut résulter en un croisement du niveau de Fermi intrinsèque E_i avec le niveau de Fermi E_{fp} . Dans cette situation, la surface du semi-conducteur se comporte comme un matériau de type n, d'où le nom de région d'inversion (Figure I.3.d). Une couche conductrice composée de charges négatives mobiles (électrons) est alors formée : c'est la charge d'inversion. Cette charge écrantant la couche de déplétion, cette dernière n'est alors plus que faiblement dépendante de la polarisation de la grille. Elle est alors fortement réduite.

On parle d'inversion forte lorsque la densité de charge mobile dans la couche d'inversion est supérieure à la densité de charge fixe dans la couche de déplétion [3].

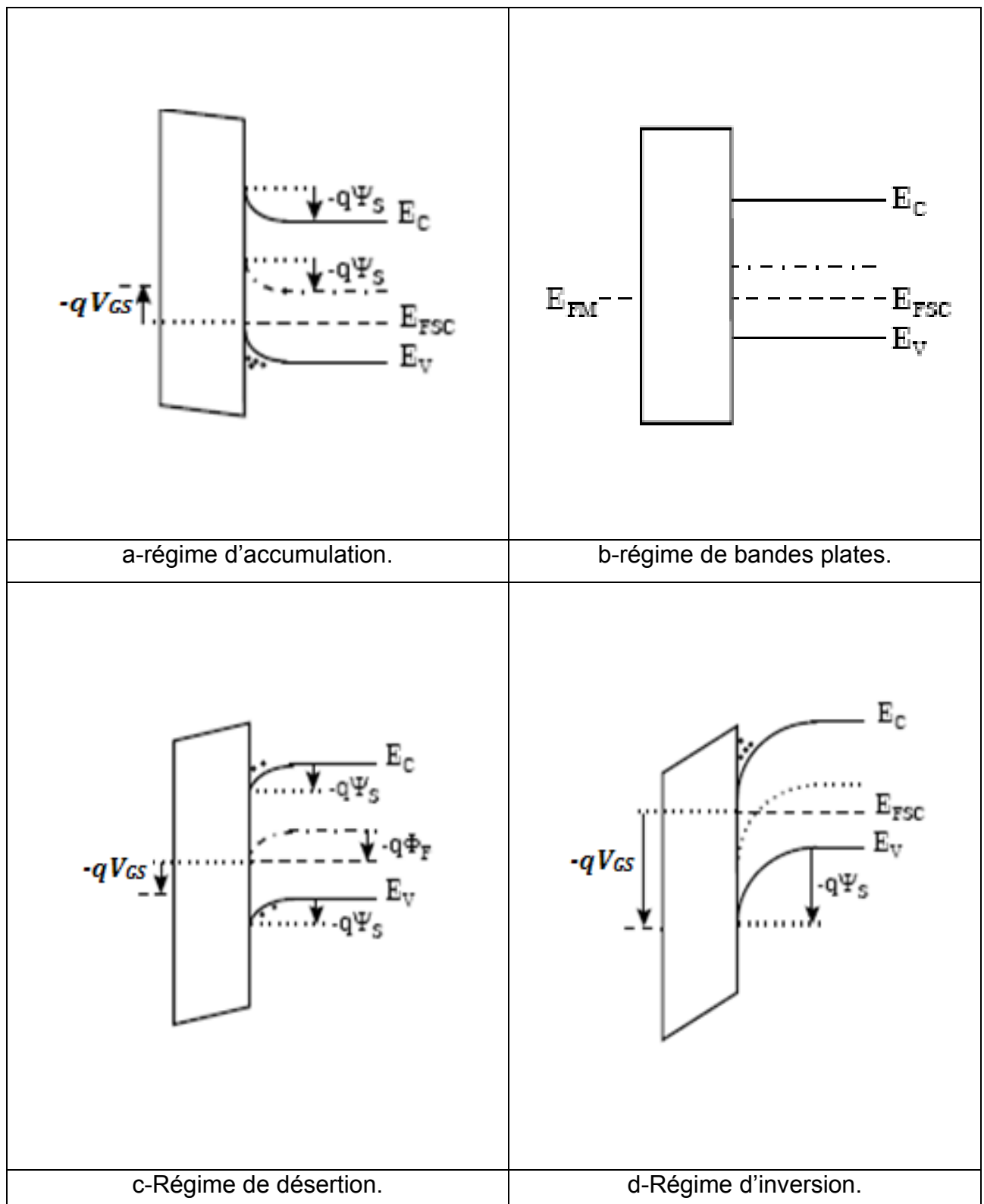


Figure I.3 : Diagrammes de bandes représentant les différents régimes du semi-conducteur en fonction du potentiel appliqué [1].

I.2.3. Modélisation de la capacité MOS

I.2.3.1. Les équations de bases

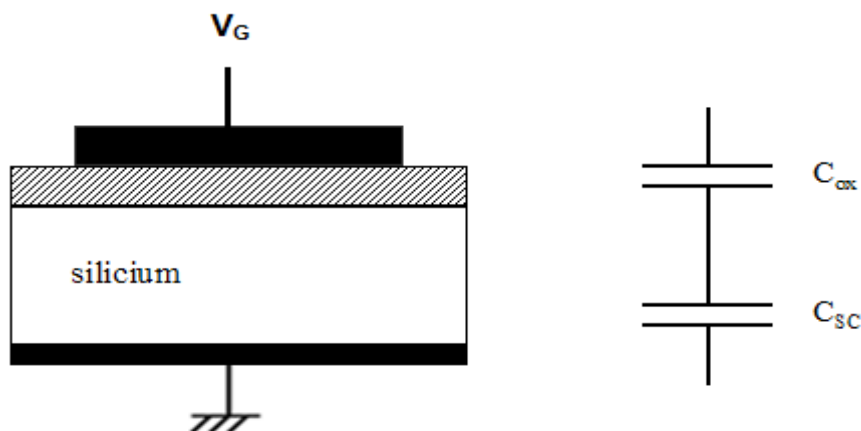


Figure I.4 : Modèle électrique de la capacité MOS [4].

La capacité totale notée C de cette structure de surface A_{eff} , est illustré en figure I.4. Cette capacité est composée :

- de la capacité de l'oxyde C_{ox}
- et de la capacité dynamique du semi-conducteur C_{sc} placée en série avec la capacité de l'oxyde. Et telle que :

$$\frac{1}{C} = \frac{1}{C_{\text{ox}}} + \frac{1}{C_{\text{sc}}} \quad (1.1)$$

avec :

$$\begin{cases} C_{\text{ox}} = \frac{\epsilon_{\text{ox}} A_{\text{eff}}}{T_{\text{ox}}} \\ C_{\text{sc}} = \frac{dQ_G}{d\psi_s} = - \frac{dQ_{\text{sc}}}{d\psi_s} \end{cases} \quad (1.2)$$

où ψ_s est le potentiel de surface du substrat, et T_{ox} l'épaisseur de la couche d'oxyde. La charge au niveau de la grille, Q_G , est reliée à la tension aux bornes de l'isolant par la relation capacitive :

$$Q_G = C_{\text{ox}} V_{\text{ox}} \quad (1.3)$$

où V_{ox} est la tension appliquée aux bornes de l'oxyde.

Notons que dans les expressions (1.2), les états d'interface et la déplétion de la grille ne sont pas pris en compte.

Pour une capacité MOS, deux équations doivent être respectées : la neutralité de la charge (1.4) et la conservation de l'équation aux potentiels (1.5):

$$Q_G + Q_{OX} + Q_{SC} = 0 \quad (1.4)$$

$$V_{GS} = \phi_{MS} + \Psi_S + V_{OX} \quad (1.5)$$

ϕ_{MS} est la différence entre les travaux de sortie de la grille et du semi-conducteur et Q_{OX} la charge fixe dans l'oxyde.

A partir des équations (1.3) à (1.5), l'équation aux potentiels (1.5) s'écrit :

$$V_{GS} = V_{FB} + \Psi_S - \frac{Q_{SC}}{C_{OX}} \quad (1.6)$$

V_{FB} , est la tension de bandes plates, elle est définie par :

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (1.7)$$

Notons que dans le cas d'une capacité MOS réelle, les pièges d'interface, Q_{it} , ne sont plus négligeables et la relation donnant la tension de bandes plates, V_{FB} , doit être corrigée pour prendre en compte ces charges :

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} - \frac{Q_{it}(\Psi_S=0)}{C_{OX}} \quad (1.8)$$

1.2.3.2. Evolution de la capacité C du transistor MOS avec la tension V_{GS}

Suivant la tension de polarisation appliquée sur la grille, on peut distinguer divers régimes de fonctionnement du transistor. Ces régimes de fonctionnement sont résumés sur le schéma de la figure 1.5.

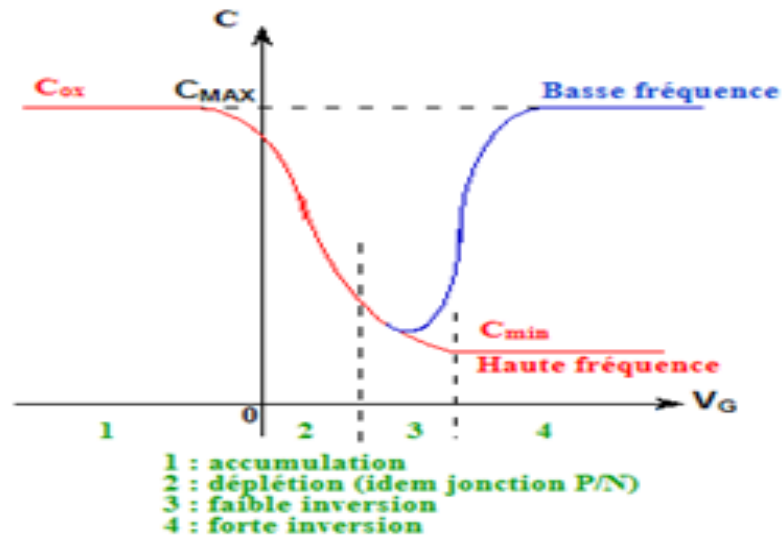


Figure I.5 : Capacité normalisée d'une structure MOS idéale de type P en fonction de la tension de polarisation de la grille [16].

Pour une tension de polarisation négative, les porteurs majoritaires (ici les trous) sont attirés vers l'interface Si/SiO₂ et la structure est alors en régime d'accumulation (région 1-Figure I. 5). Cette structure est alors équivalente à un condensateur plan de valeur $C=C_{MAX}=C_{ox}$ dont les armatures métalliques sont séparées par un diélectrique d'épaisseur T_{ox} .

Pour une tension de polarisation positive, soit alors $V_{GS} > 0$, les trous sont repoussés loin de l'interface, et forment ainsi une zone de charges d'espace (ZCE). Dans cette région, les seules charges présentes sont les dopants ionisés ; la structure est en régime de déplétion et la capacité totale est donnée par la relation (I.1) (région 2, Figure I. 5).

Pour $V_{GS} \gg 0$, des porteurs minoritaires (ici des électrons) sont attirés vers la grille, c'est le régime d'inversion. Dans ce dernier régime, une augmentation de la charge sur la grille peut être contrebalancée de deux façons : soit par l'extension de la zone de charges, soit par l'augmentation de la charge d'inversion. Suivant la fréquence du signal de mesure, l'un ou l'autre de ces deux mécanismes va contrôler la réponse capacitive de la structure [1]:

- à basse fréquence, les porteurs minoritaires ont le temps d'être générés dans le volume du semi-conducteur et d'arriver sous la grille de la structure ; il y a formation d'une couche d'inversion, et la structure est équivalente à un condensateur de capacité identique à celle obtenue en accumulation ($C = C_{ox}$).

▪ à haute fréquence, la génération de porteurs minoritaires étant trop lente, ces derniers ne parviennent pas à suivre la fluctuation du signal : les porteurs majoritaires assurent donc dans un premier temps la variation de charges, et ce par extension de la ZCE ; puis, lorsque la composante continue de la tension de grille augmente, la densité de porteurs minoritaires augmente de façon exponentielle, ce qui leur permet à nouveau de compenser la variation de charge du signal (flux et reflux des porteurs minoritaires en limite de ZCE). Quant à la ZCE, elle ne varie pratiquement plus. On obtient $C = C_{\min}$.

La figure (I.6) illustre la structure et la capacité totale équivalente de la capacité MOS pour les différents régimes de fonctionnement.

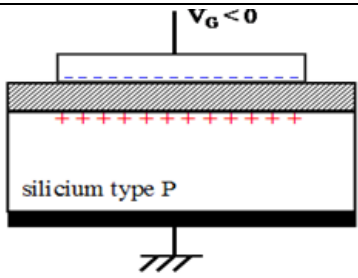
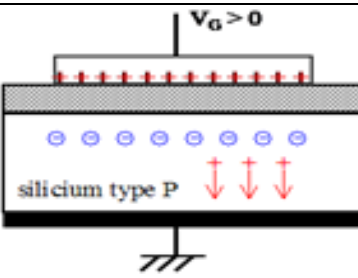
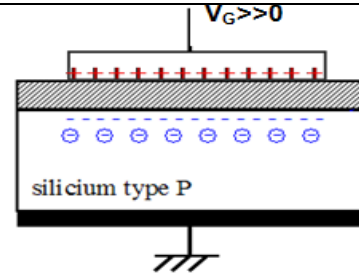
Accumulation	Déplétion	Inversion
 <p style="text-align: center;">$V_G < 0$</p> <p style="text-align: center;">silicium type P</p>	 <p style="text-align: center;">$V_G > 0$</p> <p style="text-align: center;">silicium type P</p>	 <p style="text-align: center;">$V_G \gg 0$</p> <p style="text-align: center;">silicium type P</p>
$C_{SC} \gg C_{OX}$ $C \approx C_{OX} = C_{MAX}$	$\frac{1}{C} = \frac{1}{C_{OX}} + \frac{1}{C_{SC}}$	$\frac{1}{C} = \frac{1}{C_{OX}} + \frac{1}{C_{SCmin}}$

Figure I.6 : La structure et la capacité totale équivalente de la capacité MOS [4].

I.2.3.3. La charge du semi-conducteur Q_{SC}

Exprimons, à présent, la charge du semi-conducteur Q_{SC} . Celle-ci est déterminée à partir de la résolution de l'équation de Poisson à une dimension, et de l'utilisation du théorème de Gauss. Considérons la concentration en atomes accepteurs ionisés notée N_A et la concentration en atomes donneurs ionisés notée N_D . Pour une capacité de type P dont la concentration N_A est uniforme, l'équation de Poisson se résout simplement. Cette équation de Poisson relie $\Psi(y)$, à la densité de charges, $\rho(y)$ [2]:

$$\frac{d^2\Psi(y)}{dy^2} = - \frac{\rho(y)}{\epsilon_{Si}} \quad (I.9)$$

où y correspond à l'axe vertical entre la surface du semi-conducteur et le volume de celui-ci et $\epsilon_{Si} = \epsilon_{SC}\epsilon_0$ représente la permittivité du semi-conducteur. La densité de

charges dépend à la fois de la densité en porteurs libres et de la charge fixe due aux impuretés dopantes ionisées du substrat soit alors :

$$\rho(y) = q[p(y) - n(y) + N_D - N_A] \quad (I.10)$$

où $p(y)$ et $n(y)$ sont respectivement les densités de trous et d'électrons dans le semi-conducteur.

$$\begin{cases} n(y) = n_0 \exp(B\Psi(y)) \\ p(y) = p_0 \exp(-B\Psi(y)) \end{cases} \quad (I.11)$$

où p_0 et n_0 sont respectivement les densités de trous et d'électrons libres dans le semi-conducteur loin de l'interface et β représente le potentiel thermique (kT/q).

De plus dans le volume du semi-conducteur, la condition de neutralité doit être satisfaite, c'est-à-dire $\rho(y \rightarrow \infty) = p_0 - n_0 + N_D - N_A = 0$ ce qui implique que $p_0 - n_0 = N_A - N_D$. L'équation (I.10) devient alors :

$$\rho(y) = -qN_A \left\{ \left(\frac{n_i}{N_A} \right)^2 [\exp(B\Psi(y)) - 1] - [\exp(-B\Psi(y)) - 1] \right\} \quad (I.12)$$

avec pour un substrat de type P, $p_0 = N_A$ et $n_0 = (n_i)^2 / N_A$.

A partir de l'équation (I.12) et de l'équation de Poisson (I.9), on peut déterminer le champ électrique, $\xi(y)$:

$$\frac{\Psi(y)}{dy} = -\xi(y) = \pm \sqrt{\frac{2KT N_A}{\epsilon_{Si}}} \left\{ \left(\frac{n_i}{N_A} \right)^2 [\exp(B\Psi(y)) - B\Psi(y) - 1] - 1 + \exp(-B\Psi(y)) + B\Psi(y) \right\}^{1/2} \quad (I.13)$$

En appliquant le théorème de Gauss au champ électrique à l'interface,

$$\iint_{(S)} \vec{\xi} \cdot \vec{dS} = \frac{Q_{int}}{\epsilon_{SC} \epsilon_0}, \text{ la densité totale de charges dans le semi-conducteur est}$$

obtenue:

$$Q_{SC} = \pm \sqrt{2KT \epsilon_{Si} N_A} \left\{ \left(\frac{n_i}{N_A} \right)^2 [\exp(B\Psi(y)) - B\Psi(y) - 1] - 1 + \exp(-B\Psi(y)) + B\Psi(y) \right\}^{1/2} \quad (I.14)$$

Avec un signe + si $\Psi_S < 0$ et un signe - si $\Psi_S > 0$ et N_A considéré comme constante.

I.2.3.4. La charge de la zone désertée Q_{dep}

Pour obtenir l'expression de la charge de la zone désertée Q_{dep} , l'équation de Poisson est résolue en omettant le terme ayant pour origine les électrons de la couche d'inversion (quantité n). La densité de charges s'exprime donc à présent par [2]:

$$\rho = q[p_0 \exp(-B\Psi(y)) + n_0 - p_0] = qp_0 \left[\exp(-B\Psi(y)) - 1 + \frac{n_0}{p_0} \right] \quad (I.15)$$

En reportant l'équation (I.15) dans l'équation de Poisson (I.9), il vient :

$$\frac{d^2\Psi(y)}{dy^2} = -\frac{qp_0}{\epsilon_{Si}} \left[\exp(-B\Psi(y)) - 1 + \frac{n_0}{p_0} \right] \quad (I.16)$$

En utilisant la même démarche mathématique que celle mise en œuvre pour le calcul de Q_{SC} , on obtient la charge de la zone désertée qui s'exprime alors par :

$$Q_{dep} = \sqrt{2KT\epsilon_{Si}p_0} \left[\exp(-B\Psi_S) + B\Psi_S - \frac{n_0}{p_0} B\Psi_S - 1 \right]^{1/2} \quad (I.17)$$

Notons que vu que le substrat est de type P, la zone désertée dans le semi-conducteur apparaît uniquement pour $\Psi_S > 0$, c'est pourquoi seule la racine positive de l'équation est considérée.

Puisque Ψ_S est positif, il est possible de simplifier l'équation (I.17) vu que :

$$\begin{cases} 1 - \frac{n_0}{p_0} = 1 - \frac{n_i^2}{N_A} \approx 1 \\ \exp(-B\Psi_S) \ll -B\Psi_S \end{cases} \quad (I.18)$$

La charge de la zone désertée s'exprime alors par:

$$Q_{dep} = \sqrt{2KT\epsilon_{Si}p_0} [B\Psi_S - 1]^{1/2} \quad (I.19)$$

I.2.3.5. La charge de la zone d'inversion Q_s

La charge d'inversion Q_s est définie comme la différence entre la charge du semi-conducteur et la charge de la zone désertée :

$$Q_S = Q_{SC} - Q_{dep} \quad (1.20)$$

En régime de faible inversion, $\Psi_S + V_{BS} - 2\Phi_F < 0$, avec Φ_F le potentiel de volume du semi-conducteur et V_{BS} la tension substrat-source. On peut alors écrire : $\exp(\beta(\Psi_S - V + V_{BS} - 2\Phi_F)) \ll \beta\Psi_S - 1$ tant que $\Psi_S + V_{BS} \ll 2\Phi_F - kT/q$. Ainsi en développant Q_{SC} au premier ordre, il vient :

$$Q_{SC} \approx -\sqrt{2KT\varepsilon_{Si}p_0} \left[1 + \frac{\exp(B(\Psi_S - V + V_{BS} - 2\Phi_F))}{2(B\Psi_S - 1)} \right] (B\Psi_S - 1)^{1/2} \quad (1.21)$$

A partir des relations simplifiées (1.19) et (1.21), on obtient une relation simplifiée de la charge Q_S :

$$Q_S = -\frac{1}{2} \sqrt{\frac{2KT\varepsilon_{Si}N_A}{B\Psi_S - 1}} \exp(B(\Psi_S - V + V_{BS} - 2\Phi_F)) \quad (1.22)$$

On peut également exprimer la charge d'inversion du canal en fonction du potentiel appliqué sur la grille par :

$$Q_S = Q_{SC} - Q_{dep} = C_{OX} \left[V_{FB} - V_{GS} + V_{BS} + \Psi_S + \frac{\sqrt{2KT\varepsilon_{Si}N_A}}{C_{OX}} (B\Psi_S - 1)^{1/2} \right] \quad (1.23)$$

où $\beta = kT/q$ et N_A est la concentration uniforme des dopants dans le substrat.

I.3. Etude de fonctionnement physique de transistor MOSFET

Le MOSFET est l'acronyme de metal oxide semiconductor field effect transistor. les transistors MOSFET sont des transistors à effet de champ dont la grille métallique est totalement isolée du canal par une mince couche isolante d'oxyde de silicium (SiO_2). Le transistor MOS possède 4 électrodes : la Source (Source) **S** : point de départ des porteurs, le Drain (Drain) **D** : point de collecte des porteurs, la Grille (Gate) **G** et le Substrat (Bulk) **B** sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal (figure 1.7).

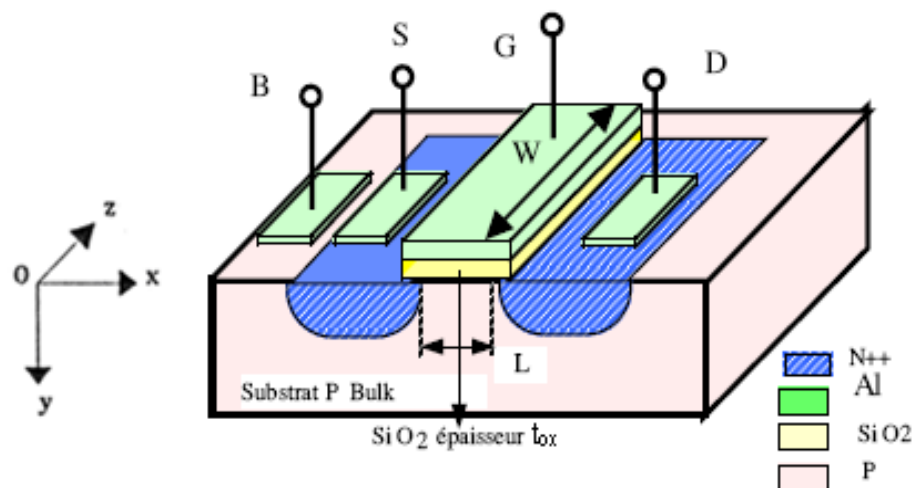


Figure I.7 : Structure d'un transistor MOS [17].

L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve alors un composant à 3 électrodes dans lequel le courant entre le **D**rain et la **S**ource I_{DS} est commandé par une tension entre la **G**rille et la **S**ource (potentiel de source = potentiel de substrat) : V_{GS} .

I.3.1. Principe de base et structures des transistors MOS

I.3.1.1. Effet de champ

Le principe de fonctionnement d'un transistor MOS (Métal- Oxyde-Semi-conducteur) repose sur l'**effet « de champ »**, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique, comme dans une capacité plane. La figure I.8 illustre l'effet de champ dans un transistor MOS schématisé comme suit:

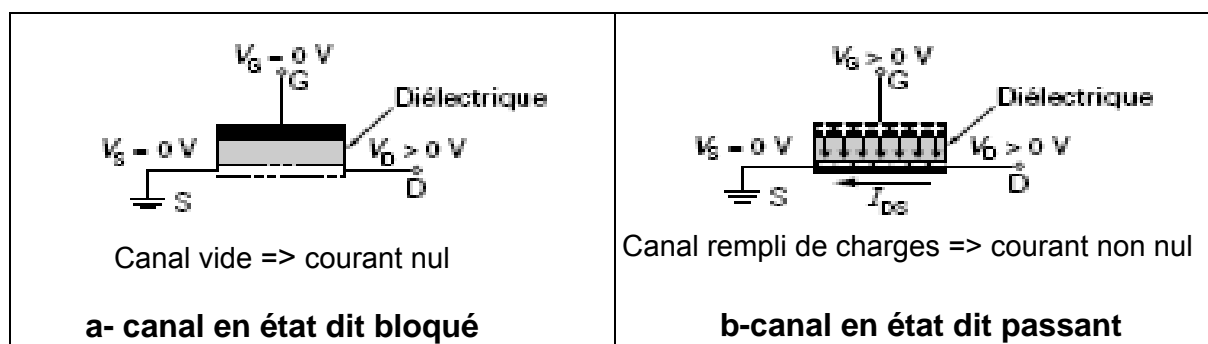


Figure I.8 : Effet de champ dans un transistor MOS [5].

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles ;
- l'autre électrode (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOS peut aussi être considéré comme une résistance modulable électrostatiquement et reliant deux contacts (source et drain).

I.3.1.2. Structure possibles

En général, un transistor MOS contient une grille G en silicium polycristallin, séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent SiO₂. Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction.

Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous). La figure I.9 illustre ces deux types de transistors.

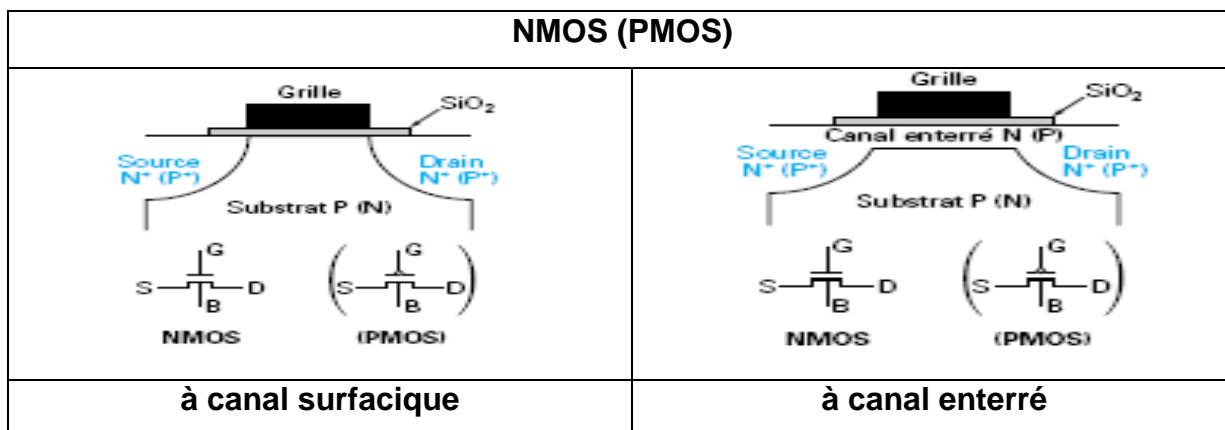


Figure I.9 : Structures et symboles des transistors MOS [5].

Chacun de ces deux transistors peut avoir une construction à **canal** « surfacique » ou à canal « enterré ».

1- Le canal surfacique (auss appelé canal d'inversion) est induit électrostatiquement par l'effet de champ. Il est du type des porteurs, N ou P, et donc opposé (d'où le nom d'inversion) à celui du substrat, mais de même type que les régions de source et de drain, rendant ainsi le passage du courant possible. Notons que si la couche d'inversion n'est pas créée par l'effet de champ, la structure se réduit à deux diodes

tête-bêche (jonction N+PPN+) pour un NMOS ou P+NNP+ pour un PMOS) ; aucune conduction n'est alors possible.

2-Le canal enterré (aussi appelé canal d'accumulation) est un canal constitué par une fine couche fixe (dite enterrée) du semi-conducteur dopé, du même type de conduction que les régions de source et de drain. Si cette couche est suffisamment épaisse, le passage du courant est autorisé même sans l'effet de champ, car le canal représente une résistance (N+NN+). Une polarisation positive de la grille pour le NMOS (négative pour le PMOS) induit une accumulation de porteurs dans le canal, augmentant ainsi le niveau de conduction. Une polarisation contraire, négative pour le NMOS (positive pour le PMOS), appauvrit le canal de porteurs libres, le rendant ainsi bloqué pour la conduction.

La figure I.10 illustre les différents types du transistor MOSFET, leurs symboles et leurs caractéristiques de transfert et de sortie.

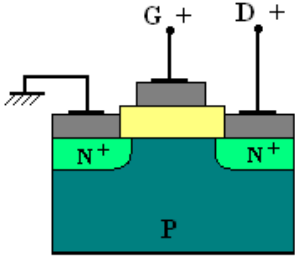
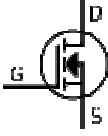
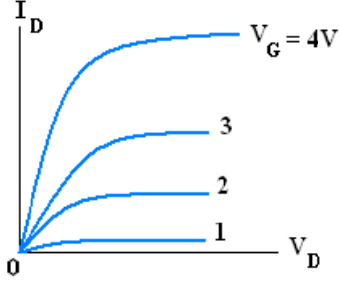
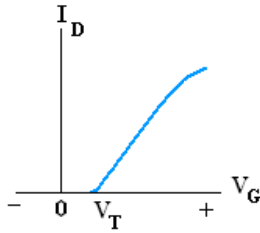
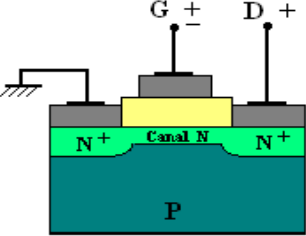
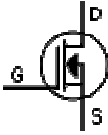
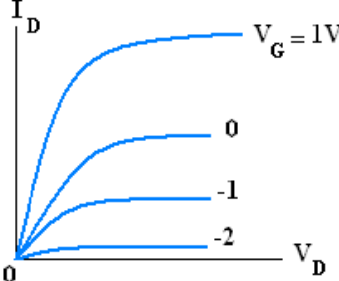
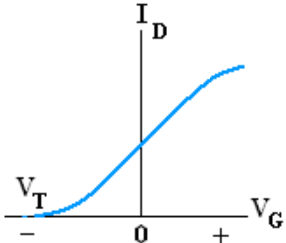
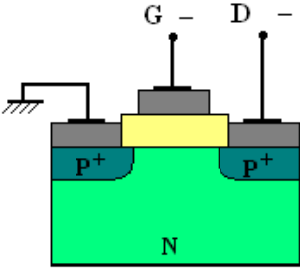
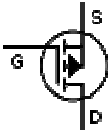
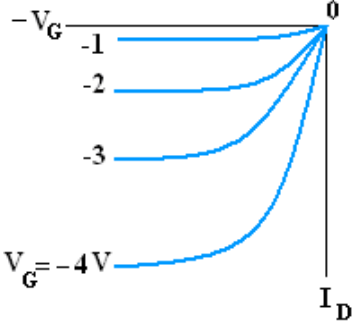
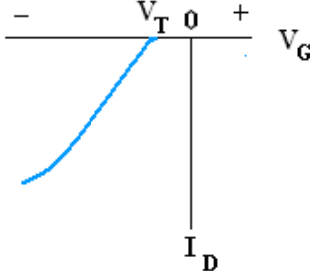
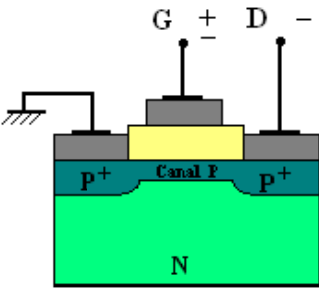
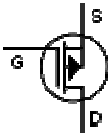
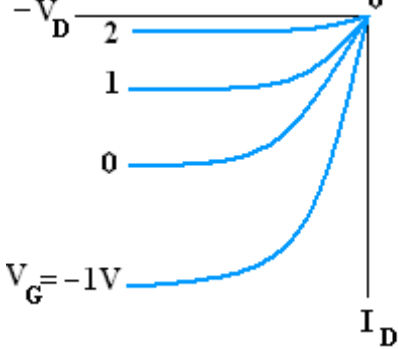
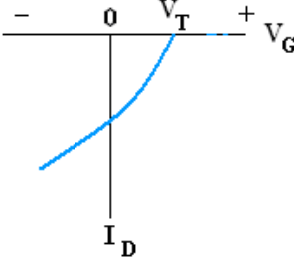
Type de MOSFET	Symbole	Caractéristiques de sortie	Caractéristiques de transfert
 <p>NMOSFET (normally off)</p>			
 <p>NMOSFET (normally on)</p>			
 <p>PMOSFET (normally off)</p>			
 <p>PMOSFET (normally on)</p>			

Figure I.10 : Caractéristiques de transfert et de sortie des différents types de MOSFET.

I.4. Principe de fonctionnement du transistor MOS

Afin d'expliquer le fonctionnement du transistor MOSFET, nous nous intéressons à un transistor à enrichissement de canal (normally off), qui ne peut conduire qu'à partir d'une tension de seuil contrairement au transistor à appauvrissement de canal (normally on) qui peut conduire à partir de 0volts.

Le principe de fonctionnement du transistor MOS (ou MOSFET) repose sur la modulation d'une densité de porteurs d'une zone semi-conductrice par un champ électrique qui lui est perpendiculaire. Ce champ électrique est appliqué par l'électrode de commande (la grille) à travers un isolant (diélectrique de grille). Les porteurs créés sont des charges mobiles : électrons dans le cas d'un transistor NMOS, trous dans le cas d'un transistor PMOS. Lorsque la tension appliquée sur la grille est supérieure à une tension appelée tension de seuil, notée V_{th} , « threshold voltage », les charges mobiles constituent un canal de conduction entre la source et le drain.

Lorsqu'une différence de potentiel V_{DS} , est appliquée entre la source et le drain, les porteurs affluant (côté source, de façon conventionnelle) et sont collectés par le drain sous la forme d'un courant. Ainsi, de façon macroscopique, le transistor MOS se comporte comme un dispositif régulant un courant entre deux électrodes par une commande en tension [2].

I.4.1. La tension de seuil V_{th} (threshold voltage)

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir le régime de forte inversion [7], c'est-à-dire :

$$\Psi_S = 2\phi_F \quad (1.24)$$

Sous cette condition, la tension de seuil s'exprime comme suit :

$$V_{th} = V_{FB} + 2\phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{ox}} \quad (1.25)$$

Avec

$$V_{FB} = \phi_M - \phi_{Si} \quad (1.26)$$

ϕ_M et ϕ_{Si} sont tels que $e \cdot \phi_M$ et $e \cdot \phi_{Si}$ représentent respectivement les travaux de sortie de la grille et du silicium, ϵ_{Si} est la constante diélectrique du silicium, et enfin

$C_{OX} = \frac{\epsilon_{OX}}{T_{OX}}$: représente la capacité de l'oxyde par unité de surface. Cette expression de V_{th} (II.25) est valable pour le transistor MOS conventionnel à canal long.

I.4.2. Les régimes de fonctionnement du MOSFET

Une fois les porteurs mobiles induits dans le canal par l'effet de champ vertical (créé par la polarisation de la grille), il faut vérifier la conduction du courant I_D qui circule entre le drain et la source. Pour cela, on applique une tension $V_{DS} > 0V$, afin d'imposer un champ électrique accélérateur dans le canal et parallèle à l'interface oxyde-semi-conducteur.

Pour comprendre le fonctionnement d'un transistor MOS, il est indispensable de remarquer qu'à la modulation de la résistance du canal par l'effet de champ vertical, s'additionne une autre modulation provenant de la polarisation du drain qui crée un champ électrique longitudinal. Il en résulte que le canal polarisé entre source et drain voit un potentiel variable en chaque point de sa longueur, ce dernier passant de Φ_d à la source, $\Phi_d + V_{DS}$ au drain. Tenant compte du fait que la grille est équipotentielle, cela implique que la tension à travers le diélectrique de grille est non uniforme le long du canal. Par conséquent l'effet de champ devient lui aussi non uniforme, ce qui signifie une résistivité du canal variable en chaque point et en fonction de l'importance de la polarisation de drain, nous pouvons distinguer trois régimes de fonctionnement du transistor MOS [5].

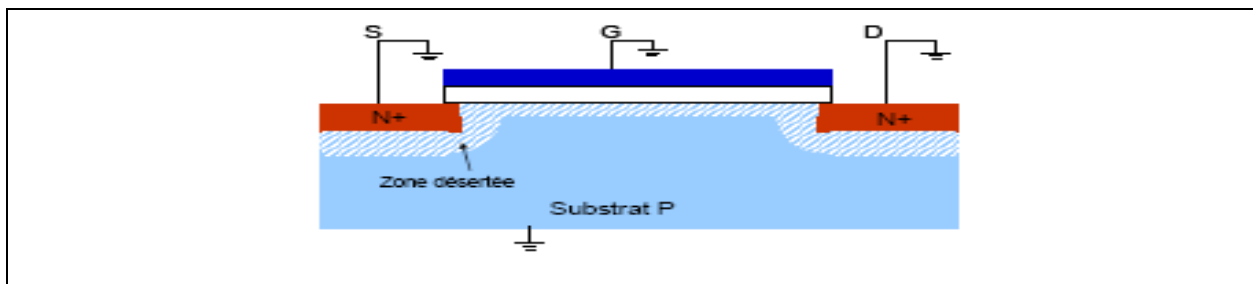


Figure « I.11.a » : Coupe de MOSFET représentative de son fonctionnement en absence de polarisation (régime bloqué) [6].

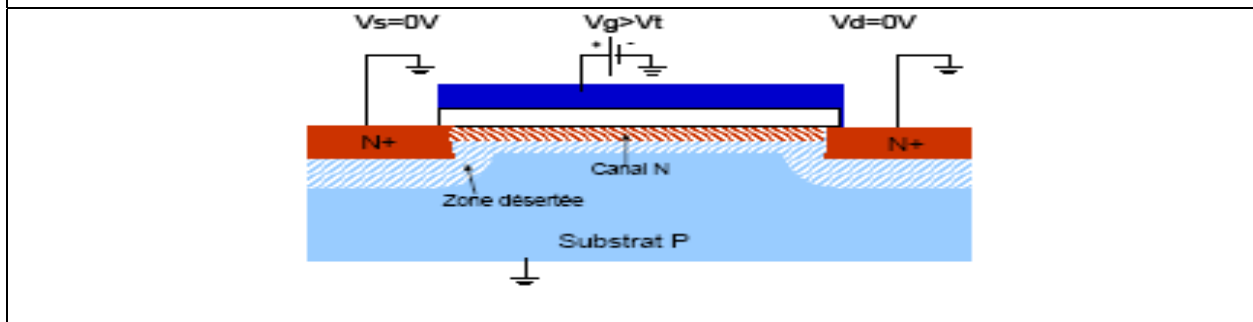


Figure « I.11.b » : Coupe de MOSFET représentative de son fonctionnement : activation du canal ($V_g > V_{th}$) [6].

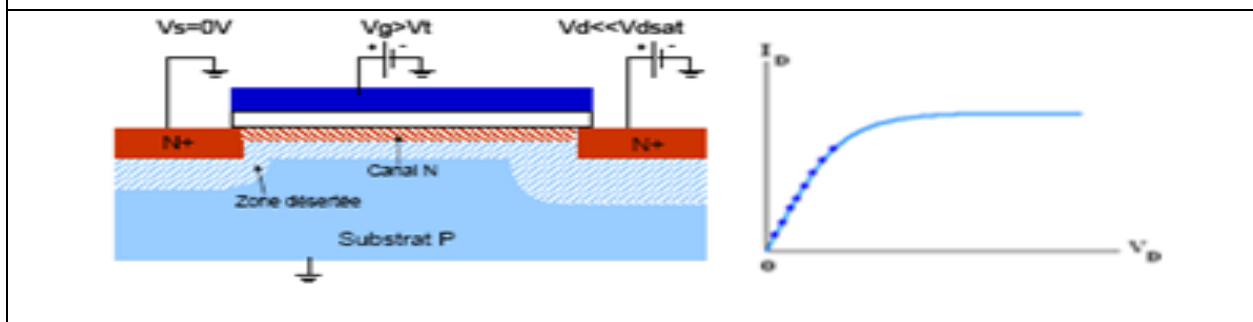


Figure « I.11.c » : Coupe du MOSFET représentative de son fonctionnement en régime linéaire dit ohmique [6].

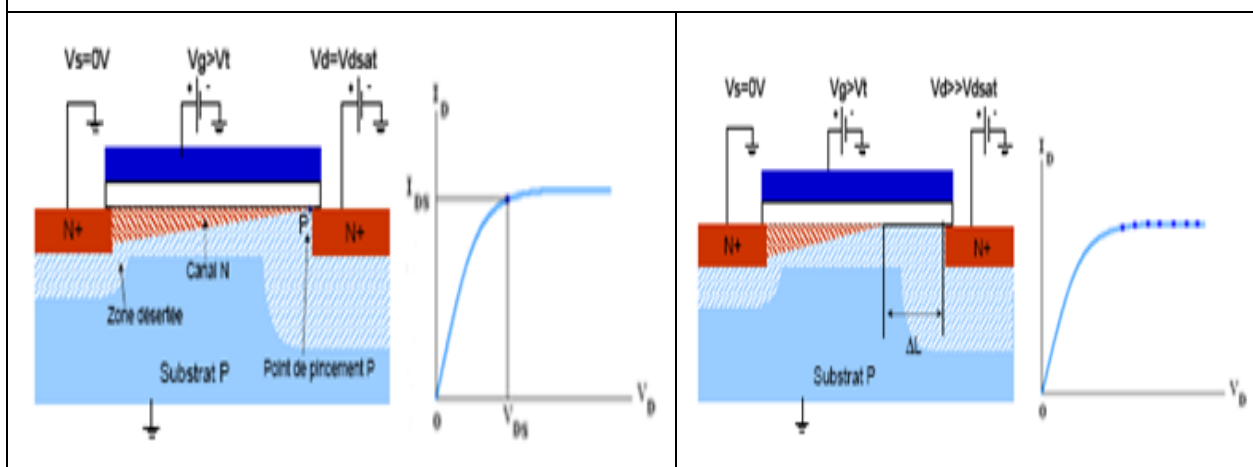


Figure « I.11.d » : Coupe de MOSFET représentative de son fonctionnement en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de ΔL (droite) [6].

Les figures I.11 a, b, c, et d [6], représentent le principe de fonctionnement du transistor à canal N à enrichissement de canal (normally-off).

En l'absence de toute polarisation de grille V_{GS} , le régime bloqué représente l'état du composant, le transistor MOS est alors représenté par deux jonctions PN tête-bêche. Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué (I_{off}) doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant (figure I.11.a).

L'application d'une tension positive (négative pour le PMOS) sur l'électrode de grille supérieure à une certaine tension de seuil V_{th} produit l'apparition d'une couche d'inversion de type N entre la source et le drain (Figure I.11.b). Un canal de type N relie la source au drain. Plus la tension de grille V_{GS} est élevée, plus la densité de porteurs dans la couche augmente.

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (Figure I.11.c). La variation de la tension V_{DS} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain V_{DS} reste faible, le courant reste proportionnel à la tension V_{DS} appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{GS} .

Plus la tension V_{DS} appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à V_{DS} et aboutit à un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ($V_{GS}-V_{DS}$) égale à la tension de seuil V_{th} le canal se pince côté drain et la conductivité du canal s'annule au voisinage du drain. La tension de drain à laquelle le pincement a lieu est appelée tension de saturation V_{dsat} , et le courant correspondant est appelé courant de saturation I_{dsat} (Figure I.11.d).

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à

V_{dsat} . Si la variation relative $\Delta L/L$ de la longueur du canal est faible, le courant de drain est égal à I_{dsat} et indépendant de V_{DS} (figure I.11.d).

Les caractéristiques de transfert - $I_D(V_{GS})$ - et de sortie - $I_D(V_{DS})$ - sont respectivement illustrées par les Figure I-12 (a) et (b) [6].

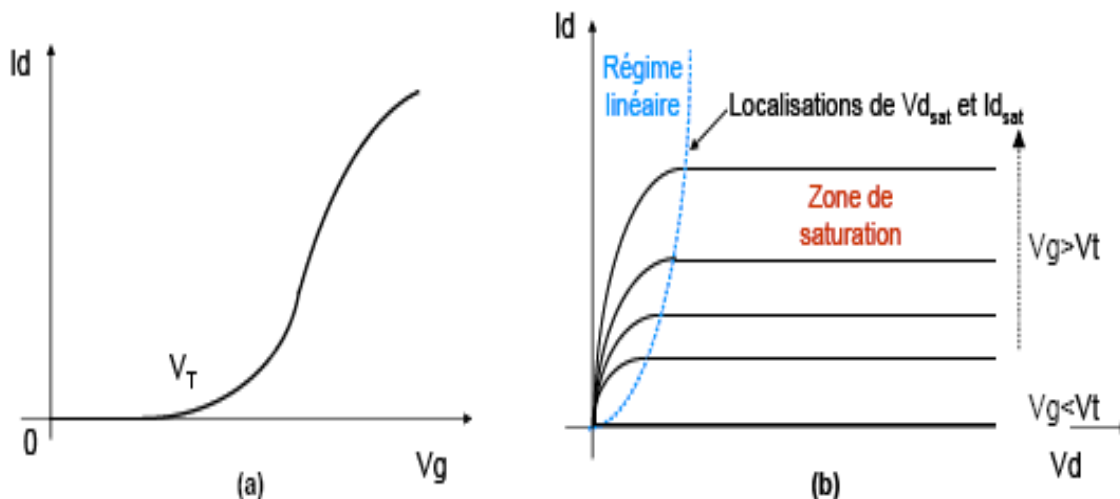


Figure I.12 : Caractéristiques idéales de transfert (a) et de sortie (b) d'un transistor MOS de type N. La courbe pointillée correspond à la tension V_{dsat} . Pour $V_d > V_{dsat}$ le courant reste constant à I_{dsat} [6].

I.4.3. Modélisation de courant de drain

Pour calculer le courant de drain nous supposons que la capacité MOS est en régime de bandes plates à polarisation nulle, c'est à dire que la différence de travaux de sortie du métal et du semi-conducteur est nulle $\Phi_{MS}=0$, nous supposons en outre que les porteurs ont une mobilité constante dans toute la zone d'inversion [9].

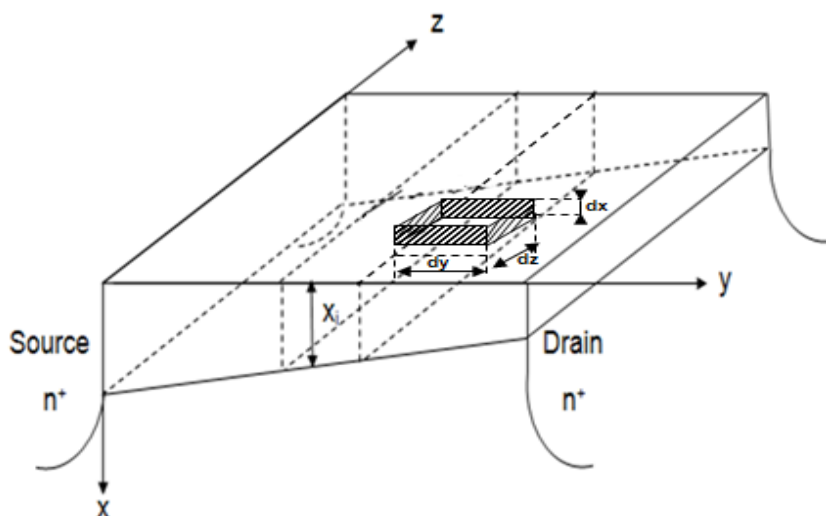


Figure I.13 : Zone active du MOSFET [9].

Considérons la figure I.13, en un point de coordonnées x,y,z du canal conducteur c'est à dire de la couche d'inversion.

La densité d'électrons est $n(x,y,z)$ et la conductivité du canal s'exprime par :

$$\sigma(xyz) = e\mu_n n(xyz) \quad (I.27)$$

La conductance (g) dans la direction source drain (direction y) d'un élément du canal de coordonnées xyz et le volume $d\tau = dx dy dz$ est donné par :

$$d^3g = \sigma(xyz) \frac{dx dz}{dy} = e\mu_n n(xyz) \frac{dx dz}{dy} \quad (I.28)$$

Compte tenu de la géométrie de la structure, la densité d'électrons est indépendante de z de sorte que l'intégrale sur z donne :

$$d^2g = Ze\mu_n n(xy) \frac{dx}{dy} \quad (I.29)$$

En intégrant cette expression sur toute la section conductrice du canal c'est-à-dire de $x=0$ à $x=x_i$ ou x_i représente la limite de la zone d'inversion, on obtient :

$$dg = Z\mu_n \frac{\int_0^{x_i} en(xy) dx}{dy} = -Z\mu_n \frac{Q_S(y)}{dy} \quad (I.30)$$

$Q_S(y)$ représente la charge associée aux électrons présents sur toute la profondeur x_i de la zone d'inversion par unité de surface, c'est la densité surfacique de charges d'inversion. Cet élément du canal de longueur dy est étendu sur toute la section conductrice du barreau, il est donc parcouru par la totalité du courant de drain I_D la loi d'ohm aux bornes de cet élément de canal s'écrit donc :

$$I_D = dg \cdot dV \quad (I.31)$$

Ou le courant de drain I_D est conservatif c'est-à-dire constant avec y . En explicitant dg , l'expression (I.31) s'écrit :

$$I_D dy = -Z\mu_n Q_S(y) dV \quad (I.32)$$

On obtient le courant I_D en intégrant sur $y=0$ à $y=L$ et sur $V=V_S=0$ à $V=V_D$.

Il faut au préalable expliciter la variation de $Q_S(y)$ en un point d'abscisse y de la structure (figure I.14), la densité surfacique de charges du semi-conducteur est donnée par :

$$Q_{SC}(y) = Q_{dep}(y) + Q_S(y) \quad (I.33)$$

Avec :

$Q_{dep}(y)$: représente la charge de déplétion.

$Q_S(y)$: représente la charge d'inversion.

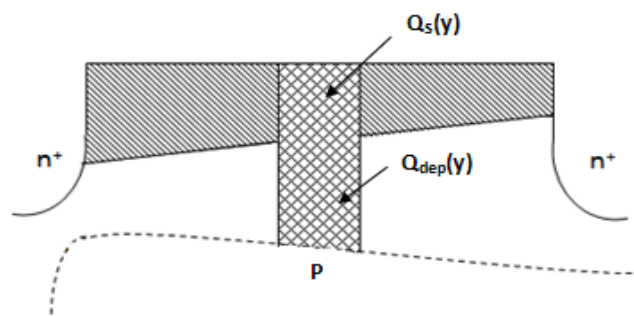


Figure I.14 : La variation de $Q_S(y)$ en un point d'abscisse y de la structure [9].

La densité surfacique de charges participant au courant de drain, est par conséquent donnée par :

$$Q_S(y) = Q_{SC}(y) - Q_{dep}(y) \quad (I.34)$$

Si V_{GS} est le potentiel de la grille et $V_S(y)$ le potentiel de surface du semi-conducteur à l'abscisse y , les densités surfaciques de charges développées à cette abscisse, dans le métal et le semi-conducteur sont données par :

$$Q_m(y) = -Q_{SC}(y) = C_{OX}(V_{GS} - V_S(y)) \quad (I.35)$$

L'étude de la structure MOS nous a montré qu'en régime de forte inversion la différence de potentiel entre la surface de volume du semi-conducteur restait sensiblement égal à $2\Phi_F$. Ainsi, en un point d'abscisse y du canal conducteur si on appelle $V(y)$ le potentiel résultant de la polarisation drain-source et $V_S(y)$ le potentiel de surface, on peut écrire :

$$V_S(y) - V(y) = 2\phi_F + 2 \frac{KT}{e} \ln (V_{GS}) \approx 2\phi_F \quad (I.36)$$

Aux extrémités du canal en particulier, cette expression s'écrit :

$$\text{Côté source } V(y) = 0 \Rightarrow V_S(y = 0) = V_S(S) = 2\phi_F \quad (I.37)$$

$$\text{Côté drain } V(y) = V_D \Rightarrow V_S(y = L) = V_S(D) = 2\phi_F + V_D \quad (I.38)$$

Compte tenu de la relation (I.36) qui relie $V_S(y)$ et $V(y)$, la relation (I.35) s'écrit :

$$Q_{sc}(y) = -C_{OX}(V_{GS} - V(y) - 2\phi_F) \quad (I.39)$$

La charge de déplétion est quant elle donnée par (I.37) ou V_S représente la différence de potentiel entre la surface et la région neutre du semi-conducteur, soit :

$$Q_{dep}(y) = -eN_A W(y) = -(2eN_A \epsilon_{si}(V_S(y) - V_{substrat}))^{1/2} = -(2eN_A \epsilon_{si} V_S(y))^{1/2} \quad (I.40)$$

Soit en explicitant $V_S(y)$:

$$Q_{dep}(y) = -(2eN_A \epsilon_{si}(V(y) + 2\phi_F))^{1/2} \quad (I.41)$$

Ainsi par différence, on obtient l'expression de la densité surfacique de charges d'inversion en un point d'abscisse y :

$$Q_s(y) = -C_{OX}(V_{GS} - V(y) - 2\phi_F) + (2eN_A \epsilon_{si})^{1/2}(V(y) + 2\phi_F)^{1/2} \quad (I.42)$$

L'expression I.32 s'écrit alors :

$$I_D dy = Z\mu_n C_{OX} \left[(V_{GS} - V(y) - 2\phi_F) - \frac{(2eN_A \epsilon_{si})^{1/2}}{C_{OX}} (V(y) + 2\phi_F)^{1/2} \right] dV \quad (I.43)$$

En intégrant sur toute la longueur du canal, on obtient :

$$I_D = \frac{Z\mu_n C_{OX}}{L} \left[\left(V_{GS} - \frac{V_{DS}}{2} - 2\phi_F \right) V_{DS} - \frac{2}{3} \frac{(2eN_A \epsilon_{si})^{1/2}}{C_{OX}} \left((V_{DS} + 2\phi_F)^{3/2} - (2\phi_F)^{3/2} \right) \right] \quad (I.44)$$

La relation précédente donne la loi de variation du courant de drain avec la tension drain-source V_{DS} et la tension grille-source V_{GS} .

I.4.3.1. Régime linéaire

Dans le cas d'un MOSFET à enrichissement, il faut appliquer une tension de grille supérieure à la tension de seuil V_{th} afin d'ouvrir le canal de conduction. Lorsque le transistor commence à conduire le comportement de I_D versus V_{DS} demeure linéaire (loi d'ohm) tant que $V_{DS} < V_{GS} - V_{th}$.

L'expression précédente de I_D peut se mettre sous la forme :

$$I_D = \frac{Z\mu_n C_{OX}}{L} \left[(V_{GS} - 2\phi_F)V_{DS} - \frac{V_{DS}^2}{2} - \frac{2}{3} \frac{(2eN_A\epsilon_{si})^{1/2}}{C_{OX}} (2\phi_F)^{3/2} \left[\left[1 + \frac{V_{DS}}{2\phi_F} \right]^{3/2} - 1 \right] \right] \quad (I.45)$$

Dans la gamme des faibles valeurs de V_{DS} c'est-à-dire pour $V_{DS} \ll 2\phi_F$, on peut d'une part négliger le terme quadratique en V_{DS} et d'autre part développer le terme en $(1 + \epsilon)^{3/2} \approx 1 + 3\frac{\epsilon}{2}$, on obtient :

$$I_D = \frac{Z\mu_n C_{OX}}{L} \left[(V_{GS} - 2\phi_F)V_{DS} - \frac{2}{3} \frac{(2eN_A\epsilon_{si})^{1/2}}{C_{OX}} (2\phi_F)^{3/2} \frac{3}{2} \frac{V_{DS}}{2\phi_F} \right] \quad (I.46)$$

Soit

$$I_D = \frac{Z\mu_n C_{OX}}{L} \left[V_{GS} - 2\phi_F - \frac{(2eN_A\epsilon_{si}2\phi_F)^{1/2}}{C_{OX}} \right] V_{DS} \quad (I.47)$$

Sachant que :

$$V_{th} = 2\phi_F + \frac{(4eN_A\epsilon_{si}\phi_F)^{1/2}}{C_{OX}} \quad (I.48)$$

Le courant du drain peut alors s'exprimer par :

$$I_D = \frac{Z\mu_n C_{OX}}{L} (V_{GS} - V_{th})V_{DS} \quad (I.49)$$

On obtient donc un régime linéaire, dans lequel le courant du drain I_D varie proportionnellement à la tension drain-source V_{DS} . Les pentes des caractéristiques sont fonction de la géométrie du transistor par Z , L , C_{OX} et de la tension de polarisation grille-source.

La transconductance et la conductance de drain du transistor peuvent s'en déduire, soit alors :

$$G_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{Z\mu_n C_{OX}}{L} V_{DS} \quad (1.50)$$

$$G_d = \frac{\partial I_D}{\partial V_{DS}} = \frac{Z\mu_n C_{OX}}{L} (V_{GS} - V_{th}) \quad (1.51)$$

Il faut noter que G_d reste toujours positif tant que $V_{GS} > V_{th}$.

1.4.3.2. Régime sous linéaire

La frontière entre le régime linéaire et le régime de saturation est appelée le régime sous linéaire, l'expression de courant I_D s'exprime alors par :

$$I_D = \frac{Z\mu_n C_{OX}}{L} \left[(V_{GS} - V_{th}) - \frac{V_{DS}}{2} \right] V_{DS} \quad (1.52)$$

1.4.3.3. Régime de saturation

Quand la tension drain-source augmente au-delà du régime linéaire, la densité surfacique de porteurs libres décroît au voisinage du drain et le courant de drain présente une variation sous-linéaire avant d'atteindre un régime de saturation. On obtient la tension de saturation V_{dsat} en écrivant que pour $V_{DS} = V_{dsat}$, $Q_S(y) = 0$ en $y=L$, l'expression (1.42) s'écrit alors :

$$0 = -C_{OX}(V_{GS} - V_{dsat} - 2\phi_F) + (2eN_A\epsilon_{si})^{1/2}(V_{dsat} + 2\phi_F)^{1/2} \quad (1.53)$$

Soit alors :

$$V_{GS} = V_{dsat} + 2\phi_F + \frac{(2eN_A\epsilon_{si})^{1/2}}{C_{OX}} (V_{dsat} + 2\phi_F)^{1/2} \quad (1.54)$$

Un petit développement algébrique permet d'obtenir simplement l'expression de la tension de saturation :

$$V_{dsat} = V_{GS} - 2\phi_F + \frac{eN_A\epsilon_{si}}{C_{OX}^2} \left[1 - \left[1 + \frac{2C_{OX}^2}{eN_A\epsilon_{si}} V_{GS} \right]^{1/2} \right] \quad (1.55)$$

On obtient alors l'expression du courant de saturation en portant cette valeur de V_{DS} dans l'expression (1.44).

On simplifie considérablement les expressions précédentes dans le cas réaliste où le semi-conducteur est peu dopé à la couche d'oxyde très mince. Dans ces conditions, N_A est petit et C_{OX} est grand, de sorte que la tension de seuil du transistor équation (1.48), la tension de saturation (équation (1.55)) et le courant de saturation s'écrivent simplement sous la forme :

$$V_{th} \approx 2\phi_F \quad (1.56)$$

$$V_{dsat} \approx V_{GS} - 2\phi_F \approx V_{GS} - V_{th} \quad (1.57)$$

$$I_{dsat} \approx \frac{Z\mu_n C_{OX}}{2L} (V_{GS} - 2\phi_F)^2 \approx \frac{Z\mu_n C_{OX}}{2L} (V_{GS} - V_{th})^2 \approx \frac{Z\mu_n C_{OX}}{2L} V_{dsat}^2 \quad (1.58)$$

On obtient alors un courant de drain constant. En régime de saturation la transconductance du transistor devient :

$$G_{ms} = \frac{Z\mu_n C_{OX}}{L} (V_{GS} - V_{th}) \quad (1.59)$$

La transconductance G_{ms} est plus importante si la capacité de l'oxyde est élevée et si le canal est court, en outre elle augmente linéairement avec la tension de grille V_{GS} .

Lorsque la tension drain source est égale à la tension de saturation V_{dsat} , le point de pincement se situe au contact du drain, la longueur du canal conducteur est L . Le courant de drain est $I_D = I_{dsat}$.

Lorsque V_{DS} augmente au-delà de V_{dsat} , le point de pincement P (Figure 1.15) se déplace vers la source, la longueur du canal diminue de ΔL . L'excédant de tension $V_{DS} - V_{dsat}$ s'établit aux bornes de la zone de déplétion de largeur ΔL . La tension $V_p - V_s = V_p$ reste constante et égal à V_{dsat} . Le canal reste donc soumis à une tension constante $V_p = V_{dsat}$ mais sa longueur diminue quand V_{DS} augmente et par conséquent sa conductance augmente. Il en résulte que le courant de drain I_D augmente au-delà de I_{dsat} [9].

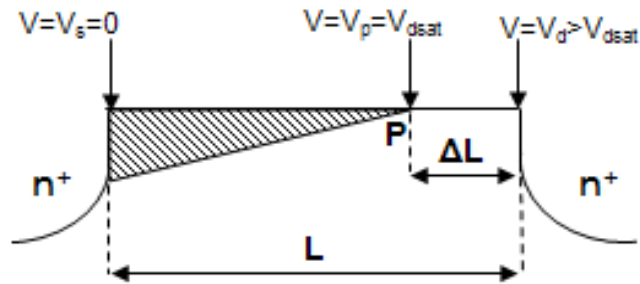


Figure I.15 : Pincement du canal [9].

La variation de conductance étant linéaire avec la longueur du canal, on peut écrire le courant de drain en régime de saturation sous la forme :

$$I_D = I_{dsat} \frac{L}{L - \Delta L} \quad (I.60)$$

Pour $V_{DS} = V_{dsat}$, $\Delta L = 0, I_D = I_{dsat}$. Pour $V_{DS} > V_{dsat}$, $\Delta L > 0, I_D > I_{dsat}$. Si $\frac{\Delta L}{L} \ll 1$ la variation de la longueur du canal est négligeable, I_D reste constante et égal à I_{dsat} , la conductance différentielle de drain est nulle. Si par contre $\frac{\Delta L}{L}$ n'est pas négligeable, le courant de drain est lié à la tension par la variation de ΔL .

Pour établir la variation de I_D avec la tension de polarisation V_{GS} et V_{DS} il faut alors expliciter I_{dsat} et ΔL en fonction de ces tensions. I_{dsat} est donné en fonction de V_{dsat} et V_{GS} par l'expression (I.56). En ce qui concerne ΔL , c'est la longueur de la zone de déplétion d'un élément de semi-conducteur soumis à une différence de potentiel $\Delta V = V_{DS} - V_p = V_{DS} - V_{dsat}$. On calcule cette longueur tout simplement en intégrant l'équation de poisson (Figure I.16).

$$\frac{d^2V}{du^2} = -\frac{\rho}{\epsilon_{si}} = \frac{eN_A}{\epsilon_{si}} \quad (I.61)$$

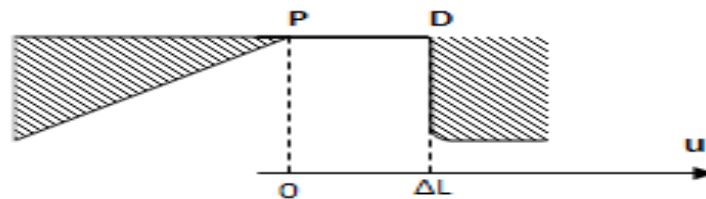


Figure I.16 : Présentation de la longueur de la zone de déplétion d'un élément de semi-conducteur soumis à une différence de potentiel [9].

En intégrant une première fois avec la condition $E=0$ en $U=0$, on obtient :

$$\frac{dV}{du} = \frac{eN_A}{\epsilon_{si}} u \quad \text{soit} \quad dV = \frac{eN_A}{\epsilon_{si}} u du \quad (I.62)$$

On intègre sur la longueur ΔL , c'est-à-dire sur la variable V de V_P à V_{DS} et sur la variable u de 0 à ΔL , soit :

$$V_{DS} - V_P = \frac{eN_A \Delta L^2}{2\epsilon_{si}} \quad (I.63)$$

Ainsi dans la mesure ou $V_P = V_{dsat}$:

$$\Delta L = \left[\frac{2\epsilon_{si}}{eN_A} (V_{DS} - V_{dsat}) \right]^{1/2} \quad (I.64)$$

En explicitant I_{dsat} à partir de (I.58) et ΔL à partir de (I.64), l'expression (I.60) s'écrit :

$$I_D = \frac{Z\mu_n C_{OX}}{2L} V_{dsat}^2 \frac{1}{1 - \left[\frac{2\epsilon_{si}}{eN_A L^2} (V_{DS} - V_{dsat}) \right]^{1/2}} \quad (I.65)$$

Dans la pratique, et sauf pour des transistors à canal très court ($L=1\mu$), ΔL reste très inférieur à L . Il en résulte que la deuxième partie de l'expression (I.65) peut s'écrire sous la forme : $\frac{1}{(1-\epsilon)} \approx 1 + \epsilon$, soit

$$I_D = \frac{Z\mu_n C_{OX}}{2L} V_{dsat}^2 \left[1 + \left[\left(\frac{2\epsilon_{si}}{eN_A L^2} \right)^{1/2} (V_{DS} - V_{dsat}) \right]^{1/2} \right] \quad (I.66)$$

On obtient la conductance de drain par la dérivée de cette expression, soit :

$$G_d = \frac{Z\mu_n C_{OX}}{4L^2} \left[\frac{2\epsilon_{si}}{eN_A} \right]^{1/2} \frac{V_{dsat}^2}{\sqrt{V_{DS} - V_{dsat}}} \quad (I.67)$$

I.4.4. Principaux paramètres des MOSFETs

Les trois régimes de fonctionnement (bloqué, ohmique et source de courant) décrits au paragraphe précédent sont indiqués sur les caractéristiques $I_D(V_{DS})$ à différentes tensions de grille V_{GS} reportées en Figure I.17.

L'état passant d'un transistor (zone ohmique et source de courant) MOSFET se caractérise principalement par :

- La résistance à l'état passant R_{on} : est l'inverse de la pente de la courbe $I_D(V_{DS})$ à $V_{GS}=V_{DD}$ pour une faible tension de polarisation V_{DS} . V_{DD} représente la tension d'alimentation (Figure I.17).
- Le courant de saturation : I_{on} , représente le courant I_D à $V_{GS}=V_{DD}$ et $V_{DS}=V_{DD}$ (Figure I.18).
- La transconductance G_m , correspond à la pente de la courbe $I_D(V_{GS})$ pour une tension de polarisation V_{DS} importante (Figure I.18) soit :

$$G_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{cste}} \quad (I.68)$$

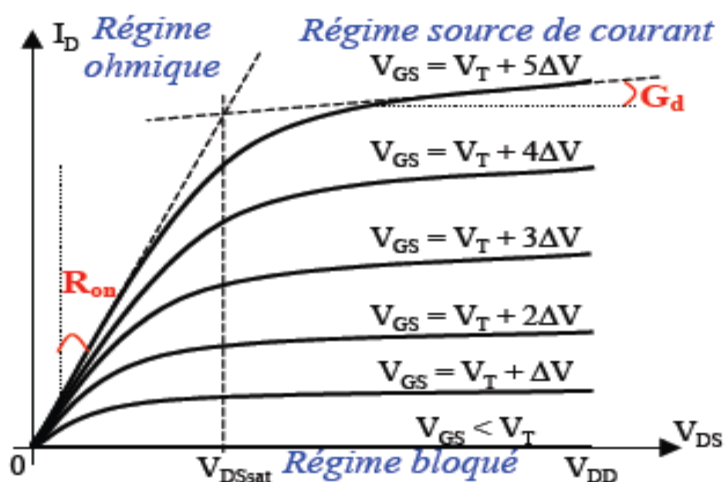


Figure I.17 : Caractéristiques $I_D(V_{DS})$ typiques à différents V_{GS} d'un transistor NMOS [8].

La conductance G_d quantifie l'imperfection de la saturation. Elle est égale à la pente de la courbe $I_D(V_{DS})$ à $V_{DS} > V_{dsat}$ soit :

$$G_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=\text{cste}} \quad (\text{en régime source de courant}) \quad (I.69)$$

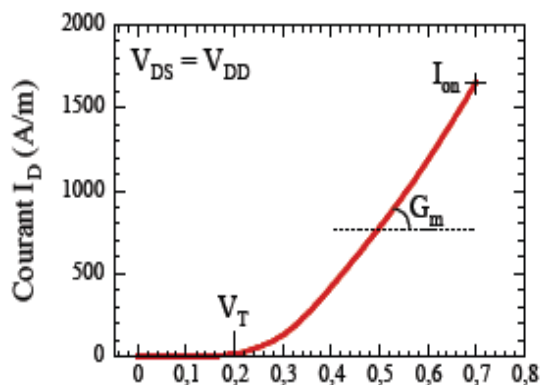


Figure I.18 : Caractéristique $I_D(V_{GS})$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , G_m et V_T sont indiqués [8].

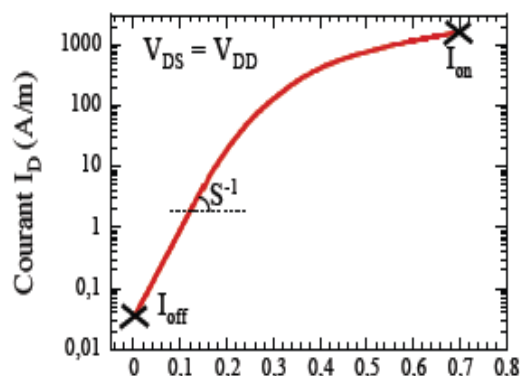


Figure I.19 : Caractéristique $\log [I_D(V_{GS})]$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , I_{off} et S sont indiqués [8].

Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ($I_D \neq 0$).

Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif, d'où la dépendance exponentielle de la caractéristique $I_D(V_{GS})$ sous le seuil illustrée en Figure I.19.

- le courant à l'état bloqué I_{off} correspond au courant I_D à $V_{GS} = 0$ V et $V_{DS} = V_{DD}$ (Figure I.19),
- de plus on définit la pente sous le seuil S comme l'inverse de la pente $\log [I_D(V_{GS})]$ à faible V_{GS} .

$$\text{Soit } S = \left[\frac{\partial \log (I_D)}{\partial V_{GS}} \Big|_{V_{DS}=\text{cste}} \right]^{-1} \quad (I.70)$$

La modélisation du courant sous le seuil [11] donne une pente :

$$S = \frac{k_B T}{q} \ln(10) \left[1 + \frac{C_{ZCE}}{C_{OX}} \right] \quad (I.71)$$

où k_B est la constante de Boltzmann, T la température, q la charge élémentaire, C_{ox} la capacité d'oxyde et C_{ZCE} la capacité de la zone de charge d'espace.

Pour $C_{ox} \gg C_{ZCE}$ on obtient la pente S idéale :

$$S_{\text{idéale}} = k_B \times T / q \times \ln(10) \quad (I.72)$$

C'est-à-dire égale à 60mV par décade à 300°K.

I.4.5. schéma équivalent du MOSFET

La Figure I.20 présente le schéma électrique équivalent d'un transistor MOSFET intrinsèque en régime d'inversion ($V_{GS} > V_{th}$). Cette modélisation inclut les différentes résistances et capacités parasites habituelles. La superposition du schéma électrique et de la coupe du transistor met en évidence les origines physiques de ces éléments parasites.

Les régions source et drain sont des zones fortement dopées, les porteurs qui les traversent y subissent donc un grand nombre d'interactions avec les impuretés dopantes ionisées. Les résistances d'accès intrinsèques R_S et R_D de ces zones peuvent être non négligeables si elles deviennent du même ordre, voire plus importantes, que la résistance minimale du canal [8].

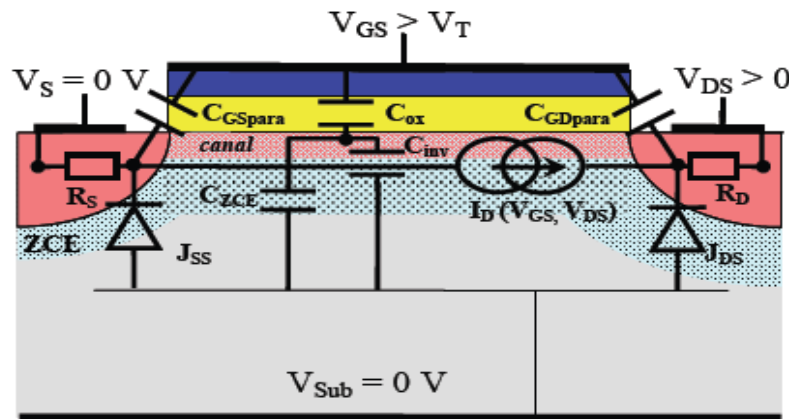


Figure I.20 : Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en régime d'inversion [8].

On a vu précédemment que l'effet de champ crée un canal de porteurs libres par l'intermédiaire de la capacité MOS. La longueur et la largeur de l'oxyde de grille étant très grandes devant son épaisseur (W et $L \gg T_{ox}$), les effets de bord sont négligeables en première approximation. La capacité MOS n'a donc qu'une seule dimension et on ne va considérer que des grandeurs surfaciques. La variation de charges surfaciques commandée par la grille $\Delta Q(V_{GS})$ se répartit dans le semi-conducteur entre le canal d'inversion ΔQ_{inv} et la zone de charge d'espace ΔQ_{ZCE} soit:

$$\Delta Q(V_{GS}) = \Delta Q_{inv} + \Delta Q_{ZCE} \quad (I.73)$$

Cette capacité MOS est modélisée par une capacité d'oxyde C_{ox} en série avec un montage en parallèle d'une capacité d'inversion C_{inv} et d'une capacité de substrat C_{ZCE} . La capacité surfacique d'oxyde C_{ox} est reliée à la structure métal de

grille/isolant: $C_{ox} = \epsilon_{ox}/T_{ox}$. La tension à ses bornes est égale à la différence de potentiel aux limites de l'oxyde. La capacité surfacique C_{inv} est liée à la variation, sous l'effet de la tension de grille, de la charge d'inversion formée par les porteurs libres du canal ΔQ_{inv} . En outre, pour $V_{GS} > V_{th}$, la charge surfacique d'inversion Q_{inv} est donnée par :

$$Q_{inv} = C_{ox} \cdot (V_{GS} - V_{th}) \quad (1.74)$$

La capacité surfacique C_{ZCE} correspond à la variation de charge surfacique de la zone de charge d'espace du substrat, d'extension T_{ZCE} , commandée par la grille donc

$$C_{ZCE} = \epsilon_{Si}/T_{ZCE} \quad [10] \quad (1.75)$$

Avec ϵ_{Si} permittivité diélectrique du silicium.

Pour augmenter le contrôle de la grille sur le canal, ΔQ_{ZCE} et donc la capacité C_{ZCE} doivent rester les plus faibles possibles pour ne pas dégrader les caractéristiques du transistor, en particulier sous le seuil.

Les capacités C_{GSpara} et C_{GDpara} modélisent des phénomènes capacitifs supplémentaires qui se rajoutent, côté drain et côté source, à ceux de la structure MOS idéale. Chacune de ces capacités peut inclure différents types de couplage électrostatique comme illustré en Figure I.21. Tout d'abord, il peut exister un couplage dû à des effets de bord nommé C_{bord} : des lignes de champ (à 2 dimensions) se propagent entre l'électrode de grille et les caissons dans l'espace au-dessus des caissons. Dans le cas d'un recouvrement par la grille des caissons, il y a création, en régime d'inversion du canal, d'une zone d'accumulation dans les caissons et apparition de la capacité C_{rec} associée qui peut être très pénalisante. De plus, si la grille recouvre les ZCE de jonction caisson/substrat, il y a compétition entre les ZCE commandées par la grille et la source. Cela se traduit par une modification de la capacité surfacique C_{ZCE} près des caissons [8].

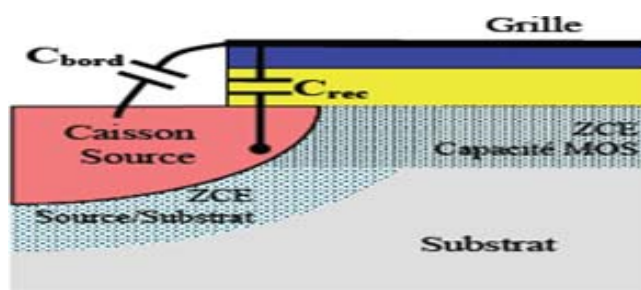


Figure I.21 : Décomposition de la capacité parasite C_{GSpara} en capacité C_{bord} et capacité de recouvrement C_{rec} grille/caisson [8].

Enfin, on constate la présence des jonctions N+/P Source/Substrat et aussi Drain/Substrat qui induisent des comportements résistifs et capacitifs susceptibles de détériorer aussi le comportement dynamique du transistor.

I.4.5.1. Schéma équivalent en régime petits signaux et en basses fréquences

Le modèle le plus simple de représentation du transistor MOS en régime petits signaux et en basse fréquence tient compte de la très impédance d'entrée (quasi infinie), de la transconductance, et de la résistance de sortie, liée à l'effet Early [12].

a- Transconductance

La transconductance caractérise l'aspect amplificateur de la structure. Un signal sous forme de tension, envoyé sur la grille pilote un courant entre la source et le drain.

A partir du point de fonctionnement, la transconductance est définie par l'expression I.68.

b- Effet Early

Lorsque la polarisation de drain varie, nous avons vu que la différence de potentiel entre la limite de la zone de drain et le point de pincement du canal augmentait. Cette différence de potentiel est absorbée par la densité de charges ionisées présentes, répondant à l'équation de Poisson. Pour une charge plus grande, l'extension est supérieure, et le point de pincement se déplace vers la source. Cela revient à diminuer la longueur du canal effectif, donc à diminuer la résistance et en conséquence à augmenter le courant de drain. La caractéristique n'est alors plus horizontale comme représenté sur la figure I.17.

c- Schéma équivalent en source commune

Il est possible d'établir le schéma équivalent du montage en moyenne fréquence en représentation source-commune. Ce schéma est celui de la figure I.22.

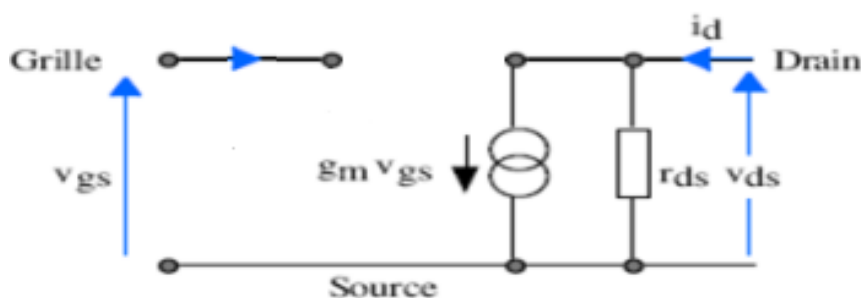


Figure I.22 : Schéma équivalent en petits signaux et basse fréquence du transistor MOS établi sur la base de caractéristiques de la figure I.17 [12].

I.4.5.2. Schéma équivalent en petits signaux haute fréquence

En haute fréquence le schéma de la figure 1.22 n'est plus valable, il faut alors le corriger en considérant les effets capacitifs d'origines multiples tels que :

- Les capacités de jonctions,
- Les capacités des oxydes présents (grille, isolation latérales, etc.),
- Les capacités parasites de recouvrement au niveau de la grille via l'oxyde de grille.

Dans le schéma que nous présentons en figure 1.23, l'isolant de grille est supposé parfait. Seules les capacités grille-source et grille-drain sont prises en considération [12]. Ce schéma est très simplifié par rapport à celui utilisé dans les simulations précises [12].

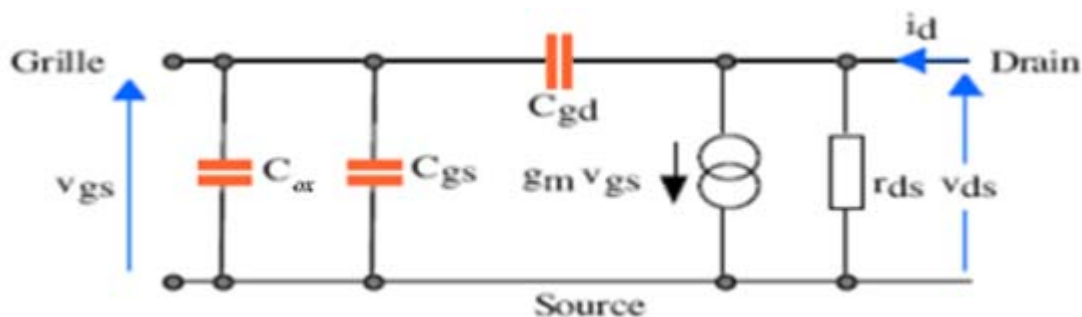


Figure I.23 : Schéma équivalent petits signaux en haut fréquence du transistor MOS [12].

I.5. Les phénomènes parasites du MOSFET : Présentation des effets canaux courts

Toutes les notions présentées jusque là ne sont valables que dans le cas d'un MOSFET à canal long et large. Or, la diminution de la longueur du canal entraîne l'amélioration des performances statiques mais également l'activation de certains phénomènes physiques, négligés dans les modèles statiques simples qui ne produisent plus fidèlement la réalité [13].

Ce paragraphe offre un aperçu, non exhaustif, de ces phénomènes physiques rencontrés au sein de ces transistors à faibles dimensions.

I.5.1. La mobilité effective

Le champ électrique transversal accélère les électrons à la surface de la couche d'inversion et tend à les rapprocher de l'interface canal/oxyde de grille. Dans cette zone, les porteurs minoritaires subissent différents mécanismes d'interactions en

fonction de l'amplitude du champ appliqué. Trois interactions imposent la vitesse de transport de ces porteurs. La première est dominante lorsque les champs électriques sont faibles. Elle englobe les interactions coulombiennes des électrons avec les impuretés atomiques, les charges piégées à l'interface de l'oxyde de grille/canal et les charges piégées dans l'oxyde de grille. Ces interactions s'estompent avec l'augmentation du champ électrique à cause de l'accroissement de la quantité de charges d'inversion. Alors, la seconde classe d'interactions domine. Cette famille regroupe les interactions électron/phonon. À plus fort champ électrique transversal, les électrons interfèrent avec la rugosité de surface ce qui représente la troisième famille d'interactions. L'implication de tous ces phénomènes de transport sur les porteurs dans le canal entraîne la réduction de leur mobilité effective notamment pour de forts champs électriques transversaux. Ceci implique la dégradation de la caractéristique $I_{ds}(V_{gs})$ à V_{ds} fixé et lorsque V_{gs} est important, comme il est illustré à la figure I.24. Ainsi, pour un transistor à canal court 0.12μ de long et 2.5μ de large avec une tension de polarisation $V_{ds} = 0,1$ V, lorsque V_{gs} est supérieure à $0,9$ V, le courant I_{ds} sur la caractéristique I_{ds} en fonction de V_{gs} décroît par rapport à sa caractéristique idéale représentée en pointillée à la figure I.24. À noter que pour $V_{ds} = 1,2$ V, le champ électrique longitudinal est assez fort pour masquer les effets liés à la mobilité électrique. Néanmoins, pour V_{gs} supérieur à $1,1$ V, la caractéristique $I_{ds}(V_{gs})$ mesurée tend légèrement vers son asymptote représentée en tiret à la figure I.24.

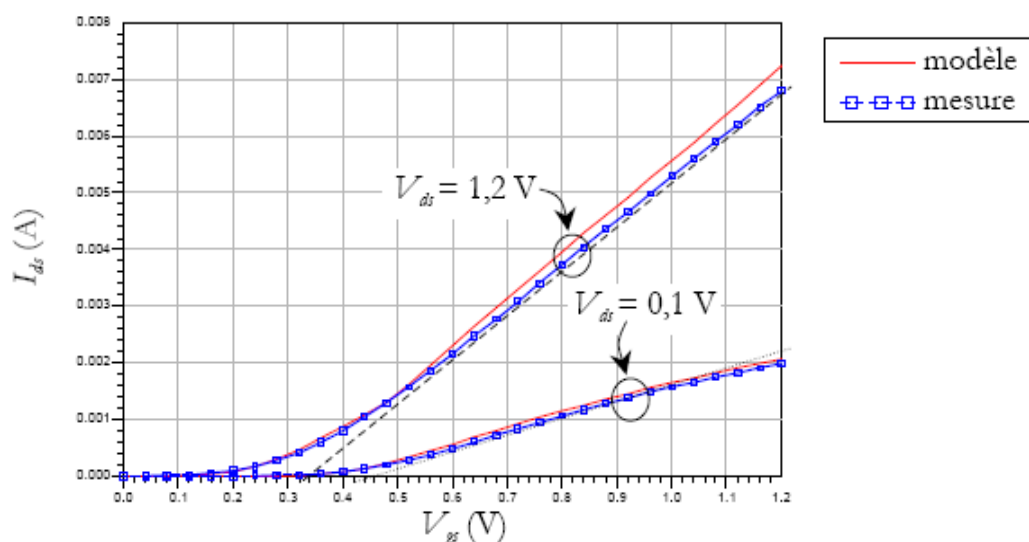


Figure I.24 : Caractéristiques d'un nMOSFET avec $L_g = 0,12 \mu\text{m}$ et $W = 2,5 \mu\text{m}$ pour deux polarisations distinctes de V_{ds} [18].

La réduction de la mobilité dégrade également la caractéristique dI_{ds}/dV_{gs} en fonction de V_{gs} , soit alors la transconductance. Ceci est bien illustré sur l'exemple de la figure I.25. En régime de forte d'inversion, lorsque V_{ds} est faible et V_{gs} est supérieure à V_{th} , cette caractéristique doit être constante en fonction de V_{gs} . Cependant, il est possible de noter une décroissance liée à la réduction de la mobilité.

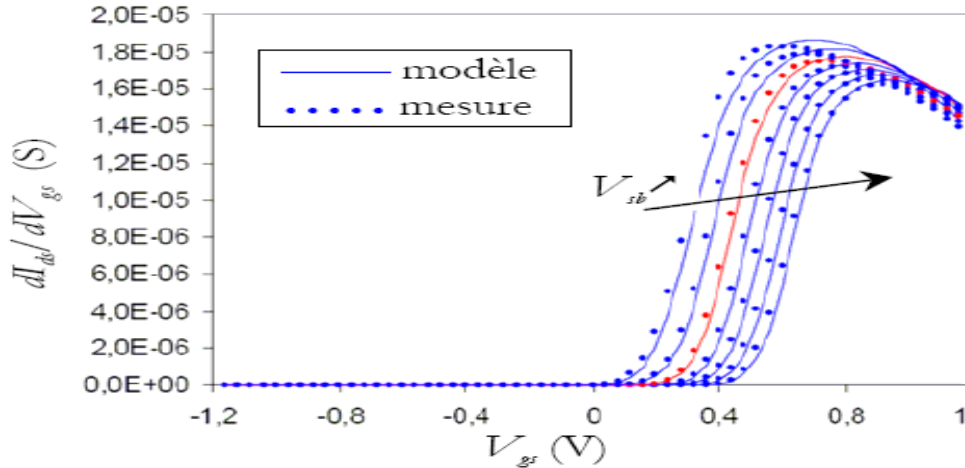


Figure I.25 : Variations de la caractéristique dI_{ds}/dV_{gs} en fonction de V_{gs} et de V_{sb} pour un nMOSFET [18].

La mobilité des porteurs s'exprime en fonction du champ électrique transversal E_y par:

$$\mu = \frac{\mu_0}{1 + \alpha E_y} \quad (I.76)$$

où α est un paramètre d'ajustement qui dépend de la température. μ_0 est égal approximativement à la moitié de la valeur de la mobilité des porteurs dans le substrat. En développant l'expression du champ électrique transversal, il est possible d'obtenir une expression de la mobilité effective en fonction de V_{gs} mais également V_{sb} . Ainsi :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_a (V_{gs} - V_{th}) + \theta_b V_{sb}} \quad (I.77)$$

θ_a et θ_b sont des paramètres d'ajustement. Les variations de dI_{ds}/dV_{gs} en fonction de V_{gs} et de V_{sb} sont représentées à la figure I.25. Afin de refléter les dégradations de la mobilité pour les forts champs électriques, le dénominateur de l'expression (I.77) peut être modélisé par un polynôme du second degré en fonction de E_y . Ainsi,

$$\mu = \frac{\mu_0}{1 + \alpha_1 \bar{E}_y^{b_1} + \alpha_2 \bar{E}_y^{b_2}} \quad (I.78)$$

À l'équation (I.78), α_1 et α_2 sont des paramètres d'ajustement, b_1 et b_2 sont proche de 0,3 et de 2 respectivement. À partir de cette expression, il est possible d'en déduire la mobilité effective. Finalement, la mobilité effective peut s'exprimer par :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta_a (V_{\text{GS}} - V_{\text{th}}) + \theta_b (V_{\text{GS}} - V_{\text{th}})^2 + \theta_c V_{\text{sb}} (V_{\text{GS}} - V_{\text{th}})} \quad (\text{I.79})$$

où θ_a , θ_b , θ_c sont des paramètres d'ajustement.

I.5.2. Les effets des canaux courts

Le paragraphe suivant traite de l'impact de la réduction des dimensions sur le fonctionnement des MOSFET. En effet, un accroissement des performances des MOSFET s'obtient en réduisant la longueur de leur canal : pour les mêmes conditions de polarisation, en théorie, le courant I_{ds} est plus élevé pour une longueur de canal plus faible. Or, des effets physiques négligés pour les MOSFET à canal long se révèlent prépondérant pour des faibles dimensions de la longueur des MOSFET.

Les effets dits « effets canal court » ont pour conséquence de dégrader le comportement des transistors submicroniques à la fois sous le seuil (pente sous le seuil, courant de fuite I_{off} , décalage de V_{th}) et aussi en régime de saturation car ils augmentent la conductance G_{d} . On se propose ici de détailler comment ces phénomènes modifient les caractéristiques électriques des transistors à canaux courts [8].

I.5.2.1. Diminution de la tension de seuil V_{th} dans les canaux courts

Dans les dispositifs courts, on observe une augmentation des épaisseurs des zones de charges d'espace relativement à la longueur de canal L_{G} . Cela modifie notablement les caractéristiques électriques des transistors courts.

En effet, l'injection des électrons dans la zone active du transistor est contrôlée au niveau du canal par la barrière de potentiel commandée par V_{GS} (Figure I.26), et au niveau du substrat par la barrière de potentiel de la jonction Source (N+)/Substrat(P).

Lorsque les épaisseurs des ZCE des jonctions caissons/canal s'étendent sur toute la longueur du canal, la barrière de potentiel dans le canal court est abaissée par rapport à sa valeur dans un canal « long ». Le nombre de porteurs présents dans le canal augmente alors. La tension de seuil à partir de laquelle se produit le phénomène d'inversion est donc plus faible [8].

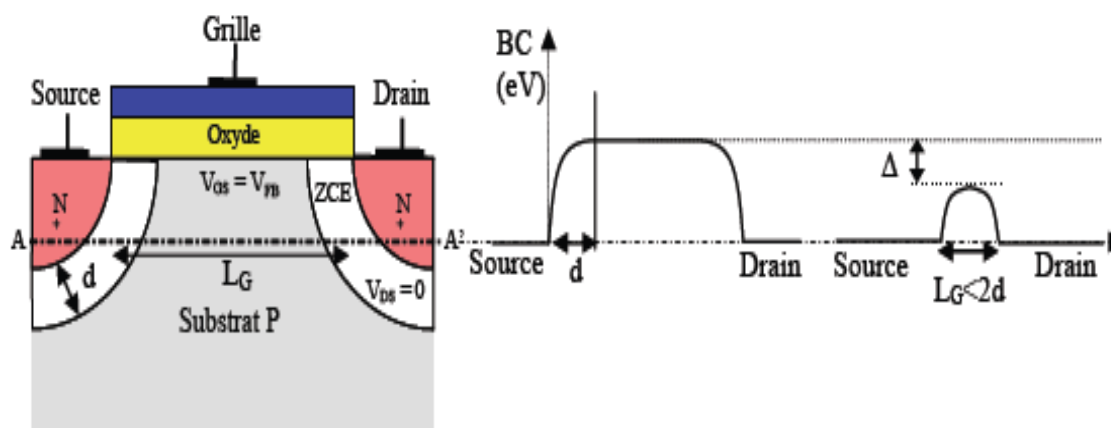


Figure I.26 : Evolution de la bande de conduction dans un MOS « long » ($L_G > 2.d$) et un MOS « court » ($L_G < 2.d$) selon l'axe source-drain à faible V_{DS} et avec V_{GS} égal à la tension de bande plate V_{FB} « d » épaisseur des ZCE des jonctions caissons/canal [8].

I.5.2.2. Effets de réduction de la barrière de potentiel induit par le drain (Effet de percement)

De même, des phénomènes dits de percement surviennent lorsque les dimensions des zones désertées (ZCE) Source/Substrat et Drain/Substrat deviennent comparables à la longueur de la grille L_G , la distribution du potentiel dans le canal dépend alors à la fois du champ transversal (contrôlé par la tension de grille), mais aussi du champ longitudinal (contrôlé par la tension de drain). En effet, comme indiqué en Figure I.27, une augmentation de la tension de drain induit un accroissement de la ZCE côté drain, ce qui provoque l'abaissement de la barrière de potentiel Source/Substrat. Cet effet est appelé DIBL : « Drain Induced Barrier Lowering » [8].

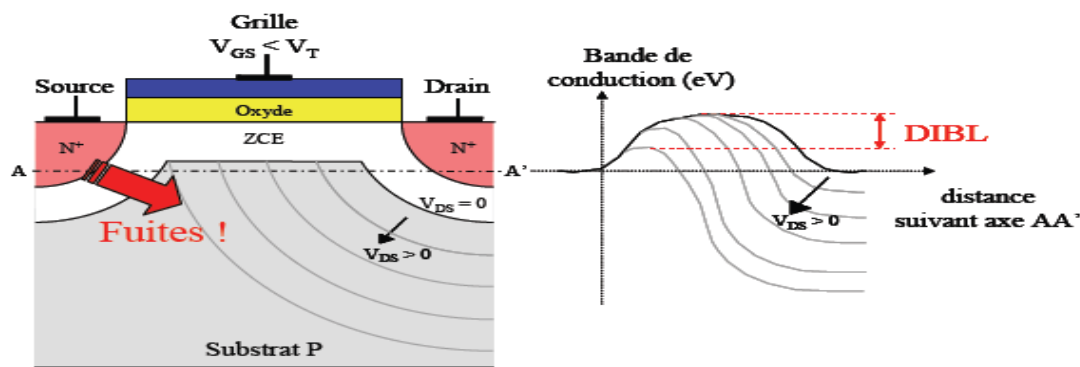


Figure I.27 : Illustration des effets de percement. La tension de drain vient modifier la barrière de potentiel qui limite l'injection des porteurs dans le canal (percement en volume) [8].

Le percement (ou DIBL), comme la réduction de la longueur de grille L_G , a pour premier effet de diminuer la tension de seuil. La formule analytique suivante quantifie (après quelques « petites » approximations) la diminution de V_{th} en fonction de L_G et de V_{DS} [11] :

$$V_{th} = V_{thL_G \rightarrow \infty} - \frac{\epsilon_{Si} \phi_D T_{ZCE}}{C_{OX} L_G^2} - \frac{\epsilon_{Si} T_{ZCE}}{C_{OX} L_G^2} V_{DS} \quad (1.80)$$

Avec

$V_{thL_G \rightarrow \infty}$: Tension de seuil dans un canal long.

$$V_{thL_G \rightarrow \infty} = V_{FB} + 2\phi_F + \frac{qN_A T_{ZCE}}{C_{OX}} \quad (1.81)$$

V_{FB} : Tension de bandes plates,

ϕ_F : Différence entre le niveau de Fermi et le quasi niveau de Fermi en bandes plates des électrons dans le substrat,

$$T_{ZCE} = \sqrt{\frac{2\epsilon_{Si}}{qN_A}} \phi_D \quad (1.82)$$

où ϕ_D le potentiel de diffusion de la jonction drain-substrat (et source – substrat).

A l'équilibre :

$$\phi_D = \frac{K_B T}{q} \ln \frac{N_A N_D}{n_i^2} \quad (1.83)$$

N_D est le niveau de dopage des zones de contact source et drain et N_A celui du substrat.

Pour limiter les diminutions de V_{th} et l'effet du drain, on a donc intérêt à doper le canal pour réduire T_{ZCE} et à augmenter la capacité d'oxyde C_{ox} .

En plus de cette modification de la tension de seuil, le percement favorise l'apparition de courants de fuite comme indiqué sur la Figure 27. Sous l'effet de V_{DS} , il peut se produire soit un percement en surface qui traduit une injection supplémentaire de porteurs dans le canal à la surface de l'oxyde, soit un percement en volume favorisant l'injection parasite de porteurs dans le volume du substrat. Ces deux types de courant de fuite ont des caractéristiques différentes.

A. Percement en volume

Lorsque la tension de drain est supérieure à la tension de percement V_p qui permet de déserrer le substrat entre les caissons, l'injection d'un courant de fuite dans le volume du substrat loin de grille est possible. Ce courant n'est pas du tout contrôlé par la tension de grille mais uniquement par la tension de drain.

B. Percement en surface

Les fuites par percement qui apparaissent près de la grille, à proximité de la surface de l'oxyde, sont contrôlées par la tension de drain mais aussi par la tension de la grille.

En l'absence de percement, le courant sous le seuil est indépendant de V_{DS} . Ce n'est plus le cas lorsque la barrière est « percée » en surface. Soit α la fraction de V_{DS} qui se répercute sur la barrière d'injection. On trouve alors que la pente S théorique est augmentée du facteur αV_{DS} [5]:

$$S = \frac{K_B T}{q} \ln(10) \left[1 + \frac{C_{ZCE}}{C_{OX}} \right] (1 + \alpha V_{DS}) \quad (1.84)$$

Cette dépendance α est d'autant plus marquée que la longueur de grille est plus faible (l'influence du drain augmente) et que l'épaisseur d'oxyde est plus élevée (l'influence de la grille diminue).

1.5.2.3. Résistances séries parasites

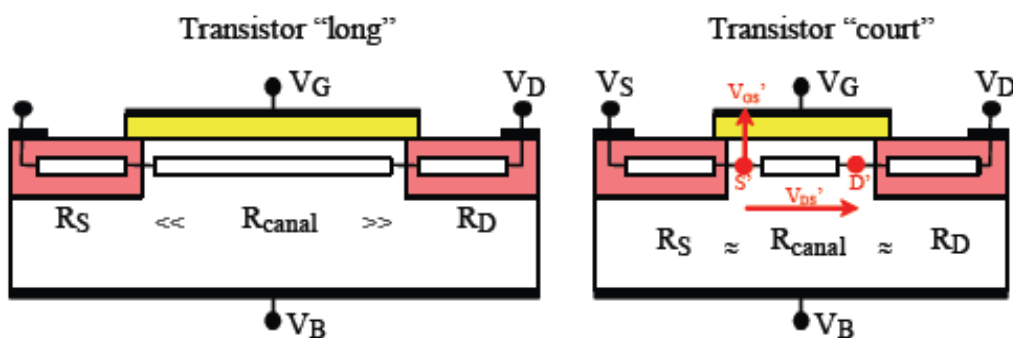


Figure I.28 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d'accès [8].

Lorsque la longueur du canal diminue, sa résistance devient plus faible et éventuellement comparable à celle des caissons Source et Drain (Figure I.28).

L'influence des résistances d'accès modifie alors fortement les caractéristiques $I(V)$ du transistor. Les chutes de potentiel dans les caissons viennent diminuer la tension V_{DS} appliquée effectivement aux bornes du canal ainsi que la tension de grille effective V_{GS} . Cela modifie le courant I_{on} et la transconductance G_m [8].

En effet, il faut alors tenir compte des chutes de potentiel dans les zones d'accès. Ainsi, si $R_S = R_D$, les chutes de tension d'une part entre grille et source et d'autre part entre drain et source ne sont plus V_{GS} et V_{DS} mais :

$$\begin{cases} V'_{GS} = V_{GS} - R_S I_D \\ V'_{DS} = V_{DS} - 2R_S I_D \end{cases} \quad (1.85)$$

Que l'on reporte dans l'expression du courant non saturé :

$$I_D = K \left[(V'_{GS} - V_{th}) V'_{DS} - \frac{V'^2_{DS}}{2} \right] \text{ avec } K = \frac{W}{L} \mu_{eff} C_{OX} \quad (1.86)$$

c'est-à-dire, en négligeant les termes en $(R_S I_D)^2$:

$$I_D = \frac{K}{1 + 2KR_S(V_{GS} - V_{th} - \frac{V_{DS}}{2})} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1.87)$$

Dans le cas d'une saturation par pincement, le courant de saturation s'écrit sous la forme :

$$I_{dsat} = \frac{K/2}{1 + KR_S(V_{GS} - V_{th})} (V_{GS} - V_{th})^2 \quad (1.88)$$

1.5.2.4. Effet de perçage

L'effet de perçage ou « punch-through » à lieu lorsque les zones de charges d'espace des jonctions source/substrat et drain/substrat se rejoignent dans la zone active. Cette vision du phénomène est empirique. En fait pour des fortes tensions V_{DS} les lignes de champ de zone de drain atteignent la source et augmente le potentiel de surface. La tension de seuil effective devient nulle. La quantité de charge d'inversion croit. Le transistor conduit même pour $V_{GS} = 0V$. Cet abaissement de la barrière de potentiel conduit à la formation d'un faible courant d'électron de la source au drain. Ce courant se positionne soit en surface de la zone active pour un canal uniformément dopé, soit dans le substrat du silicium lorsque le dopage en surface est important.

Cet effet implique une pente sous seuil légèrement dégradé et un plus fort courant de fuite à l'état bloqué I_{off} contrôlé par V_{DS} . Ce phénomène peut être annihilé en augmentant le dopage de la zone active afin de réduire l'étalement des zones de charges d'espace des jonctions « source/substrat » et « drain/substrat ». Des implantations en profondeur spécifiques permettent également de contrôler l'effet de parçage. Cet artifice est limité par les courants de fuite de la jonction drain/substrat [15].

1.5.2.5. Vitesse de saturation

La vitesse des porteurs minoritaires est proportionnelle au champ électrique longitudinal. Elle atteint un seuil, V_{dmax} , pour la valeur critique de ce champ électrique E_C . Cette quantité s'écrit :

$$E_C = \frac{|V_{dmax}|}{\mu} \quad (1.89)$$

Une approximation de la vitesse des porteurs minoritaires, en fonction du champ électrique longitudinal et de la vitesse de saturation, est donnée par la relation suivante :

$$|V_D(E)| = |V_{dmax}| \frac{|E|/E_C}{1+|E|/E_C} \quad (1.90)$$

Lorsque la longueur du canal diminue, le champ électrique dans le canal peut atteindre cette valeur critique à partir de laquelle la vitesse des porteurs commence à saturer. Finalement, le lien entre le courant sans les effets de saturation de la vitesse, I_{dsv0} , et le courant I_{dsv} incluant ces effets s'écrit :

$$I_{dsv} = \frac{I_{dsv0}}{1 + \frac{V_{DS}}{L_g E_C}} \quad (1.91)$$

Dans ce cas, la longueur apparente du canal semble rallonger d'un coefficient $\left(1 + \frac{V_{DS}}{L_g E_C}\right)$. La caractéristique $I_{dsat}(L_g)$ ne tend plus vers l'infini lorsque L_g tend vers 0, mais elle tend vers une constante, comme il est indiqué à la figure 1.29.

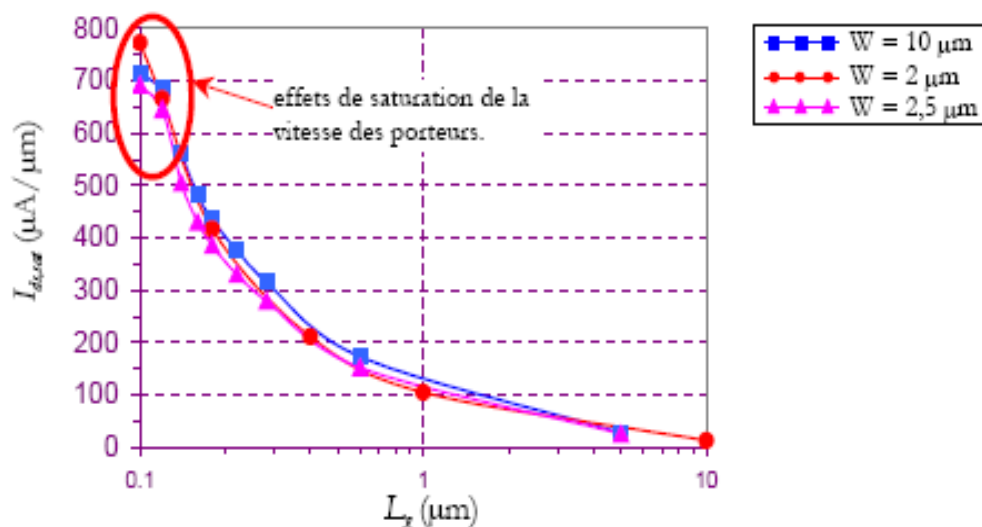


Figure I.29 : Caractéristiques $I_{dsat}(L_g)$ pour différents MOSFET [18].

La saturation de la vitesse des porteurs minoritaires entraîne une diminution de V_{dsat} , ainsi que de I_{dsat} sur les caractéristiques des MOSFET. Une autre conséquence plus subtile concerne la variation de I_{dsat} . Avec la saturation de la vitesse des porteurs, ce courant est fonction de $V_{GS}-V_{th}$ surtout lorsque L_G est petit. Sans ces effets, I_{dsat} est proportionnel à $(V_{GS}-V_{th})^2$.

I.5.2.6. Le partage des charges

La zone de charge d'espace des jonctions source/substrat et drain/substrat s'étend essentiellement vers la zone la moins dopée, c'est-à-dire en direction du substrat. Ces zones de charge d'espace induisent des effets de bord à la zone de désertion. Pour un transistor à canal long, ces effets de bord du côté de la source et du drain sont négligeables, figure I.30-a. Par conséquent, l'étude analytique du courant I_{DS} s'appuie sur l'examen de la quantité de charges de la couche d'inversion.

Lorsque la longueur du canal diminue, ces effets de bords deviennent importants. En effet, la zone de désertion issue de la source et du drain s'ajoute à celle contrôlée par la grille, voir figure I.30-b. Cette zone de désertion est plus grande que celle prédite par le MOSFET à canal long. Plus d'atomes accepteurs sont ionisés, entraînant l'augmentation du potentiel de surface voir figure I.30-c. La barrière de potentiel qui empêche les électrons d'entrer dans le canal est abaissée. Il s'en suit une augmentation de la quantité de porteurs dans la zone d'inversion. Par conséquent, la tension de seuil diminue en fonction de la longueur du canal voir figure I.31.

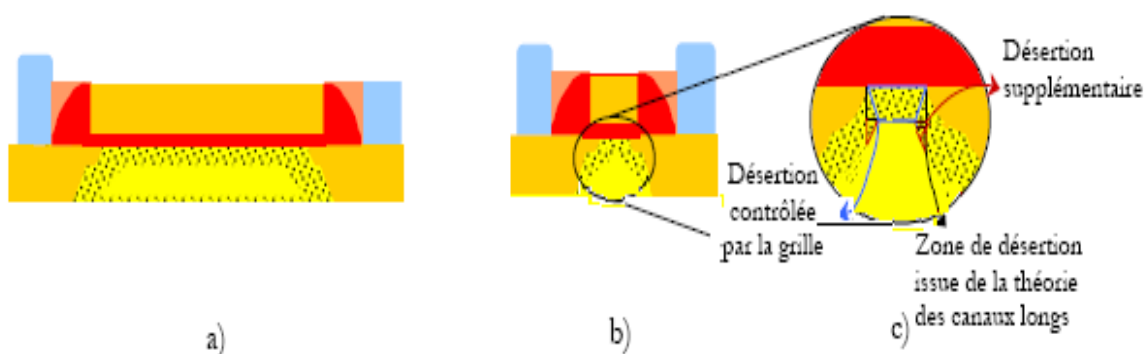


Figure I.30 : Visualisation des effets liés au partage des charges par comparaison de la région de désertion sous le canal pour, a), un MOSFET à canal long et, b), à canal court. Un grossissement de la région de désertion est donné en c) [18].

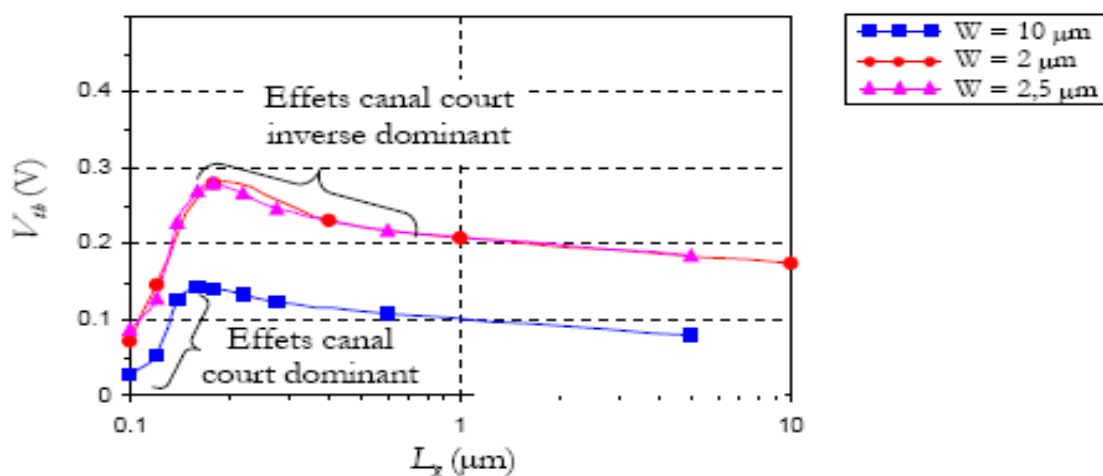


Figure I.31 : Variations de la tension de seuil en fonction de la longueur du canal pour différents MOSFET. $V_{DS} = 1,2\text{V}$ [18].

I.5.2.7. Effet de canal court inverse

L'effet de canal court inverse est lié au dopage non uniforme le long du canal. Pendant les étapes de réalisation du canal et de l'oxyde de grille, ou après l'implantation de zones fortement dopées ou proches des réservoirs au niveau de la source et le drain, un sur-dopage a lieu dans le canal au niveau des interfaces source/drain. La zone sur-dopée s'accroît avec la réduction de la longueur du canal. Le dopage effectif augmente. Ceci implique une évolution de la tension de seuil lorsque la longueur de grille diminue (figure I.31). Selon le dopage du canal, ce phénomène est influent pour des longueurs moyennes du canal [18].

I.5.3. Les effets liés à la grille

Afin d'améliorer les performances du MOSFET, les transformations de son architecture passe par la diminution de ses dimensions. Or, en réduisant la longueur du canal, il est nécessaire de modifier certains paramètres technologiques comme l'épaisseur de l'oxyde de grille. Cette technique modère l'impact des effets de canal court. Cependant, elle entraîne l'apparition de nouveaux phénomènes physiques liés à la grille. Ce paragraphe traite de ces phénomènes.

I.5.3.1. Épaisseur effective de grille

Suivant l'épaisseur de la grille ou les conditions de dopage du polysilicium, les caractéristiques C-V du MOSFET se dégradent. Deux phénomènes sont principalement impliqués : la désertion du polysilicium lorsque le transistor est en inversion forte, et les effets quantiques dans le canal.

I.5.3.1.1. Effets de poly-désertion

Pour former la partie "métallique" de la grille d'un MOSFET à canal n, la technologie CMOS emploie un silicium polycristallin fortement dopé n++ et siliciuré. Cependant, lorsque le transistor est en inversion, une faible zone de désertion de quelques Å d'épaisseur se forme à l'interface entre le polysilicium et l'oxyde de grille. C'est l'effet de poly-désertion, voir figure I.32-b.

L'origine de ce phénomène est une désertion locale située dans les grains de silicium à l'interface "grille/oxyde de grille". De part cette zone de désertion, la valeur effective de l'épaisseur de l'oxyde de grille est augmentée par rapport à un dispositif où cet effet est négligeable, voir figure I.33-a. Par conséquent, la valeur effective de la capacité d'oxyde de grille, C_{oxeff} , est diminuée. La caractéristique C-V des structures MOS est dégradée voir figure I.32.

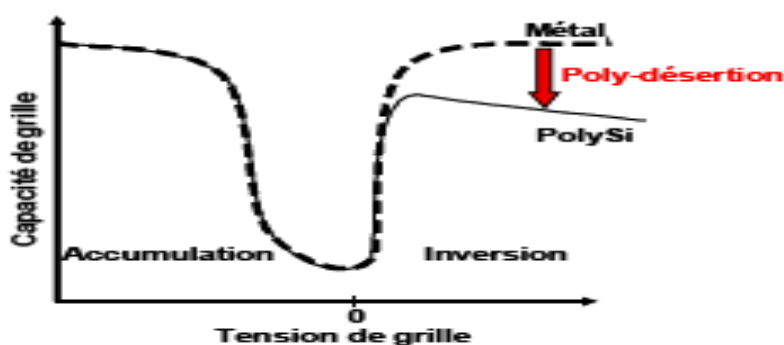


Figure I.32 : Impact de la désertion de grille sur les caractéristiques C-V [19].

En effet, en régime d'inversion, l'épaisseur équivalente totale de l'oxyde de grille vaut : $T_{Oxeq} = T_{Ox} + T_{Dep}$. Ce qui se traduit par une perte de capacité en inversion par rapport au cas idéal de la grille métallique, sans poly-désertion.

I.5.3.1.2. Les effets quantiques

Classiquement, la concentration des porteurs libres dans le silicium (le canal) est décrite à partir de la statistique de Maxwell-Boltzmann. Or, à l'interface Si/SiO₂, lorsque la surface du silicium est fortement inversée ou accumulée, les courbures des bandes peuvent former des puits de potentiel "énergétiques". En profondeur, c'est-à-dire à l'interface Si/SiO₂, la largeur de ces puits peut être plus faible que la longueur d'onde associée aux porteurs. Il s'en suit une quantification des niveaux d'énergie des porteurs. Dans ces conditions, la statistique de Fermi-Dirac n'est plus adaptée pour décrire la distribution des porteurs dans le canal [18].

La densité des porteurs libres occupe des niveaux d'énergie supérieurs à celles décrites par la statistique de Maxwell-Boltzmann. Le premier niveau occupé est supérieur à la bande de conduction. Les courbures de bandes sont augmentées, voir figure I.33-b. Les porteurs sont repoussés de l'interface Si/SiO₂ en direction du substrat dont le pique de $|Q_{inv}|$ se situe à une distance comprise entre 7 et 15 Å de cette interface [18]. Cette distance varie selon le type de porteur dans la couche d'inversion.

L'augmentation du dopage de substrat ou de l'épaisseur de l'oxyde de grille implique des puits de potentiel plus étroits. Ainsi, le premier niveau d'énergie autorisé sera élevé. Ceci se traduit par une épaisseur effective de l'oxyde de grille plus importante – voir figure I.33 – a.

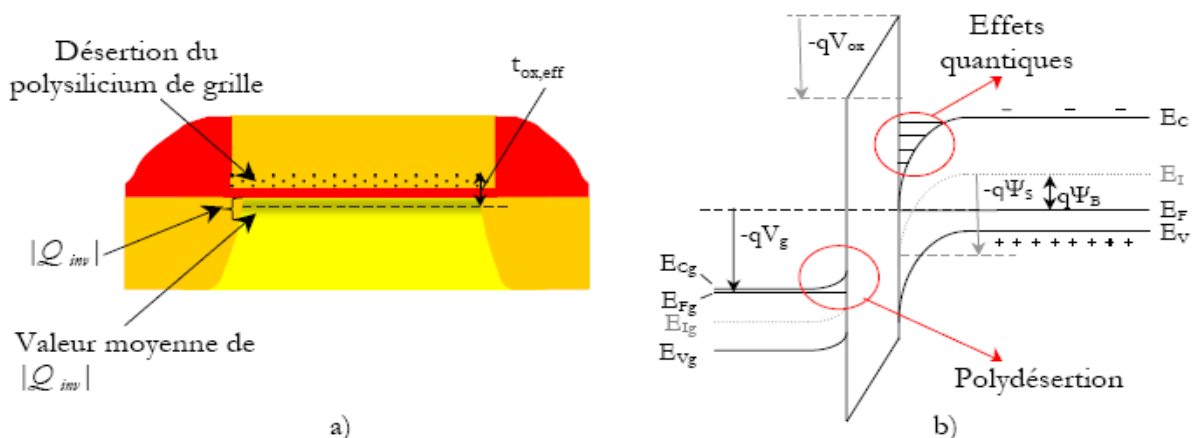


Figure I.33 : Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET a) et illustration des effets de mécanique quantique et de poly-désertion par le diagramme des bandes b) [18].

Ces effets impliquent un abaissement de la caractéristique C-V de la structure MIS en inversion et accumulation forte, par rapport à la théorie des MOSFET à oxyde épais. La mesure C-V devient une méthode pour déterminer ces effets quantiques. Par rapport à la théorie classique, le niveau de la tension de seuil s'accroît, la valeur de I_{ds} diminue et la transconductance se dégrade [18].

I.5.3.2. Le courant de grille

La réduction de l'épaisseur de l'oxyde de grille entraîne l'abaissement de sa barrière de potentiel. Par conséquent, les charges de la zone d'inversion ou de la grille peuvent avoir assez d'énergie pour traverser cette barrière par effet tunnel. Alors, des courants de fuite se forment.

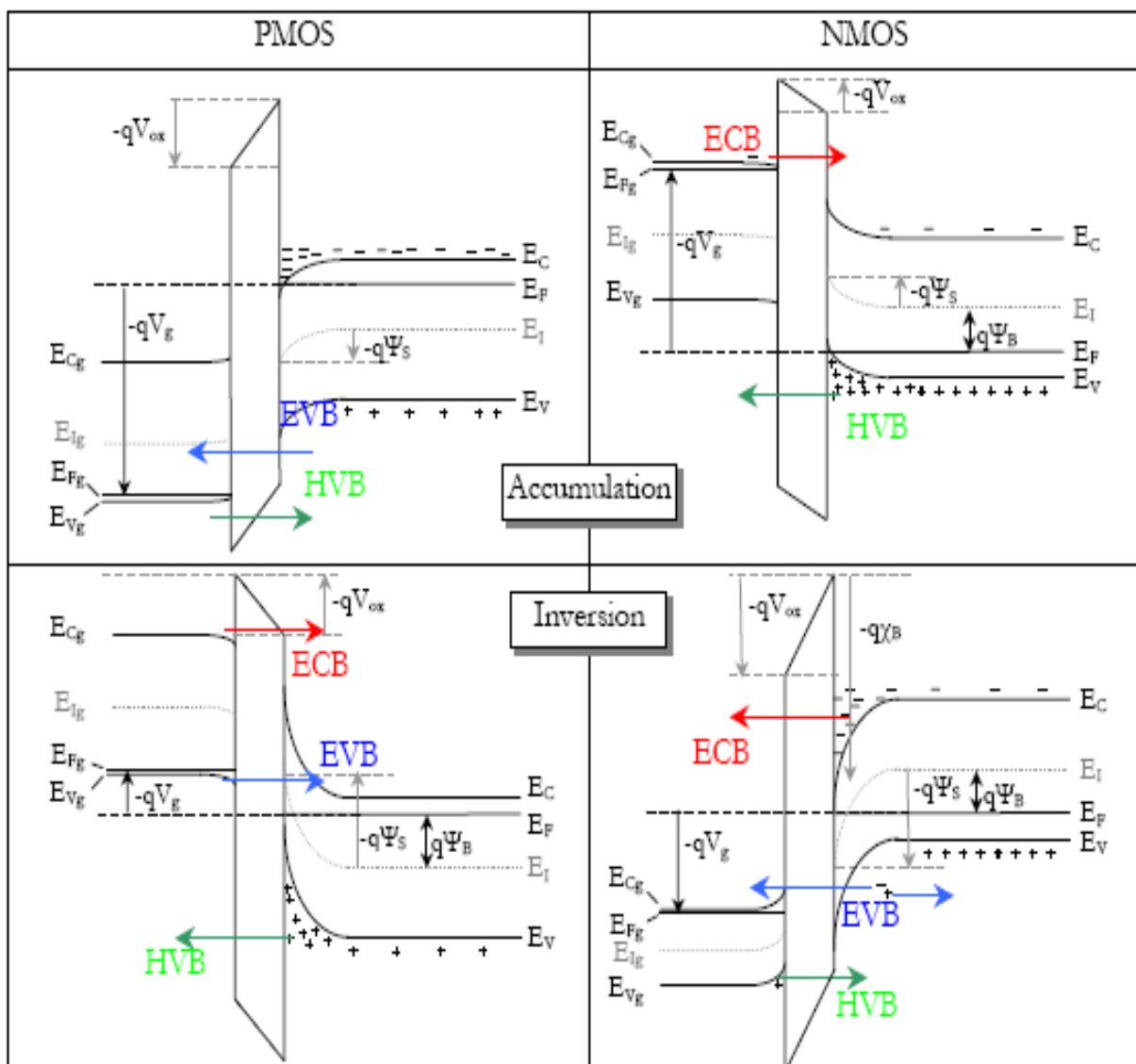


Figure I.34 : Structure de bandes lors du courant de grille [18].

Trois processus d'effet tunnel participent à la formation de ce courant. Le premier est un courant d'électrons de la bande de conduction du substrat vers le polysilicium, noté ECB à la figure I.34. Ce flux d'électrons donne naissance aux courants, voir figure I.35 :

- $I_{gc,s/d}$, pour un MOSFET à canal n en inversion.
- I_{gb} , pour un MOSFET à canal n ou p en accumulation.
- $I_{go,s/d}$ pour un MOSFET à canal n.

Le second effet tunnel concerne le passage des électrons de la bande de valence du substrat à la grille, noté EVB à la figure I.34. Cet effet génère le courant I_{gb} dans un MOSFET à canal n ou p en inversion. Le dernier processus est un effet tunnel des trous de la bande de valence de la grille vers le substrat, noté HVB à la figure I.34 et présent dans tous les cas. Ce dernier effet engendre, pour un MOSFET à canal p, les courants $I_{gc,s/d}$, en régime d'inversion, et $I_{go,s/d}$. Vu que les longueurs des régions n+ de source et de drain ne sont plus négligeables devant L_g , il est à noter que les courants I_{gos} et I_{god} deviennent prépondérants lorsque la longueur du canal diminue, voir figure I.35. De plus ces courants sont insensibles aux variations de V_{bs} . Par conséquent, les effets de substrat sont moins influents sur le courant de grille. À noter également que pour un MOSFET à canal p, la probabilité pour que les électrons de la bande de valence participent au courant tunnel, est faible. Par comparaison avec un MOSFET à canal n pour la même polarisation V_{gs} , son courant de grille sera moindre.

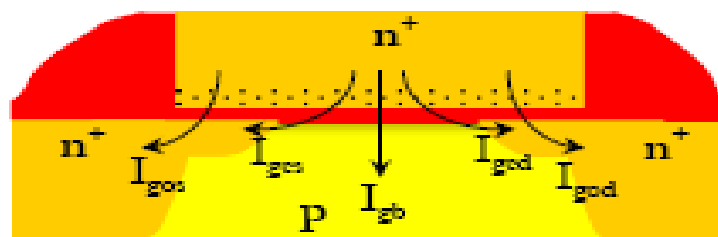


Figure I.35 : Représentation des courants tunnel traversant l'oxyde de grille d'un MOSFET à canal n [18].

L'expression simplifiée de ces courants tunnel est donnée à partir de la formule de Fowler-Nordheim :

$$J_g = A \left(\frac{V_{ox}}{T_{ox}} \right)^2 e^{\frac{B}{V_{ox}/T_{ox}}} \quad (I.92)$$

avec A et B sont des constantes. $I_{gc} = I_{gcs} + I_{gcd}$. Ce partage des charges est déterminé en résolvant les équations de continuité des courants. Lorsque V_{ds} augmente, I_{gcs} s'accroît et I_{gcd} s'affaiblit, à cause de la formation de la zone de saturation du côté du drain.

Pour conclure, le courant de grille peut s'ajouter au courant I_{OFF} . En outre, les trous créés par l'effet tunnel bande à bande ou GIDL sont accélérés par le champ électrique vertical. Ces trous "chauds" sont injectés dans l'oxyde de grille de la zone de recouvrement et contribuent au courant de grille en s'ajoutant à l'effet Fowler-Nordheim. Ce phénomène s'accroît pour des oxydes épais.

I.5.4. Effet GIDL

En accumulation et à fort V_{ds} , le courant drain-source de fuite, ou I_{OFF} , augmente en fonction de V_{ds} , comme il est illustré à la figure I.36. Ce phénomène correspond au GIDL ou "Gate Induced Drain Leakage".

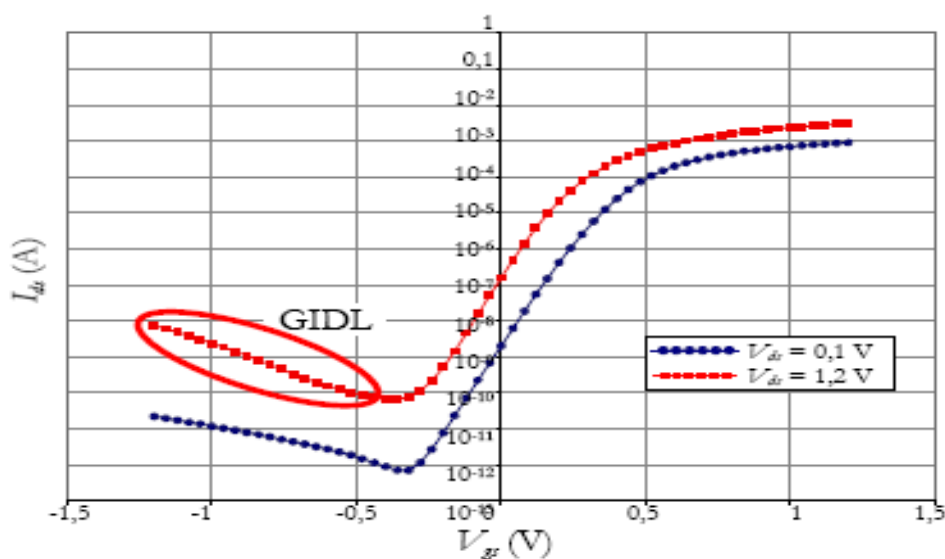


Figure I. 36 : Variations de la caractéristique $I_{ds}(V_{gs})$ en fonction de V_{ds} [18].

Pour un MOSFET à canal n, dans sa région n+ du côté du drain, une large zone de désertion se forme sous les effets conjugués des forts champs électriques longitudinaux et verticaux. Un courant tunnel bande à bande issu de paires électron/trou se forme à l'interface "oxyde de grille/substrat". Les électrons de la bande de valence accèdent à la bande de conduction par des effets tunnel direct et indirect, voir la figure I.37-a. Les électrons sont évacués par le drain, sous l'action du champ électrique vertical. Les trous sont repoussés dans le substrat, par la zone de désertion créée à la jonction "drain/substrat" polarisée en inverse, voir figure I.37-b.

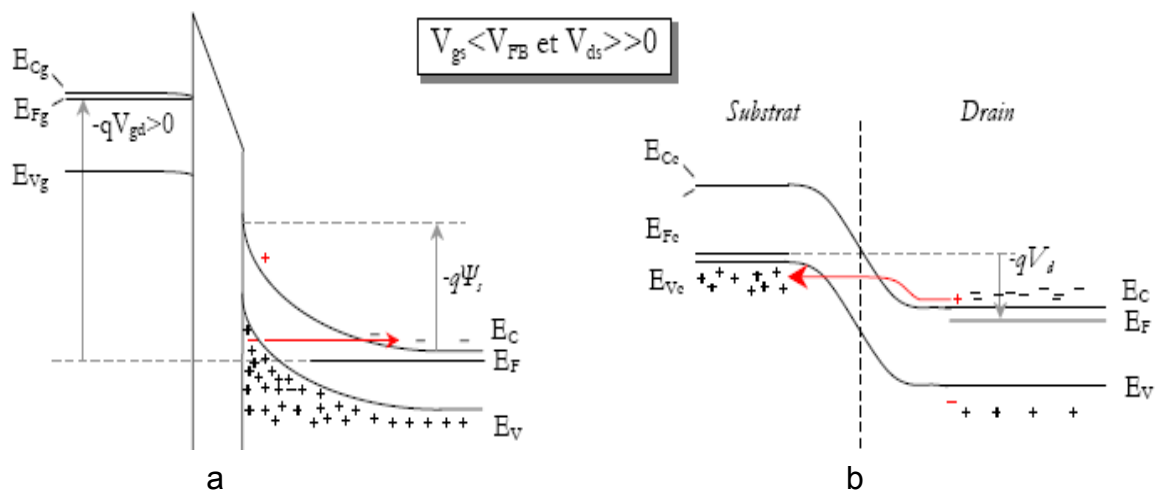


Figure I.37 : Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL [18].

Le courant de GIDL varie en fonction :

- de la température par l'intermédiaire de E_g et des effets de porteurs chauds pour des champs électriques de surface faibles.
- du type de dopage de la grille par rapport au dopage du substrat.
- des effets de bords dans les dispositifs à faible largeur de grille.
- des pièges à l'interface "oxyde de grille/drain pour des champs électriques faibles.

Le dopage de la zone n+ influe sur le courant de GIDL en modifiant le potentiel de surface, mais surtout, en réduisant le champ électrique transversal qui traverse la zone de drain. Ainsi, les dispositifs avec une zone de LDD « Lightly Doped Drain », présentent moins d'effets GIDL.

1.5.5. L'ionisation par impact

L'expression du champ électrique longitudinal dans la région de pincement est donnée par :

$$E(x) = E_{\text{sat}} \cosh\left(\frac{x-L_{\text{sat}}}{l_p}\right) \quad (1.93)$$

Où E_{sat} correspond au champ électrique au point de pincement, x est un point situé entre la source indicé par 0 et le drain indicé par L , L_{sat} longueur du canal de la source au point de pincement, l_p est la longueur caractéristique :

$$l_p = \sqrt{\frac{\epsilon_{\text{si}}}{C_{\text{ox}}}} t_d ; t_d \text{ est l'épaisseur de la région n+ de drain.}$$

À la jonction drain/canal, l'amplitude de ce champ électrique est maximale. Elle dépend de L_g et de V_{ds} . Cette quantité, notée E_d , est supérieure à celle du champ

électrique critique, E_c , lié à la vitesse de saturation des porteurs. Pour les transistors à canal long, E_c se situe proche du point de pincement. Lorsque la longueur du canal diminue, E_c se rapproche de jonction "source/canal". Lorsque les porteurs minoritaires atteignent leur vitesse de saturation, le champ électrique longitudinal continue de céder de l'énergie cinétique à ces porteurs. Les interactions dans le réseau cristallin modifient aléatoirement leur libre parcours moyen. Puisque leur vitesse de propagation reste constante, par conséquent leur énergie cinétique augmente, en suivant une loi de probabilité dictée par les interactions dans le canal, voir figure I.38. Une partie de ces porteurs ont une énergie suffisamment importante pour ioniser les atomes de silicium du cristal. Ils sont appelés les "porteurs chauds". Des paires électron-trou se forment à partir de ces impacts. À noter que pour les trous, dans un MOSFET à canal p, le taux d'ionisation par impact est plus faible.

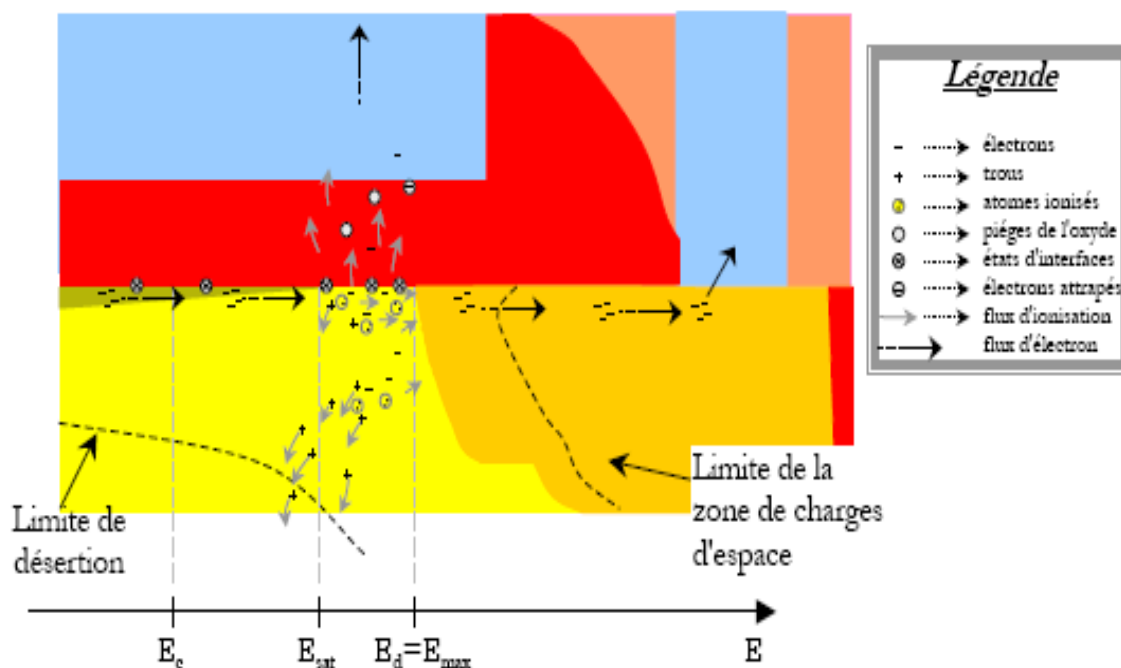


Figure I.38 : Schématisation du processus d'ionisation par impact dans un MOSFET à canal n [18].

Le champ électrique longitudinal attire les électrons du côté du drain. Les trous sont repoussés vers le substrat par le champ électrique de la zone de désertion. Ces trous, issus de l'ionisation par impact, constituent le courant de substrat dont l'expression est :

$$|I_{db}| = |I_{ds}| K_i (V_{ds} - V_{dsat}) e^{\frac{V_i}{V_{ds} - V_{dsat}}} \quad (I.94)$$

K_i et V_i sont des paramètres empiriques d'ajustement. Le rapport de I_{db} sur I_{ds} représente le coefficient d'ionisation par impact.

Une partie des électrons du canal, dans la zone de saturation, possède suffisamment d'énergie pour franchir la barrière de potentiel située entre l'oxyde de grille et la zone active. Ces électrons sont ensuite collectés par la grille. Ces électrons forment ainsi un courant de grille. Une portion de ces électrons dégrade l'interface oxyde de grille/substrat et augmente ainsi la densité d'états d'interface. La mobilité électrique est alors réduite et la tension de seuil augmente. Une partie des électrons énergétiques issus du canal se retrouve piégée dans l'oxyde. Ce piégeage a pour effet d'augmenter la quantité de charges intrinsèque de l'oxyde de grille.

I.5.6. Les claquages et le régime d'avalanche

Les effets d'avalanche ou de claquage ont plusieurs origines, l'une d'elles est liée par les effets d'ionisation par impact. Ces effets induisent l'ionisation des atomes du cristal dans la zone de saturation et entraînent la génération de particules énergétiques. Ces charges peuvent à leur tour ioniser les atomes de silicium et créer un phénomène d'avalanche. Un autre effet est le claquage des jonctions source/substrat et drain/substrat pour une polarisation inverse trop forte.

I.6. Conclusion

Le transistor MOSFET est le dispositif le plus utilisé en électronique analogique et digital. Il a su par ses qualités et ses performances évincer son concurrent le bipolaire qui lui a largement cédé la place. La miniaturisation de ces transistors MOS et plus particulièrement la diminution de la longueur du canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Néanmoins cette réduction des dimensions bien nécessaire à la course vers la miniaturisation engendre indéniablement des phénomènes parasites appelés généralement effets canaux courts, on citera entre autre (le DIBL, punch-through, modification de la tension de seuil...) qui détériorent les caractéristiques courant-tension. Afin de diminuer ces effets canaux courts, il fut nécessaire de trouver de nouvelles structures de qui permettent de maintenir de bonnes performances pour les transistors de faibles dimensions. De ce fait les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver de bonnes caractéristiques. On citera entre autre technologie SOI, à laquelle nous nous sommes intéressés dans ce travail.

Références chapitre I

- [1] Adamah EKOUE 2002 « Caractérisations électriques et physicochimiques des oxydes sur Carbure de Silicium : Application à une technologie MOSFETs » l'institut national des sciences appliquée de Lyon.
- [2] Sandrine BERNARDINI, 2004 « Modélisation des structures Métal-Oxyde Semiconducteur(MOS) : Applications aux dispositifs mémoires » Université d'Aix-Marseille I.
- [3] Fabien Prégaldiny, 2003 « Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques » Université Louis Pasteur-Strasbourg.
- [4] C. Gontrand, F. Calmon - version 0.2 draft. Eurinsa- Approfondissement physique.
- [5] Thomas SKOTNICKI « Transistor MOS et sa technologie de fabrication » Centre national d'études des télécommunications (CNET) de Grenoble.
- [6] Dorothee MULLER 2006 « Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium » Université de LIMOGES.
- [7] Birahim Diagne 2007 « Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception » Université Louis Pasteur - Strasbourg I.
- [8] Jérôme SAINT-MARTIN 2005 « Etude par simulation MONTE CARLO d'architecture de MOSFET ultracourts à grille multiple sur SOI » Université de Paris-Sud.
- [9] Henry Mathieu. Physique des semiconducteurs e des composants électroniques 5^{ème} édition. DUNOD.
- [10] André VAPAILLE et René CASTAGNE « Dispositif et circuits intégrés semiconducteurs », Dunod, 1987.
- [11] Jacques GAUTIER et al. « Physique des dispositifs pour circuits intégrés silicium », Hermès, 2003.
- [12] Olivier BONNAUD « composants à semiconducteurs- De la physique du solide aux transistors » ellipses.
- [13] mirror.sweon.net/madchat/coding/electro/ft-mos.pdf
- [14] www.techniques-ingenieur.fr/affichage/noeud.asp.
- [15] http://pagesperso-orange.fr/michel.hubin/physique/elec/chap_tr3.htm
- [16] <http://www-phase.c-strasbourg.fr/~mathiot/Cours/Composants>

[17] <http://rouxphi3.perso.cegetel.net>

[18] <http://docinsa.insa-lyon.fr/these/pont.php?id=daviot>

[19] http://docinsa.insa-lyon.fr/these/2007/aime/6_chapitre_1.pdf

Chapitre II
Généralités et état de l'art de la
technologie Silicium sur Isolant
(Silicon On Insulator) SOI

Sommaire du chapitre II

II. Généralités et état de l'art de la technologie Silicium sur Isolant (Silicon On Insulator) SOI	64
II.1. Introduction	64
II.2. Applications actuelles et nouvelles motivations	66
II.2.1. Application aux PICs (Power Integrated Circuits)	69
II.2.2. Application aux composants de puissance	71
II.2.3. Application aux microsystèmes.....	72
II.3. Différentes technologies permettant la fabrication de wafers SOI	73
II.3.1. Les premières méthodes développées	75
II.3.1.1. Silicium sur saphir – SOS	75
II.3.1.2. Isolation diélectrique – DI	77
II.3.2. Les techniques actuelles et les plus répandues.....	78
II.3.2.1. Techniques de collage, dites « de bonding » : Wafer Bonding... 78	
II.3.2.1.1. BESOI (Bonded and Etchback SOI)	78
II.3.2.1.2. Eltran (Epitaxial Layer Transfer)	79
II.3.2.1.3. SmartCut (Unibond)	80
II.3.2.2. Techniques de conversion du matériau : Réalisation de la couche enterrée par implantation	82
II.3.2.2.1. SIMOX (Separation by Implantation of Oxygen)	82
II.3.2.3. Techniques d'épitaxie	83
II.3.2.3.1. Epitaxie latérale, ELO et MELO	83
II.3.2.3.2. Recristallisation de la zone fondue, ZMR (Zone Melting Recrystallization)	85
II.3.2.3.3. Le LEGO.....	86
II.4. Le futur des « couches actives sur isolant »	87
II.5. Nouvelles architectures sur SOI	87
II.6. Le transistor MOS SOI	87
II.6.1. Introduction	87
II.6.2. Avantage de la technologie SOI	92
II.6.2.1. Réduction des capacités parasites du substrat	92
II.6.2.2. Absence du phénomène de "latchup".....	93
II.6.2.3. Simplification des étapes de siliciuration ou de metallization ...	94

II.6.2.4. Diminution du nombre d'étapes de développement	95
II.6.2.5. Meilleure caractéristiques de courants	97
II.6.2.5.1. Réduction de l'effet « body ».....	97
II.6.2.5.2. Plus grand courant de saturation	97
II.6.2.5.3. Plus grande mobilité et transconductance de grille.....	97
II.6.2.6. Réduction des effets de canaux courts.....	97
II.6.2.7. Meilleure pente sous seuil inverse	98
II.6.3. Fonctionnement des transistors MOSFET sur SOI.....	99
II.6.3.1. Transistors partiellement et totalement désertés.....	99
II.6.3.2. Propriétés électriques des composants PD et FD	102
II.6.3.2.1. Courant de saturation	103
II.6.3.2.2. Mobilité	103
II.6.4. Les effets physiques liés à la technologie SOI	103
II.6.4.1. Les effets thermiques	104
II.6.4.2. Les effets liés au potentiel de substrat flottant	105
II.6.4.2.1. Effet « kink »	105
II.6.4.2.2. Effet GIFBE.....	108
II.6.4.2.3. Effet du transistor bipolaire parasite	109
II.6.4.2.4. Les effets transitoires.....	111
II.7. Conclusion.....	112
Références chapitre II.....	113

Chapitre II. Généralités et état de l'art de la technologie Silicium sur Isolant (Silicon On Insulator) SOI

II.1. Introduction

Le terme SOI (Silicon On Insulator) identifie une structure «substrat / film isolant /couche mince de silicium monocristallin». Le substrat peut être constitué par des matériaux divers, le cas d'un wafer de silicium est le plus courant. La couche isolante enterrée est souvent une couche d'oxyde de silicium (BOX : Buried Oxide) dont l'épaisseur peut aller de **100nm à 3µm**, mais d'autres couches isolantes peuvent être envisagées. La couche de silicium monocristallin sur isolant a une épaisseur variable en fonction des applications, de **50nm à 100µm**.

La difficulté majeure de ce type de structure est l'obtention d'une couche monocristalline sur une couche isolante, car aucune méthode de dépôt ne permet d'élaborer des couches monocristallines sans avoir un « germe », c'est-à-dire un matériau support présentant le même réseau cristallin que celui souhaité pour la couche déposée.

Depuis les années 1960-1970, de nombreux travaux ont été menés afin d'élaborer ce type de structures. Le premier besoin pour ces structures SOI était le durcissement des circuits intégrés aux irradiations ionisantes pour des applications militaires et spatiales [1].

En effet, les forts flux de particules chargées engendrent des « photocourants » dans les circuits intégrés. Par ailleurs, une particule unique très ionisante (proton ou ion) produit le long de sa trace un plasma conducteur (figure I I.1. a) responsable d'effets isolés : claquages ou courts-circuits, tous deux destructifs ; basculement d'un point mémoire ou erreur dans un circuit logique, non destructifs mais entraînant des erreurs graves au niveau système. Le durcissement [3] vis-à-vis de ces effets est obtenu principalement par la réduction du volume de silicium contenant les composants. L'utilisation de fines couches actives de silicium minimise l'impact des radiations ionisantes sur les performances des composants. La réduction de volume est obtenue par l'emploi d'un substrat SOI dans lequel une mince couche d'oxyde isole la couche de silicium de surface contenant les transistors du reste du silicium. Ainsi, la majorité des charges générées en profondeur par exemple par une particule alpha heurtant un substrat de silicium sera stoppée (figure II.1.b) par la couche d'oxyde enterrée, le

volume de silicium actif « contaminé » par cette particule est réduit, ce qui permet de diminuer le pic de courant généré dans la couche active.

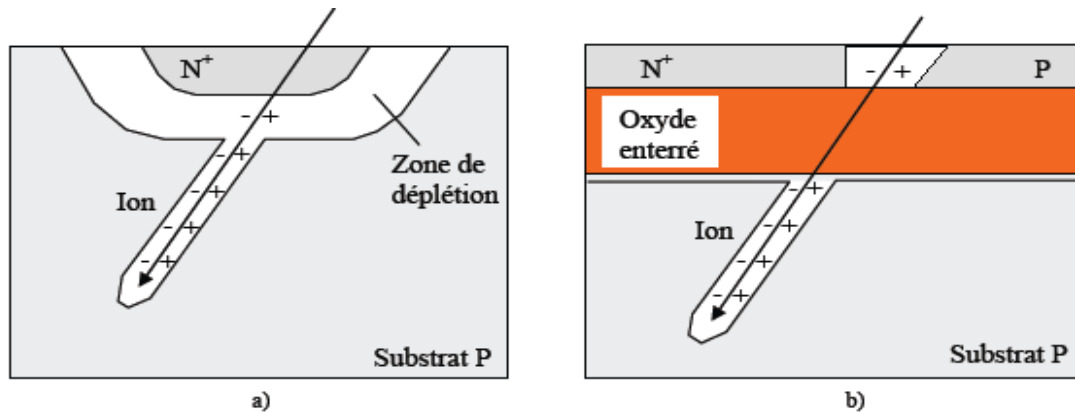


Figure II.1 : Effet des irradiations (a) sur substrats massifs et (b) sur SOI [5].

Le tout premier matériau SOI développé était le silicium sur saphir (SOS). Une multitude de structures SOI ont par la suite été créées. Leur point commun est d'offrir une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif, grâce à une couche d'oxyde enterré.

Parmi tous ces procédés développés, trois technologies ont émergé et se sont imposées pour la commercialisation de wafers SOI : le **SIMOX** (Separation by IMplantation of OXYgen) utilisant l'implantation d'ions oxygène pour créer la couche d'isolation enterrée, le **SmartCut** basé sur le collage de deux wafers oxydés et le découpage au niveau d'une couche implantée d'hydrogène, et le **BESOI**, également basé sur le collage de deux wafers oxydés et un polissage du wafer supérieur pour obtenir l'épaisseur de SOI désirée.

Ainsi, depuis les années 90, l'apparition de ces nouveaux procédés SOI ainsi que l'explosion des appareils électroniques portables, a promu le SOI comme technologie de choix pour la fabrication de composants ayant une basse consommation et fonctionnant à hautes fréquences (consommation réduite, rapidité de fonctionnement augmentée, isolation accrue, pertes faibles, phénomènes parasites du substrat diminués...).

Le SOI est entré dans le carnet de route (ITRS : international technology roadmap of semiconductors) de l'industrie microélectronique depuis 1998 [4], et son implication en tant que technologie majeure fut consolidé en 2001.

De nos jours, cette technologie est de plus en plus adoptée par les industriels du domaine de la microélectronique.

De manière générale, la technologie SOI est présente sur de nombreux marchés: principalement pour des applications CMOS. En effet cette technologie permet une augmentation de la vitesse de fonctionnement et une réduction de la puissance consommée, mais également pour les circuits haute tension (pour une meilleure isolation), les circuits RF (réduction des pertes par couplage), les microsystèmes et applications photoniques (pour définir facilement les parties mobiles ou les guides optiques), le transfert de couches minces de silicium (par exemple sur polyimide pour fabriquer des tags RF flexibles [5]...).

Plus spécifiquement, IBM, AMD, Sharp, Intel, Freescale ... travaillent sur le développement commercial de microprocesseurs ou composants avancés pour la communication mobile aux performances améliorées en utilisant la technologie SOI. Citons à ce stade certains exemples pratiques permettant de mettre en évidence le domaine d'utilisation de cette technologie : la firme IBM utilise la technologie SOI depuis plusieurs années, notamment pour les Power PC G4 et G5 des ordinateurs Apple, AMD l'utilise pour ses processeurs Athlon et Opteron, alors que Freescale fabrique plusieurs processeurs sur SOI [6] et [7].

II.2. Applications actuelles et nouvelles motivations

Les matériaux SOI ont historiquement été développés pour les raisons que nous citons ci dessous :

- dans les années 70, la motivation principale était la protection des circuits aux irradiations ionisantes.
- La seconde motivation part de l'observation du fait que les transistors MOS n'utilisent que la surface du wafer (en moyenne les 0,1 à 0,2 μm supérieurs du wafer) pour le transport des électrons, le reste du substrat constituant un élément parasite. Les structures SOI peuvent donc être utilisées pour séparer et isoler les surfaces actives des composants de l'influence parasite du substrat. Les épaisseurs des couches SOI peuvent être adaptées spécifiquement pour chaque application (couches minces ou ultra minces).

Actuellement, l'amélioration des performances des transistors faible puissance faible tension de type MOS pousse de nombreuses compagnies fabricantes de circuits intégrés à utiliser des wafers SOI. Ainsi, pour la même tension de commande, les circuits logiques digitaux fonctionnent beaucoup plus vite sur SOI que sur substrat massif. Il est également possible de réduire la consommation en puissance de ces

puces SOI en utilisant des tensions de fonctionnement plus faibles, tout en assurant des performances équivalentes à des circuits sur substrat massif beaucoup plus gourmands en puissance.

En résumé, un circuit sur SOI de génération n présente les mêmes caractéristiques électriques qu'un circuit sur substrat massif de génération $n+1$. Cet argument est assez fort pour que la majeure partie des compagnies fabricant des circuits incluent le SOI dans leur stratégie.

En ce qui nous concerne, nous nous sommes particulièrement intéressés à cette technologie vu que nous nous intéressons dans nos travaux aux transistors MOSFET à canaux courts et nous avons pu constater les limitations en termes de performances avec l'apparition des effets canaux courts pour les transistors nanométriques. En effet, l'approche des limites technologiques pour les transistors logiques sur silicium, l'utilisation du SOI paraît inévitable car ces substrats SOI permettent de résoudre certains des problèmes rencontrés au cours de la réduction de la taille de ces structures. Ainsi, par exemple, pour des transistors d'une longueur de grille de 25nm ou en deçà de cette grandeur, ces transistors ne fonctionnent pas sur substrat massif. Le champ électrique dans le canal du transistor induit par la grille entre en compétition avec les champs créés par la source et le drain. Cet effet canal court (SCE pour « short channel effects ») peut être réduit ou éliminé en utilisant des structures SOI fine couche [1], [8]. Il est reconnu quasiment unanimement que cette technologie SOI fine couche peut être une solution clef pour les problèmes de SCE. De ce fait cette technologie est donc fortement susceptible d'être utilisée pour la réalisation des derniers représentants des transistors sur silicium. Ces substrats permettent en effet de suivre plus fidèlement la loi de Moore (figure II.2) et de passer aux performances de la génération suivante avec la même géométrie.

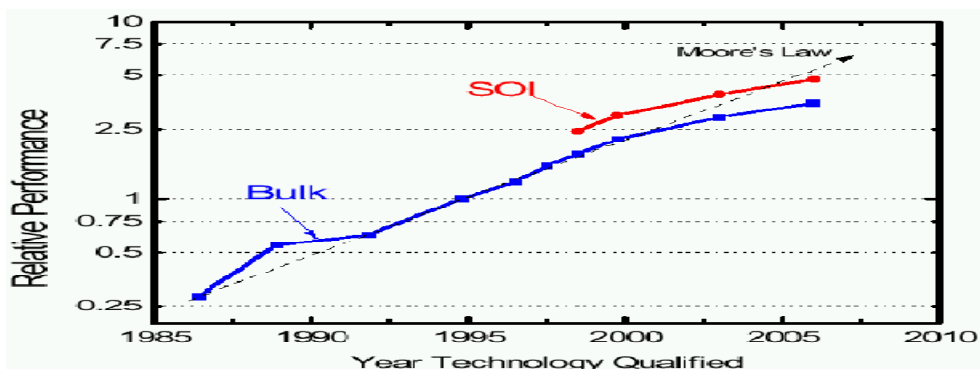


Figure II.2 : Evolution des performances par rapport à la loi de Moore, pour des composants réalisés sur substrat massif (Bulk) et sur substrat SOI [6].

De nos jours, les couches SOI les plus utilisées sont les couches minces voire ultra minces. (Figure II.3) : on peut alors distinguer :

- Des composants de type PD pour Partially Depleted, où la couche de SOI est mince (de 500 à 800Å), les zones dépeuplées autour du drain et de la source touchent donc la couche d'oxyde enterrée mais il subsiste toujours une région quasi neutre quel que soit le régime de fonctionnement.
- Des composants de type FD pour Fully Depleted ensuite, où la couche SOI est si mince (de 150 à 500 Å) qu'elle est entièrement dépeuplée pour créer le canal. Il n'existe alors plus de région quasi neutre.

Ces deux types de transistors participent à l'effort pour un gain en vitesse et en puissance consommée.

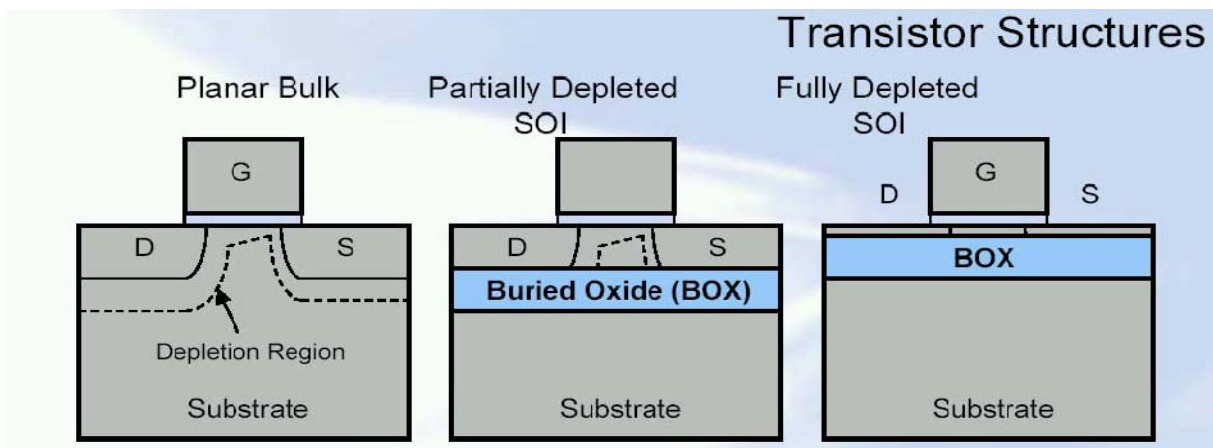


Figure II.3 : Schéma des structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplés [6].

L'utilisation d'une couche mince SOI permet de réduire la quantité de charges électriques à déplacer durant une commutation, ce qui augmente la vitesse de commutation jusqu'à 15%, et réduit l'énergie nécessaire pour ce changement d'état jusqu'à 20% pour les puces de type CMOS.

Notons aussi que la technologie SOI s'applique bien aux circuits de puissance, de haute tension, de haute température, d'hyperfréquences, et aux circuits à la réalisation de microsystemes. Nous distinguons alors selon l'application visée des wafers SOI «pleine plaque» où la couche d'oxyde enterré se situe sur tout le wafer, désignés par FSOI pour Full SOI, et des wafers «SOI partiel» où la couche d'oxyde enterrée est localisée, désignés par PSOI pour Partial ou Patterned SOI (Figure II.4).

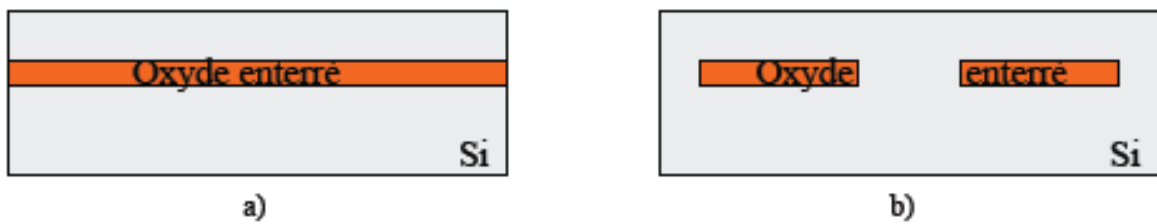


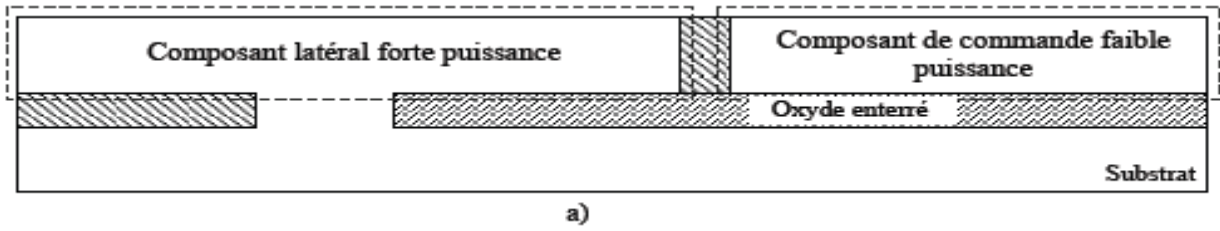
Figure II.4 : Structures SOI (a) pleine plaque ou FSOI et (b) partielle ou PSOI [2].

II.2.1. Application aux PICs (Power Integrated Circuits)

Les PICs concernent l'intégration monolithique de composants de puissance avec leurs circuits de commande sur une même puce, tout en assurant une séparation entre le traitement de l'énergie et le traitement du signal. La technologie substrat massif avec des isolations par jonctions présente de nombreux inconvénients pour ce type de circuits. En effet, les structures d'isolation par jonction occupent beaucoup de place, les courants de fuite peuvent être élevés, le phénomène de latch-up est possible...L'utilisation d'un substrat SOI permet une isolation diélectrique verticale parfaite entre composants de puissance et de commande grâce à la couche diélectrique enterrée, avec une densité d'intégration plus importante puisque la taille des structures d'isolation est réduite comparée à des isolations par jonctions ou par tranchées successives. Néanmoins, dans l'utilisation d'un substrat FSOI, la présence de la couche d'oxyde enterrée empêche la dissipation thermique par la face arrière du substrat et peut alors poser un problème d'auto échauffement pour les composants de puissance. On peut donc envisager la possibilité d'utiliser des substrats PSOI, où les composants de commande seraient localisés sur les zones SOI et entièrement isolés, et où les composants de puissance seraient réalisés soit dans des zones SOI comprenant des ouvertures, soit sur des zones hors SOI afin de permettre une bonne dissipation thermique (Figure II.5.a et b).

Si un composant de puissance est implanté sur la zone hors SOI (cas b), il peut être soit latéral, soit vertical, et se comporter comme un composant réalisé sur substrat bulk. En revanche, un composant similaire placé sur couche SOI comportant des ouvertures (cas a) ne peut être que latéral [9].

Zone SOI comprenant des ouvertures dans l'oxyde :



Zone hors SOI :

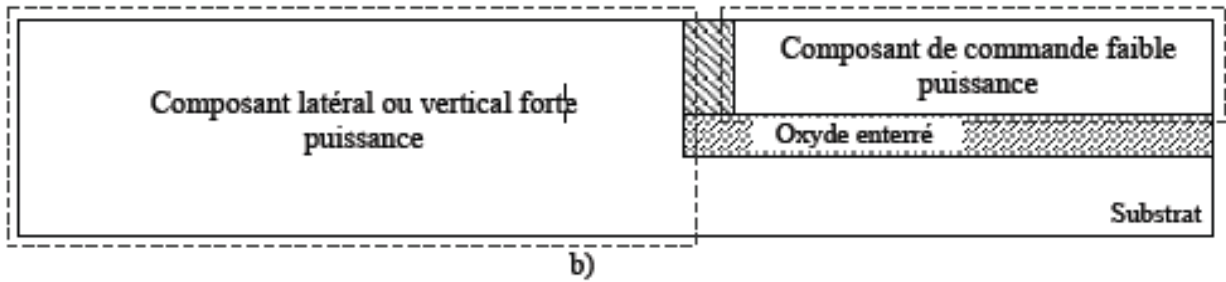


Figure II.5 : Substrat PSOI comportant un composant de commande faible puissance sur SOI entièrement isolé du reste du substrat, et a) un composant latéral de forte puissance réalisé sur couche SOI comportant une ouverture, b) un composant latéral ou vertical de forte puissance réalisé hors SOI [9].

L'isolation latérale (figure II.6), quant à elle, est obtenue soit en effectuant une gravure RIE (reactive ion etching) du silicium et en la remplissant d'oxyde et de poly-silicium, soit par la fabrication d'isolation par jonctions, soit pour des couches SOI plus fines, par la réalisation d'une méssa (gravure de larges plateaux entre composants) ou un LOCOS (LOCALized Oxidation Of Silicon).

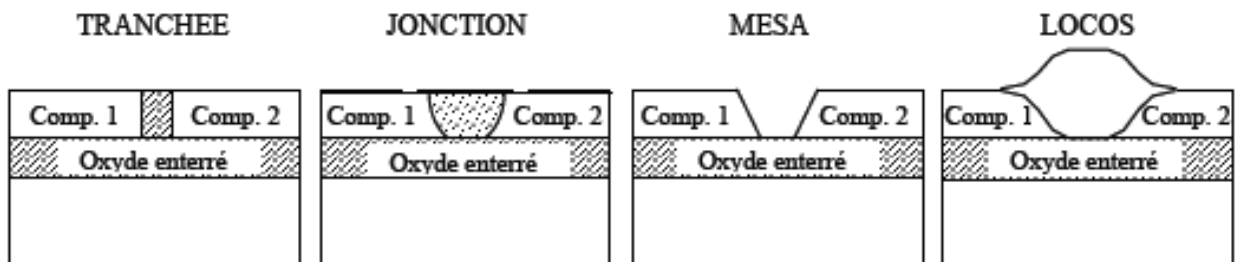


Figure II.6 : Schéma des différentes isolations latérales pour les applications aux PICs sur SOI [9].

II.2.2. Application aux composants de puissance

L'utilisation de substrats SOI par rapport à des substrats massifs offre de nombreux avantages pour des applications de puissance.

L'isolation est optimisée grâce à la présence de la couche d'oxyde enterrée, et la structure d'isolation occupe moins de place qu'une isolation par jonctions ou par une série de tranchées sur substrat massif.

Le courant de fuite à l'état off est diminué, les pertes à la commutation sont plus faibles, la vitesse de fonctionnement est augmentée, grâce au fait que la zone de drift est parfaitement isolée du substrat. Ainsi, au cours de l'état ON, l'injection de porteurs dans le substrat est évitée, ce qui entraîne une extinction rapide du plasma au cours du passage à l'état OFF.

Inconvénient des FSOI : les substrats FSOI présentent certains inconvénients. Un problème d'auto échauffement, déjà cité, peut apparaître. L'effet RESURF (Reduced Surface Field) sera également réduit, ce qui peut affecter la tenue en tension : même si la couche d'oxyde peut supporter une partie de la tension, les champs électriques augmentent dans la couche SOI et provoquent un claquage prématuré et donc une diminution du BV (Breakdown Voltage). Les substrats PSOI peuvent améliorer certains de ces points :

Une fenêtre ouverte dans la couche d'oxyde sous l'anode et/ou sous la cathode peut en effet faciliter la dissipation thermique et donc supprimer les problèmes d'auto échauffement, ainsi que permettre à la région de déplétion d'avancer dans le substrat, ce qui réduit le champ électrique régnant dans la zone SOI et crée un effet RESURF. La tension est alors aussi supportée par le substrat, ce qui diminue les risques de claquage prématuré dans la couche SOI et augmente ainsi le BV. On peut également supposer que le BV sera encore meilleur que sur un substrat massif puisque la couche d'oxyde aide aussi à supporter une partie du champ.

Le confinement reste quand même suffisamment important dans la couche SOI pour que le temps de passage de l'état ON à OFF soit amélioré par rapport à un substrat massif [8].

En résumé, les substrats PSOI permettent de combiner les avantages des substrats FSOI (vitesse de switching, isolation entre circuits...) et du silicium massif (dissipation thermique, niveau élevé du BV...).

II.2.3. Application aux microsystèmes

En parallèle aux applications purement électroniques, les wafers SOI se sont adaptés à la réalisation de microsystèmes électromécaniques (MEMS) [10, 11]. Le principe de base est l'utilisation de l'interface entre le BOX et le substrat de silicium pour le marquage parfait de l'arrêt de la gravure du substrat.

Traditionnellement, les microsystèmes étaient au départ obtenus par la méthode dite de « Bulk Micromachining », c'est-à-dire un traitement du substrat massif de silicium. L'utilisation du silicium monocristallin du substrat garantit d'excellentes propriétés mécaniques. La partie sensible du microsystème est fabriquée en traitant le wafer de silicium de part les faces avant et arrière, jusqu'à obtenir la structure désirée. Ce traitement est réalisé principalement par des attaques chimiques de type KOH, TMAH, EDP... La forme et la taille du microsystème dépendent donc de la structure cristalline de substrat de silicium et de l'épaisseur du substrat. La fin du procédé est déterminée par la durée de gravure, ce qui n'est pas très reproductible, et la réalisation d'une couche d'arrêt est difficile.

Au cours des années 80, la méthode dite de « Surface Micromachining » a été développée. Cette méthode consiste à utiliser une couche sacrificielle et une couche de silicium poly-cristallin déposée qui constitue la partie sensible du microsystème. La partie active du microsystème est obtenue par gravure réactive du silicium poly-cristallin jusqu'à la couche sacrificielle, et la couche sacrificielle est éliminée par une gravure sélective isotropique, pour enfin libérer la partie active. L'avantage de cette technique par rapport au « bulk micromachining » est que la taille et la forme des microsystèmes ne sont plus dépendantes de la nature et l'épaisseur du substrat, et l'inconvénient principal est lié à la qualité cristalline du silicium poly-cristallin : les propriétés mécaniques du poly-silicium sont en effet bien moins bonnes que celles du silicium monocristallin, l'épaisseur des structures mécaniques est donc limitée à 12µm pour assurer un fonctionnement correct.

L'utilisation de wafers SOI pour fabriquer des microsystèmes a résolu certains des problèmes posés par les technologies citées précédemment. A partir d'un wafer SOI, on peut définir directement avec une excellente qualité cristalline la partie sensible du microsystème par gravure sèche. La couche d'oxyde enterrée constitue une couche d'arrêt et une couche sacrificielle. Ce procédé allie les intérêts du « bulk micromachining » (propriétés mécaniques du silicium monocristallin) et ceux du

« surface micromachining » (pas de dépendance de la taille et la forme du motif, présence d'une couche d'arrêt).

Cette technologie est flexible et parfaitement adaptée à la fabrication de tous types de microsystèmes : l'épaisseur de la couche active monocristalline peut facilement être augmentée grâce à une épitaxie de silicium pour des applications HARMEMS (High Aspect Ratio MEMS), la partie monocristalline sensible du microsystème se comporte comme une couche homogène, il n'y a pas de stress résiduel dans la structure ce qui est bénéfique pour des applications mécaniques, et la surface de cette structure est de très bonne qualité, ce qui satisfait aux exigences pour des applications optiques.

L'inconvénient est le coût important des wafers SOI par rapport aux wafers de substrat silicium massif.

L'utilisation de substrats PSOI à moindre coût de fabrication peut être envisagée puisqu'elle ne pénalise pas la fabrication des microsystèmes. Le motif PSOI doit simplement correspondre à la surface active ou mobile du microsystème.

II.3. Différentes technologies permettant la fabrication de wafers SOI

Il existe différentes méthodes pour réaliser des wafers SOI. On peut classer ces différents procédés en 3 grands groupes (figure II.7) : Les techniques de collage de 2 wafers, les techniques de conversion du matériau, et les techniques d'épitaxie et hétéroépitaxie [12].

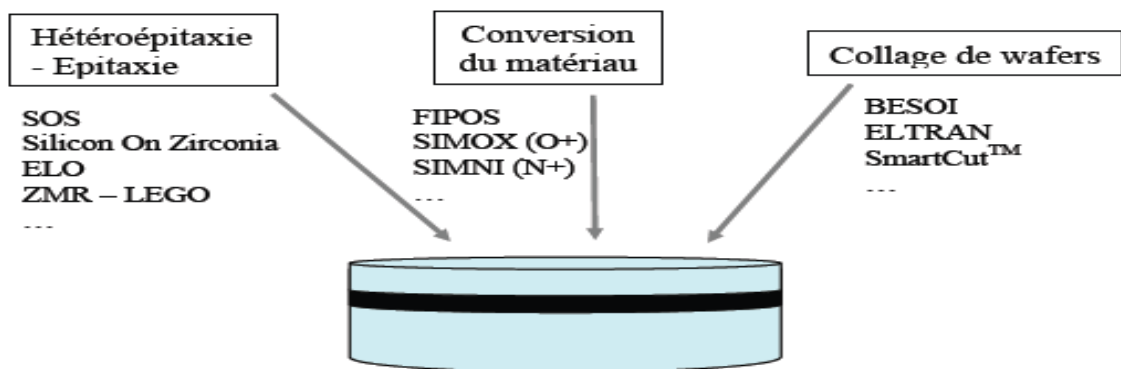


Figure II.7 : Classification de quelques procédés technologiques permettant d'obtenir des structures SOI [12].

Le tableau II.1 ci-dessous présente brièvement les procédés existants permettant d'obtenir des wafers SOI.

Méthode	Description
DI – Dielectric Isolation	Caissons de silicium monocristallin, isolés par de l'oxyde du wafer support en silicium polycristallin.
SOS – Silicon On Sapphire	Epitaxie de silicium sur un substrat de saphir.
SOZ – Silicon On Zirconia	Epitaxie de silicium sur un substrat de ZrO_2 .
Recrystallisation de la zone fondue : Laser seeded or unseeded (a) (b) ZMR – Zone Melt recrystallization (c) LEGO – Lateral Epitaxial Growth over Oxide	Fusion d'une couche de polysilicium déposée sur une couche de SiO_2 , puis contrôle de la recrystallisation par un fort gradient thermique : (a) Fusion par un faisceau laser continu scannant la surface. Présence de zones de contact entre le polysilicium déposé et le substrat monocristallin, dites zones de germes (seeded), ou non (unseeded). (b) Une bande de silicium fondu longue et étroite est propagée sur toute la surface du wafer. (c) Un film de silicium épais est fondu simultanément sur tout le wafer. Des gradients thermiques dus à la présence de zones de germe contrôlent la recrystallisation.
ELO – Epitaxial Lateral Overgrowth. SPER – Solid Phase Epitaxy Regrowth	Epitaxie sélective de silicium, initiée des zones de germe, et se propageant latéralement au dessus des motifs d'oxyde. Dépôt de silicium amorphe sur un wafer de silicium oxydé avec des ouvertures dans la couche d'oxyde. Le silicium amorphe est ensuite recrystallisé en phase solide.
FIPOS – Full Isolation with Porous Oxidized Silicon	Formation de silicium poreux localement sous des zones de silicium monocristallin, puis oxydation de ce silicium poreux pour réaliser l'isolation.

Hétéro-épitaxie d'isolants cristallins et silicium monocristallin	Utilisation de CaF, ZrO ₂ , spinel, et autres isolants cristallins.
SIMOX / SIMNI – Separation by IMplantation of Oxygen / Nitrogen	La couche d'oxyde enterrée est réalisée in-situ par une implantation d'oxygène (ou d'azote).
BESOI – Bonded and Etch back SOI	Collage de 2 wafers avec une surface oxydée entre les 2. Le wafer supérieur est aminci par une étape de rodage et gravure.
Smart-Cut	Un wafer subi une implantation d'ions hydrogène ou de gaz noble. La couche de silicium au dessus de la couche implantée est transférée par collage et « clivage » sur un wafer support.
ELTRAN - Epitaxial Layer Transfer	Une couche d'épitaxie est réalisée sur une région de silicium poreux, et transférée par collage et clivage sur un wafer support.
SON – Silicon On Nothing	Épitaxies successives de SiGe et Si sur un film de silicium, puis enlèvement de la couche sacrificielle de SiGe. Les zones laissées vacantes par l'enlèvement de SiGe peuvent être recouvertes par de l'oxyde.

Tableau II.1 : Liste des procédés technologiques existants pour obtenir des structures SOI [8].

II.3.1. Les premières méthodes développées

Jusque dans les années 80, seules deux techniques permettaient d'obtenir des films de silicium sur isolant. Elles sont présentées ci dessous.

II.3.1.1. Silicium sur saphir - SOS

Le premier procédé SOI développé est le procédé de Silicium sur Saphir (Silicon On Sapphire) [1], qui consiste à réaliser une hétéro-épitaxie d'une fine couche de silicium d'orientation <100> sur un substrat massif de saphir (Al₂O₃) d'orientation <1102>, <0112> ou <1012> (figure II.8). Jusqu'à l'apparition des techniques de collage, le procédé SOS était le procédé le plus mature permettant d'obtenir des wafers SOI.

Les avantages de ce procédé proviennent du fait que le saphir est un excellent isolant électrique, empêchant les courants parasites issus de radiations de se propager.

Ainsi, ces structures SOS étaient principalement dédiées à des applications militaires et spatiales dans les années 70 et 80.

Les inconvénients de ce procédé sont les nombreux défauts accumulés dans la couche de silicium à partir de l'interface. En effet, la différence entre les paramètres cristallographiques du silicium et du saphir entraîne la création de nombreuses dislocations et fautes d'empilement, leur nombre étant inversement proportionnel à la distance à l'interface. De plus, à cause des différences entre les coefficients thermiques du silicium et du saphir, des stress résiduels ont tendance à s'accumuler dans la couche de silicium. Tous ces défauts réduisent ainsi la mobilité des porteurs [13].

Ce procédé est coûteux, incompatible avec les filières de procédé silicium, et produit des couches de silicium défectueuses.

De nos jours, il est cependant possible d'améliorer la qualité des couches obtenues par ce procédé, grâce notamment à la recristallisation en phase solide (solid phase epitaxial regrowth - SPER) qui consiste à implanter des ions de silicium après épitaxie, de manière à amorphiser le film de silicium, et à reconstruire le réseau cristallin en partant de la surface, grâce à un recuit thermique. Des wafers 6 et 8 pouces de qualité cristalline convenable avec 100nm d'épaisseur de silicium ont été obtenus ainsi [1, 14, 15].

Le plus grand intérêt de ce procédé est essentiellement dû à l'épaisseur quasi infinie du substrat diélectrique, condition idéale pour la fabrication de circuits radiofréquences pour les télécommunications.

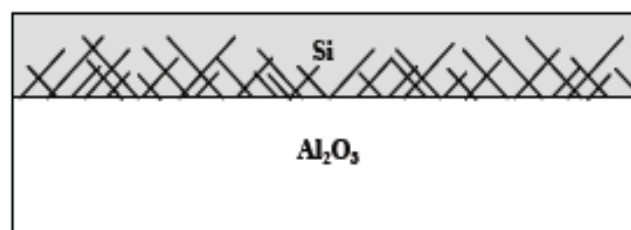


Figure II.8 : Structure SOS – Silicium sur saphir [1].

II.3.1.2. Isolation diélectrique - DI

Une autre des plus anciennes techniques de réalisation de films de silicium sur isolant est basée sur une isolation entièrement diélectrique [16]. Cette technique a vu le jour au milieu des années 60 et était déjà à cette époque le siège d'intégration de circuits petits signaux mais aussi d'isolation de circuits intégrés de puissance [17].

Les différentes étapes pour obtenir des wafers à partir de ce procédé DI sont listées ci-dessous.

- On réalise une attaque chimique KOH anisotropique sur des wafers, créant ainsi des sillons en forme de V dans le silicium, jusqu'à environ 50µm de profondeur (figure II.9.1).
- On oxyde la surface de ces wafers pour définir la couche d'isolation diélectrique (figure II.9.2), puis on dépose une couche épaisse de poly-silicium (environ 500µm) par CVD (Chemical Vapor Deposition) pour former le nouveau support mécanique du wafer (figure II.9.3). La couche de silicium monocristallin est alors amincie de 90 à 80% par rodage et polissage, jusqu'à atteindre la pointe des sillons en V, libérant ainsi des caissons de silicium monocristallin sur oxyde, sur un support de silicium poly-cristallin (figure II.9.4).

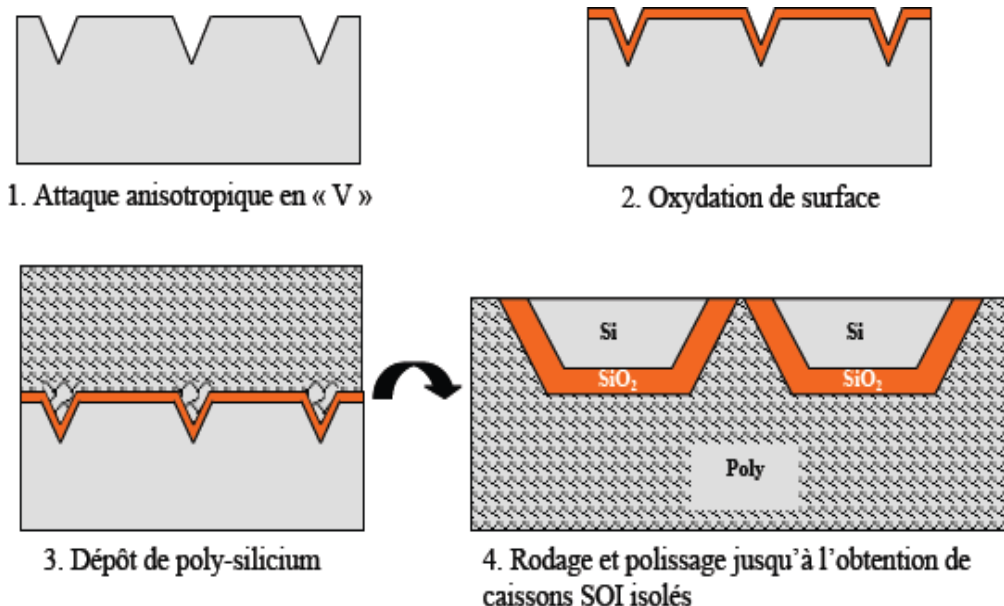


Figure II.9 : Etapes du procédé DI – Isolation diélectrique [2].

Durant les années 80, d'autres approches ont été développées pour obtenir des substrats SOI. La plupart de ces techniques n'ont pas mené à des applications commerciales, mais elles ont apporté des connaissances supplémentaires sur la

croissance d'un cristal, ainsi que sur la formation des défauts. Nous présenterons dans le paragraphe suivant quelques unes de ces techniques, notamment celles qui se révèlent les plus intéressantes pour les applications actuelles.

II.3.2. Les techniques actuelles et les plus répandues

Plusieurs procédés ont été développés afin d'obtenir des wafers entièrement SOI et des wafers SOI partiel.

Comme nous l'avons déjà indiqué ci-dessus, il est possible de les séparer en 3 grands groupes : Collage de deux wafers, conversion du matériau, et hétéro-épitaxie.

Dans ce paragraphe, pour chaque type de technologie, nous aborderons les procédés les plus significatifs : les procédés de collage permettant d'obtenir des wafers SOI de manière commerciale (BESOI, SmartCut, Eltran), le procédé de conversion du matériau le plus typique, c'est-à-dire la formation de la couche enterrée par implantation à travers le substrat (SIMOX), et les procédés d'épitaxie les plus significatifs pour nos applications, tels que la fusion et recristallisation de silicium poly-cristallin déposé sur oxyde (ZMR, LEGO).

II.3.2.1. Techniques de collage, dites « de bonding » : Wafer Bonding

II.3.2.1.1. BESOI (Bonded and Etchback SOI)

Le BESOI [8] consiste à coller deux wafers de silicium préalablement parfaitement nettoyés et dont l'un comporte une surface oxydée. Le collage est initié par des forces de Vander Waals ou liaisons hydrophiles entre les deux surfaces, et finalisé avec un recuit à 1100°C. La structure subit ensuite un rodage puis un polissage jusqu'à ce que l'on atteigne l'épaisseur de couche SOI désirée. Pour déterminer avec précision la fin de l'étape de polissage et donc l'épaisseur de couche SOI, une couche d'arrêt peut être formée par un dopage sélectif (implantation d'une forte dose de bore ou épitaxie de silicium sur une surface dopée au bore...) incorporé dans le wafer A avant collage. On effectue alors une attaque sélective qui cesse lorsque la couche d'arrêt est atteinte, et enfin on élimine cette couche d'arrêt (figure II.10).

Les inconvénients majeurs de ce procédé sont l'utilisation de deux wafers pour en obtenir un seul, et la contamination de la couche finale de silicium sur oxyde par la couche d'arrêt dopée.

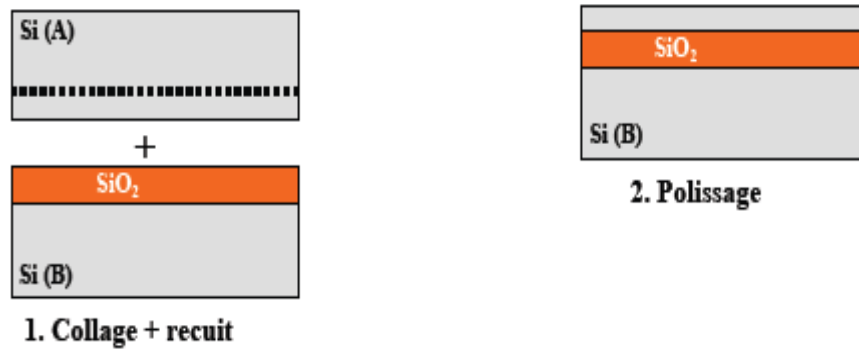


Figure II.10 : Etapes du procédé BESOI [8].

II.3.2.1.2. Eltran (Epitaxial Layer Transfer)

Le procédé ELTRAN [8, 18, 19, 20, 21], également basé sur le collage de deux wafers, fait intervenir des couches de silicium poreux afin de faciliter la séparation du wafer support et de la couche SOI (figure II.11). Deux couches de silicium poreux sont élaborées par une réaction électrochimique en surface du wafer support. Ces deux couches présentent une porosité différente, la couche Si p 1 est très peu poreuse pour permettre une épitaxie de silicium de bonne qualité cristalline par dessus, et la couche Si p 2 est trois fois plus poreuse. Une épitaxie de silicium est alors effectuée sur la couche Si p 1 et la croissance monocristalline est assurée par le fait que le silicium poreux conserve le réseau cristallin du substrat. La surface est ensuite oxydée, puis collée sur un deuxième wafer. La différence de porosité entre les deux couches de silicium poreux crée un stress mécanique à l'interface entre ces deux couches. Ainsi, les couches poreuses de silicium peuvent être séparées facilement par une action mécanique (jet d'eau, ultrasons... figure II.12). La couche de silicium poreux restant en surface est éliminée par attaque chimique et la planéité est rétablie par un recuit sous H₂ à 1100°C.

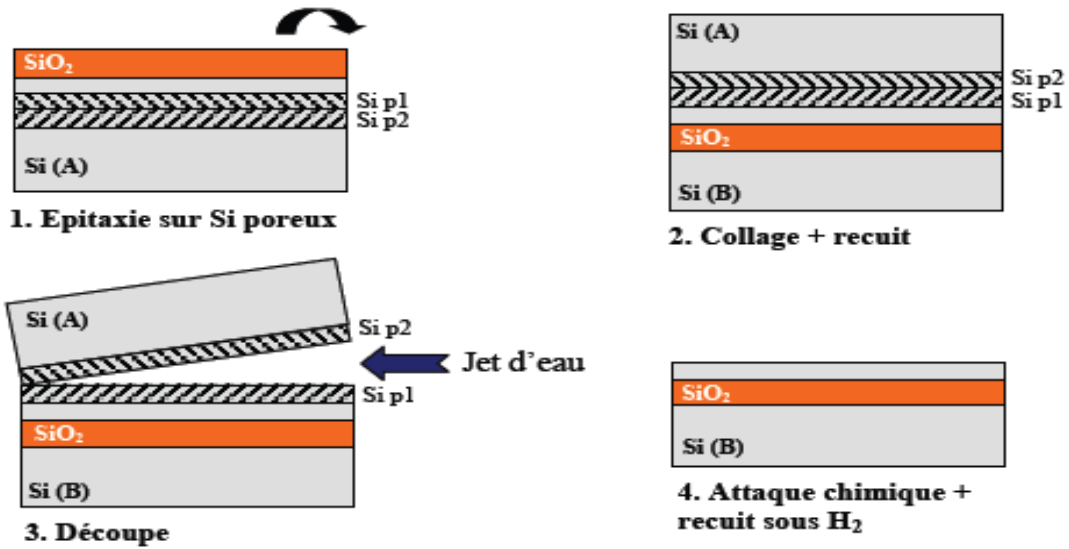


Figure II.11 : Etapes du procédé ELTRAN [2].

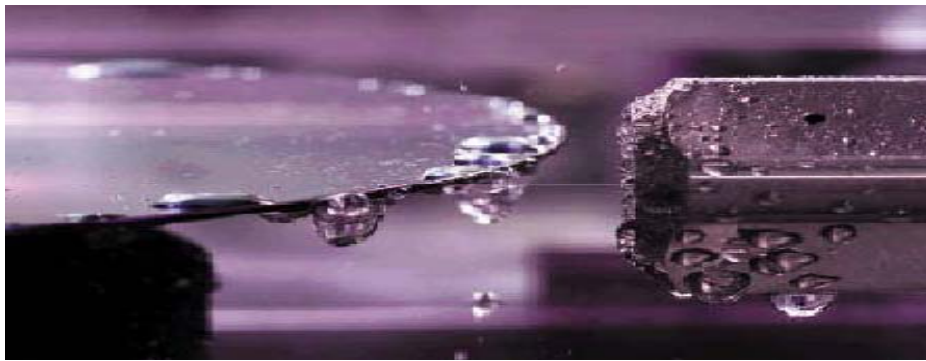


Figure II.12 : Utilisation d'un jet d'eau pour séparer les 2 wafers [18].

Dans ce procédé, le wafer donneur reste quasiment intact et peut être recyclé pour former un autre wafer SOI.

II.3.2.1.3. SmartCut (Unibond)

Le SmartCut (ou Unibond) [8, 22] est basé sur le même principe de collage de deux wafers.

Sa spécificité est l'utilisation d'ions hydrogènes implantés dans le wafer supérieur comme un « scalpel atomique ».

Le wafer subit tout d'abord une oxydation thermique qui va permettre de constituer la couche d'oxyde enterrée. Ensuite, des ions hydrogènes sont implantés à une dose et une énergie déterminée dans le wafer, ils vont provoquer la création de microcavités (figure II.14) [23] dans le substrat de silicium, à une profondeur fixée par l'énergie d'implantation (figure II.13.1).

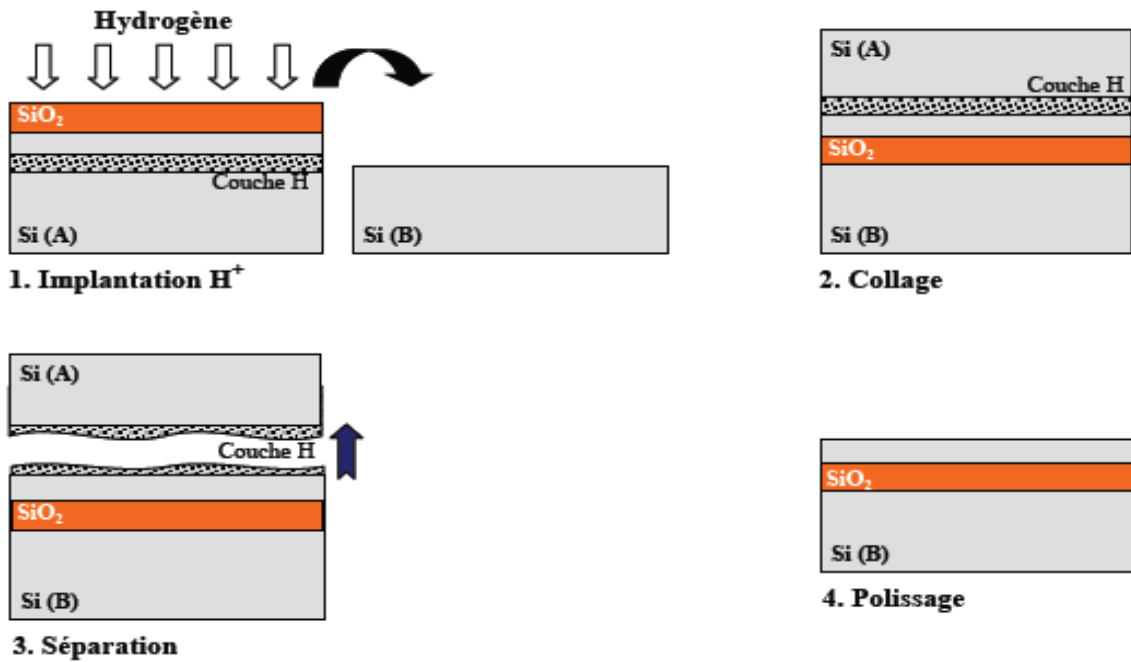


Figure II.13 : Etapes du procédé SmartCut [2].

Puis le collage est réalisé par liaisons hydrophiles entre les deux wafers, après que ceux-ci aient été préalablement nettoyés par RCA (figure II.13.2).

Un recuit est alors effectué : La première phase de ce recuit, de 400 à 600°C, permet de faire coalescer les microcavités dues à l'implantation, et permettent ainsi la propagation d'une fissure à travers toute la couche implantée d'ions hydrogènes (figure II.13.3). La seconde phase du recuit, au dessus de 1000°C, aide à consolider les liaisons chimiques entre les deux surfaces collées.

Après séparation, la rugosité de surface du silicium sur oxyde est rectifiée par un polissage (figure II.13.4).

Le reste du wafer donneur est intact et peut être recyclé pour former un autre wafer support SOI, ce qui diminue le coût de fabrication par rapport au procédé BESOI utilisant deux wafers.

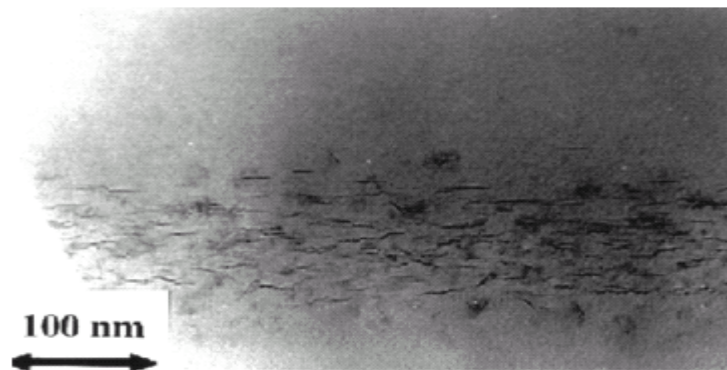


Figure II.14 : Observation des microcavités formées à la profondeur d'implantation d'hydrogène [23].

Les couches SOI obtenues à partir de ces trois procédés sont parfaitement monocristallines et la couche d'oxyde enterré présente toutes les caractéristiques de l'oxyde thermique dont elle découle. De plus, un autre avantage de ces procédés est que la nature et l'épaisseur de la couche enterrée peuvent être modifiées.

Cependant les wafers ainsi obtenus sont des wafers de SOI pleine plaque, et pour réaliser du SOI partiel à partir de ces procédés de collage, des étapes supplémentaires augmentant le coût déjà élevé du wafer doivent être effectuées (masquage des zones de motif, gravure du silicium et de l'oxyde, reprise d'épitaxie, polissage mécano-chimique).

Il faut souligner le fait que le procédé SmartCut est un procédé « universel » dans le sens où il peut être adapté à de nombreux matériaux. De manière générale, le SmartCut permet d'importer dans le royaume du silicium d'autres semi-conducteurs et isolants, avec leur éventail de propriétés spécifiques. Il est également possible de transférer sur substrat isolant des circuits CMOS préalablement fabriqués sur silicium massif. L'ensemble de ces avantages et potentialités fait du procédé Unibond / SmartCut le procédé dominant sur le marché des wafers SOI.

II.3.2.2. Techniques de conversion du matériau : Réalisation de la couche enterrée par implantation

II.3.2.2.1. SIMOX (Separation by Implantation of Oxygen)

Le SIMOX [8, 24] est une technique qui permet de réaliser la couche d'oxyde enterré par implantation d'oxygène dans un wafer de silicium. La dose et l'énergie d'implantation permettent de déterminer la profondeur et l'épaisseur de la future couche d'oxyde (figure II.15.1).

Après implantation, de nombreux défauts (dislocations et fautes d'empilement) sont accumulés dans la couche supérieure de silicium. Un recuit à très haute température (1320°C pendant 6 heures ou 1405°C pendant 30 minutes) est donc nécessaire pour rétablir une qualité cristalline acceptable de la couche SOI ainsi que pour lier les atomes d'oxygène avec les atomes de silicium en une couche bien délimitée de SiO₂ enterré (figure II.15.2).

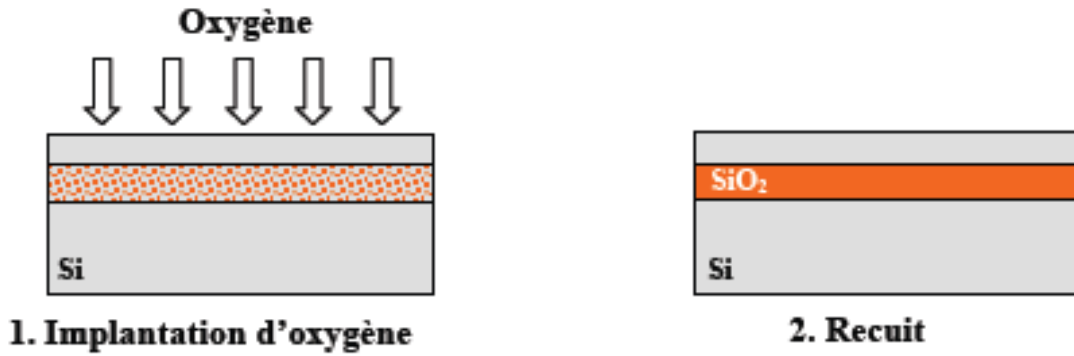


Figure II.15 : Etapes du procédé SIMOX [2].

Pour réaliser du SOI partiel à partir de ce procédé, il suffit de faire un masquage avant l'implantation d'oxygène.

Les couches SOI ainsi obtenues sont de bonne qualité cristalline, mais la couche d'oxyde enterré réalisée par implantation n'a pas les qualités d'un oxyde thermique en terme d'isolation, ce qui est pénalisant pour des applications de puissance.

II.3.2.3. Techniques d'épitaxie

II.3.2.3.1. Epitaxie latérale, ELO et MELO

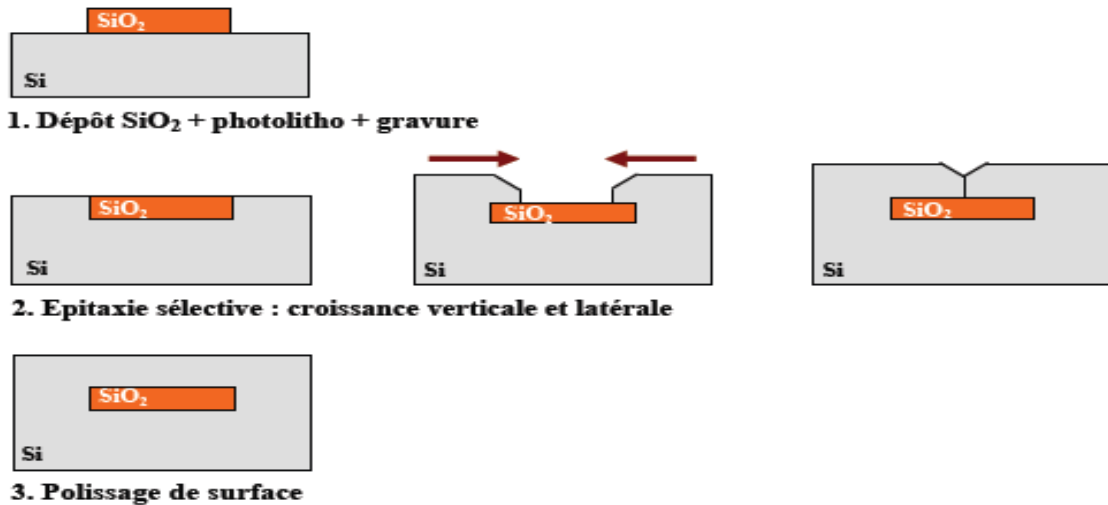


Figure II.16 : Substrat SOI réalisé par le procédé MELO – Merged Epitaxial Lateral Overgrowth [2].

La technique de croissance par épitaxie latérale (Epitaxial Lateral Overgrowth : ELO ou Merged Epitaxial Lateral Overgrowth : MELO) est intéressante pour obtenir une couche SOI localisée (figure II.16). A partir d'un wafer de silicium présentant des motifs d'oxyde, on réalise une épitaxie sélective de silicium. Il va donc y avoir croissance de silicium uniquement sur les zones où le substrat de silicium est à nu. La croissance de

silicium se fera verticalement au dessus du substrat mais aussi latéralement au dessus du motif d'oxyde. Cette croissance sélective par épitaxie (SEG : Selective Epitaxial Growth) est un procédé assez délicat à réaliser. L'épitaxie se poursuit jusqu'à atteindre une dimension latérale suffisante au-dessus de l'oxyde.

Le rapport de cette croissance latérale pour verticale est estimé à environ 1 : 10 lors de travaux réalisés par Borland [25]. G. Neudeck en revanche a estimé ce rapport de croissance à 1 : 1. Lorsque les fronts d'épitaxie se rejoignent et recouvrent entièrement le motif, une étape de polissage mécano-chimique est nécessaire pour enlever l'excédent de silicium et rétablir une bonne planéité.

Les couches de silicium sur oxyde ainsi obtenues sont de bonne qualité puisqu'elles proviennent d'une épitaxie de silicium. Cependant, la largeur des motifs ainsi réalisés est limitée par le rapport de croissance maximum (la dimension de l'îlot d'oxyde ne doit pas être trop importante sinon l'épaisseur de silicium obtenue en fin de procédé serait démesurée).

Les récents travaux de Neudeck [26] à l'Université de Purdue dans l'Indiana, traitent de l'application de la technique ELO à la réalisation de transistors MOS double grille totalement dépeuplés sur SOI. En effet, le procédé ELO peut permettre la fabrication de couches minces de silicium. On part alors d'un substrat de silicium sur lequel on dépose une première couche d'oxyde. Puis grâce à une gravure RIE (Reactive Ion Etching) et une deuxième oxydation, on détermine la profondeur de la vallée d'oxyde (figure II.17), d'où l'épaisseur de SOI. On réalise ensuite les ouvertures de germe, à partir desquelles s'initie la croissance par épitaxie de silicium. On arrête l'épitaxie lorsque la vallée d'oxyde est remplie. Pour terminer, le surplus de silicium est enlevé par polissage mécano-chimique. Cette technique bénéficie aujourd'hui d'un regain d'intérêt dû aux récentes avancées technologiques en matière de polissage mécano-chimique. Selon Neudeck, le SOI obtenu serait de haute qualité avec une densité de défauts inférieure à celle du "wafer bonding" ou du SIMOX. De plus, le coût de cette technique est estimé inférieur de 20 à 30% à celui d'un SIMOX avec tranchées d'isolation.

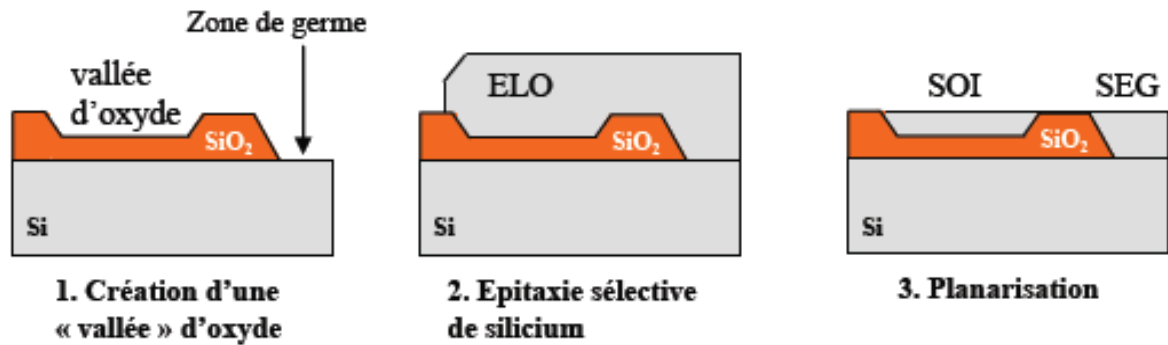


Figure II.17 : Substrat SOI réalisé par le procédé ELO – Epitaxial Lateral Overgrowth [2].

D'autres travaux récents traitent de la possibilité de réaliser, avec le procédé ELO, un empilement en 3 dimensions de couches SOI (MLSOI pour Multiple Layers SOI) [27, 28].

L'intégration en trois dimensions de circuits permettrait d'augmenter la densité de composants, et de diminuer les interconnexions pour atteindre des vitesses de l'ordre du Giga hertz.

L'inconvénient majeur de ce procédé concerne les dimensions latérales d'un substrat SOI réalisé par ELO : les valeurs minimales sont voisines de 150 nm x 150 nm et maximales de 8 µm x 500 µm. Les épaisseurs de SOI sont de l'ordre de 40 à 200 nm. Par ailleurs, cette technique présente quelques étapes critiques comme l'épitaxie sélective ou le polissage mécano-chimique.

II.3.2.3.2. Recristallisation de la zone fondue, ZMR (Zone Melting Recrystallization)

A partir d'un wafer de silicium comportant des zones de poly-silicium sur oxyde, et quelques zones de silicium monocristallin dites zones de germe, il est également possible de former des wafers SOI par la technique de recristallisation de zone fondue ZMR (pour Zone Melting Recrystallization) [29]. Une source d'énergie mobile (laser, lampe halogène, barreau de graphite incandescent, canon à électrons) va permettre de fondre par balayage les zones de poly-silicium. Lorsque la source d'énergie s'éloigne, le gradient thermique induit par ce balayage crée un front de recristallisation qui s'appuie sur les zones de germe monocristallines. Ainsi, le silicium fondu va se solidifier en silicium monocristallin (figure II.18).

Ce procédé permet d'obtenir des wafers SOI partiel, à bas coût.

Les couches SOI obtenues à partir de ce procédé présentent cependant des caractéristiques électriques médiocres. En effet, le fort gradient thermique localisé permettant la coexistence de zones solides et liquides, crée une accumulation de contraintes thermiques, entraînant ainsi l'apparition de défauts cristallins dans le sens de balayage de la source de chaleur.

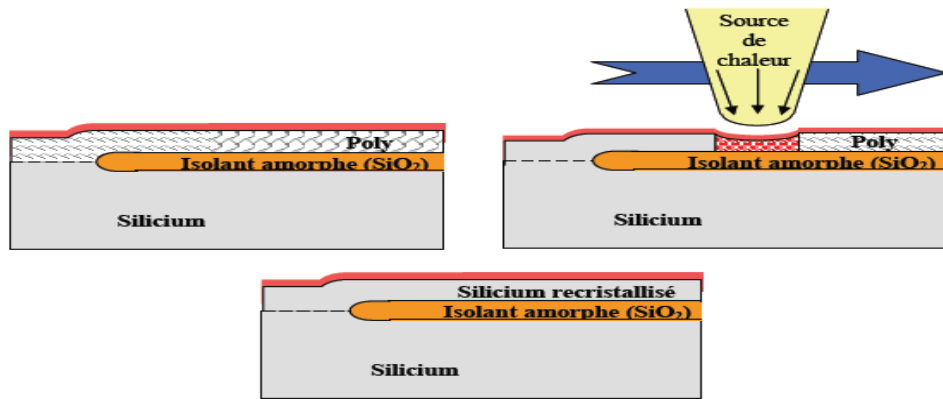


Figure II.18 : Principe du procédé ZMR [2].

La préparation initiale des plaquettes est décrite ci-dessous : Tout d'abord, on effectue un dépôt par LPCVD (Low Pressure Chemical Vapor Deposition) ou par oxydation thermique d'une couche d'oxyde de silicium sur un substrat de silicium monocristallin qui deviendra ensuite la couche diélectrique enterrée. On réalise ensuite des ouvertures appelées zones de germe, à partir desquelles la recristallisation va débiter. On dépose par LPCVD une couche de silicium polycristallin. Enfin, le dépôt par CVD (Chemical Vapor Deposition) d'une couche d'encapsulation en oxyde est nécessaire de manière à contenir la fusion du silicium et à éviter que celui-ci ne s'évapore lors de la fusion.

II.3.2.3.3. Le LEGO

Le procédé LEGO, est directement issu de ce procédé de recristallisation de la zone fondue. La principale différence est que la zone de chauffage est ici stationnaire, ainsi toutes les zones de silicium polycristallines sont recristallisées simultanément. Ceci permet d'éliminer les problèmes de gradient de température et d'accumulation de contraintes et dislocations. Ainsi on observe une nette amélioration de la qualité cristalline des couches SOI obtenues par ce procédé LEGO par rapport au procédé ZMR, tout en continuant d'assurer un faible coût de procédé.

II.4. Le futur des « couches actives sur isolant »

De nos jours, la motivation la plus visible pour l'utilisation du SOI est l'application aux circuits CMOS faible tension faible puissance tout en améliorant la vitesse de fonctionnement. Ainsi, les couches SOI les plus utilisées sont les couches minces.

La réalisation de composants partiellement ou totalement dépeuplés sur couche SOI minces permet un fonctionnement plus rapide et une consommation en puissance moindre comparé à des composants sur substrat massif de silicium.

L'utilisation de couches contraintes de silicium permet de repousser encore plus ces limites de fonctionnement en vitesse.

II.5. Nouvelles architectures sur SOI

De nouvelles architectures sont également investiguées afin de tirer pleinement profit des avantages offerts par les structures SOI.

Ainsi, la présence d'une couche d'oxyde enterré peut permettre la réalisation d'une grille inférieure, et donc d'un composant actionné par une double grille. Différentes architectures peuvent alors être envisagées concernant la géométrie de la grille, on peut également obtenir des composants multi grilles.

Ces différentes architectures permettent de fabriquer des composants de type MOSFET encore plus petit, avec un bon contrôle des effets canaux courts (SCE) et des courants plus élevés que pour une grille simple.

II.6. Le transistor MOS SOI

II.6.1. Introduction

Les structures SOI MOSFET sont envisagées comme des candidats susceptibles de réussir l'intégration de composants de dimensions inférieures à 25 nm. La quantité estimée de wafers SOI produits depuis 8 ans est d'ailleurs en très nette augmentation (figure (II.19)) et l'utilisation du SOI, malgré le prix plus élevé des substrats, semble gagner de plus en plus d'industriels.

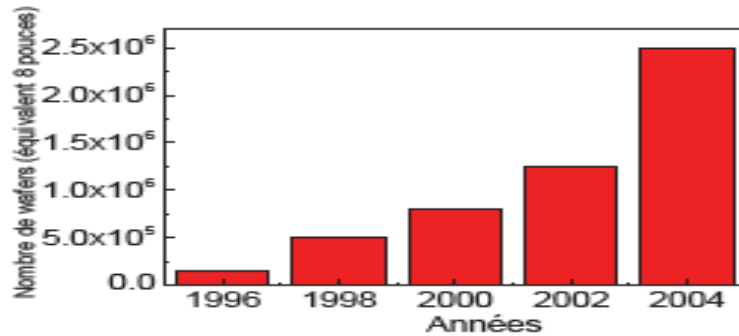


Figure II.19 : Estimation de la production annuelle de wafers SOI [30].

La structure interne des MOSFET en technologie SOI se différencie de celle des MOSFET sur substrat massif par l'ajout d'une couche d'oxyde dans le substrat, voir figure II.20-a.

Ainsi, cinq couches de matériaux composent le MOSFET SOI :

- les métallisations : contacts de grille, source et drain.
- l'oxyde de grille d'épaisseur T_{ox} .
- les régions source, "body", et drain, d'épaisseur T_{si} .
- l'oxyde enterré ou BOX, d'épaisseur T_{box} .
- le substrat.

La photo de la figure II.20-b montre une vue en coupe d'un MOSFET SOI où ces différentes épaisseurs peuvent être identifiées aisément. Il est possible également de distinguer les zones de siliciuration au niveau de la grille, de la source et du drain. Leur rôle est de réduire les résistances de contact.

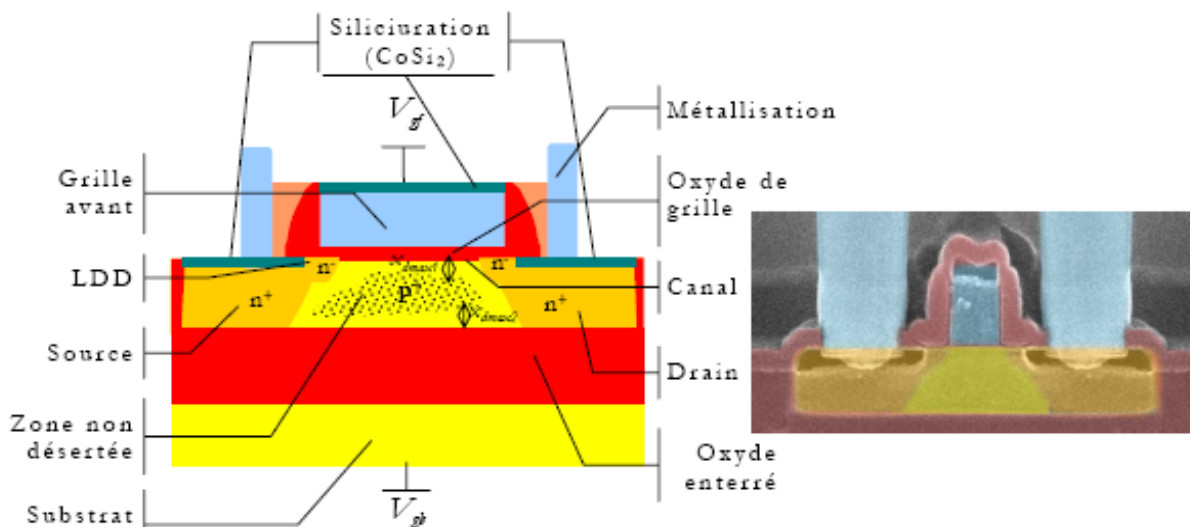


Figure II.20 : a) Schéma d'un MOSFET SOI vu en coupe parallèlement à la longueur du canal. b) Vue du MOSFET SOI au microscope électronique à balayage [39].

La grille, l'oxyde de grille et le "body" forment une structure métal-isolant semi-conducteur ou MIS, comme le substrat, l'oxyde enterré et le "body". Par conséquent, deux zones de charge d'espace sont présentes dans la zone active. Chacune de ces zones est commandée par une grille : soit par la grille avant, soit par le substrat qui peut être assimilé à une grille arrière. Chaque grille de la structure SOI impose un potentiel de surface à son interface Si/SiO₂ ainsi qu'un régime de fonctionnement : accumulation, désertion, inversion. Lorsque la structure MIS fonctionne en régime d'inversion forte, l'épaisseur de la zone de désertion est maximale. Le potentiel de surface est pratiquement égal à $2 \cdot \phi_F$ où ϕ_F est le potentiel de Fermi.

Dans ces conditions, les épaisseurs de chaque zone de désertion sont définies par l'équation (II.1).

$$X_{dmax1,2} = \sqrt{\frac{4\epsilon_{Si} \cdot \Phi_F}{qN_A}} \quad (II.1)$$

Où Φ_F est le potentiel de Fermi du silicium égal à $\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$, q est la charge des électrons, N_A est la concentration des atomes donneurs du matériau et ϵ_{Si} est la permittivité du silicium. À la figure II.20, x_{dmax1} et x_{dmax2} représentent les valeurs maximales des épaisseurs de chaque désertion dans la zone active, imposées respectivement par la grille avant et par le substrat. Suivant les conditions de polarisation et de dopage, les deux zones de désertion couvrent une partie ou la globalité du film de silicium de la zone active [39].

En fonction de l'épaisseur de la couche de silicium actif T_{Si} présente au dessus, dans laquelle les zones de diffusion sont implantées, deux technologies se distinguent : celle appelée « totalement désertée » pour une mince couche de silicium, de l'ordre de 20nm, et celle appelée « partiellement désertée » pour une couche plus épaisse, de l'ordre de 100nm. Bien que la technologie SOI totalement désertée présente de meilleures caractéristiques I-V, notamment une meilleure pente sous le seuil, elle a l'inconvénient de nécessiter un contrôle très précis de l'épaisseur de la couche de silicium : celle-ci étant totalement désertée, le potentiel sous la grille et donc la tension de seuil sont directement fonction de son épaisseur. Cela implique une contrainte importante sur le procédé de fabrication, qui ne peut pas être aujourd'hui respectée avec un rendement suffisant. De plus, l'épaisseur de silicium actif doit être mise à l'échelle d'une génération technologique à l'autre et les coûts associés au

développement de cette technologie ne peuvent dès lors pas être amortis sur plusieurs générations. Enfin, la mince couche de silicium induit des résistances d'accès élevées au niveau du drain et de la source. Ces trois raisons expliquent pourquoi la technologie SOI totalement désertée n'est pas utilisée commercialement. La technologie SOI partiellement désertée, à l'inverse, ne nécessite pas de couche très mince de silicium, ce qui réduit ses coûts de fabrication : c'est une technologie aujourd'hui mature, utilisée notamment par IBM.

Du fait de l'épaisseur de la couche de silicium superficiel, il existe une zone de silicium qui ne peut être totalement désertée de porteurs mobiles par la grille : cette région est appelée body du transistor voir Figure II.21, c'est le quatrième terminal du transistor MOS à effet de champ. Il peut être laissé flottant ou connecté à une tension extérieure, son potentiel déterminant la tension de seuil du transistor.

Lorsque le body est laissé flottant, son potentiel est déterminé par différents phénomènes de charge et de décharge [31], qui sont :

- le courant d'ionisation par impact,
- le courant de fuite des jonctions PN polarisées en inverse,
- les couplages capacitifs,
- le courant de jonction polarisée en direct,
- la génération thermique de paires électron trou,
- le phénomène de recombinaison.

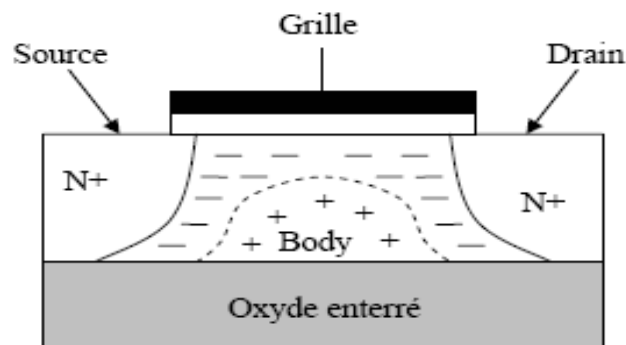


Figure II.21 : Structure d'un transistor NMOS SOI [31].

Le courant d'ionisation par impact apparaît aux fortes polarisations de drain. C'est un phénomène qui se produit dans la zone de pincement du canal : les porteurs minoritaires ayant atteint leur vitesse de saturation – des électrons pour le cas d'un transistor NMOS – sont attirés par le fort champ électrique du drain et frappent les atomes de silicium près de l'oxyde de grille, créant des paires électrons trous. Parmi

celles qui ne se recombinent pas, les électrons sont évacués par le drain et les trous se dirigent vers le body, zone de moindre potentiel, augmentant ainsi la tension V_{bs} .

Le courant de fuite de la jonction PN est le courant qui passe à travers la diode polarisée en inverse. Il provient de trois mécanismes :

- la recombinaison de paires électrons trous dans la zone de charge d'espace,
- la déformation du gradient de dopage par des défauts ou impuretés, passant d'un type N à un type P,
- le franchissement de la barrière de potentiel par des porteurs possédant suffisamment d'énergie.

Il a pour expression l'équation classique du courant d'une diode :

$$I = I_0 \cdot \left(e^{qV/kT} - 1 \right) \quad (II.2)$$

Avec

I_0 : le courant de génération de la diode,

V : la tension aux bornes de la jonction,

T : la température.

Le courant de fuite dépend exponentiellement de la tension aux bornes de la jonction et de la température.

En transitoire, le body est couplé de façon capacitive à la grille et au drain. Le couplage de la grille s'effectue par la capacité d'oxyde de silicium et la capacité de déplétion et a lieu tant que le canal n'est pas créé : lorsque ce dernier existe, il n'y a plus de couplage grille body car toute variation de quantité de charge sur la grille est compensée par une variation de quantité de charge dans le canal d'inversion, et non plus dans le body. Le couplage avec le drain s'effectue par la capacité de zone de charge d'espace. Sa valeur est fonction de la polarisation de la jonction puisque la largeur de la zone désertée fixe l'épaisseur de la capacité. Le couplage avec le drain à tension nominale est plus important que celui avec la grille, comme montré Figure II.22.

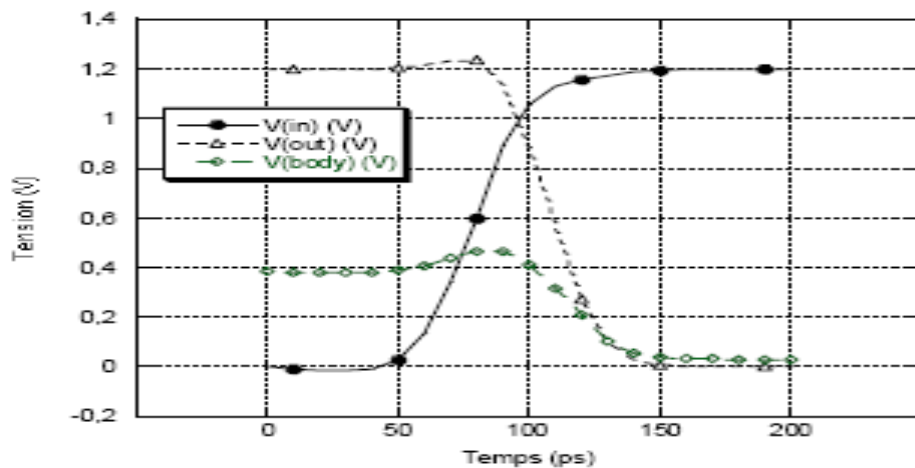


Figure II.22 : Couplage capacitif du body d'un transistor NMOS en fonction des variations des tensions de grille et de drain [31].

La polarisation de la jonction PN en direct se produit lorsque la tension à ses bornes dépasse 0,6V : c'est généralement la jonction body source qui est concernée. La diode peut être rendue passante soit par le courant d'ionisation par impact qui charge le body, soit par couplage capacitif. Il y a alors déclenchement du bipolaire parasite horizontal, NPN pour un transistor NMOS et PNP pour un transistor PMOS.

Pour résumer, il existe trois chemins de charge et deux chemins de décharge du body. Les mécanismes de charge sont les courants de fuite des jonctions polarisées en inverse, phénomène qui est de l'ordre de la milliseconde ; à tension élevée, l'ionisation par impact ajoute également des charges dans le body. Les deux chemins de décharge sont les jonctions polarisées en direct, phénomène qui dure quelques dizaines de microsecondes. La valeur statique du potentiel du body dépend de l'équilibre entre ces différents phénomènes de charge et de décharge.

II.6.2. Avantage de la technologie SOI

De part la couche d'oxyde enterré qui isole la zone active du transistor, la technologie SOI possède des propriétés intéressantes par rapport au silicium à substrat massif. Globalement, les transistors SOI apportent 25% à 30% de performances en plus par rapport à leurs homologues à substrat massif [31].

II.6.2.1. Réduction des capacités parasites du substrat

Dans les circuits sur substrat SOI, la capacité maximale entre les jonctions et le substrat et celle due à l'isolant enterré (figure II.23). Cette capacité est proportionnelle

à la constante diélectrique du matériau capacitif. Or dans le cas le plus souvent utilisé d'un isolant en dioxyde de silicium, cette constante vaut $\epsilon_{Ox} = 3.9$ soit trois fois plus petite que celle du silicium $\epsilon_{Si} = 11.7$. L'épaisseur de l'isolant enterré n'a alors pas besoin d'être réduite lorsque des composants plus petits sont produits et de ce fait les capacités parasites n'augmentent pas au fur et à mesure de l'évolution de la technologie, contrairement sur substrat massif.

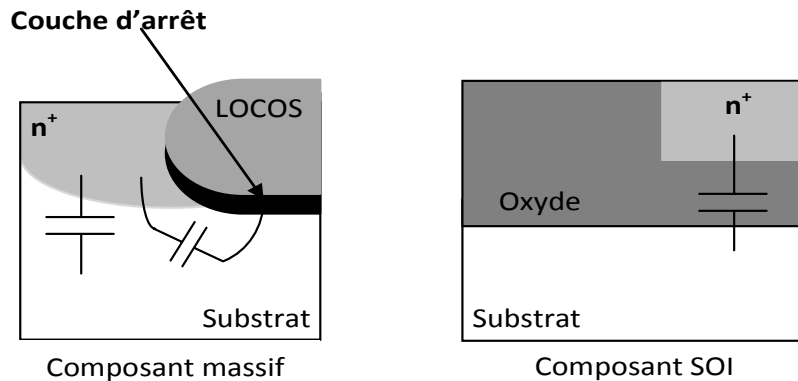


Figure II.23 : Capacités de jonctions parasites [40].

II.6.2.2. Absence du phénomène de "latchup"

Le phénomène de "latchup", bien connu dans les structures en technologie sur substrat massif, correspond au déclenchement intempestif d'une structure de thyristor PNPN figure (II.24.a). Le "latchup" devient un sérieux problème dans les composants de petites dimensions. Il existe différentes techniques pour réduire ce phénomène mais au détriment du coût et du rendement de production. Or ce phénomène est absent dans les structures en technologie SOI car il n'y a pas de circulation de courant dans le substrat figure (II.24.b). De ce fait, on obtient un meilleur degré d'intégration avec la technologie SOI.

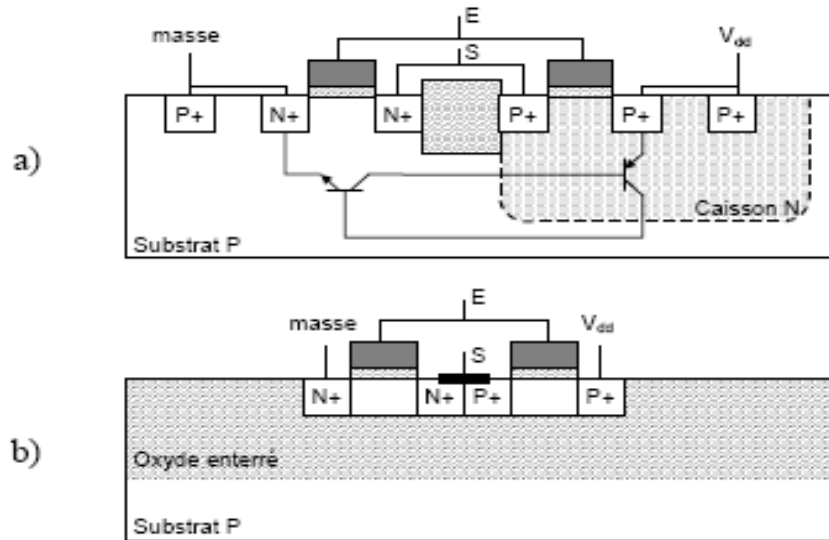


Figure II.24 : Comparaison d'une structure CMOS réalisée (a) sur Si massif ; (b) sur SOI. Illustration de l'élimination du phénomène de latch-up dans le CMOS sur SOI [38].

II.6.2.3. Simplification des étapes de siliciuration ou de métallisation

La réduction des résistances d'accès à l'aide de siliciuration est une étape importante de la réalisation de composants à hauts performances. Dans les composants sur substrat massif, des réactions non souhaitées peuvent parfois se produire entre le silicium et le siliciure ou le métal, entraînant des courants de fuites. En SOI, il n'y a pas de fuites du fait de l'impossibilité d'une jonction métallique sous la zone de contact métal-silicium (figure II.25).

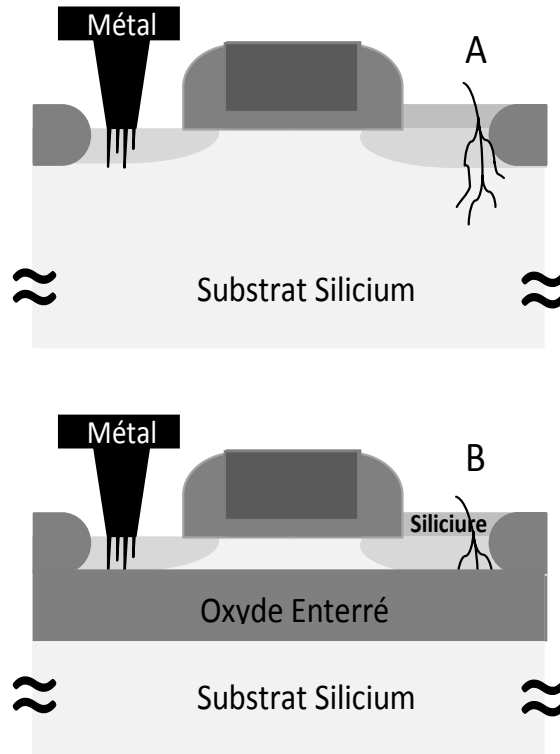


Figure II.25 : Formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat massif (A) et d'un composant sur substrat SOI (B) [40].

II.6.2.4. Diminution du nombre d'étapes de développement

La technologie SOI comporte moins d'étapes de conception que la technologie sur substrat massif. Le tableau II.2 récapitule les différentes étapes du procédé en technologie sur substrat massif et SOI. On peut tout de même constater une grande ressemblance entre ces deux technologies.

Substrat massif	Substrat SOI
Oxydation	Oxydation
Lithographie des puits	
Dopage des puits et renforcement	
Dépôt de nitrure	Dépôt de nitrure
Lithographie de la zone active	Lithographie de la zone active
Retrait du nitrure	Retrait du nitrure
Lithographie des zones à implanter	Lithographie des zones à implanter
Implantation des zones	Implantation des zones
Croissance des zones d'oxyde	Croissance des zones d'oxyde
Retrait du nitrure	Retrait du nitrure
Lithographie des canaux P	
Implantation de « Anti-punchthrough »	
Croissance de l'oxyde de grille	Croissance de l'oxyde de grille
Implantation des canaux P pour V_{th}	Implantation des canaux P pour V_{th}
Lithographie des canaux N pour V_{th}	Lithographie des canaux N pour V_{th}
Implantation de « Anti-punchthrough »	
Implantation des canaux N pour V_{th}	Implantation des canaux N pour V_{th}
dépôt de polysilicium et dopage	dépôt de polysilicium et dopage
Lithographie des grilles et retrait	Lithographie des grilles et retrait
Lithographie des zones P^+ de S & D	Lithographie des zones P^+ de S & D
Implantation des zones P^+ de S & D	Implantation des zones P^+ de S & D
Lithographie des zones N^+ de S & D	Lithographie des zones N^+ de S & D
Implantation des zones N^+ de S & D	Implantation des zones N^+ de S & D
Re-oxydation des S & D	Re-oxydation des S & D
Dépôt de diélectrique	Dépôt de diélectrique
Lithographie des trous de contact	Lithographie des trous de contact
Perçage des trous de contact	Perçage des trous de contact
Métallisation	Métallisation
Lithographie des zones métal	Lithographie des zones métal
Gravure du métal	Gravure du métal
recuit	recuit

Tableau II.2 : comparaison des étapes de conception d'un CMOS en technologie sur substrat massif et SOI.

II.6.2.5. Meilleure caractéristiques de courants

II.6.2.5.1. Réduction de l'effet de substrat

Dans un composant sur substrat massif, l'effet « body » dit effet substrat correspond à la dépendance de la tension de seuil au potentiel de substrat. Dans un transistor SOI, il correspond de façon similaire à la dépendance de la tension seuil au potentiel de grille arrière. Cet effet réduit la capacité de conduction de courant des transistors dont la source n'est pas directement connectée à la masse, comme dans le cas d'entrées à paires différentielles.

Or dans le cas d'un transistor SOI, il a été démontré que la variation du potentiel de surface du substrat a une faible influence sur la tension seuil. Cette influence peut même être négligée du moment que l'épaisseur de l'oxyde enterré est grande devant celle de l'oxyde de grille.

II.6.2.5.2. Plus grand courant de saturation

Les transistors SOI présentent un plus grand courant de saturation que ceux en technologie sur substrat massif. Ce plus grand courant de saturation dans les MOSFETs SOI provoque une augmentation de conduction de courant. Ceci contribue grandement excellentes performances de vitesses des circuits CMOS SOI.

II.6.2.5.3. Plus grande mobilité et transconductance de grille

La transconductance de grille d'un MOSFET mesure l'efficacité du contrôle du courant de drain par la tension de grille. Cette plus grande transconductance dans le cas d'un SOI s'explique par le meilleur contrôle du potentiel de grille au niveau de l'oxyde de grille.

La mobilité des porteurs dans le canal d'un MOSFET dépend principalement de la valeur du champ électrique à l'interface oxyde de la grille /silicium. Le champ électrique de surface avant est plus faible dans un composant SOI que dans un composant sur substrat massif.

II.6.2.6. Réduction des effets de canaux courts

La diminution de la longueur de canal des transistors MOSFET induit de nombreux effets, dont l'un est appelé effet de canal court. Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze Q_g à la Figure II-26. Pour les transistors à canal « long », cet effet est

faible par rapport à la zone de contrôle de la grille, tandis qu'au fur et à mesure de la réduction de la longueur de la grille, cet effet devient de plus en plus significatif.

L'effet de canal court s'explique par une perte de contrôle de la charge du canal par la grille, ce qui a pour conséquence de réduire la tension de seuil. Cet effet est très important pour les transistors MOSFET sur substrats massifs, mais dans le cas du SOI et en particulier pour les transistors totalement désertés, l'espace de charge dans le film de silicium reste très bien contrôlé par la grille. Comme conséquence, les effets de canal court sont réduits en comparaison des transistors MOSFET sur substrat massif [38].

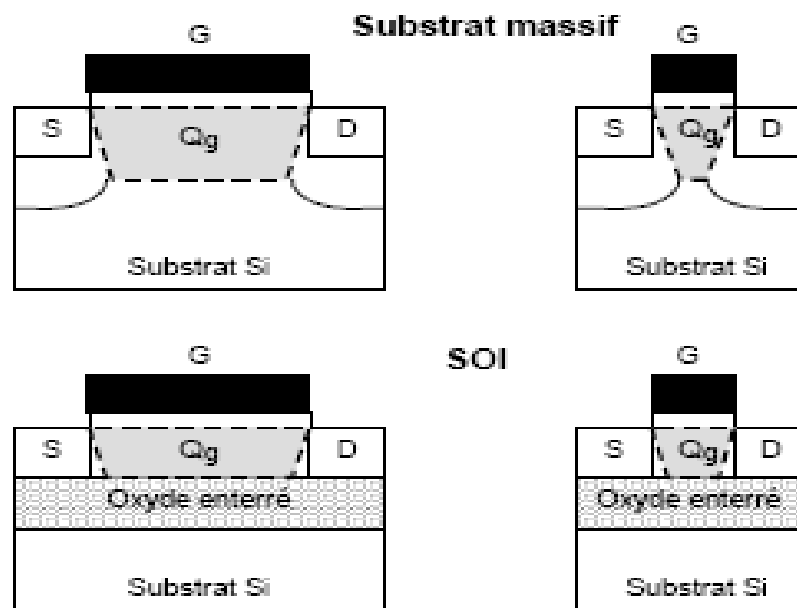


Figure II.26 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (gauche) et à canal court (droite) [38].

II.6.2.7. Meilleure pente sous seuil inverse

La pente sous seuil inverse est définie comme l'inverse de la pente de la courbe courant de drain fonction de la tension de grille en régime sous seuil. Le courant sous seuil d'un transistor MOS est un courant de diffusion des porteurs minoritaires. L'inverse de la pente sous seuil d'un MOSFET SOI est plus faible que celle d'un transistor sur substrat massif ayant les mêmes caractéristiques. La meilleure valeur de pente sous seuil des transistors SOI permet d'utiliser des valeurs de tension seuil plus petites sans augmenter le courant de fuite au potentiel de grille égal à zéro. De ce fait, de meilleures performances de vitesse pour les circuits numériques peuvent être obtenues, particulièrement pour des tensions d'alimentation plus faibles.

II.6.3. Fonctionnement des transistors MOSFET sur SOI

Cette partie présente les propriétés physiques et le fonctionnement électrique des transistors sur substrat SOI partiellement déserté et totalement déserté.

II.6.3.1. Transistors partiellement et totalement désertés

L'épaisseur de la couche active de silicium Si est un des paramètres clés dans la classification et le fonctionnement des transistors MOS sur SOI. On verra par la suite que, selon l'épaisseur entre l'oxyde de la grille et l'oxyde enterré, le fonctionnement et les divers phénomènes physiques dans les composants varient [34].

Sur la figure II.27 est donné le diagramme des niveaux énergétiques des bandes de conduction et de valence du Si (p) et de ses interfaces avec les oxydes, pour un NMOSFET bulk, et deux NMOSFET SOI avec des épaisseurs de couche de Si différentes. Les zones d'interface, entre l'oxyde et le Si, sont désertées des porteurs majoritaires (p+) et une zone de déplétion existe, son épaisseur $X_{dmax} = \sqrt{\frac{4\epsilon_{Si}\Phi_F}{qN_A}}$.

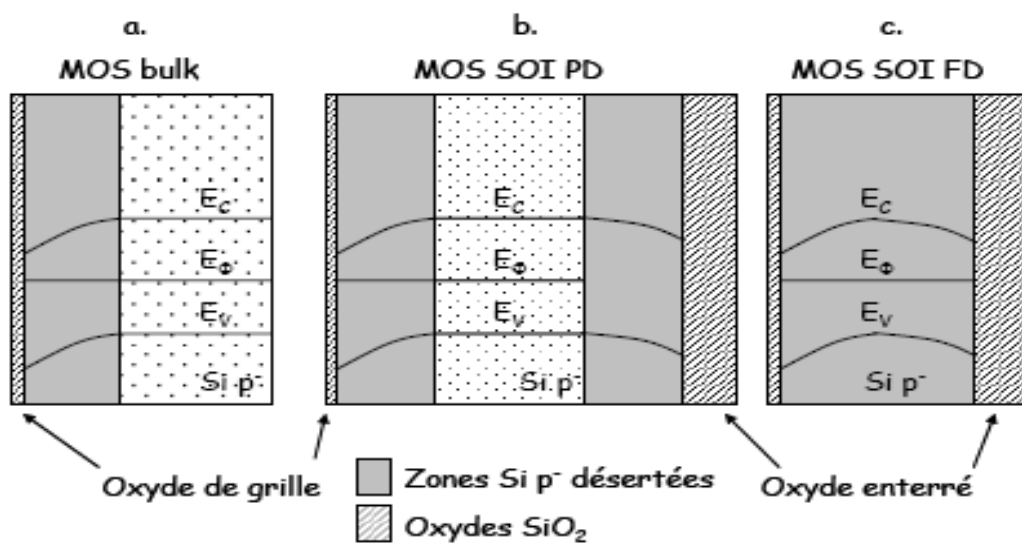


Figure II.27 : Diagramme de bande d'énergie de structures MOS. a. Substrat Bulk, b. Substrat SOI épais et c. Substrat SOI fin [36].

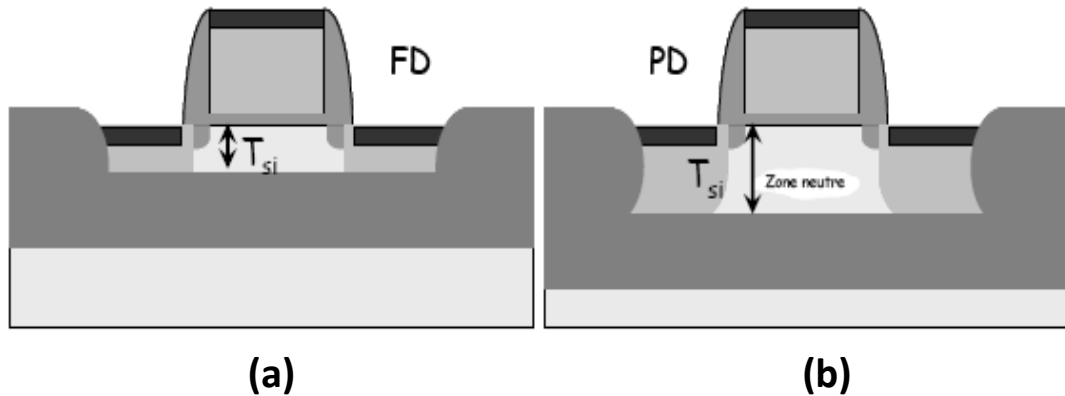


Figure II.28 : Transistors MOS SOI totalement déserté (FD) et partiellement déserté (PD) [36].

Dans le cas où l'épaisseur de la couche active de silicium, T_{si} est supérieure au double de X_{dmax} , les deux zones de déplétion n'interagissent pas et une zone neutre (où les majoritaires sont p) se forme entre elles (figure II.28.b). La zone neutre est appelée communément body. On dit alors que le composant est partiellement déserté (Partially Depleted : PD). Il est important de noter que le potentiel du body est nul au repos (polarisations nulles) et peut varier selon le régime de polarisation et de fonctionnement du transistor PD, mais il reste flottant [35].

Dans le cas où l'épaisseur T_{si} est inférieure à X_{dmax} , les deux zones de déplétion se chevauchent, et le composant est totalement déserté de porteurs de charge majoritaires (Fully Depleted : FD) (figure II.28.a). A cause de l'interaction entre les deux zones désertées, le fonctionnement des composants FD va dépendre du potentiel de la face arrière du substrat [36].

Lorsque l'épaisseur de la zone active T_{si} est comprise entre X_{dmax} et $2 \cdot X_{dmax}$, le transistor est dans un cas intermédiaire. Si le potentiel de la grille arrière est tel que les zones de déplétion avant et arrière ne se touchent pas, le transistor fonctionnera alors comme un transistor PD. Par contre, si le potentiel de la grille arrière induit un chevauchement des deux zones de déplétion, le transistor sera totalement déserté (FD). Dans tous les cas, on peut donc se ramener à l'une ou l'autre des deux familles précédentes.

Les transistors MOS SOI FD sont obtenus en réduisant l'épaisseur de la couche de silicium active à une valeur inférieure à la profondeur de la zone de déplétion dans le canal (typiquement inférieure à 100 nm).

Le très petit facteur substrat des MOS SOI FD est le paramètre clé qui permet d'expliquer leurs hautes performances pour des applications faible tension faible consommation et haute fréquence.

De plus, il est important de noter que la fabrication des transistors FD est plus simple que celle des transistors MOS classique et SOI PD. En effet, la simplicité de la structure du transistor MOS SOI FD comparée à celle du PD apparaît clairement à la Figure II.29.

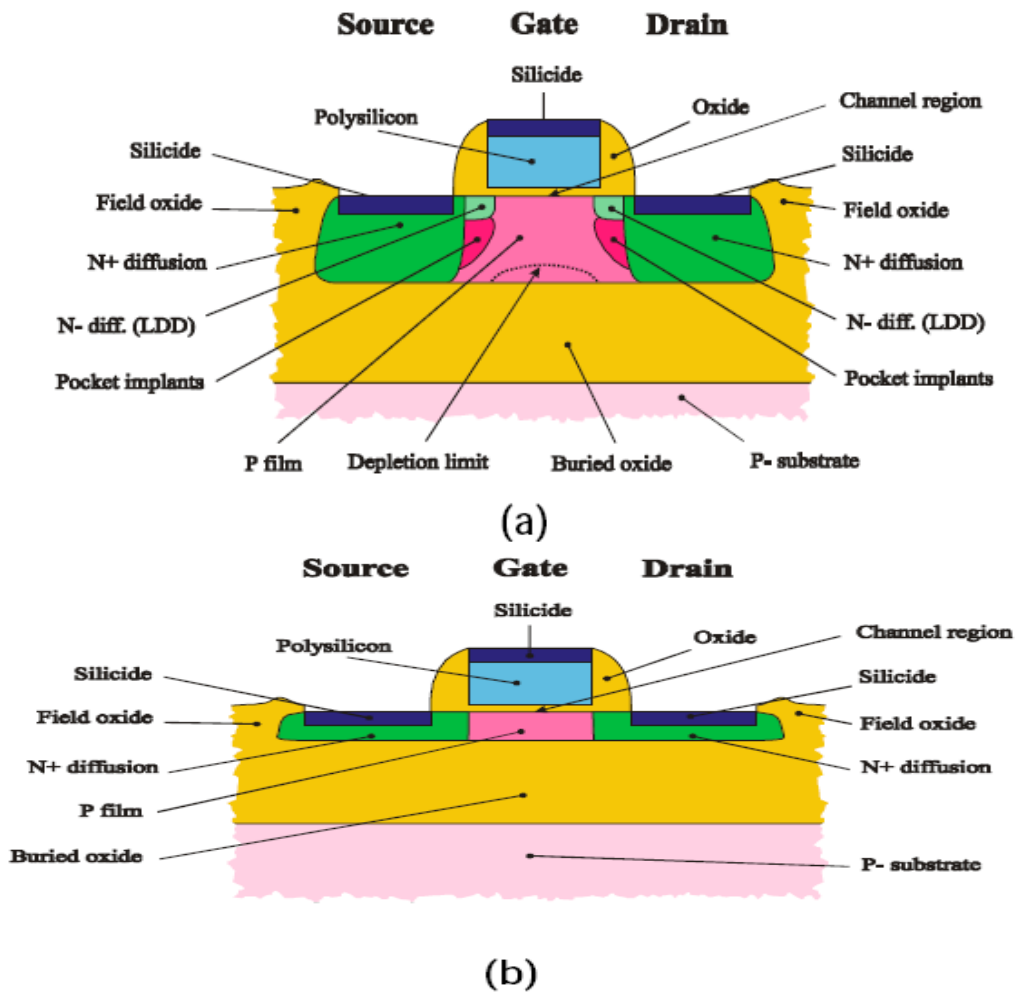


Figure II.29 : Vue en coupe d'un transistor MOS SOI (a)partiellement désertés (PD) et (b) complètement désertés (FD) [37].

Dans le cas des MOS SOI FD, la faible épaisseur du film active de silicium du canal limite fortement l'extension des zones de déplétion associées à la source et au drain, les risques de passage direct source-drain (punch-through) sont pratiquement nuls et la variation de la tension de seuil avec la réduction de la longueur du canal est fortement atténuée. D'autres effets canaux courts tels que la modulation de la

longueur de canal et le DIBL (Drain-Induced Barrier Lowering) sont également moins important dans les dispositifs MOS SOI FD [37].

II.6.3.2. Propriétés électriques des composants PD et FD

Cette partie présente les principales propriétés électriques des transistors SOI PD et SOI FD. Tout d'abord, définissons le coefficient α pour les deux types de composants qui est fonction de la capacité d'oxyde de grille C_{ox1} et de la capacité C_b entre le canal d'inversion et la face arrière du substrat (Figure II.30) :

$$\alpha = \frac{C_b}{C_{ox1}} \quad (II.3)$$

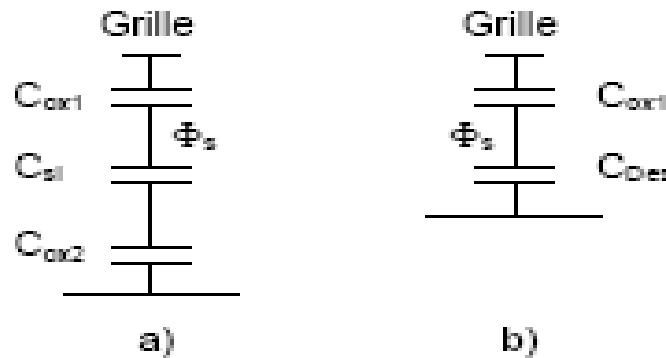


Figure II.30 : Réseaux de capacités vus depuis la grille pour les MOSFET SOI totalement désertés (a) et partiellement désertés (b) [38].

Ce coefficient α est inversement proportionnel au couplage entre le potentiel de grille et le potentiel de surface Φ_s à l'interface Si-SiO₂. Pour les transistors PD, C_b est constituée par la capacité de désertion du film de silicium C_{DES} . Pour les transistors FD, la zone de désertion atteignant l'oxyde enterré, C_b est donc l'association en série de la capacité du film de silicium C_{si} et de la capacité d'oxyde enterré C_{ox2} .

Le coefficient α est donné par les équations suivantes pour les transistors FD et PD :

$$\alpha_{FD} = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si}+C_{ox2})} \quad \text{avec} \quad C_{Si} = \frac{\epsilon_{Si}}{T_{Si}} \quad (II.4)$$

$$\alpha_{PD} = \frac{C_{DES}}{C_{ox1}} = \frac{\epsilon_{Si}}{X_{dmax} C_{ox1}} \quad (II.5)$$

Le couplage est d'autant meilleur qu' α est faible. Typiquement, sa valeur est presque nulle pour les composants FD et dans la gamme 0,3-0,5 pour les transistors PD et les transistors sur substrat massif. Cependant, α augmente avec les réductions des

longueurs de grille, montrant ainsi la perte de contrôle par la grille du potentiel de canal Φ_s , à cause des jonctions de source et de drain [38].

II.6.3.2.1. Courant de saturation

Une expression analytique simple du courant de saturation des MOSFET SOI à canal long est donnée par [38] :

$$I_{DS} = \frac{W}{L} \frac{\mu C_{ox1}}{2(1+\alpha)} (V_{GS} - V_{th})^2 \quad (II.6)$$

où W et L sont respectivement la largeur et la longueur de grille, μ est la mobilité effective des électrons, V_{GS} est la tension grille source et V_{th} est la tension de seuil. A partir de l'équation (II.6), on déduit directement l'expression de la transconductance G_m :

$$G_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{W}{L} \frac{\mu C_{ox1}}{(1+\alpha)} (V_{GS} - V_{th}) = \sqrt{2 \frac{W}{L} \frac{\mu C_{ox1}}{(1+\alpha)} I_{DS}} \quad (II.7)$$

II.6.3.2.2. Mobilité

Longtemps considérée constante dans la couche d'inversion du canal pour les dispositifs MOS, la mobilité est en fait une fonction inverse du champ électrique vertical sous la grille. On peut avancer l'explication suivante : plus le champ électrique est fort sous la grille, plus les porteurs se rapprochent de l'oxyde provoquant ainsi plus de collisions et réduisant ainsi leur vitesse moyenne. Il a été montré que le champ électrique transverse est plus faible pour les transistors FD que pour les transistors PD et sur substrat massif, en particulier au niveau de l'interface oxyde de grille/silicium. La mobilité des porteurs est ainsi améliorée et le courant accru chez les transistors FD [38].

II.6.4. Les effets physiques liés à la technologie SOI

La zone active du transistor est confinée autour de zones isolantes électriques et thermiques. Ainsi, l'évacuation de la température et des charges est plus faible que pour un transistor sur substrat massif. En plus des phénomènes inhérents au MOSFET sur silicium massif, d'autres contributions sont à prendre en compte liés au potentiel flottant de la zone « body ».

II.6.4.1. Les effets thermiques

Lors du fonctionnement d'un MOSFET, la puissance électrique génère une quantité de chaleur par effet Joule. Plus la puissance sera élevée, plus la température du canal augmentera. Cependant, les paramètres physiques tels que la mobilité, la tension de seuil ou la vitesse de saturation sont dépendants de la température. Ces trois paramètres sont liés à la température par les relations empiriques suivantes :

$$\mu_{\text{eff}} = \mu_{\text{eff},T_{\text{amb}}} \left(\frac{T}{T_{\text{amb}}} \right)^{-k_1} \quad (\text{II.8})$$

$$V_{\text{th}} = V_{\text{theff},T_{\text{amb}}} - k_2(T - T_{\text{amb}}) \quad (\text{II.9})$$

$$V_{\text{sat}} = V_{\text{sateff},T_{\text{amb}}} - A_T \left(\frac{T - T_{\text{amb}}}{T_{\text{amb}}} \right) \quad (\text{II.10})$$

où $k_1 \in [1,5 ; 1,7]$, $k_2 \in [0,5 ; 4]$, $A_T = 3,3 \cdot 10^4$. $\mu_{\text{eff},T_{\text{amb}}}$, $V_{\text{theff},T_{\text{amb}}}$ et $V_{\text{sateff},T_{\text{amb}}}$ sont respectivement la mobilité effective, la tension de seuil effective et la vitesse de saturation effective à la température ambiante, T_{amb} . La réduction de la mobilité effective est le facteur limitatif dominant. Lorsque la température ou la puissance dissipée augmente, la mobilité diminue entraînant la décroissance du courant du drain I_{ds} . Ainsi, la puissance dissipée sera plus faible, ce qui va entraîner la diminution de la température. Un phénomène auto entretenu est alors mis en place reliant la température du canal et I_{ds} . C'est l'effet d'auto-échauffement. En conséquence, la caractéristique $I_{\text{ds}}(V_{\text{ds}})$ présente en saturation une décroissance analogue au comportement d'une résistance négative [39].

La chaleur générée est évacuée par l'ensemble du dispositif en fonction du type de matériau et de sa conductivité thermique. Cette dernière quantité varie linéairement en fonction de la température du cristal. D'après les valeurs données au Tableau II.3 pour des matériaux purs [39], la conductivité thermique du silicium est 100 fois plus grande que celle du SiO_2 . Ceci signifie que la chaleur s'évacuera plus aisément par le silicium que par le dioxyde de silicium. Ce dernier agit comme un isolant thermique par rapport au silicium. À remarquer que le cuivre est meilleur conducteur thermique que l'aluminium, d'un rapport de 2.

Valeurs typiques de k à 300°K ($W.m^{-1}.K^{-1}$)	
Silicium	148
SiO ₂	1.4
Aluminium	237
Cuivre	401

Tableau II.3 : Quelques valeurs typiques de la conductivité thermique de cristaux purs à 300°K [39].

La chaleur générée s'évacue donc plus difficilement dans le cas d'un MOSFET comportant un oxyde enterré comparativement à son homologue sur silicium massif. Cette isolation entraîne l'augmentation de la température dans le canal. Par conséquent, les effets d'auto-échauffement sont plus significatifs dans le cas des MOSFET SOI. À noter que les effets d'auto-échauffement sont plus faibles lorsque l'épaisseur du film de silicium diminue dans les MOSFET SOI complètement déserté [39].

II.6.4.2. Les effets liés au potentiel de substrat flottant

Le film de silicium sous le canal d'un MOSFET partiellement déserté présente une zone neutre dopée p. Son potentiel est contrôlé par le courant d'ionisation par impact et des effets capacitifs. Ainsi, le potentiel de la zone de "body" est dit flottant. Les effets liés à ce potentiel de substrat flottant sont décrits dans cette partie.

II.6.4.2.1. Effet « kink »

Lorsque le transistor fonctionne en saturation, le courant de trous lié à l'ionisation par impact devient non négligeable. Les trous sont repoussés par les champs électriques transversal et longitudinal, vers la zone non désertée du substrat où le potentiel est le plus faible. À cause de l'isolation électrique, ces trous s'accumulent dans cette zone pendant toute leur durée de vie voir figure II.31. En augmentant V_{ds} , le courant I_{db} croît ainsi que le taux de trous dans la zone "body". Lié à cette variation de charges dans la zone "body", son potentiel croît jusqu'à ce que la jonction "body/source" devienne passante. Ce potentiel est alors fixé par la tension intrinsèque V_{bs} de cette jonction. Cette augmentation du potentiel de body implique la décroissance de la tension de seuil du MOSFET SOI lié à l'effet "body". Par conséquent, le courant dans

le canal augmente. La barrière de potentiel côté source s'abaisse comme pour le MOSFET sur silicium massif lorsque V_{bs} augmente. Sur la caractéristique $I_{ds}(V_{ds})$, cet effet se manifeste par l'apparition d'une bosse ou "kink" en anglais [39]. Ainsi, après la saturation du transistor, il y a un phénomène de sur-courant, voir figure II.32. L'effet "kink" modifie également la pente sous le seuil de la caractéristique $I_{ds}(V_{gs})$ à fort V_{ds} . Ce phénomène est illustrée à la figure II.33.

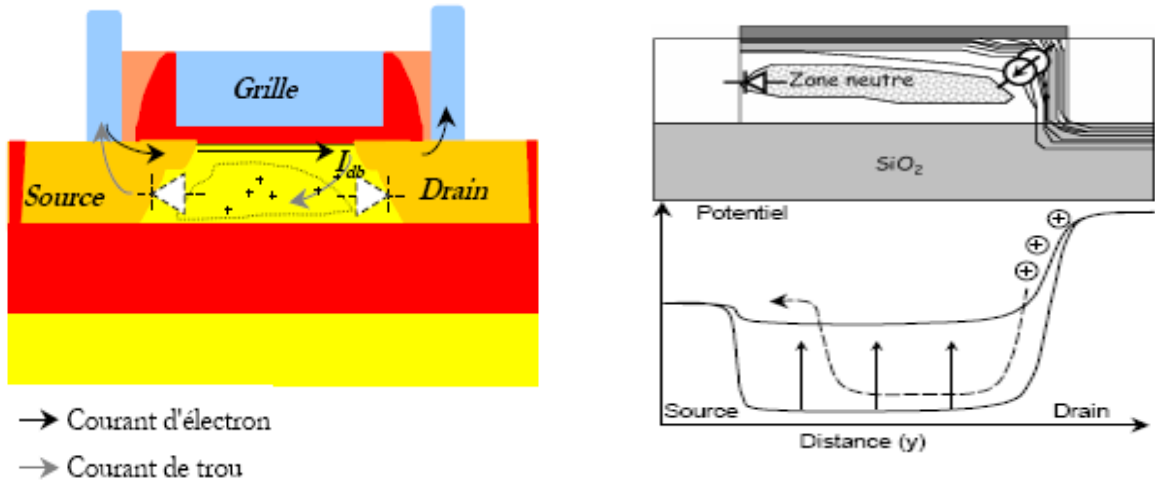


Figure II.31 : MOSFET SOI partiellement déserté avec les effets de substrat flottant l'effet kink [38], [39].

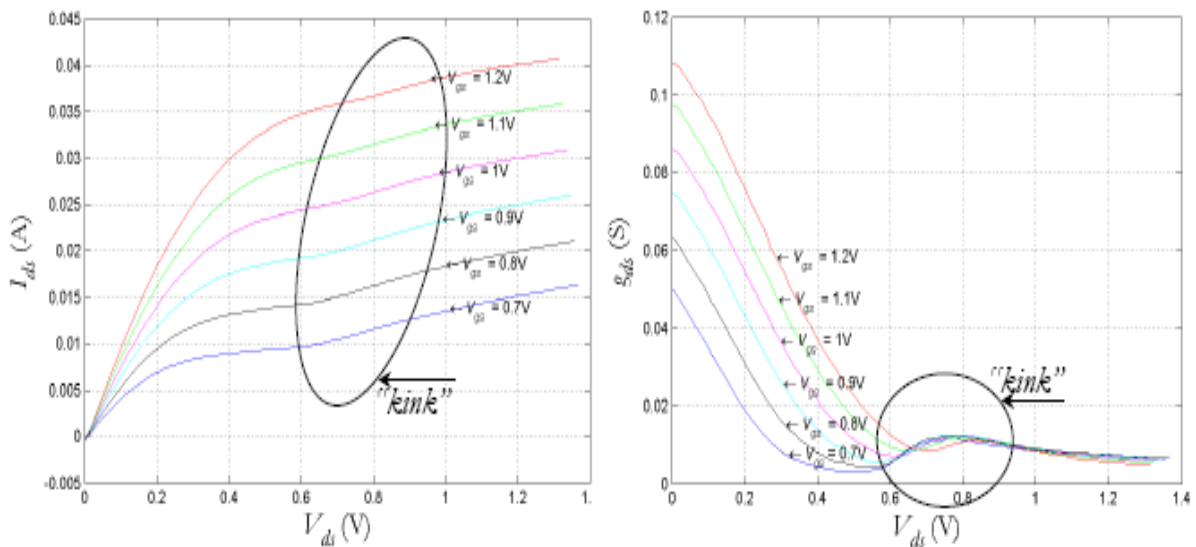


Figure II.32 : Effets liés au potentiel flottant de la zone "body" flottant sur les caractéristiques $I_{ds}(V_{ds})$ et $g_{ds}(V_{ds})$, pour plusieurs polarisations de V_{gs} [39].

L'effet lié au "kink" sur la caractéristique $I_{ds}(V_{ds})$ s'observe également sur la caractéristique $g_{ds}(V_{ds})$, voir figure II.32. Lorsque la jonction source-body se met à conduire, g_{ds} présente un maximum. Cette valeur, $g_{ds, kink}$ varie en fonction de V_{gs} .

Le potentiel de la zone neutre s'écrit [39] :

$$V_b = \alpha \frac{k_B T}{q} \ln \left(\frac{I_{ii}}{I_r} + 1 \right) \quad (\text{II.11})$$

Où I_{ii} est le courant issu de l'ionisation par impact et I_r est le courant inverse qui traverse la jonction "body-source". α est un coefficient d'ajustement.

Ce phénomène est plus important pour des MOSFET SOI partiellement déserté à canal N que pour les transistors à canal P. Dans les deux cas, le principe est identique. Néanmoins, le type de porteur est différent. Pour un dispositif à canal P, les trous participent à la conduction dans le canal. Ceux-ci sont moins énergétiques que les électrons d'un MOSFET à canal N. Ainsi, le taux d'ionisation est plus faible. Par conséquent, le niveau du courant issu de l'ionisation par impact est inférieur à celui d'un MOSFET SOI à canal N [39].

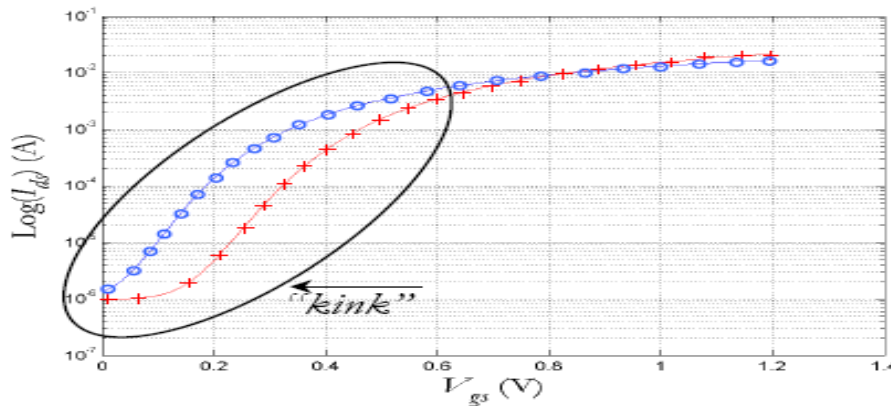


Figure II.33 : Effets "kink" sous le seuil sur la caractéristique $\log(I_{ds}(V_{gs}))$ pour NMOSFET SOI partiellement déserté, + : "body" connecté; o : "body" flottant [39].

Une particularité supplémentaire de l'effet « kink » est sa dépendance fréquentielle à cause de la capacité de la jonction substrat-source d'une part et de la constante de temps du mécanisme de génération/recombinaison d'autre part. Des mesures de la conductance de sortie dynamique ont montré que ce mécanisme disparaissait au-delà de 1 MHz [39]. L'effet « kink » peut être éliminé par l'ajout de prises substrat permettant d'imposer un potentiel externe à la zone interne du substrat des transistors PD. Cependant, ces prises augmentent les capacités parasites et la résistance d'accès de grille, diminuant les performances en fréquence des transistors PD.

Dans les transistors FD (Figure II.34), le champ électrique près du drain est plus faible que dans les transistors PD, ce qui limite le mécanisme d'ionisation par impact, et diminue donc le nombre de paires électron-trou générées. De même que pour les

transistors PD, les trous vont se déplacer vers la zone de plus faible potentiel, près de la jonction de source. Mais celle-ci est déjà polarisée (la barrière de potentiel source-substrat est plus faible car la zone active est totalement désertée), si bien que les trous peuvent rapidement se recombiner dans la source sans augmenter le potentiel du substrat interne. Le phénomène existe donc aussi pour les transistors FD, mais les conséquences sont différentes : le potentiel du substrat est inchangé et la tension de seuil n'est pas modifiée. Les transistors NMOS FD en inversion ne présentent donc pas d'effet kink.

Quant aux transistors PMOS sur SOI, ils ne sont pas sujets à l'effet « kink » car le coefficient de génération des paires électron-trou pour les trous énergétiques est inférieur à celui des électrons énergétiques.

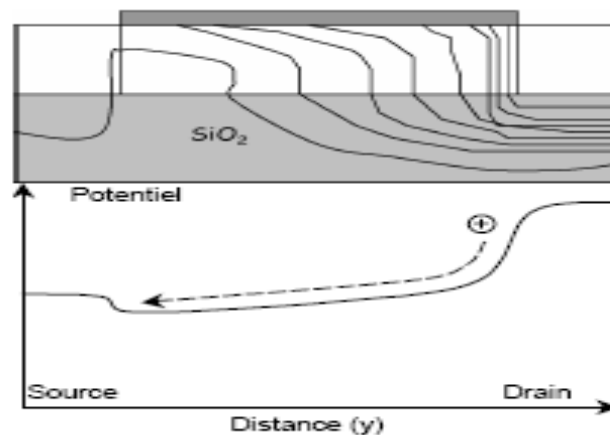


Figure II.34 : Transistors FD sans effet kink [38].

II.6.4.2.2. L'effet GIFBE

Les effets liés aux courants tunnel à travers l'oxyde de grille ont été introduits en premier chapitre. Une composante importante de ce courant est I_{gb} . Dans le cas d'un MOSFET SOI, ce courant a pour effet de moduler la charge présente dans la zone "body". C'est l'effet GIFBE "Gate Induced Floating Body Effect". Parfois, ce phénomène est appelé également LKE – ou "Linear Kink Effect". Un second pic sur g_m est observable lorsque V_{gs} augmente, voir figure II.35. Ce pic est induit par l'activation du courant tunnel EVB, à faible V_{ds} .

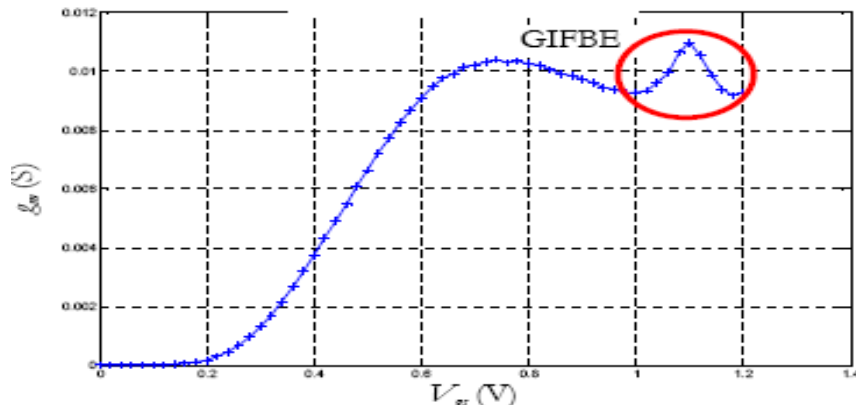


Figure II.35 : Effets GIFBE sur la caractéristique $g_m(V_{gs})$ pour $V_{ds} = 0,3 \text{ V}$. nMOSFET SOI partiellement déserté avec $L_g = 0,5 \mu\text{m}$ et $W = 50 \mu\text{m}$ [39].

II.6.4.2.3. Effet du transistor bipolaire parasite

Avec l'élévation du potentiel du substrat, la jonction "source-body" est activée. Une conséquence de ce phénomène est l'effet "kink" défini précédemment. À noter que les régions n^+ de source et de drain ainsi que la zone substrat forme une structure $n^+/p^+/n^+$ caractéristique des transistors bipolaires, voir la figure II.36. Lorsque le champ électrique longitudinal croît de nouveau, le courant de trous peut devenir assez élevé pour assurer la conduction de ce transistor bipolaire parasite. Ainsi, la base de ce transistor est alimentée par le courant de trou issu de l'ionisation par impact.

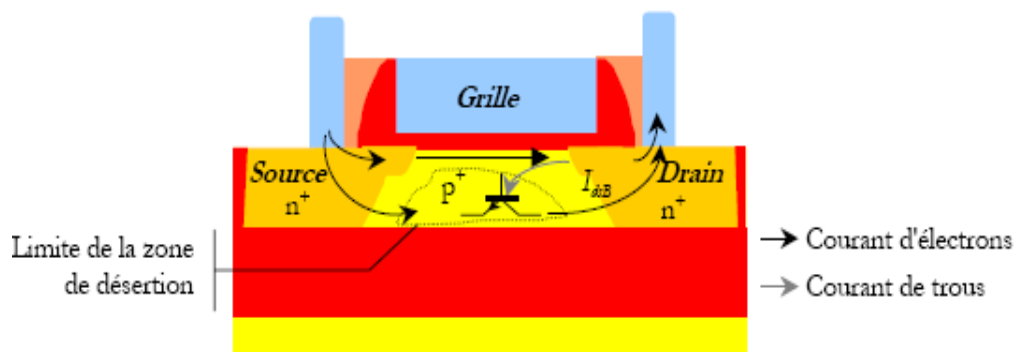


Figure II.36 : MOSFET SOI partiellement déserté avec les effets de substrat flottant – l'effet bipolaire parasite [39].

Un courant supplémentaire I_{dsB} source-drain lié au transistor bipolaire s'ajoute au courant I_{ds} du canal. I_{dsB} correspond au courant de trou amplifié par le gain du transistor bipolaire. Bien que distinct du phénomène d'avalanche lié à l'ionisation par

impact, ce sur-courant apparaît dans la zone de pré-avalanche sur la caractéristique $I_{ds}(V_{ds})$, voir figure II.37.

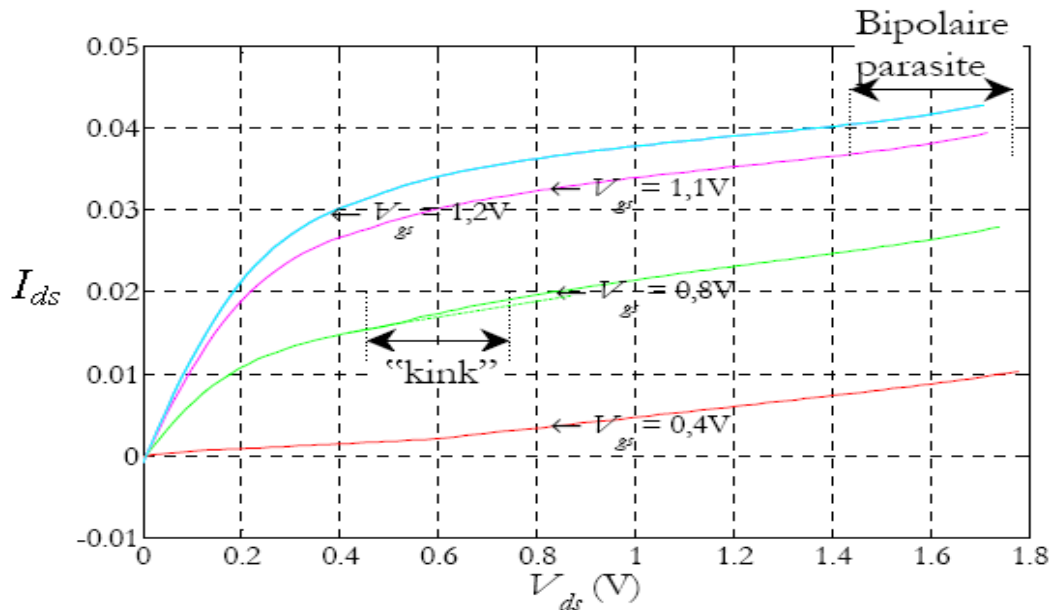


Figure II.37 : Caractéristiques statiques du MOSFET SOI partiellement déserté à substrat flottant [39].

L'effet bipolaire parasite apparaît donc lorsque le MOSFET SOI partiellement déserté à "body" flottant est en inversion forte et en régime de forte saturation. Toutefois, le transistor bipolaire parasite peut également être mis en conduction et commandé par le courant de trou issu de l'effet GIDL pendant le régime d'accumulation. Le courant total dans le drain peut être modélisé par [39] :

$$I_{ds} = \frac{M(\beta'+1)}{1-(M-1)\beta'} I_{gidl} + \frac{M}{1-(M-1)\beta'} I_{ds} \quad (II.12)$$

Où I_{gidl} est le courant de trou issu de l'effet GIDL., β' est le gain du transistor bipolaire parasite. Le gain du transistor bipolaire parasite se situe entre 1 et 1000 pour un MOSFET SOI partiellement déserté. M est le taux d'ionisation par impact [39], ce taux est défini par :

$$M = \frac{a_i}{B_i} (V_{ds} - V_{dsat}) e^{\frac{-B_i l}{V_{ds} - V_{dsat}}} \quad (II.13)$$

$a_i \approx 1,4 \cdot 10^6 \text{ cm}^{-1}$ et $B_i \approx 2,6 \cdot 10^6 \text{ V} \cdot \text{cm}^{-1}$ sont des constantes empiriques, l est la longueur du transistor. La valeur de M s'accroît exponentiellement en fonction de V_{ds} à cause du champ électrique longitudinal. Cependant, la forte injection de trous dans la

zone neutre entraîne la décroissance de β' en fonction de V_{ds} . Finalement, le produit $\beta' (M-1)$ augmente avec V_{ds} . L'avalanche a lieu pour une quantité $\beta' (M-1)=1$. Celle-ci se déclenche prématurément par rapport au MOSFET sur silicium massif [39]. La tension de claquage en fonction du gain du transistor bipolaire est donnée par [39] :

$$V_{dsmax} = V_{dsat} + \frac{B_i \cdot 0,22 \sqrt{1,6 T_{Si}(T_{ox})}^{1/3}}{\ln(1,2(V_{bd} - V_{dsat})(1 + 2\beta'))} \quad (II.14)$$

Le transistor bipolaire parasite induit également des problèmes de consommation et une hystérésis sur la caractéristique $\log I_{ds}(V_{gs})$ [39].

Ainsi, le transistor bipolaire parasite implique des phénomènes perturbateurs pour le bon fonctionnement du MOSFET SOI. Afin de contrôler ces effets, il convient d'optimiser les zones de "pockets", le dopage du canal par un dopage rétrograde à forte énergie, l'épaisseur du film de silicium, la siliciuration et la taille des espaceurs. Lorsque la longueur du canal diminue, le réservoir de trou constitué par la zone "body" se rétrécit. Le champ électrique longitudinal augmente. Les effets de substrat flottant s'accroissent. Finalement, l'effet transistor bipolaire parasite s'amplifie car la zone homologue à la base du transistor bipolaire se rétrécit.

L'effet bipolaire parasite a deux conséquences préjudiciables pour les transistors SOI:

- La destruction du composant pour des tensions de grille supérieures à la tension de seuil et pour des tensions de drain inférieures à la tension de claquage d'un transistor classique sur substrat massif.
- La diminution de la tension de seuil et une pente anormale sous le seuil (inférieure à la valeur de 60 mV/décade prévue en théorie) pour des tensions de grille inférieures à la tension de seuil.

De même que pour le « kink », ce phénomène peut être réduit grâce à des prises de substrat permettant d'imposer un potentiel fixe au substrat, autrement flottant pour les transistors PD. Dans le cas du transistor sur substrat massif, ce phénomène est plus significatif car le substrat est relié à la masse.

II.6.4.2.4. Les effets transitoires

Lorsque la grille passe de l'état bloqué à l'état passant, un pic de courant intervient. Les porteurs majoritaires sont chassés de la région de désertion et sont collectés dans la région neutre. Ces porteurs sont recombinés avec les électrons qui éliminent les

porteurs en excès. Le courant décroît progressivement jusqu'à sa valeur nominale [39].

Le phénomène inverse intervient également lorsque le transistor passe de l'état passant à l'état bloqué. Dans ce cas, le processus de génération des porteurs majoritaires intervient, ce qui décroît progressivement la charge de désertion. Les effets transitoires sont dépendants des effets d'ionisation par impact. Les effets de canal court réduisent le temps de transition.

II.7. Conclusion

Dans ce chapitre, nous avons présenté les matériaux et les techniques industrielles de fabrication des substrats SOI, puis nous avons étudié les structures SOI MOSFET qui sont envisagées comme des candidats susceptibles de réussir l'intégration de composants de dimensions de l'ordre de nanomètres.

Nous avons ensuite comparé la technologie SOI avec la technologie sur silicium massif dont les effets parasites deviennent prépondérants pour les longueurs de grilles submicronique et en limitent ses performances.

La technologie SOI possède des caractéristiques supérieures, comme la réduction des capacités parasites et de l'effet de canal court, qui en font une candidate de choix pour continuer la réduction d'échelle des composants et pour la montée en fréquence des transistors MOSFET.

Ensuite, nous nous sommes intéressés aux propriétés physiques et électriques des transistors MOSFET SOI, aussi bien sur des substrats partiellement désertés que totalement désertés. Malgré les avantages indéniables du SOI totalement déserté comme l'absence d'effets de substrat flottant, l'industrialisation du SOI partiellement déserté est plus avancée, car les composants totalement désertés nécessitent une très bonne maîtrise des étapes de fabrication, en particulier une bonne uniformité de l'épaisseur du film de silicium.

Références chapitre II

- [1] Techniques de l'Ingénieur, E 2 380; S. Cristoloveanu, F. Balestra, « Technologie silicium sur isolant (SOI) ».
- [2] Isabelle BERTRAND 2006 « Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance » Institut National des Sciences Appliquées de Toulouse.
- [3] M. Dentan, « Effet des radiations et du durcissement », extrait de Scintillations, Journal du département d'astrophysique, de physique des particules, de physique nucléaire et de l'instrumentation associée du CEA, No 43, Septembre 1999.
- [4] ITRS site internet : <http://public.itrs.net/>
- [5] R. Dekker et al, « A 10 μ m thick RF-ID tag for chip-in-paper applications » Philips, TU Hamburg, Ecole Nat. Sup. de Physique de Grenoble, Santa Barbara, BCTM 2005.
- [6] MIGAS 2004, G. Celler, "What is SOI? Do we really need it?".
- [7] MIGAS 2004, J.P. Colinge, "SOI Products".
- [8] Journal of Applied Physics, vol. 93, No. 9, May 2003; G.K. Celler, S. Cristoloveanu, "Frontiers of silicon-on-insulator".
- [9] F. Udrea, D. Garner, K. Sheng, A. Popescu, H.T. Lim, W.I. Milne, "SOI power devices", Electronics and Communication Engineering Journal, pp. 27-40, Février 2000.
- [10] MIGAS 2004, Stéphane Renard, « SOI microsystems and MEMS ».
- [11] Brevet US 6,232,140 B1, Ferrari et al., Mai 2001, "Semiconductor integrated capacitive acceleration sensor and relative fabrication method".
- [12] MIGAS 2004, S. Bengtsson, "Other SOI materials".
- [13] Rep. Prog. Phys., 3, p. 327, 1987; S. Cristoloveanu, "Silicon films on sapphire".
- [14] Moriyasu, Morishita, Matsui, Yasujima, "Preparation of high quality silicon on sapphire"; Silicon on insulator technology and devices IX, Electrochemical Society, Pennington, 99-3, 1999, pp. 137-142.
- [15] S. Cristoloveanu, « Silicon On Insulator : Technology, Devices and Challenges », 1999 IEEE.
- [16] Journal of the Electrochemical Society, vol. 132, No. 1, January 1985; G.K. Celler, McD. Robinson, L.E. Trimble, "Dielectrically isolated thick Si films by lateral epitaxy from the melt".

- [17] K.E. Bean, W.R. Runyan, "Dielectric Isolation: Comprehensive, Current and Future", *Journal of Electrochemical Society*, vol. 124, No. 1, Janvier 1977, pp. 5C-12C.
- [18] <http://www.canon.com/technology/mcat/09.html>
- [19] *Applied Physics Letters*, vol. 64, No. 16, p. 2108-2110, April 1994; T. Yonehara, N. Sato, "Epitaxial layer transfer by bond and etch back of porous silicon".
- [20] *Solid State Technology*, vol. 46, No. 3, p. 88, June 2000; K. Sakaguchi, T. Yonehara, "SOI wafers based on epitaxial technology".
- [21] K. Sakaguchi, K. Yanagita, H. Kurisu, H. Suzuki, K. Ohmi, T. Yonehara, "ELTRAN by splitting porous Si layers", *Proceedings of 195th International SOI Symposium*, vol. 99-3, Electrochemical Society, Seattle, 3 mai 1999, pp. 117-121.
- [22] *Electronics Letters*, vol. 31, No. 14, p. 1201, June 1995; M. Bruel, "A new silicon on insulator material technology".
- [23] B. Aspar, H. Moriceau, E. Jalaguier, C. Lagahe, A. Soubie, B. Biasse, A.M. Papon, A. Claverie, J. Grisolia, G. Benassayag, F. Letertre, O. Rayssac, T. Barge, C. Maleville, B. Ghyselen, "The generic nature of the SmartCut process for thin film transfer", *Journal of Electronic Materials*, vol. 30, n°7, pp. 834-840 (2001).
- [24] M. Watanabe, A. Tooi, "Formation of SiO₂ films by oxygen-ion bombardment", *Japanese Journal of Applied Physics*, Vol. 5, 1966, pp 737.
- [25] Presented at Semiconductor International Korea, March 1986; J.O. Borland, "Advanced epitaxial processing for submicron device technology".
- [26] May 1996; G.W. Neudeck, "Advanced bipolar and SOI-MOS transistor structures using silicon selective and epitaxial lateral overgrowth technology".
- [27] S. Pae, T. Su, J.P. Denton, G.W. Neudeck, J.C. Stout, D.B. Janes, « Multiple layers of silicon-on-insulator (MLSOI) islands fabrication process and fully-depleted SOI pMOSFETs », *Proceedings IEEE International SOI Conference*, Octobre 1998.
- [28] S. Pae, T. Su, J.P. Denton, G.W. Neudeck, « Multiple layers of silicon-on-insulator islands fabrication by selective epitaxial growth », *IEEE Electron Device Letters*, Vol. 20, n° 5, mai 1999, pp 194-196.
- [29] P.M. Zavracky, D.P. Vu, M. Batty, « Silicon-on-insulator wafers by zone melting recrystallization », *Solid State Technology*, Avril 91, pp. 55-57.
- [30] Marc BESCOND 2004 « Modélisation et simulation du transport quantique dans les transistors MOS nanométriques » Thèse de doctorat 2004- UNIVERSITE DE PROVENCE (AIX-MARSEILLE I).

[31] Alexandre VALENTIAN « Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul- Thèse de doctorat 2005 -Ecole Doctorale d'Informatique, Télécommunication et Electronique de Paris.

[34] F.Balestra, "Special Mechanisms in Thin Film SOI MOSFETs", 20th International Conference on Microelectronics, Proceedings, pp. 623 – 632, vol. 2, Sept. 1995.

[35] J.P.Collinge, "Silicon On Insulator Technology: Materials to VLSI", Kluwer Academics Publisher, 1997

[36] Alexandre SILIGARIS « Modélisation grand signal de MOSFET en hyperfréquences : application à l'étude des non linéarités des filières SOI » Thèse de doctorat 2004- UNIVERSITE DES SCIENCE ET TECHNOLOGIES DE LILLE.

[37] Morin DEHAN, Bertrand PARVAIS, Gilles DAMBRINE et Jean-Pierre RASKIN « Intérêts de la Technologie CMOS SOI pour les Applications Micro-ondes Faible Tension Faible Consommation » Université catholique de Louvain, Laboratoire d'Hyperfréquences - Place du Levant, 3,B-1348 Louvain-la-Neuve, Belgique, Email: raskin@emic.ucl.ac.be , Institut d'Electronique et de Microélectronique du Nord (IEMN), Av. Poincaré, BP 69, F-59655 Villeneuve d'Ascq, France.

[38] Christophe PAVAGEAU « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques » Thèse de doctorat 2005 UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE.

[39] <http://docinsa.insa-lyon.fr/these/pont.php?id=daviot>

[40] web.pdx.edu/~jeahuck/file/SOI%20presentation%20slides.pdf

Chapitre III

Résultats et interprétations

Sommaire du chapitre III

III. Résultats et interprétations	119
III.1. Présentation de l'outil de simulation numérique bidimensionnelle SILVACO	119
III.1.1. Présentation du paquet des programmes SILVACO.....	120
III.1.1.1. Les outils de simulation (VWF core tools)	120
III.1.1.2. Les outils interactifs (VWF interactive tools)	120
III.1.1.3. Les outils d'automatisation (VWF automation tools)	120
III.1.2. Présentation d'Atlas	122
III.1.2.1. Logique de programmation.....	125
III.1.2.2. Simulation avec Atlas – SILVACO.....	127
III.1.2.2.1. L'équation de poisson.....	127
III.1.2.2.2. L'équation de continuité.....	127
III.1.2.2.3. L'équation de transport.....	128
III.1.3. Simulation de dispositifs conçus en technologie SOI	128
III.1.3.1. Le maillage dans les transistors SOI MOSFET	128
III.1.3.2. Méthodes numériques utilisées lors de la simulation des transistors SOI MOSFET	129
III.2 Modélisation 2D du transistor SOI NMOSFET	129
III.2.1. Structure SOI NMOSFET simulée par SILVACO	132
III.2.2. Caractéristique de transfert $I_{DS}-V_{GS}$	135
III.2.3. Caractéristiques de sortie $I_{DS}-V_{DS}$	136
III.2.4. Influence des variations des paramètres du SOI NMOSFET sur son courant de drain	136
III.2.4.1. Influence de la variation de l'épaisseur du film de silicium T_{Si} sur les caractéristiques du transistor	137
III.2.4.1.1. Influence de la variation de l'épaisseur du film de silicium T_{Si} sur les caractéristiques $I_{DS}-V_{DS}$	137
III.2.4.1.2. Influence de la variation de l'épaisseur du film de silicium T_{Si} sur les caractéristiques $I_{DS}-V_{GS}$	138
III.2.4.2. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques du transistor	139

III.2.4.2.1. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$	139
III.2.4.2.2. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$	140
III.2.4.3. Influence de la variation de la longueur de la grille L_G sur les caractéristiques du transistor	142
III.2.4.3.1. Influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{DS}$	142
III.2.4.3.2. Influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{GS}$	142
III.2.4.4. Influence de la variation de la longueur du canal L sur les caractéristiques du transistor	143
III.2.4.4.1. Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$	143
III.2.4.4.2. Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{GS}$	145
III.2.4.5. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques du transistor	146
III.2.4.5.1. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$	146
III.2.4.5.2. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$	147
III.2.4.6. Influence de la température	147
III.2.4.6.1. Influence de la température sur les caractéristiques $I_{DS}-V_{DS}$ et $I_{DS}-V_{GS}$	148
III.3. Conclusion	153
Références chapitre III	154

Chapitre III. Résultats et interprétations

III.1. Présentation de l'outil de simulation numérique bidimensionnelle SILVACO

SILVACO est une société Américaine, « Silvaco International » siégeant à Santa Clara en Californie. Elle est l'un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation utilisant les éléments finis et de conception assistée par ordinateur TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception des dispositifs.

Le développement de SILVACO, les ventes et les équipements de soutien sont stratégiquement localisés dans le monde entier pour soutenir la clientèle. Une majeure partie du modèle des affaires de SILVACO se fonde sur la capacité de la compagnie à fournir des ingénieurs technico-commerciaux bien formés et expérimentés pour le support à la clientèle sur place dans toutes les régions principales de fabrication des semi-conducteurs [1].

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor MOdeling SofTware) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'apparition de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction de nouveaux modèles de simulation et permet

une amélioration des algorithmes numériques pour une meilleure convergence. En 1997 SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design), c'est un outil permettant la réalisation de schémas électriques (schematic capture), disposition sur circuits imprimés soit alors la réalisation des masques (layout). L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques. Enfin 2004, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques (netlists). En incluant dans sa bibliothèque des modèles plus généraux de la physique des semi-conducteurs, SILVACO permet des simulations plus étendues en balayant toute une gamme de composants électroniques.

III.1.1. Présentation du paquet des programmes SILVACO

Sous SILVACO l'ensemble des outils de simulation et des outils interactifs permettant la conception et l'analyse de la plupart des dispositifs semi-conducteurs s'appelle VWF (Virtual Wafer Fab) [2]. Les composants de base de VWF sont :

III.1.1.1. Les outils de simulation (VWF core tools) : Ces outils permettent la simulation et la visualisation du processus de fabrication du dispositif à concevoir avec la simulation de son comportement électrique. Ses outils de simulation sont Athena, Atlas et SSuprem3.

III.1.1.2. Les outils interactifs (VWF interactive tools) : Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En se basant sur une interface utilisateur qui est le graphique (Graphical User Interface, GUI), le travail d'élaboration du fichier d'entrée devient plus efficace. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnement « VWF automation tools ».

III.1.1.3. Les outils d'automatisation (VWF automation tools) : Ces outils permettent à l'utilisateur d'exécuter des études expérimentales qui serviront de résultats pour l'analyse statistique suivante. Ces outils automatiques se servent de la technologie de base de données répartie et des méthodes de logiciels de transmissions d'interprocessus.

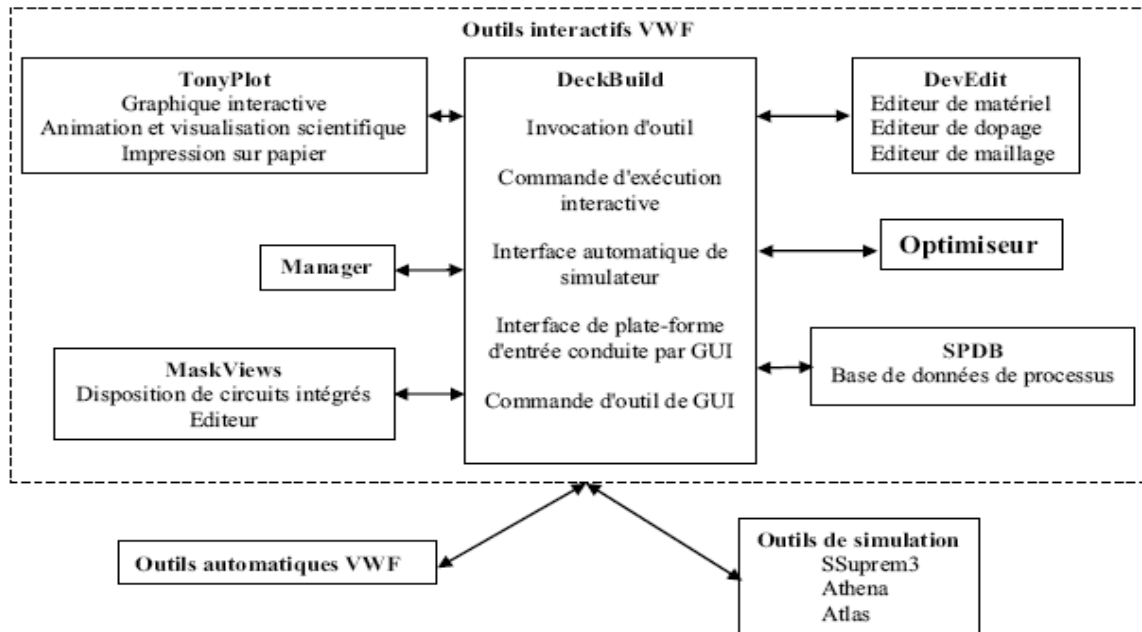


Figure III.1 : Organigramme de la structure VWF [2].

Ainsi les modules de VWF sont les suivants :

- **Pour les outils interactifs VWF**

- **TonyPlot** : outil de visualisation et d'analyse graphique 1D et 2D des résultats des simulations.
- **Manager** : outil de gestion des fichiers utilisés et créés par VWF.
- **MaskViews** : outil de dessin des masques (layouts).
- **DeckBuild** : environnement d'exécution interactif qui permet la simulation des processus et de dispositifs.
- **DevEdit** : outil d'édition de structure, il permet de créer des nouvelles structures ou même de modifier des structures existantes, on peut définir des maillages ou raffiner les maillages existants.
- **Optimiseur** : outil d'optimisation automatique.
- **SPDB** : (Semiconductor Process Data Base), c'est un produit séparé, ce n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés et d'autres données expérimentales.

- **Les outils de simulation sont :**

- **SSuprem3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs.

- **Athena** : simulateur 2D de procédés technologiques qui permet de simuler les différentes étapes effectuées en Salles Blanches et ainsi d'obtenir la structure du dispositif (couches constitutives, dimensions, géométrie) avec les profils de dopage.
- **Atlas** : simulateur 2D et 3D de dispositifs semi-conducteurs qui permet d'obtenir leurs caractéristiques électriques (statiques ou dynamiques).

Par la suite nous allons développer la présentation de l'outil « Atlas » que nous avons utilisé principalement pour effectuer la simulation de notre structure.

III.1.2. Présentation d'Atlas

« Atlas » est un simulateur 2D et 3D des dispositifs basés sur la physique de semi-conducteurs.

Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes physiques internes associés au fonctionnement des dispositifs. Atlas peut être utilisé de manière autonome ou comme un outil noyau dans le milieu de simulation VWF de SILVACO.

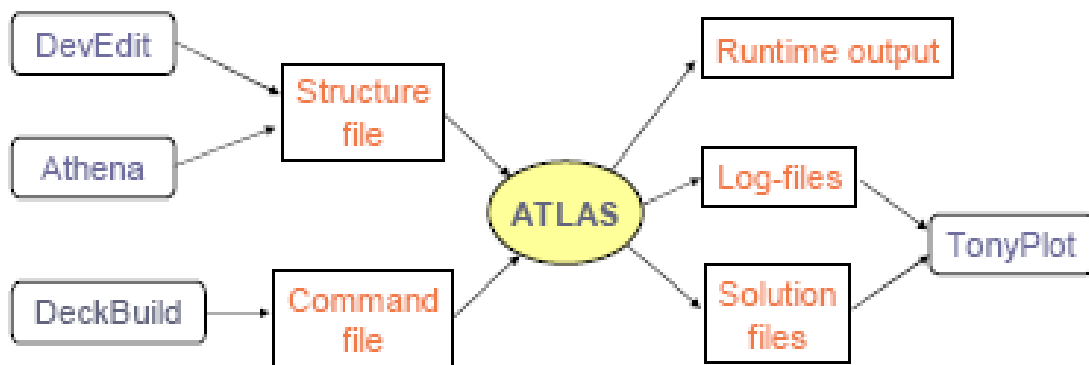


Figure III.2 : Entrées et sorties d'Atlas [3].

Sur le schéma de la figure III.2 nous pouvons distinguer les différentes informations qui circulent en entrée et en sortie « d'Atlas ». La plupart des simulations réalisées par « Atlas » utilisent deux fichiers d'entrée. Le premier fichier est un fichier script contenant les commandes pour qu'Atlas débute l'exécution de ses commandes (représenté par « Fichier de commande »). Le second fichier est un « Fichier de structure » qui définit la structure qui va être simulée. A la sortie « d'Atlas », nous avons trois types de fichiers. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le fichier « log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé (c'est

le fichier du comportement électrique). Le troisième fichier de sortie est le « Fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné (c'est le fichier physique qui peut nous fournir toutes les informations nécessaire concernant la structure conçue). Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

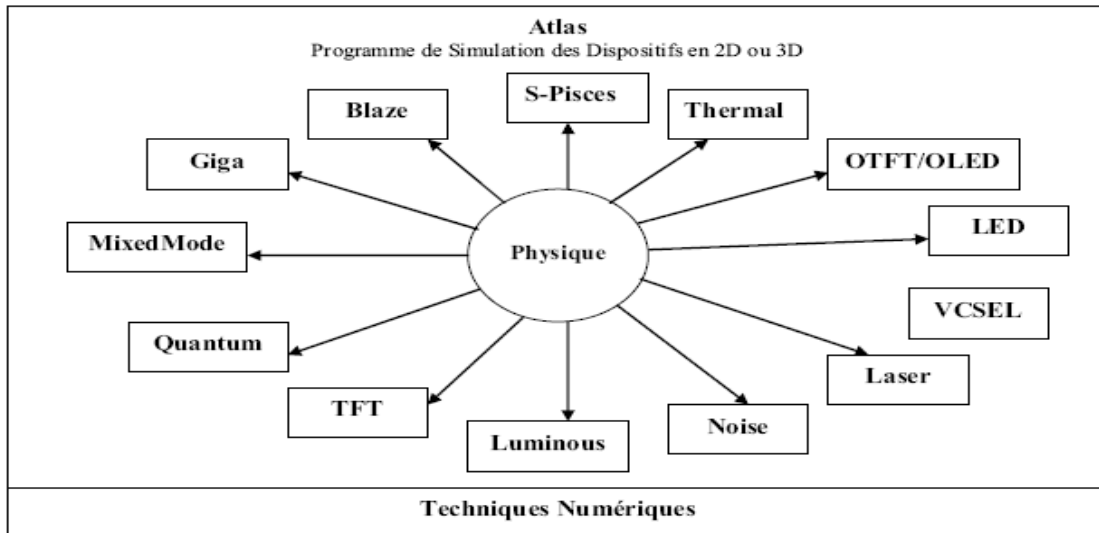


Figure III.3 : Les composants (ou les modules) d'Atlas [3].

En figure III.3, nous pouvons distinguer tous les modules constituant le simulateur « Atlas ». Comme nous pouvons le remarquer le cœur du simulateur est formé de la Physique contenant les modèles mathématiques nécessaire au fonctionnement des dispositifs semi-conducteurs.

Les composants développés autour du noyau physique sont :

- « **S-Pisces** » : programme de simulation des dispositifs 2D ou 3D, il modélise les caractéristiques électriques des dispositifs à base de silicium en incluant divers technologies tel que la technologie MOS (Metal Oxide Semiconductor), la technologie bipolaire, la technologie SOI (Silicon On Insulator), les EEPROM (Electrically Erasable Programmable Read Only Memory) et les dispositifs de puissance. S-Pisces calcule les distributions internes des paramètres physiques et prévoit le comportement électrique des dispositifs à l'état d'équilibre, transitoire ou dans les conditions de courant alternatif en régime petit signal.
- « **Blaze** » : simulateur des dispositifs 2D ou 3D utilisé pour les matériaux III-V, II-VI et des dispositifs avec la structure de bande dépendante de la position (c.-à-d. hétérojonctions). Blaze explique les effets de la structure de bande dépendante de la position par des modifications des équations de transport de charge. Blaze est applicable à une large gamme des dispositifs comprenant : les

HBT (Heterojonction Bipolar Transistor), les HEMT (High Electron Mobility Transistor), les LED (Light Emitting Diode), les détecteurs photoélectriques d'hétérojonction (piles solaires) et les diodes d'hétérojonction.

- « **Giga** » : prolonge « Atlas » permettant l'application le modèle thermodynamique rigoureux de Wachutka. « Giga » et soutenir également les spécifications des environnements thermiques généraux en utilisant une combinaison des structures réalistes de radiateur, des impédances thermiques, et des températures ambiantes indiquées. Une application importante de Giga est la simulation des structures de haute puissance comprenant bipolaire, MOS, IGBT (Insulated Gate Bipolar Transistor), et dispositifs de thyristor. Une autre application importante est la simulation des dispositifs électrostatiques de protection de décharge.
- « **MixedMode** » : simulateur de circuits qui peut inclure des éléments simulés en utilisant la simulation de dispositif (2D ou 3D) et des modèles compacts de circuits. « MixedMode » emploie des algorithmes numériques avancés qui sont efficaces et robustes pour des simulations en courant continu (c.c.), régime transitoire,.... « MixedMode » est typiquement employé pour simuler des circuits qui contiennent des dispositifs semi-conducteurs modélisés compacts. Les modèles compacts disponibles et utilisés en général sont de type SPICE. La logique de programmation pour spécifier les circuits est aussi de type SPICE.
- « **Quantum** » : simule divers effets quantiques
- « **TFT** » : simule les systèmes désordonnés, nous permet de définir une distribution d'énergie dans les états de défauts dans le gap du matériau semi-conducteur. Ceci est nécessaire pour un traitement propre des propriétés électriques des matériaux comme le silicium polycristallin ou le silicium amorphe.
- « **Luminous** » permet de calculer les profils d'intensités optiques dans les dispositifs semi-conducteurs.
- « **Noise** » : simuler le bruit des petits signaux produit par les dispositifs. Le bruit électronique a comme conséquence une dégradation inévitable des performances d'un circuit. Il est important de comprendre les propriétés du bruit pour réduire son effet au maximum.
- « **Laser** » : effectue une simulation couplée électrique et optique des lasers à base des semi-conducteurs.
- « **VCSEL** » : (Vertical Cavity Surface Emitting Lasers) effectue la simulation électrique, thermique et optique des lasers d'émission surfacique de cavités

verticales en utilisant des méthodes entièrement numériques précises, robustes, et fiables et des mailles non uniformes.

- « **LED** » : fournit des possibilités générales pour la simulation des dispositifs de diode électroluminescente.
- « **OTFT/OLED** » : « **OTFT** » simule les caractéristiques des dispositifs réalisés en matériaux organiques (caractéristiques électriques et optiques en courant continu ou transitoire de ceux-ci). « **OLED** » simule des densités d'excitation singulière et triplet.
- « **Thermal** » : résoud l'équation de la chaleur à l'équilibre thermodynamique pour trouver la distribution de la température à l'équilibre en structures 3D planaires et non planaires.

III.1.2.1. Logique de programmation

Après la présentation de la chaîne progicielle TCAD de SILVACO et sa composition interne, nous allons présenter l'ordre des commandes propres à la logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement (Tableau III.1). Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas correctement. Par exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre adéquat, le simulateur ne les prend pas en compte [3].

Groupes	Commandes
1. Spécification de la structure	<ul style="list-style-type: none"> ▪ MESH ▪ REGION ▪ ELECTRODE ▪ DOPING
2. Spécification des modèles de couches	<ul style="list-style-type: none"> ▪ MATERIAL ▪ MODELS ▪ CONTACT ▪ INTERFACE
3. Sélection de la méthode numérique	<ul style="list-style-type: none"> ▪ METHOD
4. Spécification des solutions	<ul style="list-style-type: none"> ▪ LOG ▪ SOLVE ▪ LOAD ▪ SAVE
5. Analyses des résultats	<ul style="list-style-type: none"> ▪ EXTRACT ▪ TONYPLOT

Tableau III.1 : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes).

Les commandes fondamentales sont :

- **MESH** : cette commande produit un maillage ou lit un maillage qui a été défini auparavant. L'élément de maille utilisé est le triangle.
- **REGION** : permet de localiser une région par ses coordonnées lui permettant d'être localisée dans la structure complète.
- **ELECTRODE** : indique la situation géométrique et les noms des électrodes dans une maille précédemment définie.
- **DOPING** : indique analytiquement des profils de dopage ou prend des profils déjà prédéfinis dans les fichiers dédiés.
- **MATERIAL** : associe des paramètres physiques aux matériaux dans la maille. (Il faut faire attention parce que le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard)
- **MODELS** : indique le modèle physique utilisé lors de la simulation, ils indiquent les implications de différents mécanismes physiques, de modèles ou de paramètres tels que la température globale pour la simulation.
- **CONTACT** : indique les attributs physiques d'une électrode.
- **INTERFACE** : indique les paramètres d'interface aux frontières de semi-conducteur/ isolant. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.
- **METHOD** : place les méthodes numériques à employer pour résoudre les équations et les paramètres liés à ces algorithmes.
- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier. N'importe quel type de donnée, qu'elle soit C.C., transitoire ou C.A., générée par la commande SOLVE et sauvegardé après la commande LOG.
- **SOLVE** : ordonne à l'Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.
- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
- **SAVE** : sauvegarde toutes les informations dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvegardées correspondent à un état électrique bien précis.
- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des fichiers log ou structure.

- **TONYPLOT** : démarre le programme « TonyPlot » de post processus graphique des donnés.

III.1.2.2. Simulation avec Atlas – SILVACO

La simulation dans Atlas se base sur la résolution locale d'équations reliant les concentrations des charges, les potentiels locaux et les phénomènes de transport. Les relations utilisées sont l'équation de Poisson, l'équation de continuité et l'équation de transport.

III.1.2.2.1. L'équation de Poisson

L'équation de Poisson donne la relation entre le potentiel local (ou le champ électrique) et la densité de charge volumique :

$$\text{div}(\varepsilon \nabla \Psi) = -\rho = q(n - p + N_A^- - N_D^+) + Q_T \quad (\text{III.1})$$

Ψ est le potentiel électrostatique local, ε est la constante diélectrique locale du matériau et ρ la densité locale de charge volumique, q est la valeur de la charge d'un électron ($1,6 \cdot 10^{-19}$ Cb), n et p sont respectivement les concentrations volumiques d'électrons et de trous et N_A^- et N_D^+ sont respectivement les concentrations des atomes accepteurs et des atomes donneurs ionisés. Q_T représente la concentration d'ions fixes dus à des défauts des matériaux (pièges).

L'équation de continuité et l'équation de transport relient les concentrations locales de charges aux phénomènes de transport et aux mécanismes de génération – recombinaison.

III.1.2.2.2. L'équation de continuité

L'équation de continuité est donnée séparément pour chacun des deux types de porteurs de charge par :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div}(\vec{J}_n) + G_n - R_n \quad (\text{III.2})$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \text{div}(\vec{J}_p) + G_p - R_p \quad (\text{III.3})$$

\vec{J}_n , \vec{J}_p sont la densité de courant des électrons et des trous, G_n , R_n et G_p , R_p sont respectivement les taux de génération et de recombinaison des électrons et de trous.

III.1.2.2.3. L'équation de transport

Les équations III.1, III.2, et III.3 permettent la simulation des dispositifs. Mais encore d'autres équations secondaires sont nécessaires pour indiquer les modèles physiques particuliers pour: G_n , R_n , G_p et R_p .

Les équations de densité de courant, ou des modèles de transport de charge, sont habituellement obtenues en s'appliquant des approximations et des simplifications à l'équation de transport de Boltzmann. Ces prétentions peuvent avoir comme conséquence un certain nombre de différents modèles de transport tels que le modèle de dérive-diffusion, le modèle de transport de bilan énergétique ou le modèle hydrodynamique. Le choix du modèle de transport de charge aura alors une influence importante sur le choix des modèles de génération et de recombinaison.

Le modèle le plus simple du transport de charge qui est utile est le modèle de dérive – diffusion donnant la relation entre la densité de courant des porteurs et le potentiel électrostatique local :

$$\vec{J}_n = -q\mu_n n \nabla \Phi_n \quad (\text{III.4})$$

$$\vec{J}_p = -q\mu_p p \nabla \Phi_p \quad (\text{III.5})$$

μ_n et μ_p sont respectivement les mobilités des porteurs n et p, et Φ_n et Φ_p les niveaux de potentiel de quasi Fermi. μ_n , μ_p , Φ_n et Φ_p sont calculés à partir de modèles et de lois fondamentales des semi – conducteurs.

III.1.3. Simulation de dispositifs conçus en technologie SOI

La technologie SOI se caractérise par la présence d'un oxyde enterré au-dessous de la surface du silicium actif à une profondeur prédéfinie. L'existence de cette couche enterrée d'oxyde a eu comme conséquence un changement non seulement du processus de fabrication du dispositif, mais également dans la simulation.

La technologie SOI est **actuellement utilisé** pour améliorer les performances du transistor MOS. Cette section récapitule les conditions de simulation pour SOI en utilisant cette technologie particulière comme référence.

III.1.3.1. Le maillage dans les transistors SOI MOSFET

Le maillage élaboré pour un MOSFET sur substrat massif est très semblable à celui d'un MOSFET SOI. L'espacement du maillage vertical est très petit dans la région du

canal sous la grille, la taille exacte du maillage dépend du champ électrique transversal ou de la mobilité surfacique du model choisi.

L'espacement du maillage latéral est le même le long de la longueur du canal pour les dispositifs submicroniques.

Le maillage de la couche d'oxyde enterrée à est moins fin que celui de l'oxyde de grille.

III.1.3.2. Méthodes numériques utilisées lors de la simulation des transistors SOI MOSFET

Les méthodes de calculs numériques mises en œuvre dans les simulateurs utilisent des techniques itératives dont la convergence n'est pas toujours assurée.

L'utilisateur est assez souvent confronté à des problèmes de convergence et doit se préoccuper de l'adéquation de la méthode mise en œuvre aux conditions particulières de sa simulation. En effet, l'efficacité des méthodes proposées varie avec le composant simulé et ses conditions de fonctionnement. Même si la convergence est obtenue, la vitesse de calcul peut être améliorée par une méthode de convergence plus performante.

Dans le cas de la simulation du transistor SOI MOSFET, la méthode de Gummel et de Newton [1] sont les plus utilisées.

La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure (les équations de continuité pour les électrons et les trous et l'équation de Poisson).

La méthode de Gummel, en revanche, consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de Newton réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet a priori de diminuer le temps de calcul.

III.2. Modélisation 2D d'un transistor SOI NMOSFET

Notre travail a consisté à concevoir et à déterminer les performances d'un transistor SOI NMOSFET. Pour cela après l'étape de maillage, nous avons réalisé des simulations numériques en 2D du SOI NMOSFET sous l'outil Atlas simulateur de dispositif de SILVACO.

Une simulation numérique dans SILVACO est constituée de deux étapes principales : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la détermination des choix des modèles physiques et des méthodes mathématique utilisés par le simulateur pour trouver sa solution (Tableau III.2).

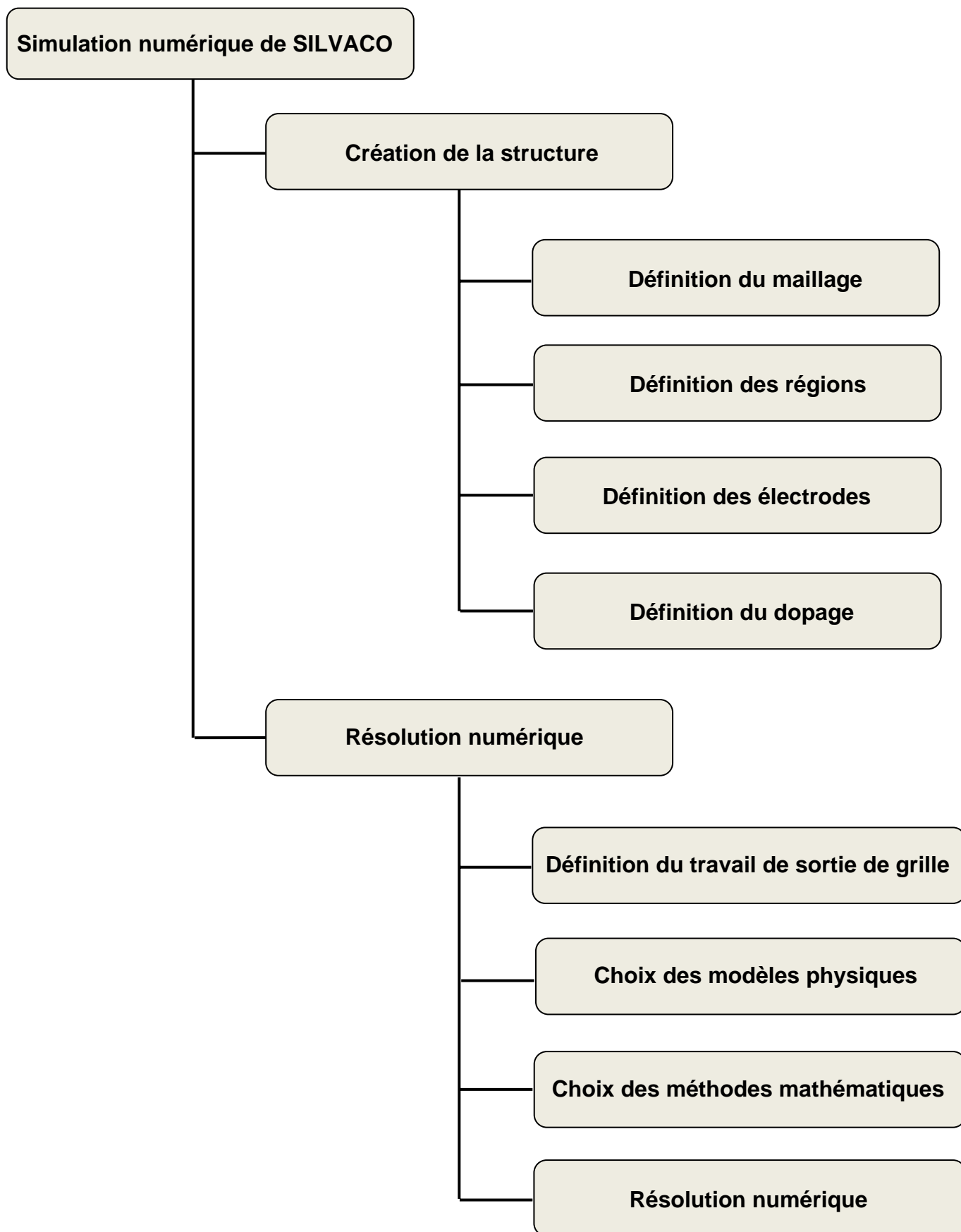


Tableau III.2 : Diagramme de la simulation numérique de SILVACO.

III.2.1. Structure SOI NMOSFET simulée par SILVACO

La structure que nous avons élaboré via Atlas est celle de la figure III.4. Les paramètres technologiques et géométriques de la structure dédiée sont indiqués sur le Tableau III.3.

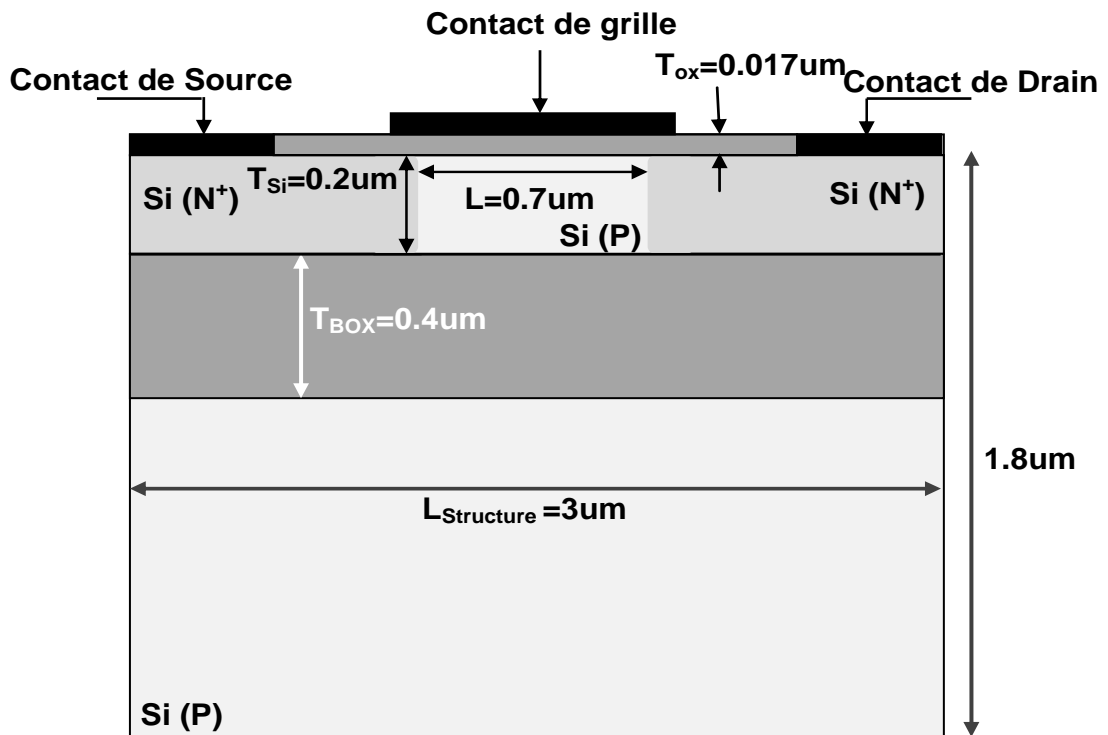


Figure III.4 : Structure SOI NMOSFET.

Longueur de la Source & Drain	1 um
Longueur de la grille	1 um
Longueur du canal	0.7 um
Epaisseur de l'oxyde de grille T_{ox}	0.017 um
Epaisseur du film de silicium T_{Si}	0.2 um
Epaisseur du Box T_{BOX}	0.4 um
Epaisseur du substrat	1.2 um
Profondeur jonction	0.52 um
Dopage du substrat	1×10^{17}
Dopage de la Source & Drain	1×10^{20}

Tableau III.3 : Paramètres du transistor SOI NMOSFET.

Après avoir spécifié la géométrie de notre structure, nous abordons notre conception en effectuant un maillage adéquat .Le maillage 2D ainsi réalisé fait l'objet de la figure III.5, On remarque que ce maillage n'est pas uniforme et varie selon la région. Nous avons appliqué un maillage fin pour la région de l'oxyde de grille et la région du film de Silicium. Pour les autres zones (oxyde enterré, substrat de Silicium), les mailles définies sont plus grossiers.

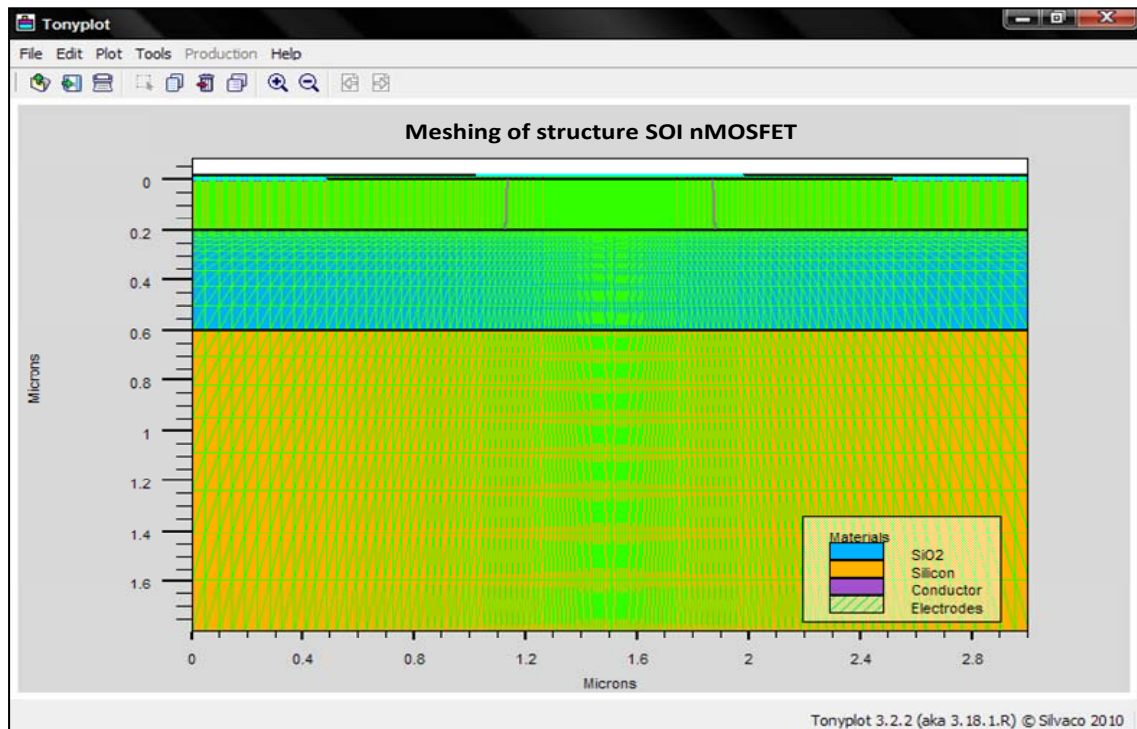


Figure III.5 : Maillage de la structure SOI NMOSFET.

La seconde étape lors a consisté à définir nos diverses régions et nos électrodes. Ceci est bien indiqué sur la figure III.6.

Les différentes concentrations des dopants des régions extrinsèques, les diverses grandeurs tel que : longueurs du canal, profondeur de jonctionsont respectivement donnés au tableau (Tableau III.3).

La figure (III.6) montre la structure SOI NMOSFET élaborée, les régions en couleur violette correspondent aux électrodes (i.e. la source, le drain et la grille), les régions en couleur bleue correspondent aux couches d'oxyde et finalement les régions en jaune représentent le film de silicium et le substrat.

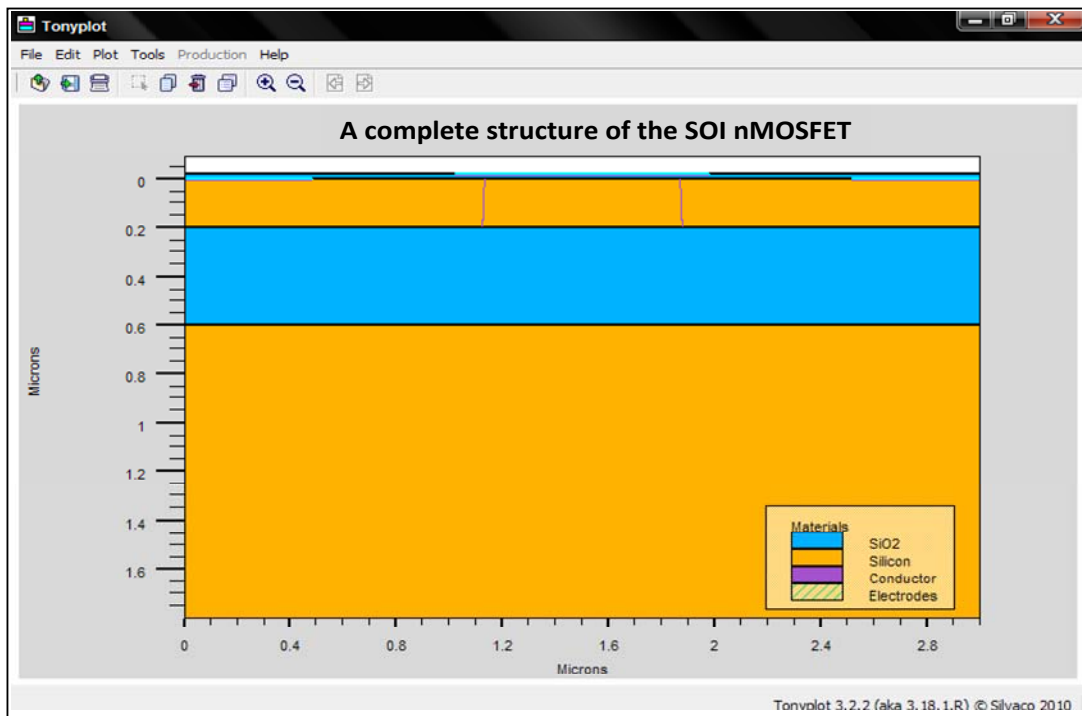


Figure III.6 : Structure SOI NMOSFET réalisée sous Atlas-SILVACO.

Nous présentons aussi le profil de dopage de la structure SOI NMOSFET obtenu via SILVACO.(figure III.7)

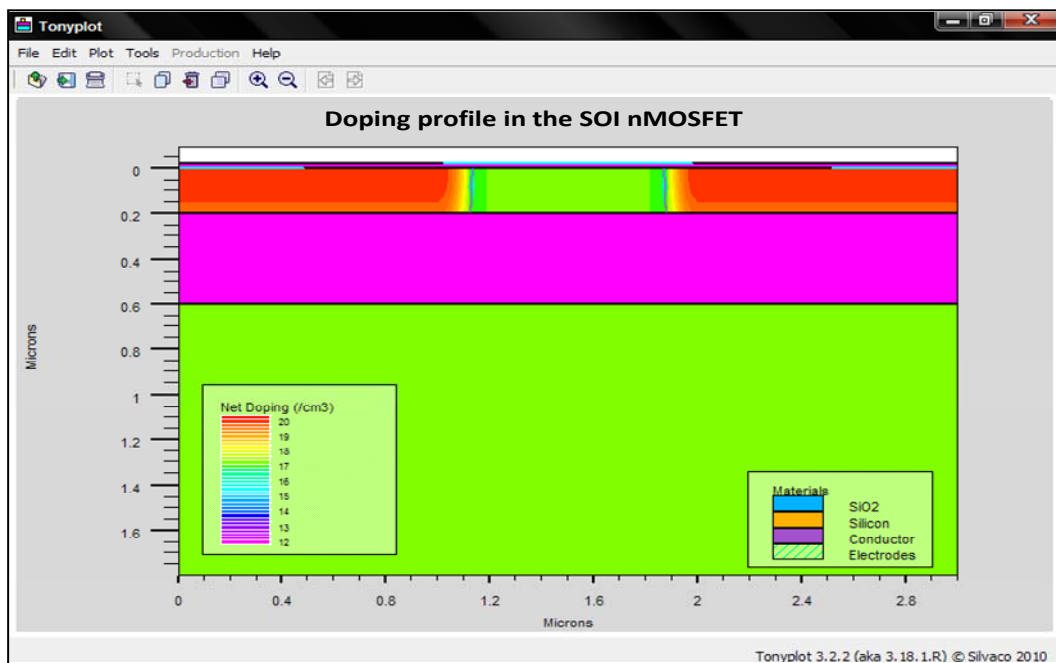


Figure III.7 : Profil de dopage de la structure SOI NMOSFET.

La figure III.8, illustre la structure SOI NMOSFET, avec son maillage et son profil de dopage.

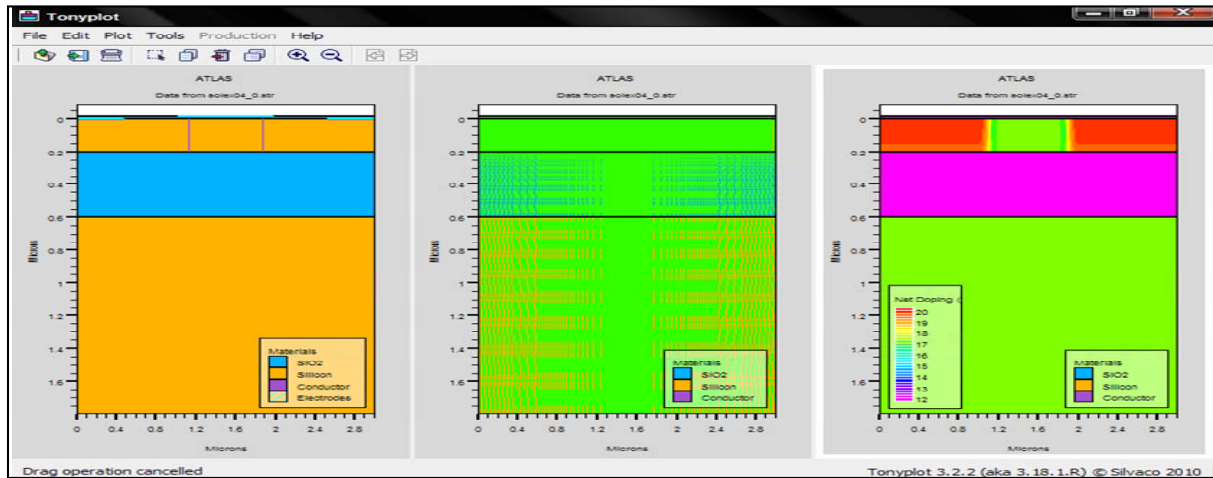


Figure III.8 : Structure, maillage et profil de dopage de la structure SOI NMOSFET.

III.2.2. Caractéristique de transfert $I_{DS}-V_{GS}$

La figure III.9 illustre la caractéristique $I_{DS}-V_{GS}$ du transistor SOI NMOSFET que nous avons obtenu lors de nos simulations avec une tension de polarisation V_{DS} de l'ordre de 0.1 V. Nous pouvons remarquer que notre transistor est passant à partir d'une tension de seuil de l'ordre de 0.64V.

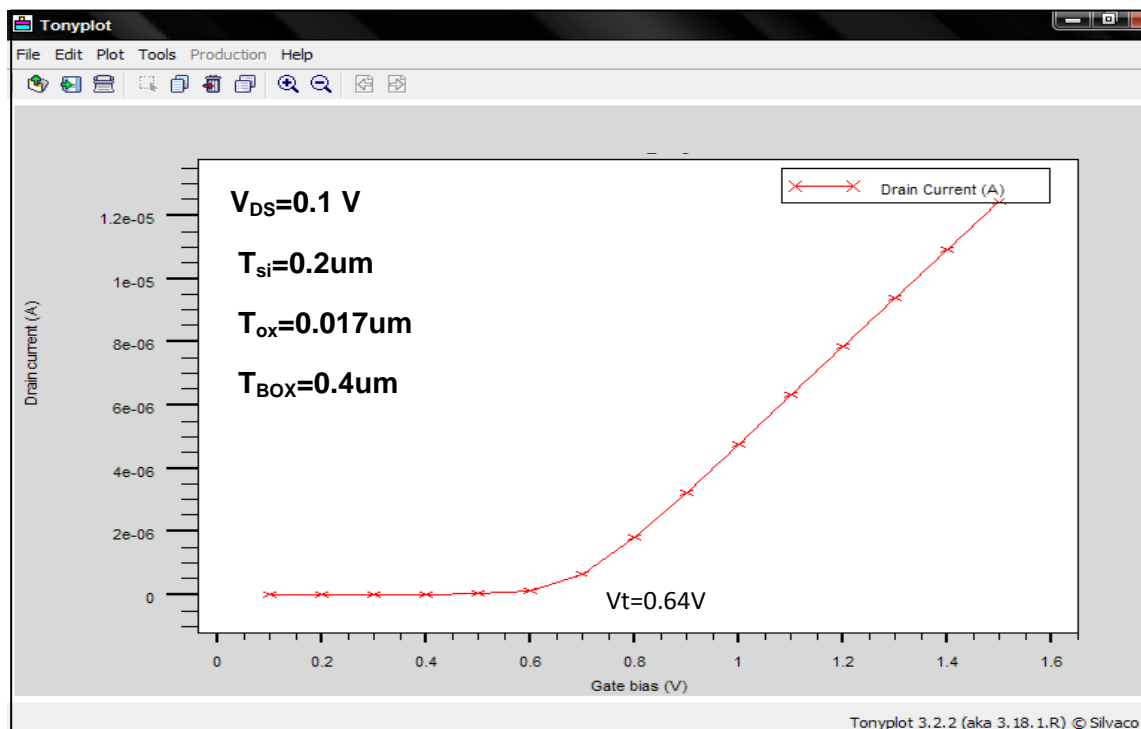


Figure III.9 : Caractéristique $I_{DS}-V_{GS}$ du transistor SOI NMOSFET.

III.2.3. Caractéristiques de sortie $I_{DS}-V_{DS}$

La figure III.10 illustre la variation du courant du drain I_{DS} en fonction de la polarisation drain-source V_{DS} pour plusieurs tensions de la grille V_{GS} soit alors la caractéristique $I_{DS}-V_{DS}$ à V_{GS} constant.

La caractéristique $I_{DS}-V_{DS}$ à V_{GS} constant, permet de mettre en évidence deux effets indésirables pour une telle structure à savoir: l'effet Kink et l'effet du transistor bipolaire parasite.

L'effet Kink apparaît au-delà d'une certaine valeur de la tension de polarisation du drain et résulte du champ électrique élevé dans cette région et du mécanisme d'ionisation par impact. On observe aussi l'effet du transistor bipolaire parasite (phénomène de sur-courant) dans la zone prè-avalanche sur la caractéristique $I_{DS}(V_{DS})$.

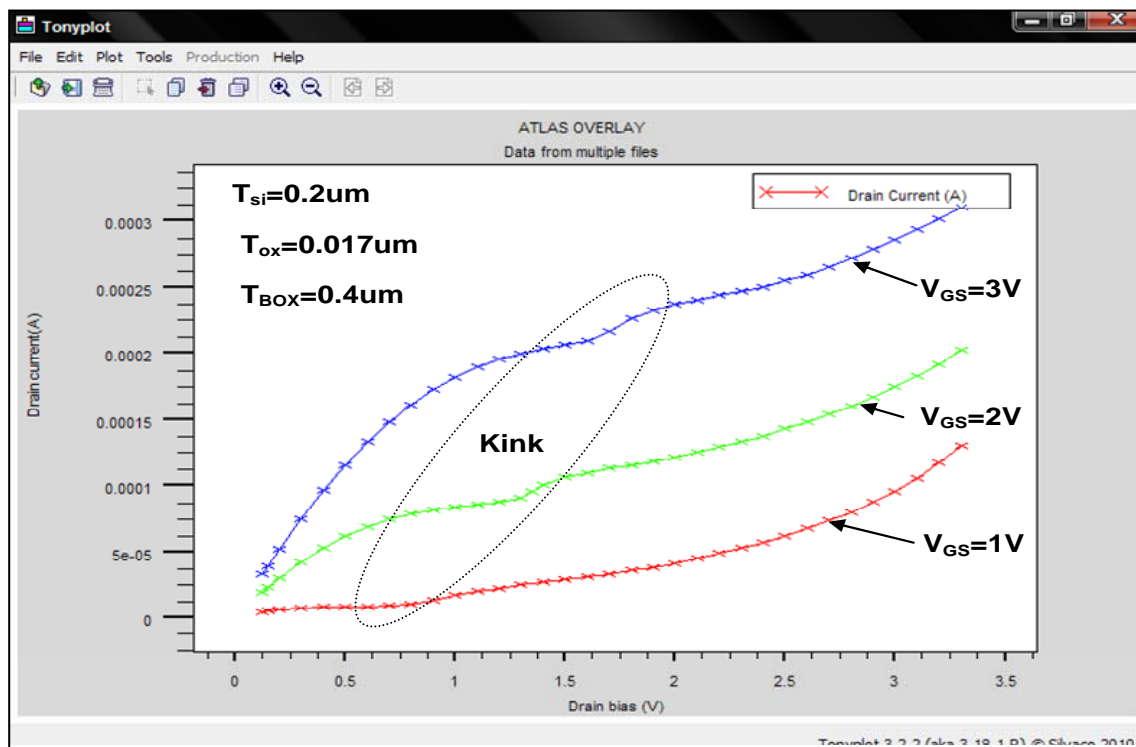


Figure III.10 : Caractéristiques $I_{DS}-V_{DS}$ du transistor SOI NMOSFET.

III.2.4. Influence des variations des paramètres du SOI NMOSFET sur son courant de drain

Afin de mettre en évidence l'effet de la variation des paramètres principaux de notre SOI NMOSFET sur son courant de drain, nous avons effectués divers simulations en faisant varier chacun de ces paramètres puis nous avons suivi l'évolution du courant du drain avec la variation du paramètre considéré.

III.2.4.1. Influence de la variation de l'épaisseur du film de silicium T_{si} sur les caractéristiques du transistor

III.2.4.1.1. Influence de la variation de l'épaisseur du film de silicium T_{si} sur les caractéristiques $I_{DS}-V_{DS}$

L'épaisseur de la couche active de silicium est un paramètre à déterminer judicieusement pour un bon fonctionnement des transistors MOS sur SOI, c'est selon l'épaisseur entre l'oxyde de la grille et l'oxyde enterré, que le fonctionnement et les divers phénomènes physiques dans les composants varient. Notons que la variation du film de silicium T_{si} demande la reconsidération voir une modification de la géométrie pour chacune des valeurs de T_{si} considérée.

La figure III.11 illustre l'effet de la variation de l'épaisseur du film de silicium sur les caractéristiques $I_{DS}-V_{DS}$ où l'on observe clairement la réduction d'effet Kink et l'augmentation du courant de drain quand l'épaisseur du film du silicium T_{si} diminue.

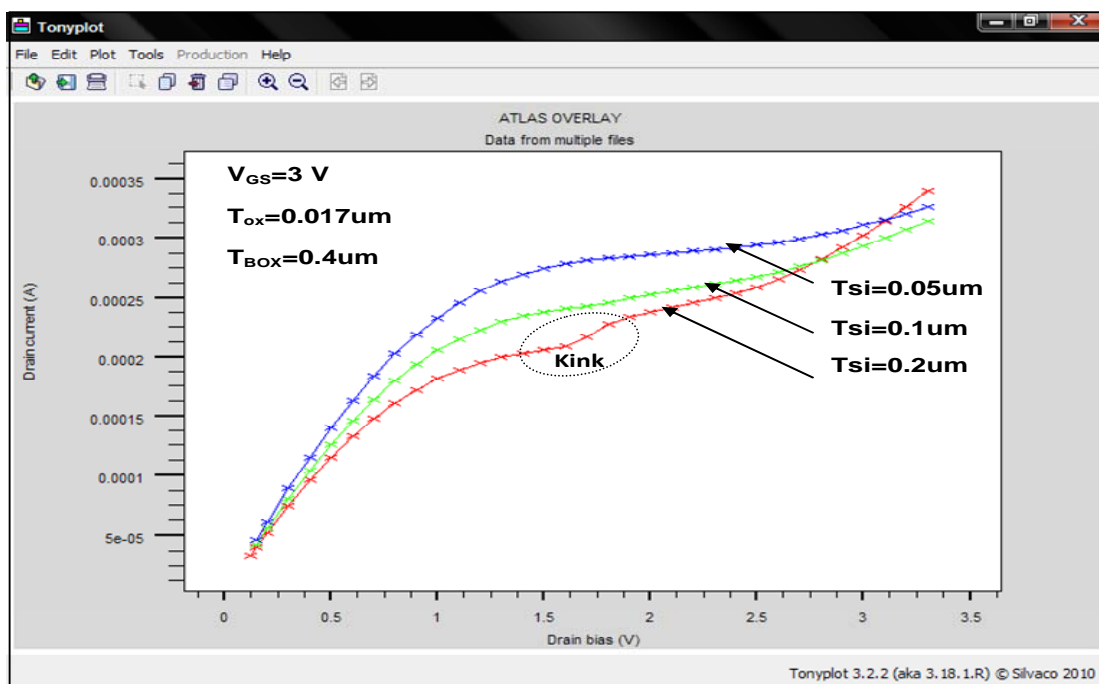


Figure III.11 : Influence de la variation de T_{si} sur les caractéristiques $I_{DS}-V_{DS}$ du transistor SOI NMOSFET.

Lorsque l'épaisseur du film de silicium T_{si} constituant le canal de conduction est importante soit ($T_{si} \geq 0.2\text{ um}$), la zone de désertion sous le canal de conduction ne s'étend pas suffisamment en profondeur pour atteindre l'oxyde enterré. On parle d'un

transistor partiellement désertés (Partially Depleted SOI – PDSOI). Sur la caractéristique $I_{DS}-V_{DS}$ cet effet se manifeste par l'apparition d'une bosse ou "kink". Lorsque l'on réduit l'épaisseur du film de silicium ($T_{Si} < 0.1\mu m$), cette couche de désertion peut atteindre le BOX, on parle alors du transistor totalement déserté (Fully Depleted SOI – FDSOI) Il est possible de noter que l'effet "kink" n'apparaît plus pour les FDSOI MOSFET sur la caractéristique $I_{DS}-V_{DS}$.

III.2.4.1.2. Influence de la variation de l'épaisseur du film de silicium T_{Si} sur les caractéristiques $I_{DS}-V_{GS}$

Un film mince de silicium permet un meilleur contrôle électrostatique de la grille sur le canal ce qui permet la diminution de la tension de seuil (figure III.12).

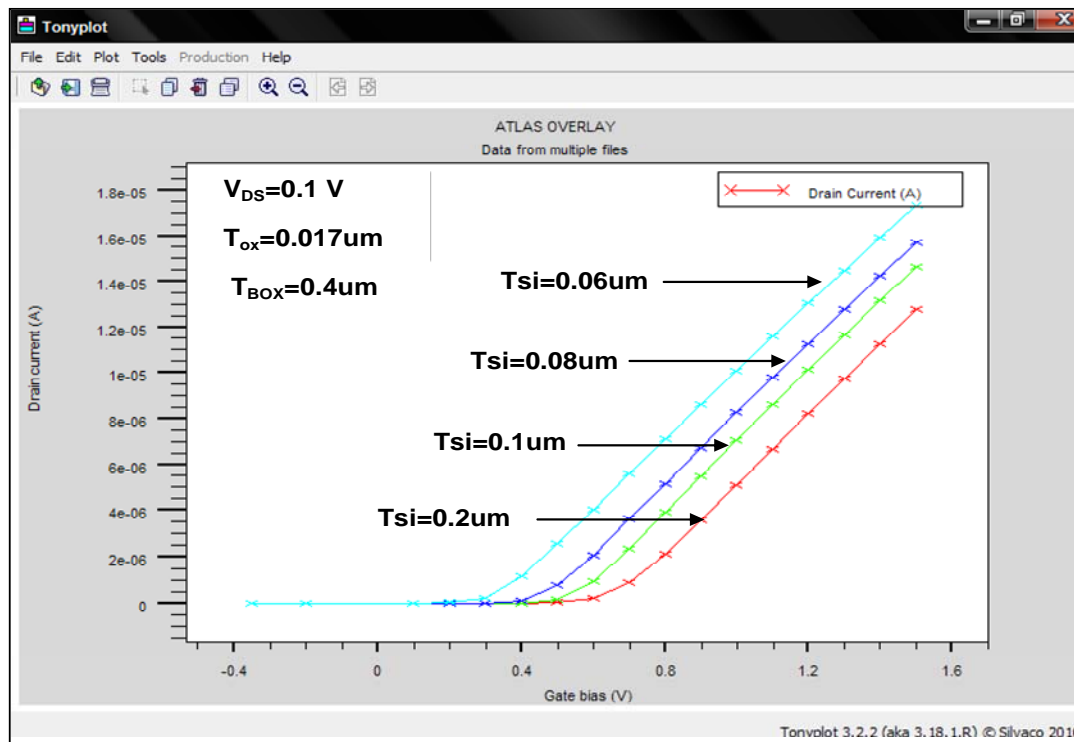


Figure III.12 : Influence de la variation de T_{Si} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor SOI NMOSFET.

La figure III.13, permet de considérer la variation de la tension de seuil avec la variation de l'épaisseur du film de silicium.

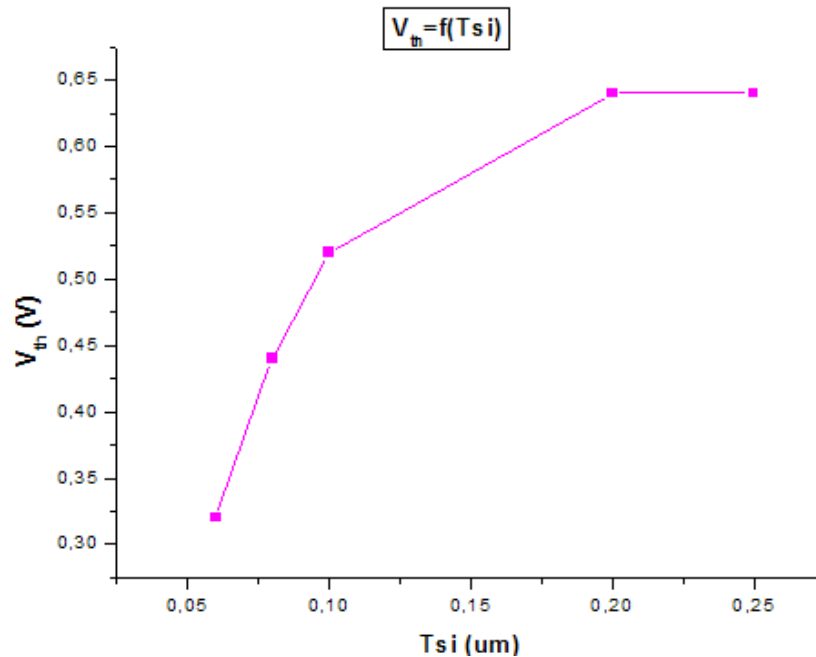


Figure III.13 : Variation de la tension de seuil V_{th} en fonction de la variation de l'épaisseur du film de silicium T_{si} .

III.2.4.2. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques du transistor.

III.2.4.2.1. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$

La figure III.14 illustre les caractéristiques $I_{DS}-V_{DS}$ pour un transistor PDSOI NMOSFET, on observe clairement une augmentation du courant de drain avec une réduction de l'effet Kink lorsque l'épaisseur d'oxyde de grille diminue.

L'épaisseur de la couche d'oxyde de grille détermine la valeur de la capacité de la grille, on remarque d'après l'équation (I.2) de C_{ox} que la réduction de T_{ox} entraîne une augmentation de C_{ox} ce qui mène (d'après l'équation II.6) à une augmentation du courant I_{DS} .

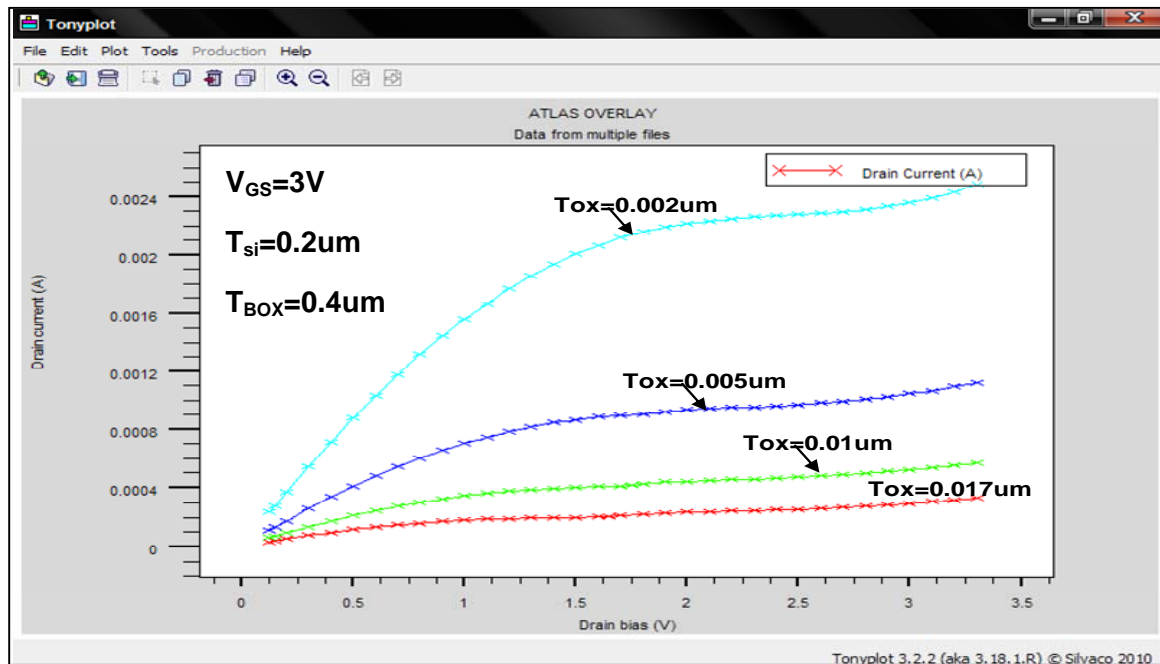


Figure III.14 : Influence de la variation de T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET.

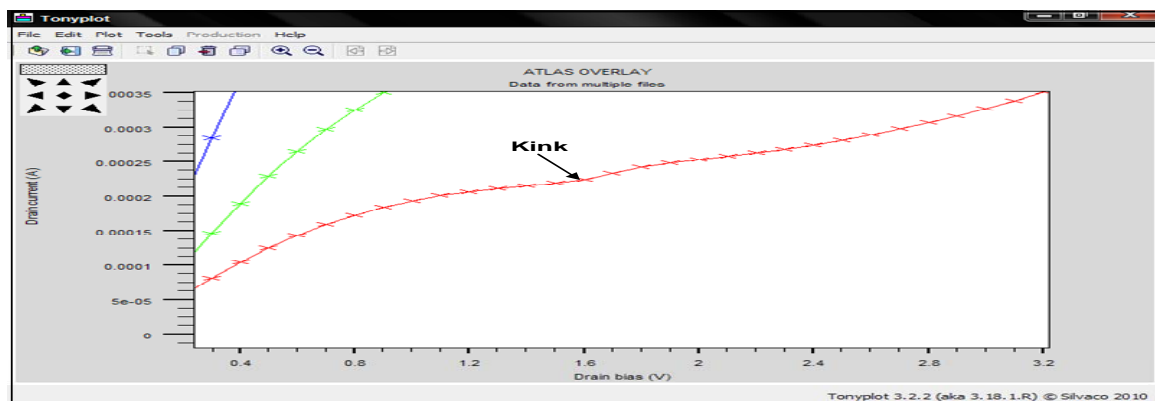


Figure III.15 : Zoom de la caractéristique $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET pour $T_{ox}=0.017\mu m$.

III.2.4.2.2. Influence de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$

La figure III.16, permet de mettre en évidence les effets de la variation de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET

Il apparaît clairement que la tension de seuil diminue avec la réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} . Ce qui peut s'expliquer en considérant l'équation (I.25) permettant de donner l'expression de la tension de seuil V_{th} . En effet l'augmentation de la valeur de C_{ox} dû à la réduction T_{ox} entraîne à une diminution de V_{th} .

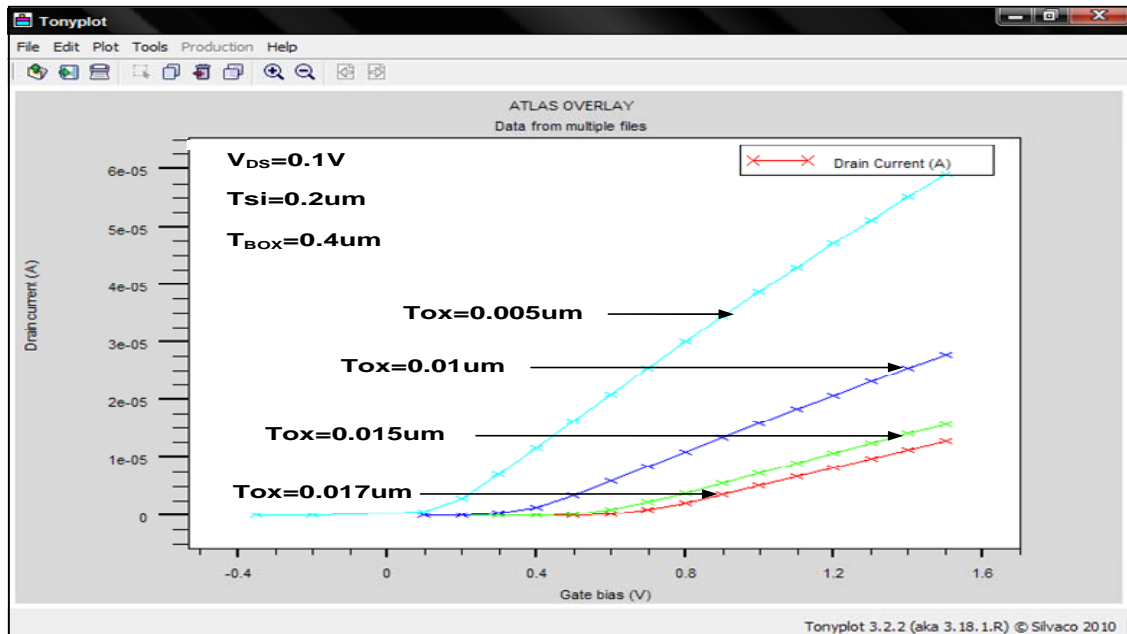


Figure III.16 : Influence de la variation de T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor SOI NMOSFET.

La figure III.17, permet de suivre l'évolution de la tension de seuil V_{th} avec la variation de l'épaisseur de la couche d'oxyde de la grille.

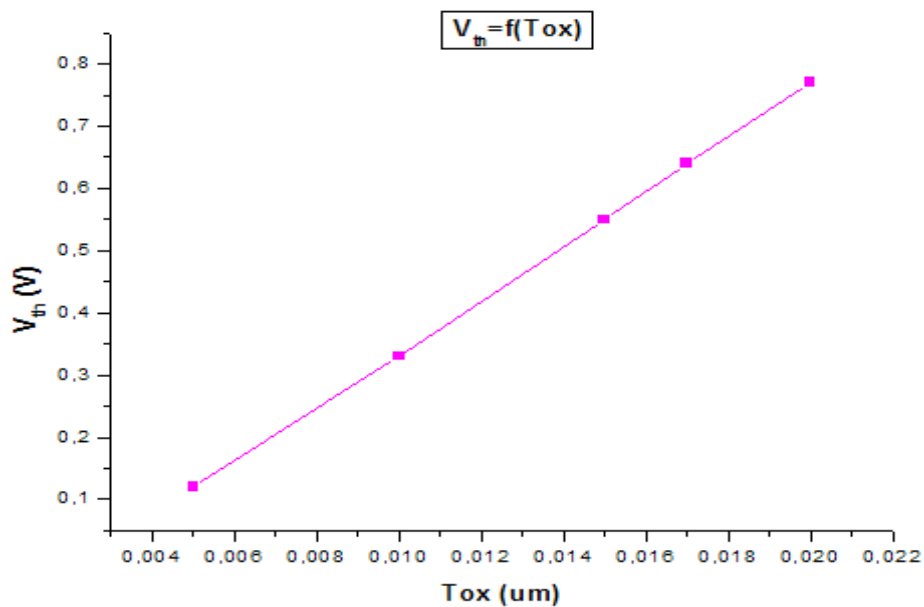


Figure III.17 : Variation de la tension de seuil V_{th} en fonction de la variation de l'épaisseur de la couche d'oxyde T_{ox} .

On peut remarquer que cette variation est linéaire.

III.2.4.3. Influence de la variation de la longueur de la grille L_G sur les caractéristiques du transistor

III.2.4.3.1. Influence de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{DS}$

La variation du paramètre géométrique L_G permet de trouver la longueur de grille la plus adaptée à la structure convoitée. Le paramètre susceptible d'être modifié lors de la réduction ou l'augmentation de la longueur de grille est la valeur du courant de sortie (I_{DS}). En effet la réduction de L_G , entraîne la réduction du courant I_{DS} . La Figure III.18 permet de mettre en évidence l'influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{DS}$.

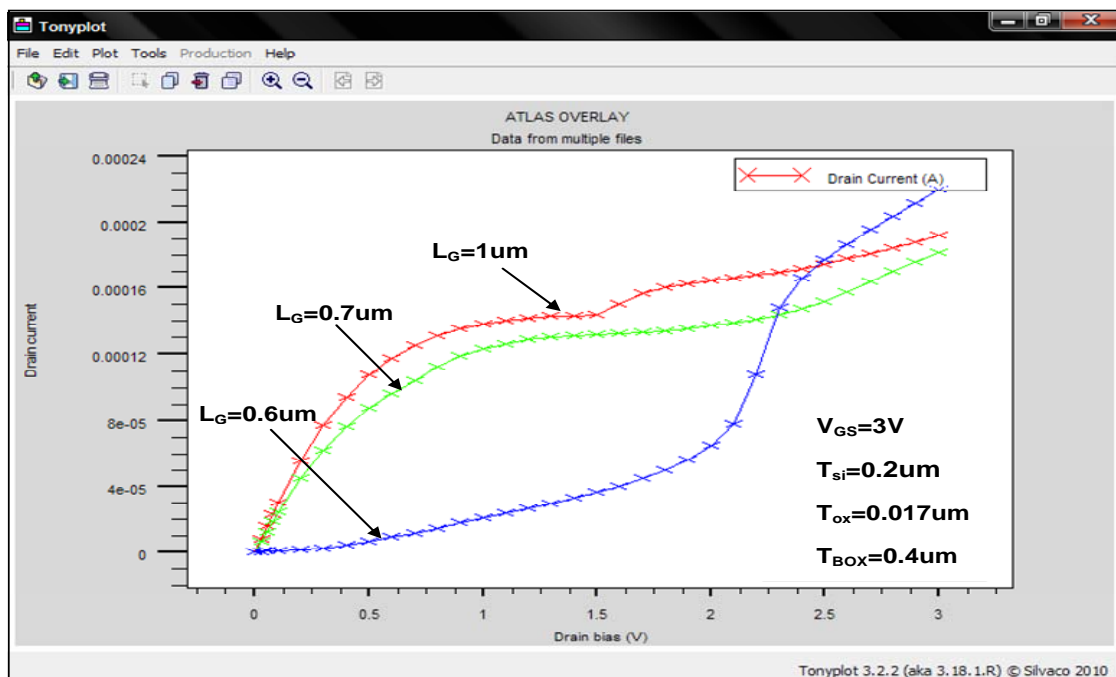


Figure III.18 : Influence de la variation de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET.

Dans notre cas, la valeur L_G optimum est estimée à $1 \mu\text{m}$.

III.2.4.3.2. Influence de la longueur de grille L_G sur les caractéristiques $I_{DS}-V_{GS}$

La figure III.19 permet de mettre en évidence l'effet de la variation de L_G sur ses caractéristiques de transfert pour le transistor PDSOI NMOSFET considéré, On observe clairement que la tension de seuil est presque inchangée pour $L_G = 1 \mu\text{m}$ et pour $L_G = 0.7 \mu\text{m}$. Cependant pour $L_G = 0.6 \mu\text{m}$, il y a une détérioration des caractéristiques de transfert et de sortie (figure III.18). On peut en conclure que la réduction de L_G est à contrôler. La valeur de L_G dans notre structure ne peut pas être inférieure à $0.7 \mu\text{m}$, valeur qui correspond à la longueur effective du canal. On

peut donc conclure que L_G doit être supérieure ou au moins égale à la longueur effective de la grille.

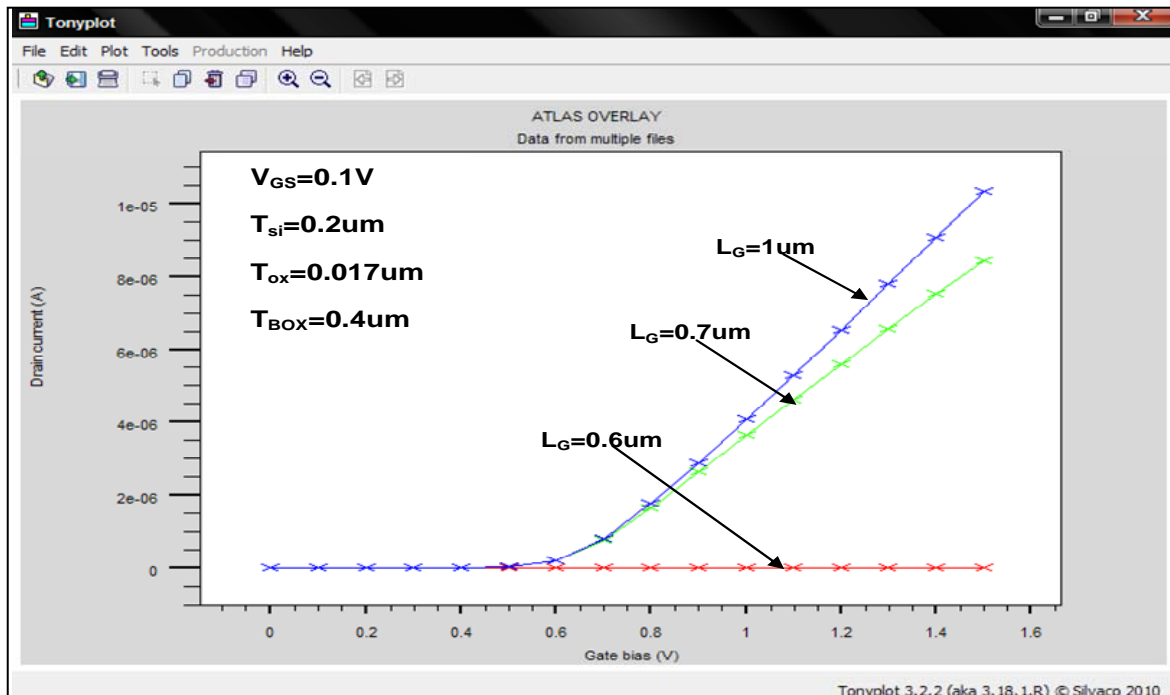


Figure III.19 : Influence de la variation de la longueur de la grille L_G sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET.

III.2.4.4. Influence de la variation de la longueur du canal L sur les caractéristiques du transistor

III.2.4.4.1. Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$

Cette simulation demande aussi de la modification de la géométrie de notre composant. La longueur effective du canal L est aussi une grandeur essentielle permettant d'obtenir une modélisation correcte de notre structure. D'autre part, et d'après la relation (II.6), on remarque que le courant I_{DS} dépend directement des dimensions géométriques du transistor, réduire la longueur du canal L (c'est-à-dire, rapprochant la source du drain), entraîne à une augmentation du courant de sortie : la longueur du canal détermine la rapidité du système : plus elle est petite, moins les électrons ont de distance à parcourir. La Figure III.20 et la figure III.21 représentant respectivement les caractéristiques $I_{DS}-V_{DS}$ du transistor FDSOI NMOSFET et les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET illustrent bien cet effet.

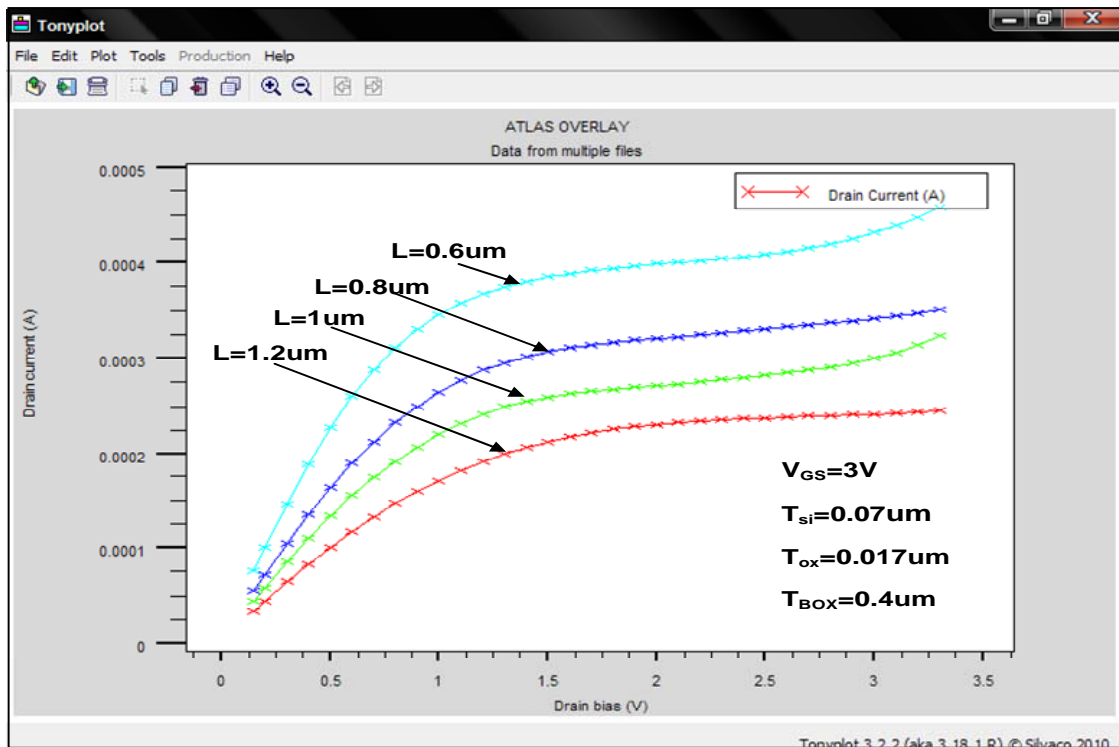


Figure III.20 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$ du transistor FDSOI NMOSFET.

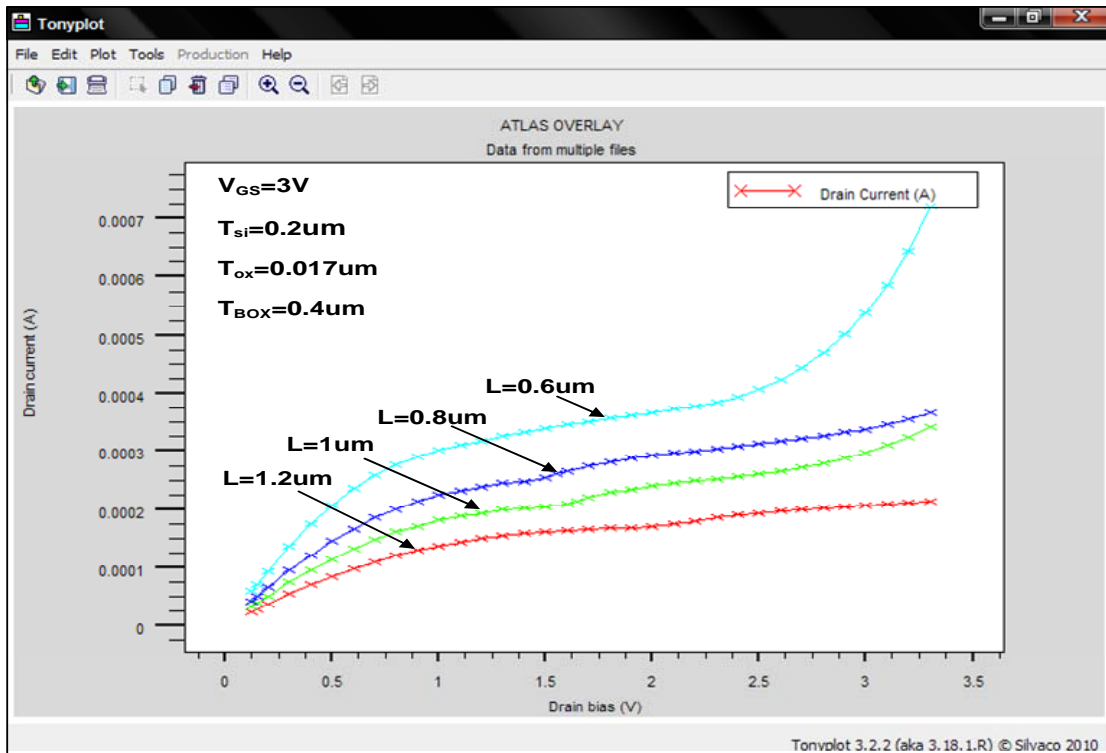


Figure III.21 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET.

III.2.4.4.2. Influence de la variation de la longueur du canal sur les caractéristiques $I_{DS}-V_{GS}$

Les figures III.22 et III.23 représentent respectivement les caractéristiques $I_{DS}-V_{GS}$ du transistor FDSOI NMOSFET et les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET, pour les deux types de transistors, on observe clairement une diminution de la tension de seuil lors de la réduction de la longueur de grille.

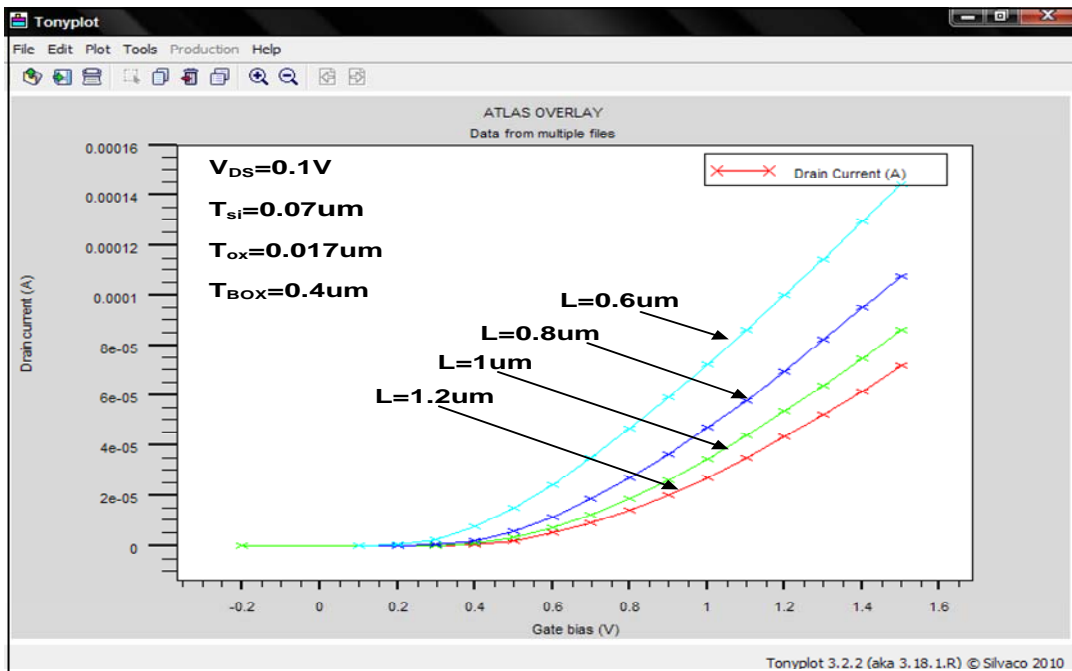


Figure III.22 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{GS}$ du transistor FDSOI NMOSFET.

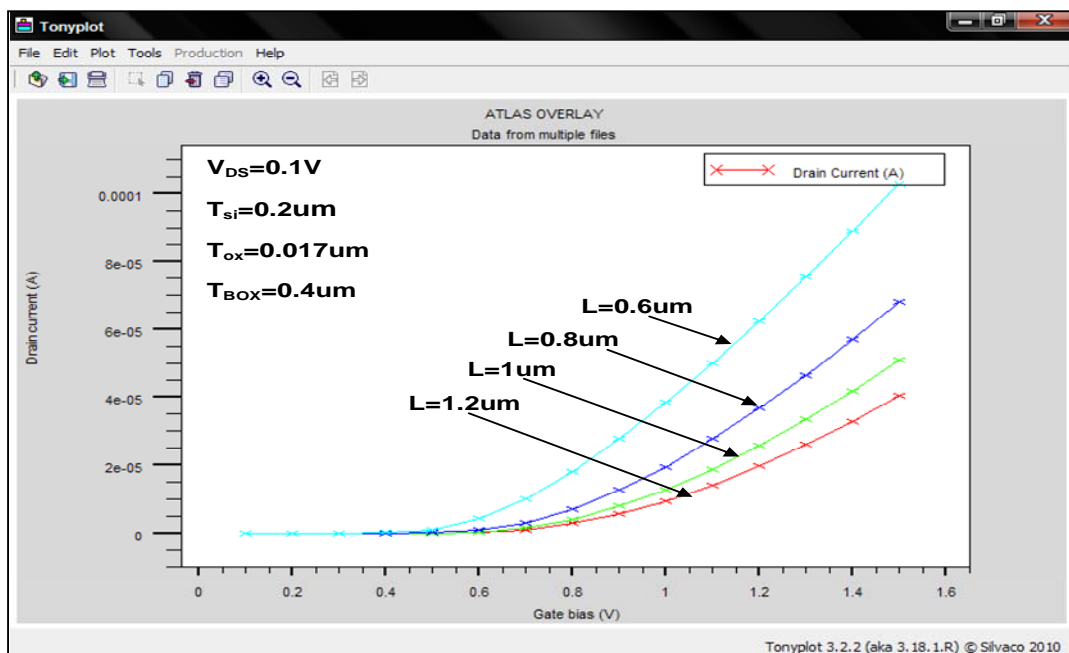


Figure III.23 : Influence de la variation de la longueur du canal L sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET.

III.2.4.5. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques du transistor

L'amélioration des performances des transistors MOS nécessite toujours la diminution de ses dimensions, or en réduisant la longueur du canal L , il est possible de modifier aussi certains paramètres technologiques tel que l'épaisseur de la couche d'oxyde de grille T_{ox} .

III.2.4.5.1. Influence de la variation de la longueur du canal L avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$

La technique de diminution de la longueur du canal L avec une réduction de l'épaisseur de l'oxyde de grille T_{ox} permet d'éliminer certains effets liés à la technologie SOI tel que l'effet Kink, ce qui permet aussi d'augmenter le courant de sortie I_{DS} (figure III.24). Pour $T_{ox}=0.005\mu\text{m}$, I_{DS} est à peu près 4 fois plus grand que le courant I_{DS} obtenu pour $T_{ox}=0.017\mu\text{m}$, cela est bien confirmé sur les résultats de simulation de la figure III.24.

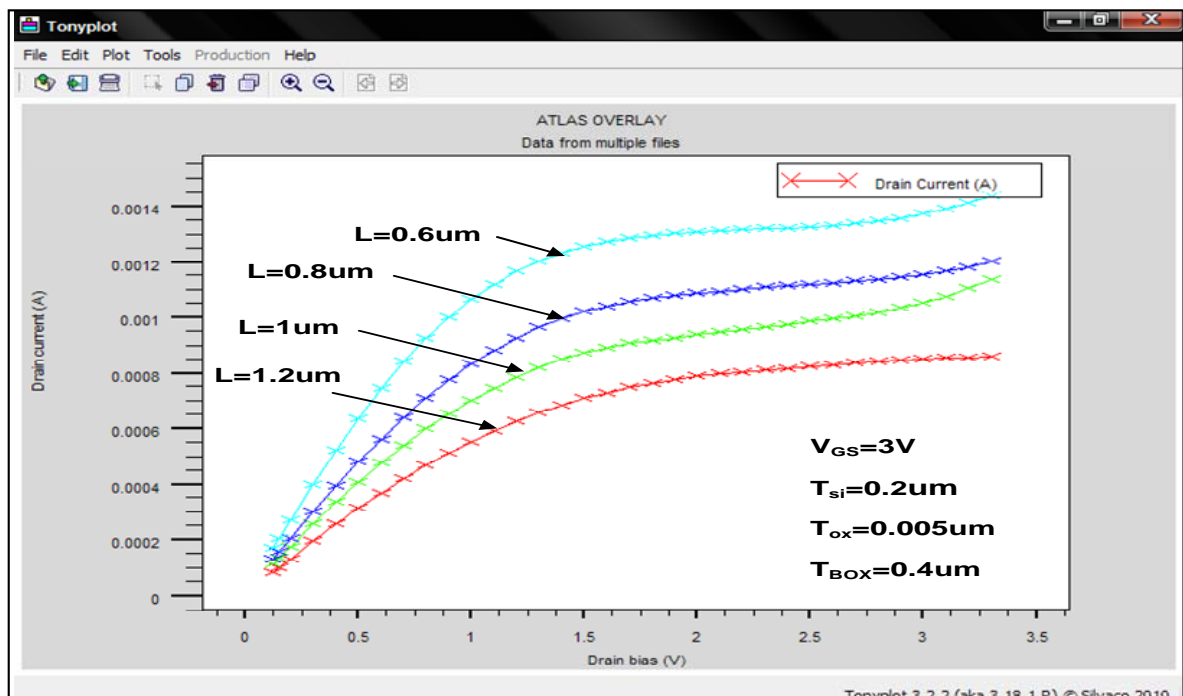


Figure III.24 : Influence de la variation de L avec une réduction de T_{ox} sur les caractéristiques $I_{DS}-V_{DS}$ du transistor PDSOI NMOSFET.

III.2.4.5.2. Influence de la variation de la longueur du canal avec une réduction de l'épaisseur de la couche d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$

L'influence de la diminution de la longueur du canal L qui s'accompagne de la réduction de l'épaisseur d'oxyde de grille T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$ est illustré sur la figure III.25, il apparait clairement une chute de tension de seuil lors de réduction de L et T_{ox} simultanément.

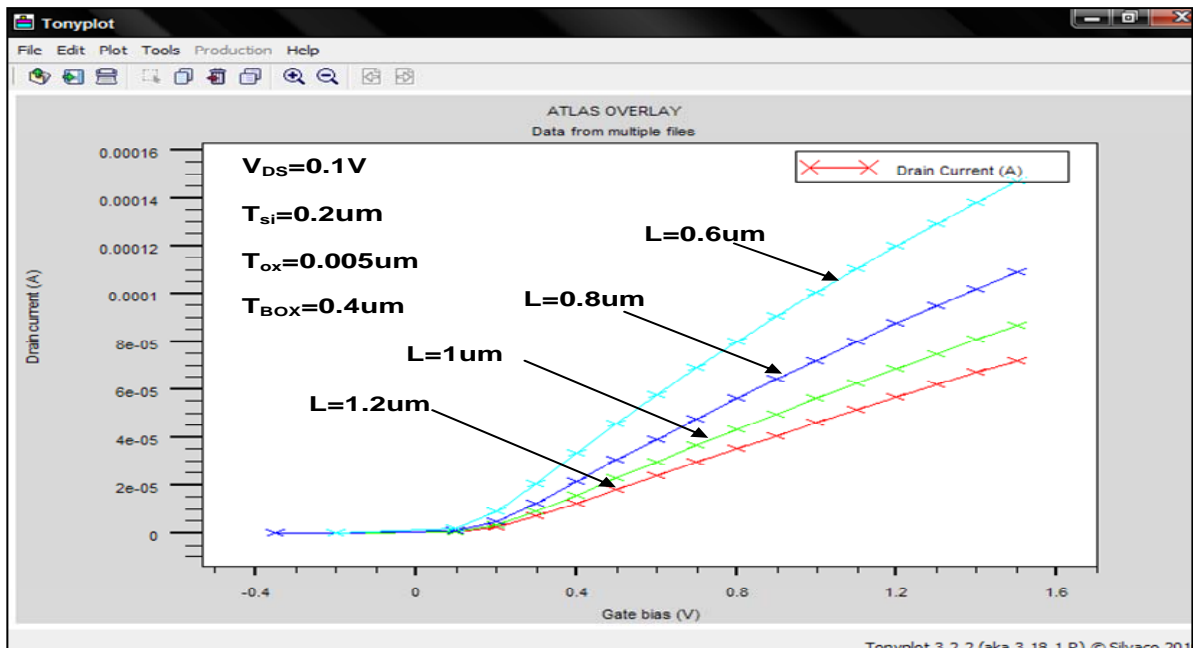


Figure III.25 : Influence de la variation de L avec une réduction de T_{ox} sur les caractéristiques $I_{DS}-V_{GS}$ du transistor PDSOI NMOSFET.

III.2.4.6. Influence de la température

Les circuits intégrés employés dans divers domaines tel que le domaine militaire, automobile, nucléaire et l'industrie exigent un fonctionnement à hautes températures (au-dessus de $150\text{ }^{\circ}\text{C}$). Les excellentes propriétés physiques et électroniques du silicium lui font de ce dernier un matériau semi-conducteur important pour des applications à hautes températures.

Plusieurs technologies ont été proposées comme choix possible pour des applications à hautes températures. Parmi les technologies proposées on peut citer ; la technologie CMOS, la technologie SOI, et la technologie GaAs. L'utilisation des dispositifs CMOS sur substrat massif à températures élevées est limitée par la présence du phénomène de latch-up et des courants de fuite élevés par contre les dispositifs CMOS sur substrat SOI sont prévus pour fonctionner justement à

températures élevées. Les dispositifs SOI n'ont aucun latch-up et un bas courant de fuite, c'est pour ces avantages que la technologie SOI est largement utilisée pour des applications à hautes températures.

Notons aussi que les problèmes d'auto-échauffement dans les transistors SOI MOSFET sont les problèmes majeurs liés à la technologie SOI. La conductivité thermique du silicium est 100 fois plus grande que celle du SiO_2 . Ceci signifie que la chaleur s'évacuera plus aisément par le silicium que par le dioxyde de silicium. Ce dernier agit comme un isolant thermique par rapport au silicium.

La figure III.26 montre la distribution de la température dans un PDSOI NMOSFET, la température de la couche mince de silicium apparaît plus importante que celle du substrat d'environ 140°K .

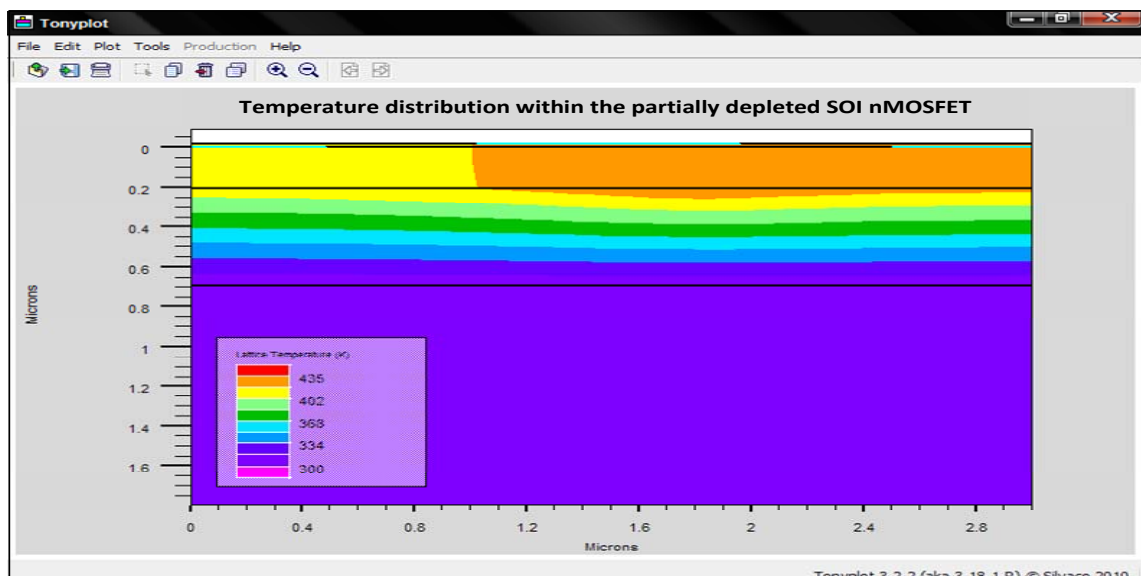


Figure III.26 : Distribution de la température de la structure SOI NMOSFET.

III.2.4.6.1. Influence de la température sur les caractéristiques $I_{DS}-V_{DS}$ et $I_{DS}-V_{GS}$

Les figures III.27 et III.28 illustrent respectivement les caractéristiques $I_{DS}-V_{DS}$ d'un transistor FDSOI et PDSOI pour une tension de polarisation de grille de 3V.

Le courant de drain diminue quand la température augmente. À température élevée, la mobilité du canal diminue, cette diminution de la mobilité conduit à une réduction du courant de drain.

Pour le dispositif PDSOI, l'effet Kink diminue pour des températures élevées (figure III.27). Rappelons que l'effet Kink est dû aux trous accumulés dans le bulk provoqué par l'injection du courant de trou dû à l'ionisation par impact. Quand la température augmente, le déplacement d'électrons dans le canal produit une

augmentation de la dispersion thermique. Par conséquent, le taux d'ionisation par impact va être réduit.

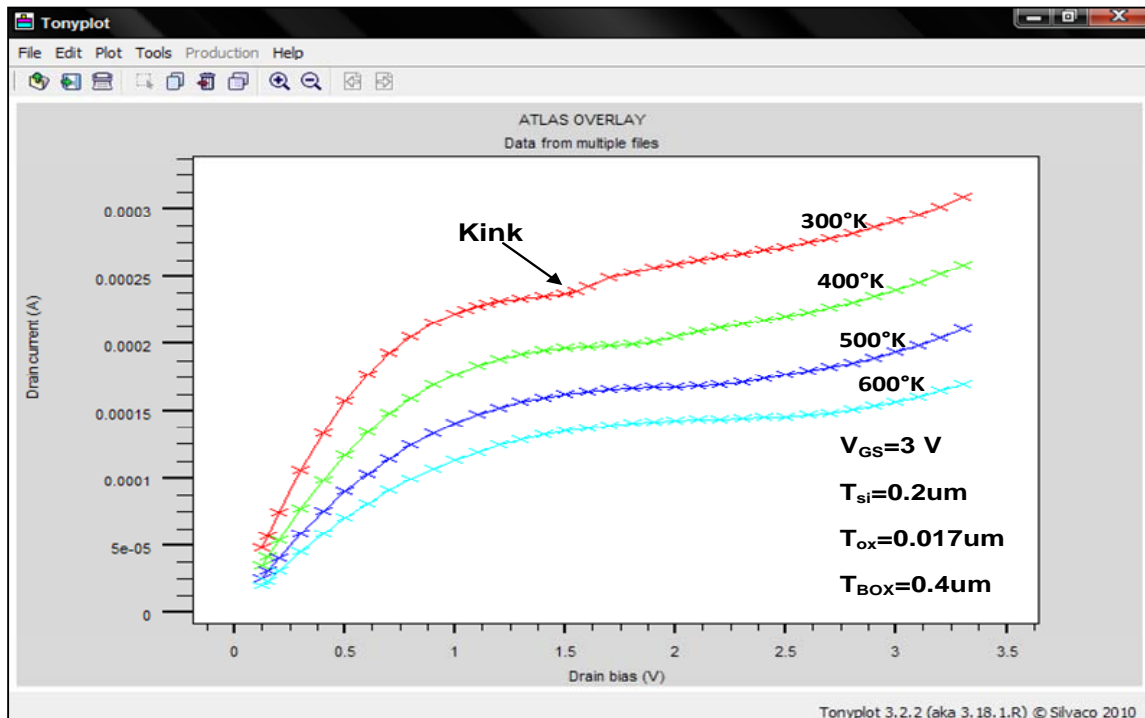


Figure III.27 : Influence de la température sur les caractéristiques de I_{DS} - V_{DS} du transistor PDSOI NMOSFET.

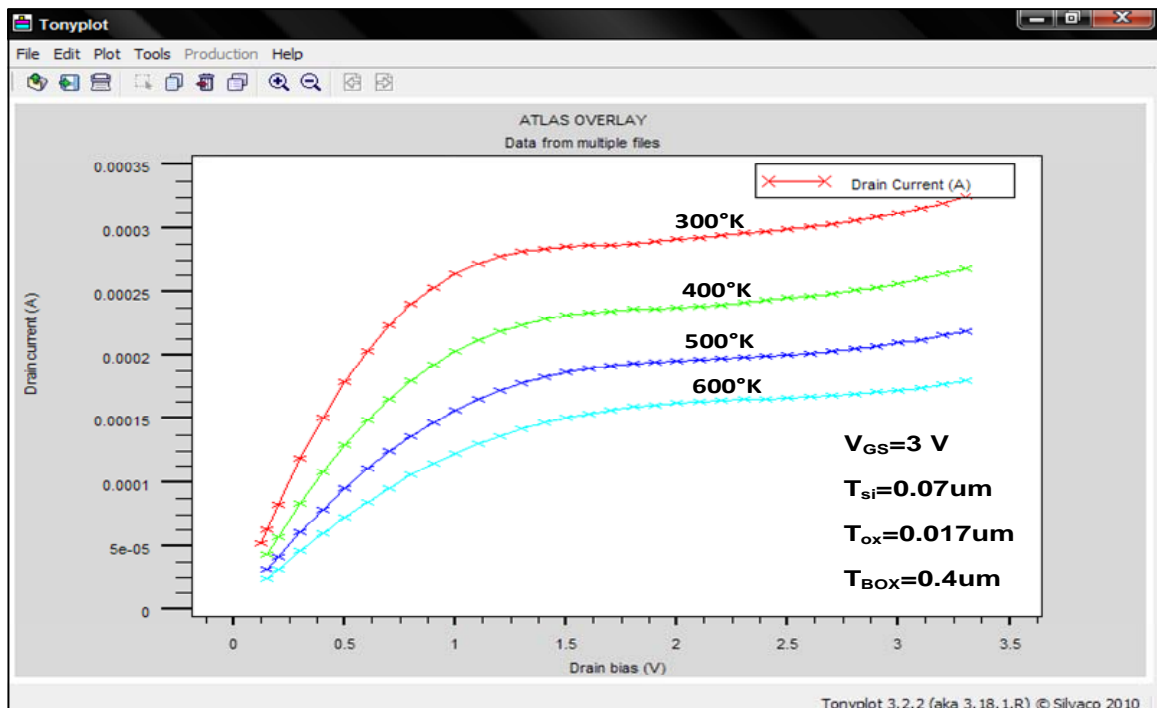


Figure III.28 : Influence de la température sur les caractéristiques de I_{DS} - V_{DS} du transistor FDSOI NMOSFET.

La dépendance du courant de drain avec la température est influencée par la tension de seuil et la mobilité du canal, $I_D(T) \sim \mu(T)[V_{GS} - V_{th}(T)]$, les influences de la diminution de ces deux paramètres dans le courant I_{DS} s'opposent : lorsque la température augmente, le terme $[V_{GS} - V_{th}(T)]$ entraîne à l'augmentation du courant de drain car la tension de seuil a diminué. D' autre part à température élevée, la mobilité $\mu(T)$ diminue, cette réduction de la mobilité du canal entraîne à une diminution du courant de drain. Il en résulte que pour des faibles valeurs de V_{GS} , le courant augmente avec la température car c'est le terme $[V_{GS} - V_{th}(T)]$ qui domine, et pour de fortes valeurs de V_{GS} , le courant I_{DS} diminue au fur et à mesure que la température augmente car c'est le terme $\mu(T)$ qui domine (voir la Figure III.29 et III.30).

La valeur de V_{GS} pour laquelle le courant I_{DS} ne varie pas en fonction de la température, dans une plage de température donnée s'appelle $V_{GS}(ZTC)$ (Zero Temperature Coefficient).

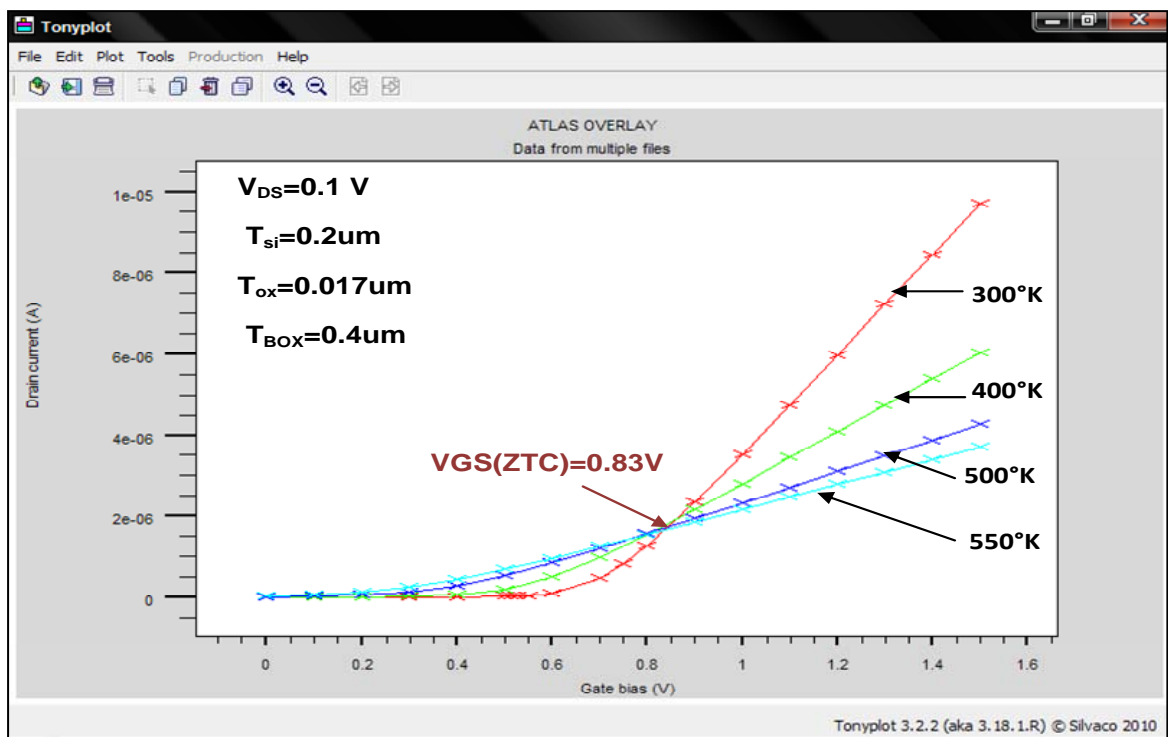


Figure III.29 : Influence de la température sur les caractéristiques de I_{DS} - V_{GS} du transistor PDSOI NMOSFET.

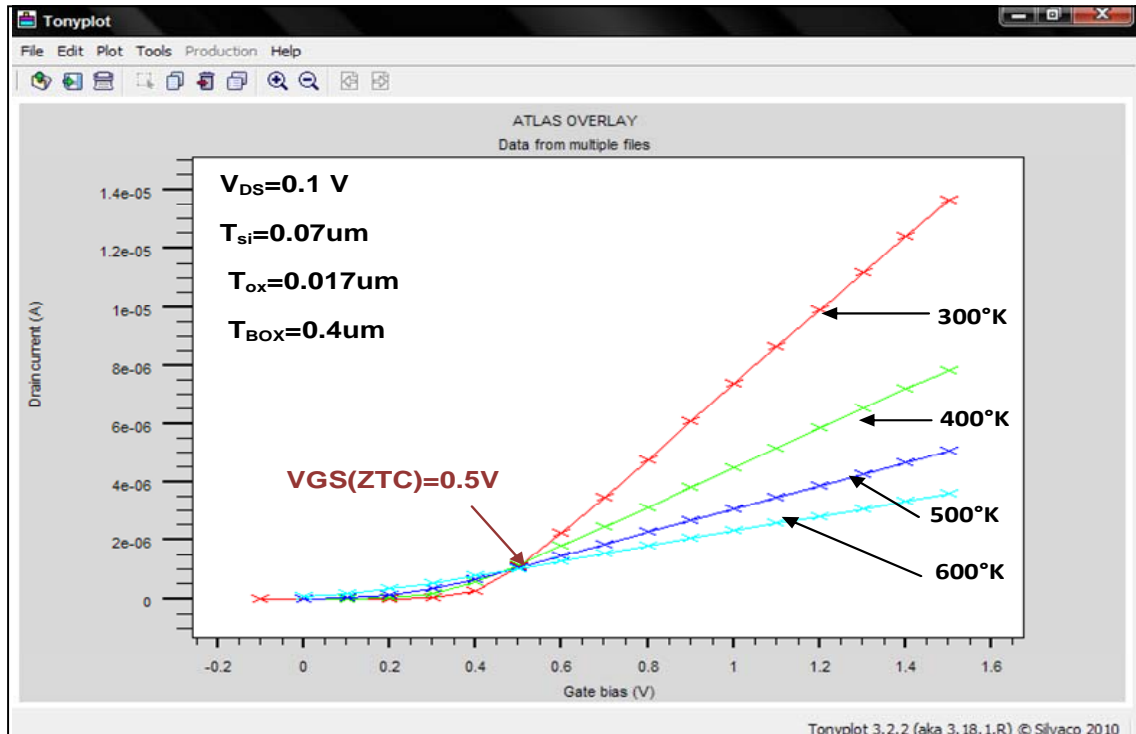


Figure III.30 : Influence de la température sur les caractéristiques de $I_{DS}-V_{GS}$ du transistor FDSOI NMOSFET.

En outre, nous pouvons voir que de la technologie SOI, présente des points ZTC sur un éventail de température s'étendant jusqu' à 600° K par contre pour la technologie CMOS sur substrat massif le point ZTC cet éventail ne s'étend que jusqu' à seulement 200 °C seulement. Au delà de cette température, le courant de drain est compensé par le courant ($I_D - ZTC$), c'est parce qu'à température élevée (au delà de 200 °C), le courant de fuite est comparable au courant de drain qui limite le fonctionnement du dispositif.

Dans les dispositifs sur substrat SOI la température toléré par le dispositif est beaucoup plus importante ceci étant due à la suppression du courant de fuite par l'oxyde enterré situé entre la couche mince du silicium actif et le substrat.

Le point ZTC (Zero Temperature Coefficient) existe dans la région linéaire et même de saturation des caractéristiques $I_{DS}-V_{GS}$ selon la valeur de la tension de polarisation V_{DS} appliquée, ce qui est bien illustré sur le graphe de la figure III.31.

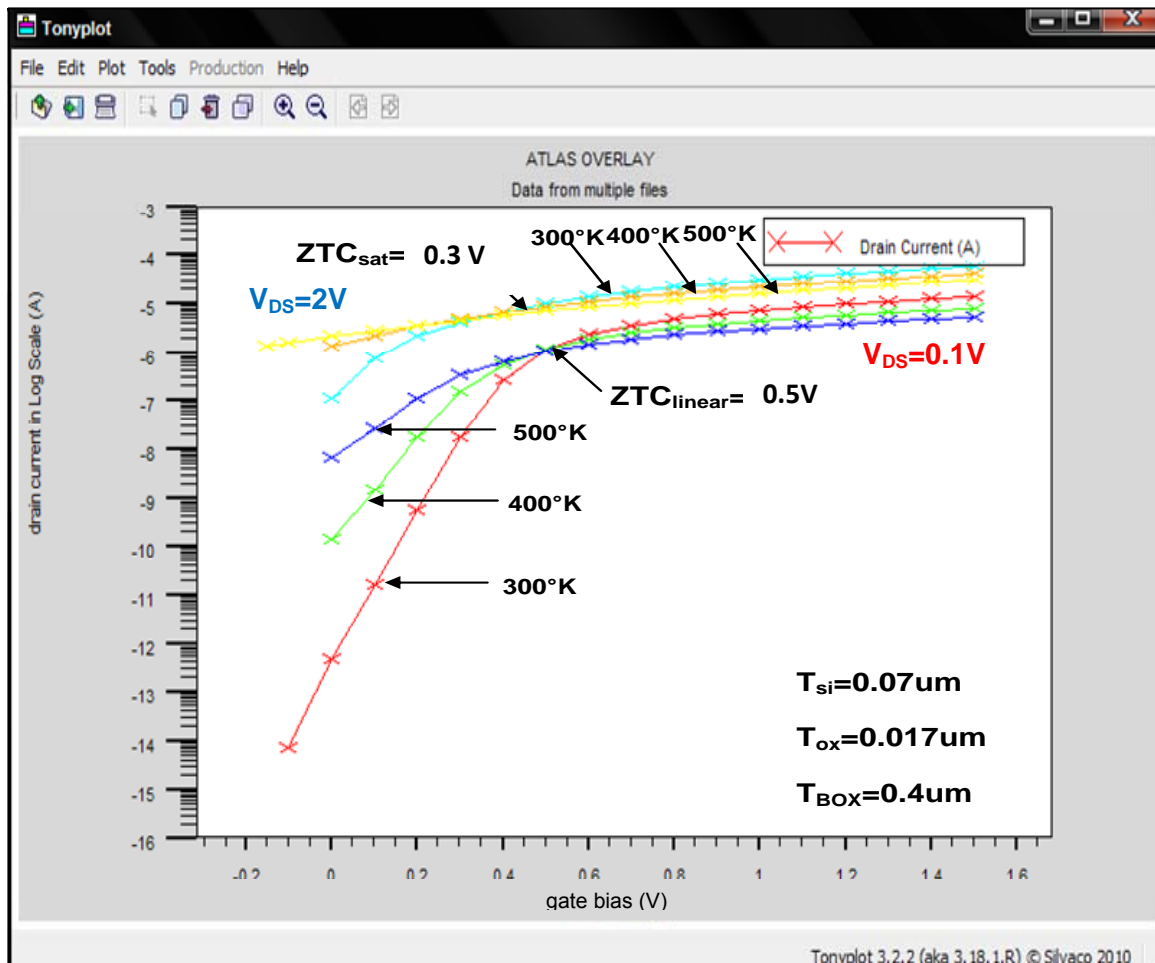


Figure III.31 : Caractéristiques I_{DS} - V_{GS} du transistor FDSOI NMOSFET :
pour ZTC linéaire $V_{DS}=0.1V$ et pour ZTC- saturation $V_{DS}=2V$.

Dans les dispositifs à canal court, la distribution du potentiel dans le canal dépend à la fois du champ transversal (contrôlé par la tension de grille), mais aussi du champ longitudinal (contrôlé par la tension de drain), une augmentation de la tension de drain induit un accroissement de la ZCE côté drain, ce qui provoque l'abaissement de la barrière de potentiel Source/Substrat, cet effet est appelé DIBL entraînant la diminution de la tension de seuil. Par conséquent la tension V_{GS} (ZTC) dans les transistors SOI MOSFET à canal court est assez faible. Par contre pour une faible tension de polarisation V_{DS} , la tension V_{GS} (ZTC) pour ces transistors est assez importante.

III.3. Conclusion

Nous avons présenté dans ce chapitre tous les résultats de simulation que nous avons obtenue suite à la conception d'une structure SOI NMOSFET.

Après avoir brièvement présenté l'outil de simulation numérique bidimensionnelle que nous avons utilisé : SILVACO , nous avons présenté la structure que nous avons conçue par le simulateur de dispositifs Atlas : soit un SOI NMOS .Nous avons alors dans un second temps étudié l'influence de la variation de l'épaisseur du film de silicium T_{si} , l'épaisseur de la couche d'oxyde de grille T_{ox} , la longueur de la grille L_G , la longueur du canal L , la longueur du canal L avec une réduction de T_{ox} et l'influence de la température sur le comportement électrique du transistor SOI NMOSFET.

Les résultats de simulations que nous avons obtenus sont jugés satisfaisants et comparables à ceux rencontrés dans des travaux récents effectués sur les MOSFET SOI.

Références

[1] <http://www.silvaco.com/>

[2] <http://www.engr.sjsu.edu/dparent/Silvaco/vwf2.pdf>

[3] http://www.silvaco.com/products/device_simulation/atlas.html,

Conclusion générale

Conclusion générale

La technologie MOS sur substrat massif a joué un rôle essentiel lors de l'évolution de la microélectronique. Cependant cette évolution technologique a mené au cours de ces dernières années à la miniaturisation suivant la loi de Moore afin de fabriquer des équipements de plus en plus petits, de plus en plus rapide et de grandes performances avec des consommations très faibles ce qui est bien le cas des équipements portables par exemple. Le prix à payer pour de tels structures est l'apparition d'effets indésirables, les plus prédominants sont les effets canaux courts « short channel effect ». La réduction régulière de la taille des transistors menant à des structures nanométriques dans lesquels les effets parasites sont devenus de plus en plus importants font que ces transistors sur bulk ne remplissent plus leur rôle quand on réduit leurs dimensions. Le nombre de défis à relever actuellement pour lutter contre les effets canaux courts dans générations futurs de transistors MOSFET sur substrat massif est particulièrement impressionnant. Afin de minimiser ces effets il est devenu indispensable d'envisager le développement de nouvelles architectures. Une des solutions et non la moindre consiste à remplacer ces transistors conventionnels par des transistors MOS sur substrat SOI, ce qui devrait permettre de poursuivre cette évolution. De ce fait, le travail présenté dans cette étude a été consacré à l'étude des performances d'une structure MOSFET sur SOI.

Grace à son excellent contrôle du canal, la technologie SOI permet de réduire les effets néfastes liés à la miniaturisation des transistors, les transistors MOS sur substrat SOI apportent 25% à 30% de performances en plus que leurs homologues sur substrat massif.

A partir des résultats des simulations de la structure SOI NMOSFET élaborée sous l'outil de simulation de dispositif Atlas-SILVACO, nous avons pu noter les remarques suivantes :

- L'épaisseur de la couche active de silicium est un paramètre qu'on ne peut négliger et ayant un impact sur le fonctionnement des transistors MOS sur substrat SOI, c'est selon l'épaisseur entre l'oxyde de la grille et l'oxyde enterré, que le fonctionnement et les divers phénomènes physiques dans les composants varient.
- L'épaisseur de la couche d'oxyde de grille est un paramètre technologique essentiel caractérisant les transistors SOI MOSFET, et qu'on doit déterminer

judicieusement. En effet la réduction de l'épaisseur T_{ox} permet d'améliorer les performances de ces transistors en termes de courant du drain qui augmente quand T_{ox} diminue.

- La variation du paramètre géométrique L_G représentant la longueur de la grille permet d'identifier la longueur de grille la plus adaptée à la structure conçue. Le paramètre susceptible d'être modifié lors de la réduction ou l'augmentation de la longueur de la grille est la valeur du courant de drain. La réduction de la longueur de la grille ne peut pas se faire est limitée par la valeur de la longueur effective du canal. En effet la valeur de L_G dans notre structure ne peut pas être inférieure à $0.7\mu m$ qui correspond à la longueur effective du canal.
- La longueur effective du canal L est une grandeur essentielle pour obtenir une modélisation correcte d'un transistor, la réduction du canal L qui revient à rapprocher la source du drain, entraîne à une augmentation du courant I_{DS} , la longueur de grille détermine la rapidité du système : plus elle est petite, moins les électrons ont de distance à parcourir.

L'amélioration des performances des transistors MOS passe nécessairement par la réduction de ses dimensions. En réduisant la longueur du canal, et en on modifiant aussi certains paramètres technologiques tel que l'épaisseur de la couche d'oxyde de grille T_{ox} , on élimine l'effet Kink et on augmente le courant de sortie I_{DS} .

- Pour terminer la température est l'un des paramètres essentiel à prendre en considération. En effet la température permet de modifier les performances des composants et par conséquent des circuits. Notons que l'utilisation du dispositif CMOS sur substrat massif à températures élevées est limitée par la présence du phénomène de latch-up et de courants de fuite élevés,

Notons que les dispositifs CMOS sur substrat SOI fonctionne à températures élevées. Avec cette technologie le phénomène de latch-up est éliminé et les courant de fuite sont insignifiants c'est pour ces avantages que la technologie SOI est largement utilisée pour les applications à hautes températures.

Nous concluons ce travail en notant que les résultats de simulation que nous avons obtenus sont en parfait accord avec d'autres résultats rencontrés lors de nos divers recherches sur les dispositifs SOI.

Annexe

Annexe. Procédés technologiques

La technologie microélectronique met en œuvre un grand nombre d'étapes élémentaires nécessaires à la fabrication d'un circuit intégré. Les étapes que nous étudions permettent de faire évoluer la matière depuis son état naturel et désordonné (le sable) vers une structure de grande complexité et la mieux ordonnée possible. Les principales étapes qui seront abordées dans la suite sont :

- la purification du silicium,
- la fabrication du cristal,
- la fabrication des plaquettes,
- l'épitanie,
- les procédés de dopage : diffusion et implantation de dopants,
- l'oxydation : cette étape est une spécificité du matériau silicium,
- les dépôts :
 - dépôt de matériaux semi-conducteurs
 - dépôt d'isolants
 - dépôt de conducteurs,
- la gravure,
 - gravure chimique,
 - gravure sèche,
- la photolithographie.

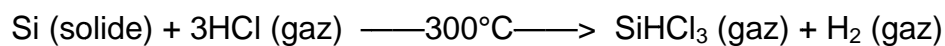
1. La purification du silicium

Il s'agit, en partant du silicium métallurgique de faire une purification chimique. Une des méthodes utilisées consiste à faire une distillation à partir d'un produit, liquide à température ambiante, qui contient le silicium. Une possibilité consiste à fabriquer un halogénure de silicium.

De nombreux procédés ont été développés par les différents producteurs mondiaux de silicium basés sur le trichlorosilane (SiCl_4), c'est le cas de Rhône-Poulenc,

Westinghouse, Texas, Saint Gobain, le dichlorosilane (SiH_2Cl_2) mis au point par Wacker, ou le trichlorosilane (SiHCl_3) par Siemens ou Union Carbide. D'autres techniques sont basées sur le tétrafluorosilane (SiF_4) ou le tétraiodure de silicium (SiI_4).

L'exemple choisi concerne la fabrication du trichlorosilane par pulvérisation du silicium réagissant avec le gaz de chlorure d'hydrogène (HCl ou acide chlorhydrique) suivant la réaction :



La réaction avec le chlore permet une première purification puisque par exemple des précipités chlorés de métaux ne sont pas mélangés au trichlorosilane. Une distillation (type alambic) permet alors une purification supérieure.

Ce trichlorosilane purifié est ensuite réduit pour redonner du silicium dans un réacteur présenté figure 1. La réaction chimique bilan est la suivante :

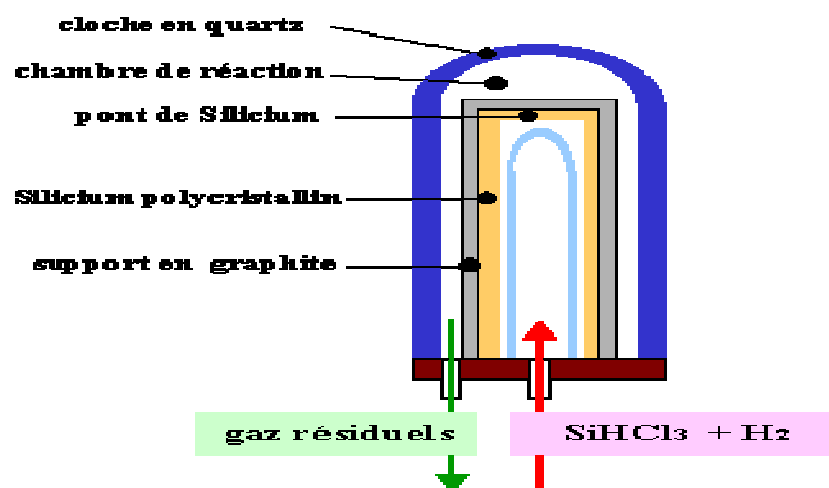
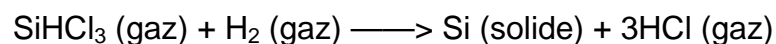


Figure 1 : Schéma d'un réacteur CVD pour la production de silicium de qualité électronique à partir de SiHCl_3 .

Le procédé est dans ce cas identique à un dépôt chimique en phase vapeur (CVD). A partir d'un germe dans de très longs tubes, on dépose progressivement le silicium. On obtient des lingots en structure polycristalline jusqu'à 20 cm de diamètre.

2. La fabrication des plaquettes

La fabrication des plaquettes à partir du silicium purifié nécessite un grand nombre d'étapes :

- a) charge de polysilicium le plus pur possible,
- b) préparation de la charge à fondre et à transformer en lingot,
- c) tirage et croissance du cristal,
- d) équeutage du lingot,
- e) contrôle de résistivités sur les extrémités du lingot,
- f) repérage cristallographique du lingot par méthode de diffraction des rayons X,
- g) polissage cylindrique,
- h) polissage d'un méplat de référence cristallographique et géométrique,
- i) découpage des plaquettes,
- j) traitement thermique,
- k) polissage des bords-"ébardage",
- l) tri des plaquettes en fonction des épaisseurs,
- m) enrobage des plaquettes dans une mixture d'alumine en solution – polissage,
- n) Nettoyage,
- o) attaque chimique des plaquettes,
- p) endommagement de la face arrière,
- q) tri en fonction des épaisseurs,
- r) préparation au polissage final de la face active,
- s) élimination de l'excès d'épaisseur,
- t) polissage final "miroir",
- u) démontage, nettoyage, tri,
- v) test de résistivité des plaquettes, tri final en fonction des résistivités,
- w) repérage – marquage,
- x) nettoyage final en salle blanche,
- y) inspection visuelle,
- z) test de planéité .

3. L'épitaxie

L'épitaxie est une étape technologique consistant à faire croître du cristal sur du cristal. Etymologiquement, "épi" signifie "sur" et "taxis", "arrangement". La technique va donc consister à utiliser le substrat comme germe cristallin de croissance et à faire croître la couche par un apport d'éléments constituant la nouvelle couche. La couche épitaxiée peut être dopée ou non dopée.

On parlera, dans le cas où :

- les matériaux sont identiques, d'homoépitaxie ; par exemple, épitaxie d'une couche n- sur une couche n+, impliquée dans la jonction collecteur-base d'un transistor bipolaire permettant une meilleure tenue en tension de cette jonction polarisée en inverse (figure 2),
- les matériaux sont différents, d'hétéroépitaxie ; par exemple croissance d'une couche de $GaxAl_{1-x}As$ sur une couche de GaAs ; cet assemblage permet la fabrication de super-réseaux ou de couches à forte mobilité destinées aux transistors HEMT (High Electron Mobility Transistor).

Dans ce dernier cas, la croissance ne sera possible que s'il y a accord de maille, c'est-à-dire même réseau cristallin et paramètres de maille très voisins (distance entre atomes peu différente pour le nouveau réseau ; quelque 1 à 2 % au maximum d'écart).

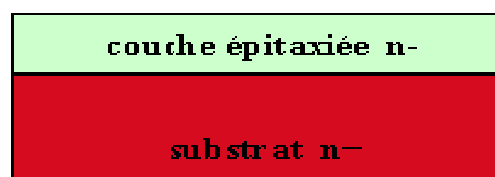


Figure 2 : Exemple d'une épitaxie n- sur un substrat de type n+ ; on dira que le substrat est épitaxié.

Il existe principalement 3 types de méthodes expérimentales.

- l'épitaxie par jet moléculaire, EJM ou MBE (Molecular Beam Epitaxy),
- l'épitaxie en phase liquide ou LPE (Liquid Phase Epitaxy),

- l'épithaxie en phase vapeur ou VPE (Vapor Phase Epitaxy).

Pour chacune de ces techniques, des appareillages spécifiques sont mis en œuvre.

4. La diffusion

Le phénomène de diffusion est un phénomène très général dans la nature, qui correspond à la tendance à l'étalement d'espèces, particules, atomes ou molécules grâce à une excitation énergétique apportée par la chaleur. Suivant le milieu dans lequel se déplacent ces espèces, l'étalement sera plus ou moins grand.

A température ambiante le phénomène de diffusion sera très important dans un milieu gazeux, plus faible dans un milieu liquide et pratiquement nul dans un milieu solide. Pour obtenir un phénomène de diffusion dans un solide ou un cristal, il faudra chauffer le matériau à des températures voisines de 1000°C.

Les procédés de diffusion vont dépendre de la nature des sources de dopants. Il existe trois grands types de sources qui permettent de fournir les éléments dopants que l'on doit faire pénétrer dans les substrats. Ces sources sont **gazeuses**, **liquides** ou **solides**.

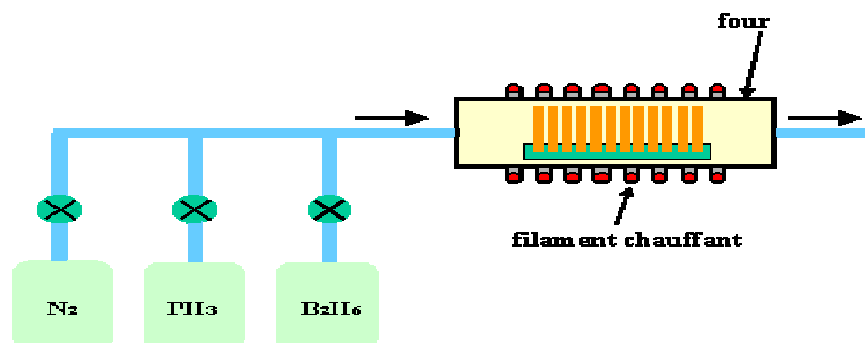


Figure 3 : Diffusion dans un four à partir de sources gazeuses.

Les sources gazeuses sont les gaz tels que l'Arsine, AsH₃, la phosphine, PH₃ ou le diborane B₂H₆ (figure 3). Notons qu'il circule en permanence un gaz neutre (azote) afin d'éviter toute pollution par des éléments venant de l'atmosphère ambiante. Cet azote doit être très pur afin de ne pas polluer le four.

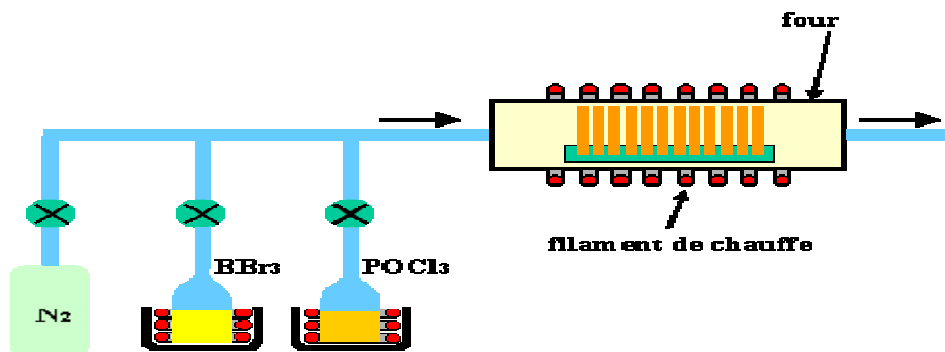


Figure 4 : Diffusion à partir de sources liquides.

On peut aussi utiliser des sources solides que sont les verres contenant les dopants tels que nitrure de bore ou verre dopé au phosphore. Ces sources se présentent sous forme de plaquettes et sont en général introduites dans le four en alternance avec les plaquettes à doper (figure 5).

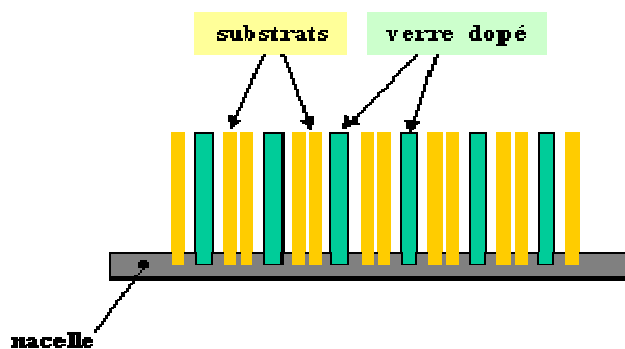


Figure 5 : Procédé de dopage à partir de sources solides.

5. L'implantation ionique

Cette opération consiste à introduire des atomes ionisés projectiles avec suffisamment d'énergie pour pénétrer dans l'échantillon cible (en général une plaquette). Cette pénétration ne s'effectue que dans des régions de surface. Cette opération est essentiellement utilisée pour doper le semi-conducteur durant la fabrication des dispositifs (création de zones de source ou de drain d'un transistor MOS, d'une base et d'un émetteur dans un transistor bipolaire, etc...). Les atomes dopants sont en général : B, P, As, In, etc...

Les énergies des atomes ionisés peuvent être dans la gamme 3 keV à 500 keV. En fonction de la nature du matériau implanté, de la nature de l'ion accéléré et de

l'énergie d'accélération la profondeur moyenne de pénétration peut aller de 100 Å à 1 µm. En effet, un calcul approximatif montre qu'une centaine d'électronvolts est perdue par couche atomique (environ 2,5 Å).

L'implantation ionique s'effectue par un implantateur qui est en pratique un accélérateur d'ions. Il est composé des parties suivantes visibles sur la figure 6 :

- génération des ions à partir d'une source solide, liquide ou gazeuse dans un plasma excité à 25kV,
- sélection des ions par champ magnétique effectuant le tri par le rapport masse sur charge,
- accélération des ions à l'énergie d'implantation souhaitée,
- mise en forme du faisceau d'ions par des lentilles électrostatiques,
- dispositif de balayage en x et y afin d'implanter de façon uniforme les plaquettes. Les fréquences de balayage sont telles qu'il y ait en permanence glissement de la courbe de Lissajou associée.

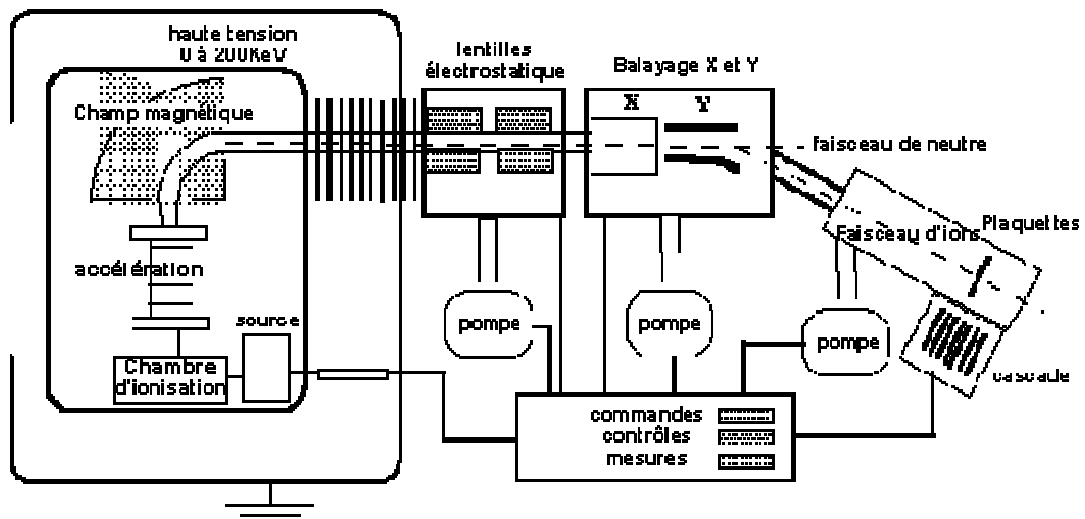


Figure 6 : Schéma simplifié d'un implantateur ionique d'énergie d'accélération maximale de 200keV.

- déviation du faisceau pour éliminer les ions neutralisés sur le parcours et qui ne pourraient être dénombrés,
- chambre d'implantation.

6. L'oxydation

L'oxydation est une étape très importante dans la réalisation des circuits intégrés au silicium, puisque c'est grâce à cette propriété spécifique que le silicium, qui n'est pas a priori un très bon semi-conducteur, est devenu le matériau le plus utilisé en microélectronique. Cette opération est nécessaire tout au long des procédés modernes de fabrication des circuits intégrés. Il est donc primordial de savoir réaliser un oxyde de bonne qualité.

L'oxyde peut servir :

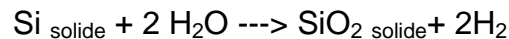
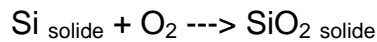
- de masque d'implantation ou de diffusion de dopants,
- de couche passivante à la surface du silicium,
- de zones d'isolation entre différents composants d'une structure intégrée,
- de couche active dans les transistors MOS (oxyde de grille),
- d'isolation électrique entre des couches adjacentes pour améliorer l'intégration et la diminution des dimensions ("espaceur" par exemple, cf. plus loin),
- d'isolation électrique entre les différents niveaux de métallisation ou de couches conductrices en silicium polycristallin fortement dopé,
- de couches sacrificielles permettant d'améliorer les performances et l'intégration des circuits. Ces couches sacrificielles peuvent aussi être utilisées pour fabriquer des microstructures à base de silicium polycristallin et intervenir dans des microsystèmes intégrés (MEMS : micro-electro-mechanical systems).

Il existe plusieurs techniques pour obtenir un oxyde :

- l'oxydation thermique en présence d'oxygène, dite oxydation sèche,
- l'oxydation thermique par voie humide en présence d'oxygène et de vapeur d'eau,
- l'oxydation thermique vapeur en présence de vapeur d'eau uniquement,

- l'oxydation anodique, obtenue par voie électrochimique,
- l'oxydation plasma, réalisée à l'aide d'un plasma d'oxygène.

L'opération d'oxydation consiste donc à oxyder le Silicium depuis la surface du substrat. Les réactions principales sont les suivantes :



Les opérations d'oxydations s'effectuent en général dans des fours similaires à ceux de diffusion dans lesquels on fait circuler de l'oxygène, sec ou humide, ou de la vapeur d'eau (figure7).

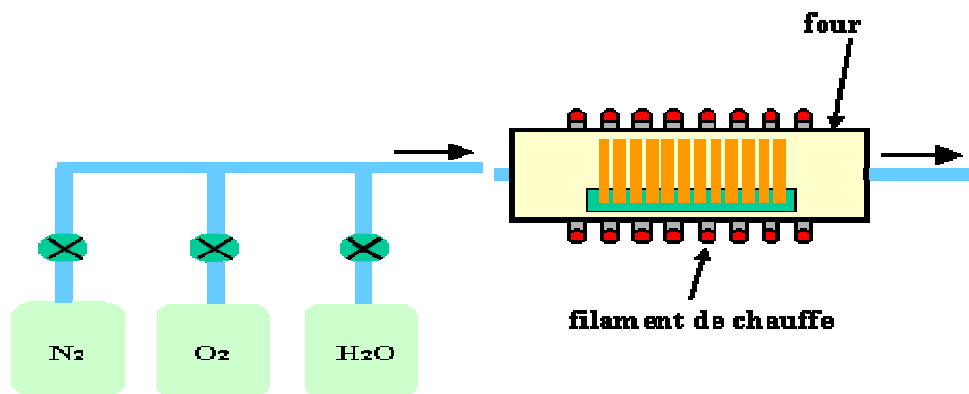


Figure 7 : Oxydation thermique avec de l'oxygène ou de la vapeur d'eau

Toutefois, dans les technologies submicroniques, les plaquettes peuvent être traitées dans des réacteurs à chauffage très rapide à lampes (type halogène) en présence d'un élément oxydant. Cette technique s'appelle oxydation thermique rapide et sera revue plus loin.

On peut aussi créer la vapeur d'eau dans le four en effectuant une synthèse à partir d'un flux d'hydrogène et d'un flux d'oxygène. Cette réaction étant très exothermique, elle est donc dangereuse. Le dispositif contient alors un grand nombre de sécurités (détection de flamme, contrôle des débits, etc...) afin d'éviter toute explosion. C'est ce type de réacteur qui est principalement utilisé chez les industriels. Il faut noter que

la pureté chimique des gaz employés doit être très bonne (pureté 5.0 minimum, c'est-à-dire moins de 10ppm d'impuretés totales).

7. Les dépôts

Cette opération est nécessaire lorsqu'il faut réaliser une couche conductrice, isolante ou de masquage dans un procédé qui n'utilise pas directement le matériau du substrat. Par exemple, dans le cas où l'on souhaite obtenir un oxyde de silicium lorsque le substrat et/ou la couche sous-jacente ne sont pas constitués de Silicium (celle-ci peut être par exemple une couche métallique ou une couche de nitrure de Silicium), la seule solution consiste à déposer de l'oxyde (ou un autre type d'isolant). En effet, l'oxydation thermique n'est plus possible et il faut effectuer un dépôt. Celui-ci s'effectue dans un four ou un bâti qui comprend tous les constituants de la couche à réaliser.

Les techniques de dépôt qui seront utilisées pour déposer une couche d'isolant ou d'oxyde seront le plus souvent très générales en permettant la réalisation de couches d'autres matériaux tels que des métaux voire des semi-conducteurs.

Plusieurs techniques de dépôt sont possibles industriellement :

- évaporation thermique.
- pulvérisation cathodique,
- canon à électrons,
- dépôt chimique en phase vapeur ou C.V.D pour Chemical Vapor Deposition,
- dépôt à basse pression, L.P.C.V.D. pour Low Pressure Chemical Vapor Deposition,
- dépôt assisté plasma, P.E.C.V.D. pour Plasma Enhanced Chemical Vapor Deposition,

8. La gravure

Deux techniques sont couramment utilisées :

- la gravure dite par voie humide,
- la gravure sèche.

a. La gravure humide

La gravure par voie humide se fait par attaque chimique en solution aqueuse (bain contenant de l'eau) figure 8.

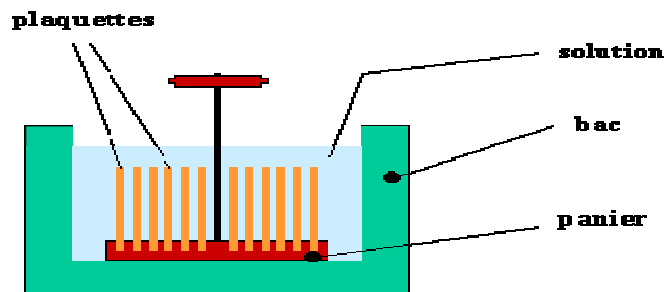


Figure 8 : Gravure d'un panier de plaquette par voie humide.

b. La gravure sèche

La gravure sèche est en réalité une technique de **gravure plasma** dans laquelle interviennent à la fois les effets de bombardement par des ions et la réaction chimique. On la dénomme R.I.E. (Reactive Ion Etching en anglais) figure 9.

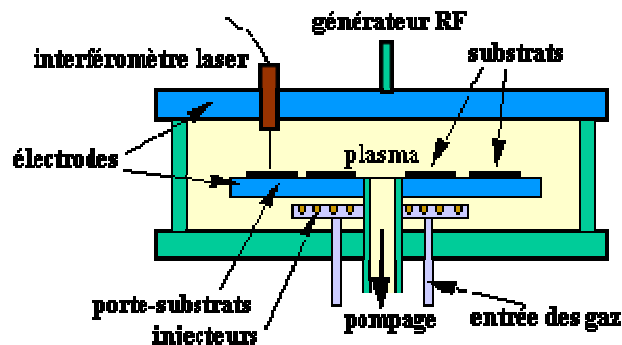


Figure 9 : Réacteur de gravure plasma à platine porte-substrats horizontale.

9. La photolithographie

Toutes les techniques de procédés technologiques exposées précédemment présentent peu d'intérêt si elles ne se réalisent que pleine plaque. Il faut pouvoir oxyder, doper, métalliser localement suivant des motifs très bien définis et sur des surfaces de plus en plus faibles afin de créer et d'interconnecter des dispositifs élémentaires entre eux.

Le procédé de transfert d'un masque (physique ou logiciel) vers la plaquette s'appelle photolithographie. Ce mot est construit à partir de lithos (pierre en grec) et, de photographie. Il s'agit d'un procédé photographique qui permet la gravure d'une (ou plusieurs) couche(s) solide(s) telle que nitrure, oxyde, métal, etc..., suivant un motif bien défini. Nous verrons que la lumière utilisée est en général hors du domaine visible, à savoir en ultra-violet voire en X.

Les figures 10 et 11 rappellent le principe du procédé de photolithographie ; l'objectif est de transférer un motif (par exemple un rectangle qui correspondra à une zone de source) réalisé sur masque vers une couche de la plaquette.

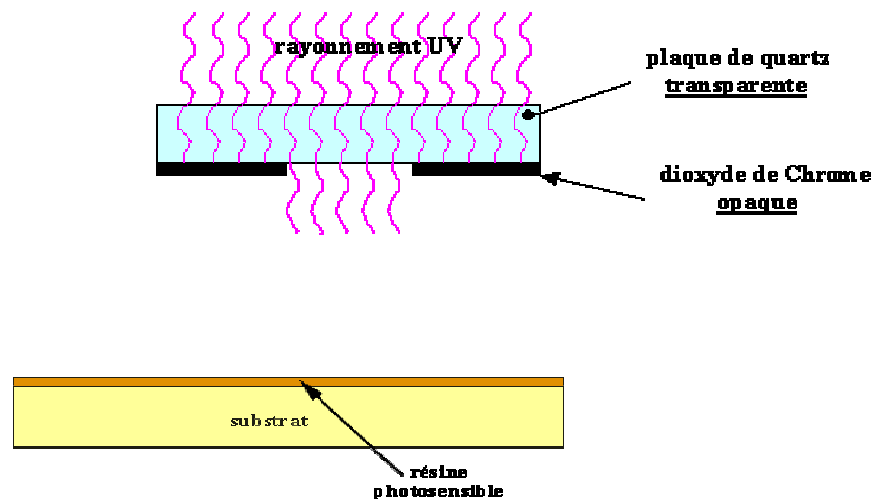


Figure 10 : masque de photolithographie.

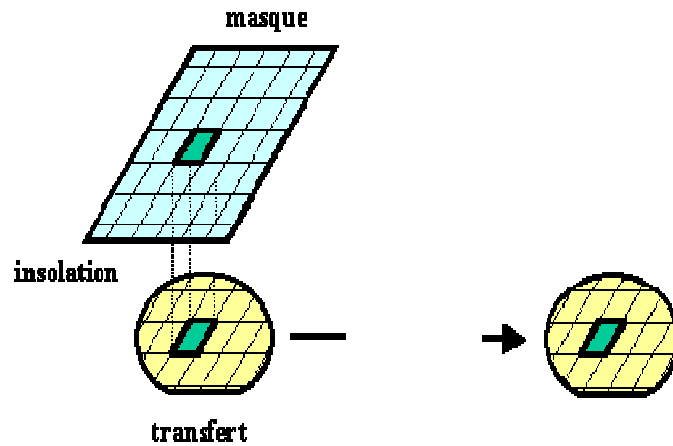


Figure 11 : principe de la photolithographie

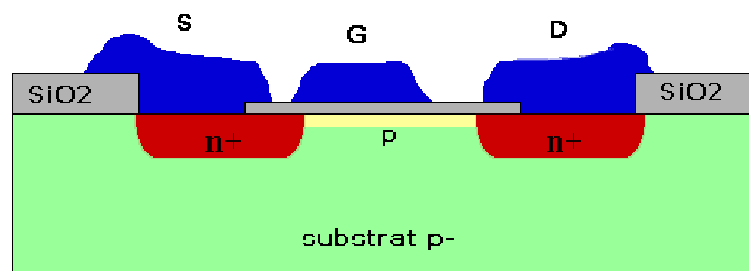
10. Procédé de fabrication d'un transistor MOS canal N

Il s'agit dans ce cas de réaliser des transistors MOS dans un même substrat. Nous allons dans un premier temps regarder un procédé simplifié de réalisation de transistors MOS à canal N à enrichissement. Cela signifie qu'il faut réaliser dans un substrat de type p qui constituera la zone de canal, les deux zones très dopées de type n qui constitueront la source et le drain. L'oxyde de grille sur la zone de canal devra être de très bonne qualité électronique. La fin du procédé consistera à réaliser les zones de contacts de grille, de source et de drain.

La succession des étapes principales de réalisation est la suivante :

- nettoyage du substrat,
- oxydation épaisse de masquage de dopage de source et de drain,
- photolithogravure d'ouverture de source et de drain,
- dopage au phosphore (diffusion ou implantation ionique),
- photolithogravure d'ouverture de la zone de canal,
- oxydation fine de l'oxyde de grille,
- ajustement de la tension de seuil par implantation ionique de Bore,

- photolithographie d'ouverture des contacts de source et de drain,
- dépôt d'aluminium,
- photolithogravure de l'aluminium,
- recuit final sous forming-gas (mélange d'azote et d'hydrogène à 10%) pour améliorer les contacts.



Ce procédé très simple permet de réaliser des transistors MOS ; il correspond aux premiers procédés MOS mis en œuvre industriellement au début des années 70. Compte tenu des différentes étapes de masquage nécessitant des alignements, pour diminuer les dimensions des transistors il a fallu trouver des méthodes permettant de positionner automatiquement les zones de source et drain par rapport à la grille. Ces technologies sont alors dites auto-alignées. Le procédé CMOS correspond à cette évolution.

Résumé

La technologie MOS sur substrat massif a joué un rôle essentiel lors de l'évolution de la microélectronique. La réduction régulière de la taille des transistors conduit aujourd'hui à des dispositifs nanométriques dans lesquels les effets physiques parasites, autrefois sans importance, se trouvent grandement amplifiés et vont aboutir à la fin de la technologie MOS sur substrat massif dans moins d'une dizaine d'années. La technologie MOS sur substrat SOI devrait permettre de poursuivre cette évolution.

Nous avons pu dans ce manuscrit présenter brièvement les transistors MOS sur substrat massif ainsi que les problèmes engendrés par la miniaturisation, nous avons arboré ensuite la technologie SOI qui est actuellement la plus utilisée pour les dispositifs de petites dimensions, cette partie nous a permis d'introduire les principales techniques de réalisation des substrats SOI, et d'énumérer ses avantages par rapport aux technologies MOS sur substrat massif, nous avons alors présenté les deux variantes des SOI MOSFET à savoir les SOI MOSFET partiellement désertés ou totalement désertés. Ce travail a été achevé par la présentation de résultats de simulation de la structure SOI NMOSFET que nous avons obtenus grâce à l'utilisation de l'outil de simulation numérique bidimensionnelle SILVACO. Dans un second temps nous avons étudié l'influence de la variation des paramètres d'une telle structure sur son courant de drain.

Mots clés : transistors MOSFET, technologie SOI ; transistors SOI totalement désertés, partiellement désertés, effets canaux courts, effet Kink.

Abstract

MOS Technology on massive substrate played an essential role during the evolution of micro-electronics. The regular reduction of transistors size leads today to nanometric devices in which the parasitic physical effects, previously with no importance, are nowadays basically amplified and will lead at the end of MOS on massive substrate technology. SOI MOSFET technology allows continuing this evolution.

In this manuscript we briefly present MOSFET transistors and problems generated by the miniaturization, we presented then Silicon One Insulator technology which is currently used for low-size devices, this part allow us to introduce the principal techniques used to elaborate SOI substrates, and also allow us to list its advantages compared to MOS on massive substrate technologies, we then presented both alternative of SOI MOSFET: fully and partially depleted. This work was completed by the presentation of simulation results we obtained using SILVACO software concerning the structure, at the end we presented some results concerning the influence of parameters variation on our SOI MOSFET drain current.

Key words: MOSFET transistors, SOI technology, SOI fully depleted, partially depleted, short Chanel effect, kink effect.

:

				MOS
	MOS			
			SOI	MOS
MOS				MOS
	SOI			SOI
	SOIMOSFET FD	SOIMOSFET PD		MOS
	SOI N MOSFET	SILVACO		
			I_D	
SOIMOSFET FD	SOIMOSFET PD	SOI	MOSFET	:
			. Kink	Canaux courts
