

## Résumé

---

L'évolution des transistors MOSFET qui suit les prédictions de la Loi de Moore depuis plus de 30 ans a permis la réduction des dimensions jusqu'à des dispositifs de longueur de grille de 65 nm. Pour de telles dimensions, les dispositifs conventionnels sur substrat massif souffrent de dégradations notamment en termes de vitesse de commutation des circuits et de consommation en puissance. Jusqu'au nœud 45 nm, l'intégration de transistors sur substrats SOI complètement déplétés permet de réduire les courants de fuite. Néanmoins, pour les générations suivantes (sub-32 nm), les transistors sur substrat SOI complètement déplété ne permettent plus d'atteindre les niveaux de courants escomptés. La solution consiste à réaliser des transistors multi-grille qui conservent l'aspect complètement déplété du FDSOI MOSFET tout en multipliant les canaux de conduction sur une surface de silicium identique ou moindre. Parmi les nombreux dispositifs proposés nous nous sommes intéressés dans ce travail à l'étude des performances d'une structure MOS nanométrique plus particulièrement le transistor MOS double-grille en mode de fonctionnement symétrique ; on a étudié les caractéristiques physiques et électriques après conceptions d'une structure DGFET afin de déterminer les paramètres physiques et les caractéristiques électrique d'une telle structure utilisés dans les dispositifs nanométriques.

Ce modèle est valide par des comparaisons avec des caractéristiques  $I_D-V_{GS}$ ,  $I_D-V_{DS}$ , obtenues avec le simulateur TCAD de Silvaco.

**Mots clés :** MOSFET – SOI –FDSOI- MOSFET double-grille en mode symétrique -DGFET- Nanoscale - transistors à canaux courts modélisation - simulation.

## Abstract

---

Transistors MOSFET evolution which has followed the predictions of Moore Law for more than 30 years allowed the reduction of devices dimensions until devices gate length of 65 nm. For such dimensions, the conventional devices on massive substrate suffer from degradations in particular in terms of circuit commutation rate and of power consumption. Until 45 nm devices, transistors integration on fully depleted substrate allows to reduce the leakage currents. Nevertheless, for the following generations (sub-32 Nm), fully depleted SOI transistors doesn't allow to reach necessary currents. For achieving this, the solution consists in producing multi-gate transistors which preserve the fully depleted aspect of FDSOI MOSFET while multiplying conduction channels on an identical or less silicon surface. Among many devices proposed we were interested in this work on **the study of nanometric MOSFET performances, more** particularly symmetrical double-gate MOS transistors. We studied first the physical and electrical characteristics after of our DGFET structure in order to determine the physical parameters and the electric characteristics of such structure used in nanometric devices.

**Key words:** : MOSFET – SOI –FDSOI- symmetrical Double gate MOSFET -DGFET- Nanoscale - short channel transistors - modeling- simulation