

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE ABOU BEKR BELKAID - TLEMCEN**

**FACULTE DE TECHNOLOGIE  
DEPARTEMENT DU GENIE ELECTRIQUE ET ELECTRONIQUE**



**MEMOIRE**

Pour l'obtention du

**DIPLOME DE MAGISTER**

**Spécialité : Nanophysique et Nanotechnologie**

Par

**LARIBI ASMA**

**Etude des Performances d'une Structure MOS Nanométrique :  
Application au DGFET**

**Soutenu en 2010 devant le jury composé de :**

<b>Mr. BENDIMERAD Fethi Tarik</b>	Prof, à l'Université de Tlemcen	Président
<b>Mr. BENMANSOUR Abdelhalim</b>	MC, à l'Université de Tlemcen	Examineur
<b>Mr. HAMDOUNE Abdelkader</b>	MC, à l'Université de Tlemcen	Examineur
<b>Mme. BOUAZZA née GUEN Ahlam</b>	MC, à l'Université de Tlemcen	Encadreur
<b>Mr. BOUAZZA Benyounes</b>	MC, à l'Université de Tlemcen	Co- encadreur

# Remerciements

*Je tiens à remercier dieu le tout puissant qui ma donné durant toutes ces années d'études la santé, le courage, la confiance et la foi en moi même ce qui m'a permis de progresser et d'arriver jusqu'à ce jour.*

*Je ne saurais, réellement, trouver les expressions éloquentes que mérite mon encadreur Madame BOUAZZA née Guen Ablam maitre de conférence à l'université Abou-Bekr Belkaid, pour sa grande patience, ses conseils et sa disponibilité. Sa compétence a rendu ce travail de recherche particulièrement intéressant, sans oublier mon co-encadreur Monsieur BOUAZZA Benyounes maitre de conférence à l'université Abou-Bekr Belkaid, afin de le remercier pour sa sympathie, ses encouragements et son aide.*

*Je les remercie également pour la confiance qu'ils m'ont accordée tout au long de cette année d'étude.*

*J'adresse mes remerciements aux membres du jury qui me feront l'honneur d'évaluer, d'examiner et d'enrichir cette modeste contribution.*

*Je remercie cordialement, Monsieur BENDIMERAD Fetbi Tarik Professeur à l'Université Abou-Bekr Belkaid d'avoir accepté de présider ce jury de thèse.*

*Je remercie également Monsieur BENMANSOUR Abdelhalim maitre de conférence à l'université Abou-Bekr Belkaid d'avoir accepté de participer à cette thèse en qualité de premier examinateur.*

*Je tiens également à remercier Monsieur HAMDOUNE Abdelkader, maitre de conférence à l'université Abou-Bekr Belkaid d'avoir accepté de participer à cette thèse en qualité de deuxième examinateur.*

*Je tiens à remercier particulièrement tout le personnel de l'Unité de Recherche Matériaux et Energies Renouvelables (URMER) de la faculté des Sciences de l'Université Abou-Bekr Belkaid-Tlemcen pour leurs gentillesse et leurs disponibilité.*

*Enfin, j'exprime mes remerciements à tous ceux qui m'ont apporté leur soutien, de près ou de loin, et contribuer d'une manière ou d'une autre à mon épanouissement dans un climat studieux et plein de sérénité ce qui m'a beaucoup aidé dans l'accomplissement de ma tâche et l'heureux aboutissement de ce travail.*

*J'espère n'en oublier réellement personne.*

*Votre humble et dévouée Laribi Asma qui vous sera toujours reconnaissante de tout ce que vous avez pu m'apporté comme soutiens sincères et précieux conseils.*

# Table des matières

Liste des constantes, symboles et abréviations.....	ii
Liste des figures.....	iii
Liste des tableaux.....	iii
<b>Introduction générale</b>	01
<b>Chapitre I : Le MOSFET limites et solutions à la miniaturisation</b>	
Introduction aux transistors MOS.....	04
I. Les transistors à effet de champ.....	06
I.1 Historique : de l'essor à l'âge d'or.....	06
I.2 Le transistor MOS : architecture et principes de Fonctionnement.....	07
I.2.1. Présentation de la structure du transistor MOS.....	07
I.2.2 Les régimes de fonctionnement de la structure MOS.....	09
I.2.2.1 La capacité MOS.....	09
a) La structure.....	09
b) Principe et régimes de fonctionnement de la capacité MOS.....	09
c) Modélisation de la capacité MOS.....	10
I.2.2.2 Les régimes de fonctionnement du transistor MOS.....	12
I.2.2.2.1 La caractéristique $I_d - V_g$ .....	12
b) La tension de seuil.....	13
c) Le courant en faible inversion.....	14
d) Le courant en forte inversion.....	15
I.2.2.2.2 La caractéristique réelle $I_d - V_d$ .....	15
I.3 schéma électrique équivalent du Transistor MOS.....	17
I.3.1 Capacités parasites du transistor MOS.....	19
I.3.1.1 Capacité de grille.....	19
a) Capacité intrinsèque grille/canal.....	19
b) Capacité grille/substrat.....	20
c) Capacité totale de grille.....	20
I.3.1.2 Capacité des jonctions source/substrat $C_{SB}$ et drain/substrat $C_{DB}$ .....	21
I.4 Les modèles compacts.....	21
I.4.1 Approche classique.....	21

I.4.1.1 Les modèles SPICE de première génération.....	22
I.4.1.2 Les modèles de deuxième génération.....	24
I.4.1.3 Les modèles de troisième génération.....	26
I.4.2 Approches alternatives < <i>Vers les modèles de quatrième génération ?</i> >	
Le modèle EKV.....	27
I.4.2.1 Introduction.....	27
I.4.2.2 Linéarisation de la charge d'inversion.....	28
I.4.2.3 Normalisation du courant et de la charge.....	29
I.5 Evolution de la technologie CMOS.....	30
I.6 Transistor et inverseur CMOS.....	31
I.6.1 Caractéristique de transfert $V_{out}(V_{in})$ .....	32
I.6.2 Dynamique de l'inverseur.....	34
I.6.3 Bilan des relations entre inverseur CMOS et transistor.....	36
I.6.4 Procédé de fabrication CMOS à caisson n.....	36
I.7 Les limites actuelles à la miniaturisation du transistor MOS bulk.....	39
I.7.1 Contraintes pour les générations futures.....	39
I.7.1.1 Problèmes liés aux faibles épaisseurs d'oxyde.....	42
I.7.2.2 Les effets canaux courts.....	42
▪ Le partage de charge de déplétion (CS).....	43
▪ L'abaissement de la barrière de potentiel induit par le drain (DIBL). ..	43
I.7.2.3 La déplétion de grille.....	44
I.7.2.4 Problèmes liés au dopage.....	45
I.7.2.5 Phénomènes quantiques dans le canal.....	45
I.7.2.6 Les aspects extrinsèques.....	46
▪ Les résistances source-drain (résistances série).....	47
▪ La capacité extrinsèque.....	47
I.7.2 Conclusion.....	48
I.8 Amélioration des propriétés du matériau.....	49
I.8.1 Dopage rétrograde.....	49
I.8.2 Les isolants de valeur de permittivité élevée (high-k).....	49
I.8.3 Les grilles métalliques.....	50
I.8.4 Transistors à canal de Silicium contraint.....	50
I.9 Les technologies SOI.....	51

1.9.1 La technologie SOI à une grille.....	51
1.9.1.1 Introduction.....	51
1.9.1.2 Avantages de la technologie SOI par rapport au MOSFET bulk....	52
1.9.1.3 Procédé de fabrication de la technologie SOI.....	57
1.9.1.4 Conclusion.....	59
1.9.2 Les transistors à grilles multiples.....	60
1.10 Conclusion.....	64

## Bibliographie

### **Chapitre II : Le MOSFET double-grille les effets physiques, les propriétés électriques et l'état de l'art des modèles compacts**

II. Etat de l'art.....	65
II.1 Transistor double-grille planaire.....	68
II.1.1 Introduction.....	68
II.1.2 Transistor double grille planaire.....	68
II.1.2.1 Procédé de fabrication.....	69
II.1.2.2 Performances électriques-Discussions.....	71
II.1.3 Transistor Gate All Around (GAA).....	71
II.1.3.1 Procédé de fabrication.....	72
a) La technologie Silicon On Nothing (SON).....	72
b) Utilisation de la technologie SON pour la fabrication de GAA....	72
II.1.3.2 Performances électriques-Discussion.....	73
II.1.3 Transistor double-grille à conduction verticale.....	74
II.1.3.1 Introduction.....	74
II.1.3.2 Transistor a conduction verticale réalisé par diffusion de source solide(VRG).....	75
II.1.3.2.1 Procédé de fabrication.....	75
II.1.3.2.2 Performances électriques-Discussion.....	77
II.1.3.3 Transistor à conduction verticale réalisé par épitaxie.....	77
II.1.3.3.1 Procédé de fabrication.....	78
II.1.3.3.2 Performances électriques-Discussion.....	78
II.1.3.4 Transistor à conduction verticale réalisé par implantation.....	79
II.1.3.4.1 Procédé de fabrication.....	79
II.1.3.4.2 Performances électriques-Discussion.....	80

II.1.4 Transistor à conduction latérale.....	80
II.1.4.1 Delta-FET.....	81
II.1.4.1.1 Procédé de fabrication.....	81
II.1.4.1.2 Performances électriques.....	82
II.1.4.2 FinFET.....	82
II.1.4.2.1 Introduction.....	82
II.1.4.2.2 Procédé «gate last».....	82
a) Procédé de fabrication.....	82
b) Performances électriques-Discussion.....	84
II.1.4.2.3 Procédé «gate first».....	84
a) Procédé de fabrication.....	84
b) Performances électriques-Discussion.....	85
II.1.4.2.4 Etat de l'art des performances des FinFET.....	86
II.2 Modes de fonctionnement du transistor MOS double-grille planaire.....	87
II.3 Propriétés électriques du MOSFET double grille.....	88
II.3.1 Nouvelles lois de réduction d'échelle.....	88
II.3.1.1 Définition de la longueur caractéristique.....	89
II.3.1.2 Théorie du scaling.....	90
II.3.2 Le phénomène d'inversion volumique.....	92
II.3.3 Caractéristiques statiques.....	93
II.3.3.1 Définition de la tension de seuil.....	93
II.3.3.2 Etat passant.....	94
II.3.3.3 Etat bloqué.....	96
II.3.3.4 Contrôle des effets canaux courts.....	97
II.4 Etat de l'art des modèles compacts du MOSFET double-grille symétrique.....	100
II.4.1 Introduction.....	100
II.4.2 Les différents modèles compacts du MOSFET double-grille Symétrique.....	101
II.4.2.1 Modèles en tension de seuil du MOSFET double-grille symétrique.....	102
II.4.2.2 Modèles en potentiel de surface du MOSFET double-grille symétrique.....	103
II.4.2.3 Modèles en charge du MOSFET double-grille symétrique.....	106

II.5 Bilan et intérêt d'un nouveau modèle.....	107
II.6 Conclusion.....	109
Bibliographie	
<b>Chapitre III : Résultats de simulation numérique du MOSFET double-grille planaire</b>	
III. L'outil de simulation – TCAD.....	110
III.1 Les contraintes de la résolution numérique .....	110
III.1.1 Le maillage.....	110
III.1.2 Stratégie de calcul.....	111
III.2 La simulation numérique du MOSFET double-grille.....	112
III.3 Choix de paramètres technologiques pour le MOSFET double-grille.....	114
III.4 Résultats de simulation.....	116
III.4.1 Variation de l'épaisseur de l'oxyde pour $T_{ox}=1\text{nm}$ , $1.5\text{nm}$ et $2\text{nm}$ ...	117
III.4.2 Influence de la variation de la longueur de la grille sur le courant du drain du DGFET .....	119
III.4.3 Effets de la Variation de la concentration $N_D$ et $N_A$ sur le courant $I_d$	120
III.4.3.1 Effets de la Variation de la concentration $N_D$ sur le courant $I_d$ source/drain.....	120
III.4.3.2 Dopage du film ( $N_A$ ).....	122
Bibliographie	
<b>Conclusion générale et perspectives</b>	126
<b>Annexe</b>	
<b>I Comparatif des avantages et inconvénients des dispositifs MOS avancés.....</b>	128
Bibliographie	

# Liste des constantes, symboles et abréviations

<b>Significations</b>	<b>Constantes</b>	<b>Unités</b>
Constante diélectrique du silicium.....	$\epsilon_{si}$	$F \cdot m^{-1}$
Constante diélectrique de l'oxyde.....	$\epsilon_{ox}$	$F \cdot m^{-1}$
Charge élémentaire.....	$e = 1,6 \cdot 10^{-19}$	$C$
Constante de Boltzmann.....	$k = 1,38 \cdot 10^{-23}$	$J \cdot K^{-1}$
<b>Significations</b>	<b>Symboles</b>	<b>Unités</b>
<b>Paramètres du silicium</b>		
Niveau d'énergie de la bande de conduction.....	$E_c$	$eV$
Niveau d'énergie de la bande de valence.....	$E_v$	$eV$
Niveau de Fermi intrinsèque.....	$E_i$	$eV$
Niveaux de Fermi du métal.....	$E_{fm}$	$eV$
Niveaux de Fermi du silicium de type p.....	$E_{fp}$	$eV$
Concentration intrinsèque des porteurs dans le silicium.....	$n_i$	$cm^{-3}$
<b>Paramètres géométriques et technologiques des transistors</b>		
<b>MOS</b>		
Longueur de la grille.....	$L_g$	$m$
Longueur du canal.....	$L$	$m$
Largeur du canal.....	$W$	$m$
Profondeur de jonction du MOSFET bulk.....	$X_j$	$m$
Épaisseur d'oxyde au dessus du film de silicium.....	$t_{ox1}$	$m$
Épaisseur d'oxyde en dessous du film de silicium.....	$t_{ox2}$	$m$
Épaisseur de la grille.....	$t_g$	$m$
Épaisseur du film de silicium.....	$t_{si}$	$m$
Longueur de diffusion latérale.....	$L_d$	$m$
Longueur de recouvrement.....	$L_{ov}$	$m$
Température.....	$T$	$K$
Dopage du substrat.....	$N_A$	$cm^{-3}$

Dopage de la source et du drain.....	$N_D$	$\text{cm}^{-3}$
<b>Paramètres électriques des transistors MOS</b>		
Tension thermodynamique.....	$U_T$	$V$
Tension d'alimentation.....	$V_{DD}$	$V$
Tension de bandes plates.....	$V_{FB}$	$V$
Polarisation de la grille.....	$V_g$	$V$
Polarisation du drain.....	$V_d$	$V$
Polarisation de la source.....	$V_S$	$V$
Polarisation du substrat pour le MOSFET bulk.....	$V_b$	$V$
Différence des travaux de sortie entre la grille et le silicium.....	$\Delta\Phi_{ms}$	$V$
Potentiel de Fermi.....	$\Phi_F$	$V$
Potentiel de surface.....	$\Psi_S$	$V$
Potentiel au centre du film de silicium.....	$\Psi_c$	$V$
Tension de seuil pour un transistor canal long.....	$V_{t0}$	$V$
Tension de seuil pour un transistor canal court.....	$V_{th}$	$V$
Courant de drain.....	$I_d$	$A$
Mobilité des porteurs à champ faible.....	$\mu_0$	$\text{cm}^2 \cdot V^{-1} \cdot s^{-1}$
Mobilité effective des porteurs.....	$\mu_{eff}$	$\text{cm}^2 \cdot V^{-1} \cdot s^{-1}$
Capacité de l'oxyde sur une grille.....	$C_{oxl}$	$F$
Capacité d'oxyde totale.....	$C_{ox}$	$F$
Capacité extrinsèque.....	$C_{ext}$	$F$
Capacité de bord interne.....	$C_{if}$	$F$
Capacité de bord externe.....	$C_{of}$	$F$
Capacité de recouvrement.....	$C_{ov}$	$F$
Pente sous le seuil.....	$SS$	$mV / dec$
Facteur de substrat.....	$n$	—
<b>Paramètres électriques du modèle</b>		
Champ critique.....	$E_0$	$V \cdot \text{cm}^{-1}$
Vitesse de saturation des porteurs.....	$v_{sat}$	$\text{cm} \cdot s^{-1}$
Mobilité des porteurs à champ faible.....	$\mu_0$	$\text{cm}^2 \cdot V^{-1} \cdot s^{-1}$
Paramètre d'ajustement du modèle de capacité de recouvrement...	$\lambda^*$	$V^{-1}$
Paramètre d'ajustement du modèle pour les effets canaux courts...	$\sigma$	—
<b>Grandeurs électriques normalisées</b>		

Densité de charge d'inversion normalisée.....	$q_m$	—
Polarisation de la grille normalisée.....	$v_g$	—
Polarisation du drain normalisée.....	$v_d$	—
Polarisation de la source normalisée.....	$v_s$	—
Potentiel de Fermi normalisé.....	$\Phi_f$	—
Tension de seuil pour un transistor canal long normalisée.....	$V_{t0}$	—
Tension de seuil pour un transistor canal court normalisée.....	$V_{th}$	—
Courant de drain normalisé.....	$i$	—
Capacité extrinsèque normalisée.....	$c_{ext}$	—
Capacité de bord interne normalisée.....	$c_{if}$	—
Capacité de bord externe normalisée.....	$c_{of}$	—
Capacité de recouvrement normalisée.....	$c_{ov}$	—

## Abréviations

## Significations

ADG	Transistor MOS SOI double-grille en mode de fonctionnement asymétrique
DG	Transistor MOS SOI double-grille
DIBL	« Drain Induced Barrier Lowering » : Abaissement de la barrière de potentiel induit par le drain
FDSOI	Transistor MOS SOI entièrement déplété
GAA	Transistor MOS SOI à grille enrobante
ITRS	« International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs
MEB	Microscope électronique à balayage
MOS	Métal-Oxyde-Semiconducteur
MOSFET	« MOS Field Effect Transistor » : Transistor à effet de champ MOS
PDSOI	Transistor MOS SOI partiellement déplété
QG	Transistor MOS SOI quadruple-grille
Roll-off, CS.	« Charge sharing » : Partage de charge
SCE	« Short-Channel Effects » : Effet canaux courts
SDG	Transistor MOS SOI double-grille en mode de fonctionnement symétrique
SOI	« Silicon On Insulator » : Silicium sur isolant
SG	Transistor MOS SOI à une grille
TCAD	« Technology Computer-Aided Design »
TEM	Microscopie par transmission électronique
TG	Transistor MOS SOI triple-grille
TMOS	Transistor Métal-Oxyde-Semiconducteur

# Liste des tableaux

<b>Tableau I.1</b>	Liste des paramètres du modèle SPICE Level 1 .....	24
<b>Tableau I.2</b>	Influences des caractéristiques intrinsèques des transistors MOS sur les performances de l'inverseur CMOS.....	36
<b>Tableau I.3</b>	Prévision SIA de l'évolution de la technologie CMOS.....	40
<b>Table II.1</b>	Architectures multi-grille non conventionnelles de transistor MOSFET (IRTRS 2004) .....	66
<b>Tableau II.2</b>	Expressions de la longueur naturelle (critère) dans les différentes structures SOI : MOS Bulk, GAA (Gate-All-Around) et Plan de masse enterrée .....	91
<b>Tableau II.3</b>	Calcul du rapport $L/\lambda$ pour une longueur de canal de 15nm et un $t_{ox} = 1, 2$ nm en fonction de l'architecture SOI. Les cases grisées correspondent aux transistors mal dimensionnés .....	97
<b>Tableau II.4</b>	Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique .....	107
<b>Tableau III.1</b>	Diagramme de la simulation numérique de Silvaco[1].....	113
<b>Tableau III.2</b>	Paramètres technologiques et géométriques du MOSFET double-grille canal court définis lors des simulations 2-D.....	117
<b>Tableau III.3</b>	représente les différentes valeurs de la concentration du dopage source /drain.....	121
<b>Tableau III.4</b>	représente les différentes valeurs de la concentration du dopage du film de silicium.....	122
<b>Tableau III.5</b>	représente les différentes valeurs de la concentration du dopage du film de silicium.....	124

# **Introduction Générale**

# Introduction générale

---

L'évolution de l'électronique et de l'informatique durant ces trente dernières années a permis de modifier réellement notre façon d'appréhender les produits de haute technologie.

En effet, les équipements dont le fonctionnement repose sur des produits dérivés de la microélectronique ont envahi notre quotidien. L'acteur fondamental de cette course à la recherche de performances associée à la miniaturisation des objets est sans conteste le transistor MOS (Metal Oxide Semiconductor). Ce dernier est à la base de la conception des circuits intégrés à très large et ultra-large échelle (VLSI-ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS (TMOS).

Cette évolution a été décrite depuis 1970 par la loi de Moore [1]. Celle-ci prévoit un doublement du nombre de composants par circuit, tous les dix huit mois. Néanmoins, l'augmentation de la densité d'intégration et la rapidité des circuits sans cesse croissante a abouti à la réalisation de dispositifs sub-microniques et à l'apparition de limites physiques intrinsèques. C'est pourquoi, les grands laboratoires de recherche du monde entier se sont regroupés au sein de l'International Technology Roadmap for Semiconductors (ITRS) [2] afin de mieux identifier les principaux challenges technologiques.

Ainsi, pour des dimensions sub-microniques, les dispositifs conventionnels sur substrat massif (ou « Bulk ») souffrent de dégradations (vitesse de commutation, consommation en puissance, effets canaux courts...), cette réduction d'échelle est accompagnée d'une augmentation très forte d'effets néfastes au bon fonctionnement des dispositifs. Ces effets sont directement liés à la petite géométrie du TMOS. Les principaux effets indésirables sont : **le partage de charge entre la grille et les régions de source et drain (short-channel effects), l'abaissement de la barrière de potentiel induit par le drain (DIBL), les effets quantiques et la fluctuation du nombre de dopants.**

En effet, différentes solutions ont été proposées afin de lever les verrous technologiques jusqu'au noeud 45 nm tel que l'utilisation de substrats SOI (Silicon On Insulator), ou de silicium contraint (SiGe)... Néanmoins, il faut déjà penser aux générations

# Introduction générale

---

suivantes (sub-32 nm), et ces différentes technologies ne permettent plus d'atteindre les niveaux de courants requis.

Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, ce qui paraît être une solution de choix pour l'avenir de la microélectronique [3]. Il semble acquis que les transistors intégrant une seconde grille tels que le transistor double-grille et le FinFET sont en passe de devenir les solutions indispensables pour la conception de circuits micro et nanoélectroniques [4]. Grâce à leurs structures, ces dispositifs offrent non seulement un courant plus important, mais également un meilleur contrôle du canal lorsque leurs dimensions sont fortement réduites, en comparaison avec le MOSFET bulk.

Ces dispositifs, pour pouvoir être utilisés par les concepteurs de circuits intégrés, ont besoin d'être modélisés sous la forme de modèles compacts interprétables par des simulateurs de circuits. Ces modèles compacts doivent être capables de décrire le plus exactement possible le comportement électrique (statique et dynamique) de ces dispositifs. Ils doivent renseigner précisément le concepteur pour qu'il élabore ensuite au mieux les circuits intégrés qu'il aura préalablement définis en CAO en utilisant un modèle compact efficace et adapté à ses besoins.

Cette thèse a été consacrée à l'étude des transistors MOS double grille planeaire par simulation **ATLAS SILVACO**. Ce travail a fait l'objet de trois chapitres :

**Dans le chapitre 1**, nous présenterons brièvement le transistor MOS bulk ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes. Nous exposerons ainsi la technologie SOI à une grille, puis les solutions SOI émergentes, à savoir les technologies SOI multiple grille.

**Dans le Chapitre II**, nous présenterons un aperçu des différentes architectures multi-grille alternatives: les structures planaires, les architectures double-grille à conduction verticale et les transistors à conduction latérale de type FinFET. Un procédé de fabrication innovant est aussi proposé et en deuxième section nous nous intéresserons plus précisément aux transistors double-grille (DG) planaires nous traiterons tout d'abord leurs principales caractéristiques électriques. Nous aborderons, ensuite, un état des travaux les plus

## Introduction générale

---

significatifs réalisés dans le domaine de la modélisation compacte du transistor MOS double grille symétrique.

**Dans le Chapitre III**, nous avons, dans un premier temps, élaboré la structure MOSFET double-grille sur le simulateur de dispositifs Atlas/SILVACO [5] afin de réaliser des études physiques des différents phénomènes perturbant son fonctionnement. Cela nous a permis, dans un second temps de modifier les caractéristiques technologiques (épaisseur d'oxyde, longueur de grille, dopage) pour mieux cerner leur influence sur le transistor.

## Bibliographie

---

- [1] G. Moore, "*Progress in digital integrated electronics*", International Electron Device Meeting (IEDM) Techn. Digest, pp. 11-13, 1975.
- [2] "*International Technological Roadmap of Semiconductors 2005*", Section: Front End Process, ITRS 2005.
- [3] J. Colinge, "*Silicon-on-insulator technology: Materials to VLSI*," ISBN 1-4020-77734, Kluwer Academic Publishers, 3<sup>rd</sup> P edition, 1997
- [4] Semiconductor Industry Association (SIA), "*ITRS (International Technology Roadmap for Semiconductors)*," web site: <http://public.itrs.net>, 2003 ed., Austin, TX. Int. SEMATECH, 2003
- [5] Atlas user's manual – device simulation software, SILVACO International Inc.

# Sommaire du chapitre I

Introduction aux transistors MOS.....	04
I. Les transistors à effet de champ.....	06
I.1 Historique : de l'essor à l'âge d'or.....	06
I.2 Le transistor MOS : architecture et principes de Fonctionnement.....	07
I.2.1. Présentation de la structure du transistor MOS .....	07
I.2.2 Les régimes de fonctionnement de la structure MOS.....	09
I.2.2.1 La capacité MOS.....	09
a)La structure.....	09
b) Principe et régimes de fonctionnement de la capacité MOS.....	09
c) Modélisation de la capacité MOS.....	10
I.2.2.2 Les régimes de fonctionnement du transistor MOS.....	12
I.2.2.2.1 La caractéristique $I_d - V_g$ .....	12
b) La tension de seuil.....	13
c) Le courant en faible inversion.....	14
d) Le courant en forte inversion .....	15
I.2.2.2.2 La caractéristique réelle $I_d - V_d$ .....	15
I.3 schéma électrique équivalent du Transistor MOS.....	17
I.3.1 Capacités parasites du transistor MOS.....	19
I.3.1.1 Capacité de grille.....	19
a) Capacité intrinsèque grille/canal.....	19
b) Capacité grille/substrat.....	20
c) Capacité totale de grille.....	20
I.3.1.2 Capacité des jonctions source/substrat $C_{SB}$ et drain/substrat $C_{DB}$ .....	21
I.4 Les modèles compacts.....	21
I.4.1 Approche classique.....	21
I.4.1.1 Les modèles SPICE de première génération.....	22
I.4.1.2 Les modèles de deuxième génération.....	24
I.4.1.3 Les modèles de troisième génération.....	26
I.4.2 Approches alternatives < <i>Vers les modèles de quatrième génération ?</i> >	27
> Le modèle EKV.....	
I.4.2.1 Introduction.....	27
I.4.2.2 Linéarisation de la charge d'inversion.....	28
I.4.2.3 Normalisation du courant et de la charge.....	29

I.5 Evolution de la technologie CMOS.....	30
1.6 Transistor et inverseur CMOS.....	31
I.6.1 Caractéristique de transfert $V_{out}(V_{in})$ .....	32
I.6.2 Dynamique de l'inverseur.....	34
I.6.3 Bilan des relations entre inverseur CMOS et transistor.....	36
I.6.4 Procédé de fabrication CMOS à caisson n.....	36
I.7 Les limites actuelles à la miniaturisation du transistor MOS bulk.....	39
I.7.1 Contraintes pour les générations futures.....	39
I.7.1.1 Problèmes liés aux faibles épaisseurs d'oxyde.....	42
I.7.2.2 Les effets canaux courts.....	42
▪ Le partage de charge de déplétion (CS).....	43
▪ L'abaissement de la barrière de potentiel induit par le drain (DIBL). ..	43
I.7.2.3 La déplétion de grille.....	44
I.7.2.4 Problèmes liés au dopage.....	45
I.7.2.5 Phénomènes quantiques dans le canal.....	45
I.7.2.6 Les aspects extrinsèques.....	46
▪ Les résistances source-drain (résistances série).....	47
▪ La capacité extrinsèque.....	47
I.7.2 Conclusion.....	48
1.8 Amélioration des propriétés du matériau.....	49
1.8.1 Dopage rétrograde.....	49
1.8.2 Les isolants de valeur de permittivité élevée (high-k).....	49
1.8.3 Les grilles métalliques.....	50
1.8.4 Transistors à canal de Silicium contraint.....	50
1.9 Les technologies SOI.....	51
1.9.1 La technologie SOI à une grille.....	51
1.9.1.1 Introduction.....	51
1.9.1.2 Avantages de la technologie SOI par rapport au MOSFET bulk....	52
1.9.1.3 Procédé de fabrication de la technologie SOI.....	57
1.9.1.4 Conclusion.....	59
1.9.2 Les transistors à grilles multiples.....	60
1.10 Conclusion.....	64

# **Chapitre I**

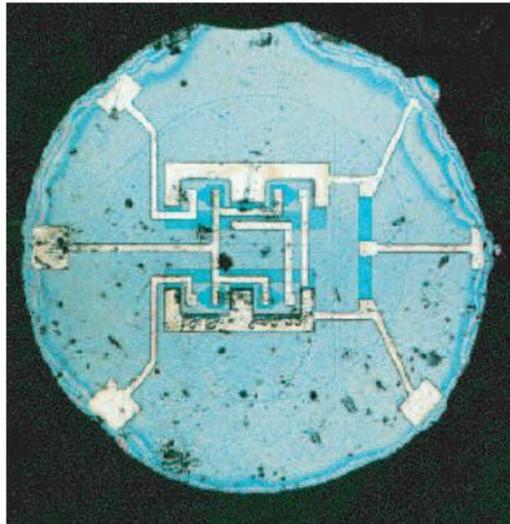
## **Le MOSFET : limites et solutions à la miniaturisation**

### Introduction aux transistors MOS

La performance et la fiabilité sont deux notions antagonistes mais indissociables. C'est la performance, qui depuis le début de l'électronique (devenue micro puis nano-électronique), a été le moteur d'un formidable développement. En parallèle la fiabilité, parce que nécessaire à la production de masse, tempère ces évolutions. Ainsi, ces dernières années, on a vu croître la part de budget allouée aux études de fiabilité, mais nettement moins que les coûts de recherche et développement. On peut illustrer ceci par quelques faits historiques marquants. Prenons comme exemple l'informatique, dont l'évolution est intrinsèquement liée à celle de l'électronique. En 1938, Konrad Zuse invente un ordinateur qui fonctionne grâce à des relais électromécaniques : le Z3. Cet ordinateur est le premier à utiliser le binaire au lieu du décimal. En 1937, Howard Aiken met au point un ordinateur programmable mesurant 17 m de long et 2.5 mètres de hauteur, permettant de calculer 5 fois plus vite que l'homme : c'est le Mark I d'IBM. Il est constitué de 3300 engrenages, 1400 commutateurs reliés par 800 km de fil électrique. En 1943, le premier ordinateur ne comportant plus de pièces mécaniques est créé grâce à J. Mauchly et J. Presper Eckert: l'ENIAC (Electronic Numerical Integrator And Computer). Il est composé de 18000 lampes à vide, et occupe une place de 1500 m<sup>2</sup>. Il fut utilisé pour des calculs ayant servi à mettre au point la bombe H. Sa consommation électrique avoisine quelques centaines de kilowatts, et sa fiabilité n'a d'égale que celle des lampes qui le constituent, soit quelques heures. Plusieurs améliorations notables, basées sur cette technologie, seront apportées par la suite. Mais c'est réellement avec l'invention du premier transistor en 1947 par John Bardeen, Walter Brattain et William Shockley dans les laboratoires de Bell Telephone, que l'électronique moderne trouve ses racines. Ce transistor bipolaire, d'abord en Germanium, puis en Silicium (1954) pour des raisons de coûts et de procédés de fabrication, ouvre la voie à une longue série d'innovations. Le transistor à effet de champ en 1959 (Figure D): plus proche de la triode que ne l'est le transistor bipolaire, celui-ci est composé d'une électrode appelée Grille (G) qui module la conductance entre une zone dite Source (S) et une autre dite Drain (D). En 1960, le premier transistor dit planar: Jean Hoerni fabrique un transistor plat à l'aide de gaz dopant positivement, négativement ou bien transformant le silicium en silice (oxyde de silicium SiO<sub>2</sub>) qui est un isolant.



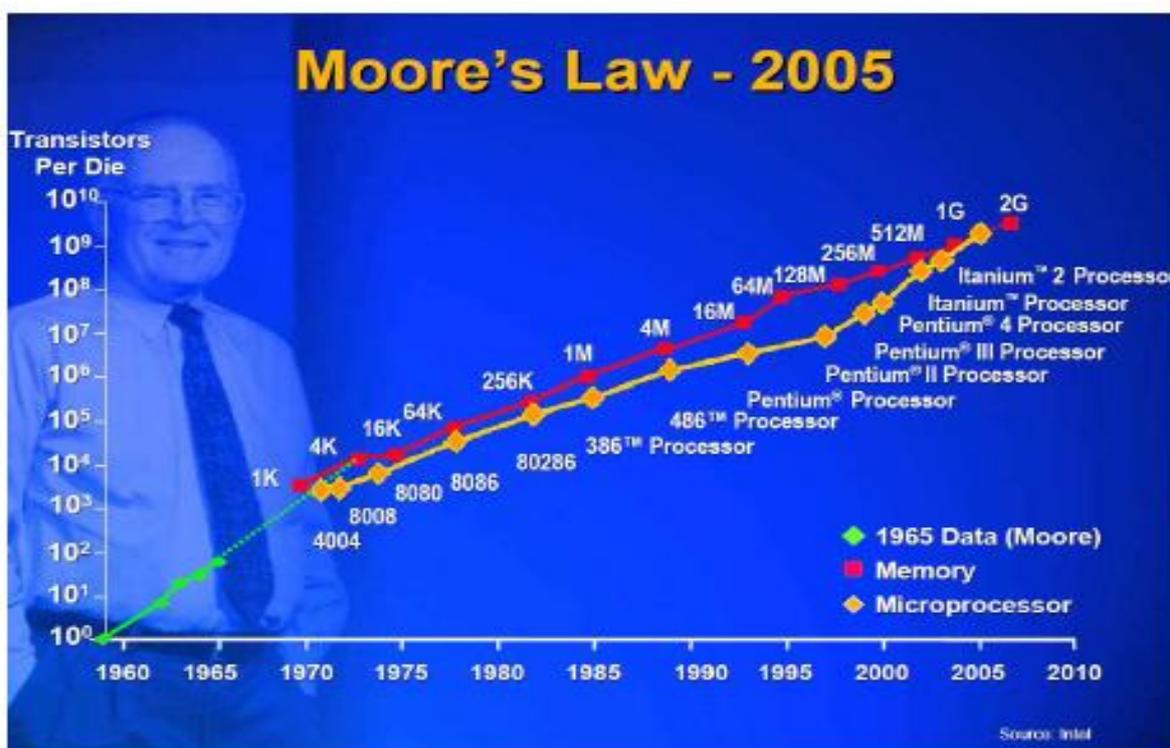
*Figure I : Premier transistor MOSFET réalisé par M. M. Atalla, D. Kahng et E. Labate en 1959*



*Figure II : Premier circuit intégré planar, 1961.*

Cette idée sera reprise quelques mois plus tard par Robert NOYCE qui intégrant la technologie planar mettra au point des procédés toujours utilisés aujourd'hui pour fabriquer les circuits intégrés. Les débuts de la micro-électronique moderne coïncident avec la mise au point de la technologie Metal-Oxide-Semi-conducteur (MOS), en 1970. Cette technologie permet de fabriquer des transistors plus petits et plus rapides. Une course à la densité, à la vitesse et à la consommation commence... On parle alors de SSI (Small Scale Integration) : 30 à 80 transistors, MSI (Medium Scale Integration) , LSI (Large Scale Integration) , VLSI (Very Large Scale Integration). C'est en 1971, que la compagnie Intel produit son premier microprocesseur, le i4004, dont la puissance est équivalente à celle de l'ENIAC. Un des co-fondateurs de cette entreprise, Gordon Moore, prévoit dès 1965 que le nombre de transistors par circuit intégré doublera tous les deux ans. La loi est restée

vérifiée jusqu'à la fin des années 1970, pour tendre vers un doublement tous les 18 mois actuellement (Fig. III).



**Figure III** : illustration de la loi de Moore avec l'évolution du nombre de transistors dans les générations successives de processeurs Intel (<http://www.intel.com>).

Ce premier chapitre est consacré aux rappels des principales caractéristiques physiques et électriques des transistors à effet de champ de type MOS. Nous dégagerons ainsi les motivations de la course effrénée à la miniaturisation des composants. Ensuite, nous détaillerons les limites actuelles de cette miniaturisation et nous clôturerons ce chapitre en présentant les très prometteuses structures multigrilles.

## I. Les transistors à effet de champ

### I.1 Historique

Les concepts du transistor à effet de champ ont été brevetés par Lilienfield et Heil en 1930. Cependant des difficultés technologiques très importantes ont retardé sa réalisation pratique. En effet, il n'apparaîtra sous sa forme moderne qu'en 1955 grâce à Ross. Cela bien après la réalisation par Shockley en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus sophistiqué. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium  $\text{SiO}_2$  [1]. Le silicium fut un choix très judicieux. Il est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus

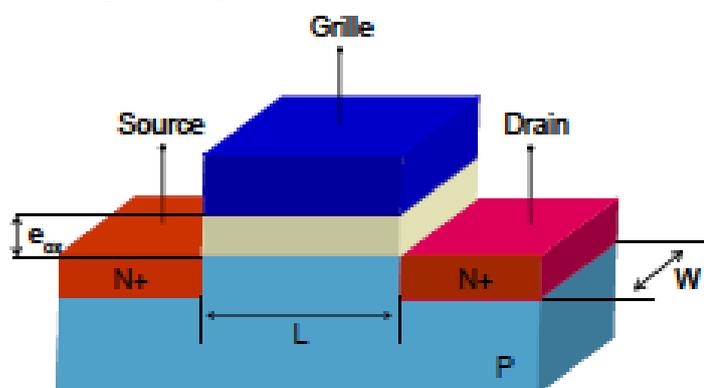
son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS inventée en 1968 qui consomme très peu d'énergie. Ainsi des systèmes à bas prix possédant une grande autonomie ont été très largement diffusés : montres à quartz, calculatrices... Depuis, les applications en logique CMOS mais aussi les mémoires qui constituent l'autre grande application des MOSFET ont bénéficié d'une très forte et continue augmentation de leur rapidité et de leur densité d'intégration [1].

## I.2 Le transistor MOS : architecture et principes de Fonctionnement

### I.2.1. Présentation de la structure du transistor MOS

La structure de base du transistor Métal Oxyde Semi-conducteur à effet de champ (MOSFET) est représentée par la Figure I-1.



*Figure I-1 : Schéma d'un MOSFET de type N.*

Nous présentons dans ce qui suit un transistor MOSFET à canal de type n. Ce transistor est réalisé à partir d'un substrat semi-conducteur, généralement de type P, dans lequel deux régions implantées N+ définissent la source et le drain. L'électrode de grille est obtenue à partir d'un oxyde ( $\text{SiO}_2$ ) recouvert par une couche de polysilicium fortement dopée. Les principaux paramètres géométriques du composant sont : L (longueur de grille, distance drain-source), W (largeur transversale de la structure) et  $e_{\text{ox}}$  ou  $t_{\text{ox}}$  (épaisseur d'oxyde). Dans les circuits intégrés, le transistor MOS est généralement isolé des composants voisins par des tranchées d'isolation. [2]

La zone active du transistor MOS est la région semiconductrice (substrat) située entre la source et le drain près de l'interface oxyde-semiconducteur [3]. La tension appliquée entre

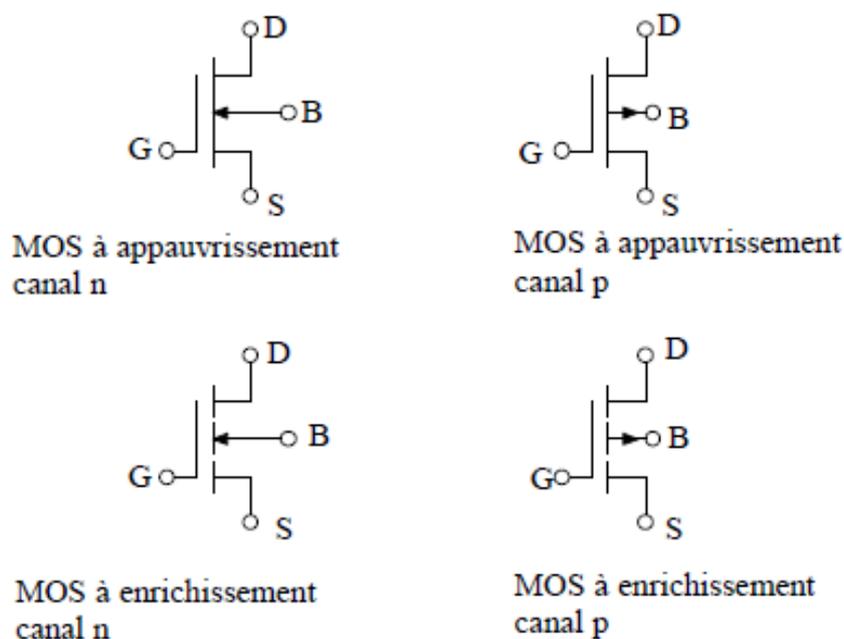
# Chapitre I

la grille et le substrat  $V_{GB}$  génère un champ électrique dans le substrat, et pour une tension  $V_{GB}$  suffisante, un canal de conduction est créé à l'interface oxyde-semiconducteur.

Lorsque nous polarisons le transistor par une tension  $V_{DS}$ , un courant de porteurs minoritaires circule dans le canal entre la source et le drain. Nous parlons de transistor nMOS lorsque le substrat est dopé avec des atomes accepteurs et que les porteurs minoritaires sont les électrons. Dans ce cas, les régions de source et de drain sont fortement dopées avec des atomes donneurs (i.e. une conduction assurée par des électrons). Le transistor pMOS possède un substrat dopé avec des atomes de type donneur et les porteurs minoritaires sont les trous. Dans notre manuscrit lorsque le type du substrat n'est pas précisé, nous parlons d'un transistor nMOS où les porteurs minoritaires sont les électrons.

Selon le procédé de fabrication des transistors MOS il existe deux types de MOSFET

- à « enrichissement de canal » qui correspond à une conduction par les porteurs minoritaires (canal surfacique)
- à « appauvrissement de canal » qui correspond à une conduction par les porteurs majoritaires (canal enterré)



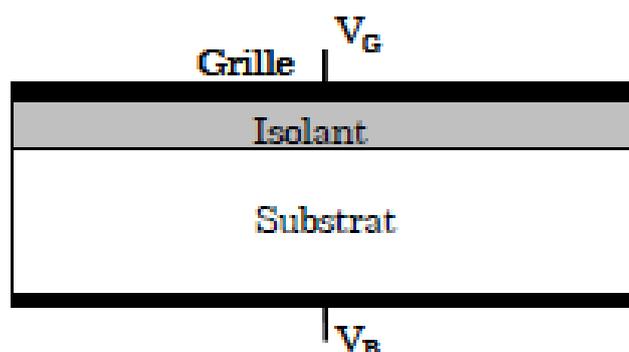
**Figure I-2 :** Les symboles des quatre types de MOS sont les suivants l'électrode B représente le substrat, G la grille, S la source et D le drain.

## I.2.2 Les régimes de fonctionnement de la structure MOS

### I.2.2.1 La capacité MOS

#### a) La structure

Par définition un condensateur est constitué de deux électrodes conductrices séparées par un matériau isolant. Ainsi, on appelle « capacité MIS » la superposition de trois couches de matériaux : le métal ou poly-silicium dégénéré (appelé grille), l'isolant ( $\text{SiO}_2$ ,  $\text{HfO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Si}_3\text{N}_4$ ...), et le semiconducteur (Si, Ge...) de type N ou de type P (appelé bulk) (cf. Fig. (I.3)).

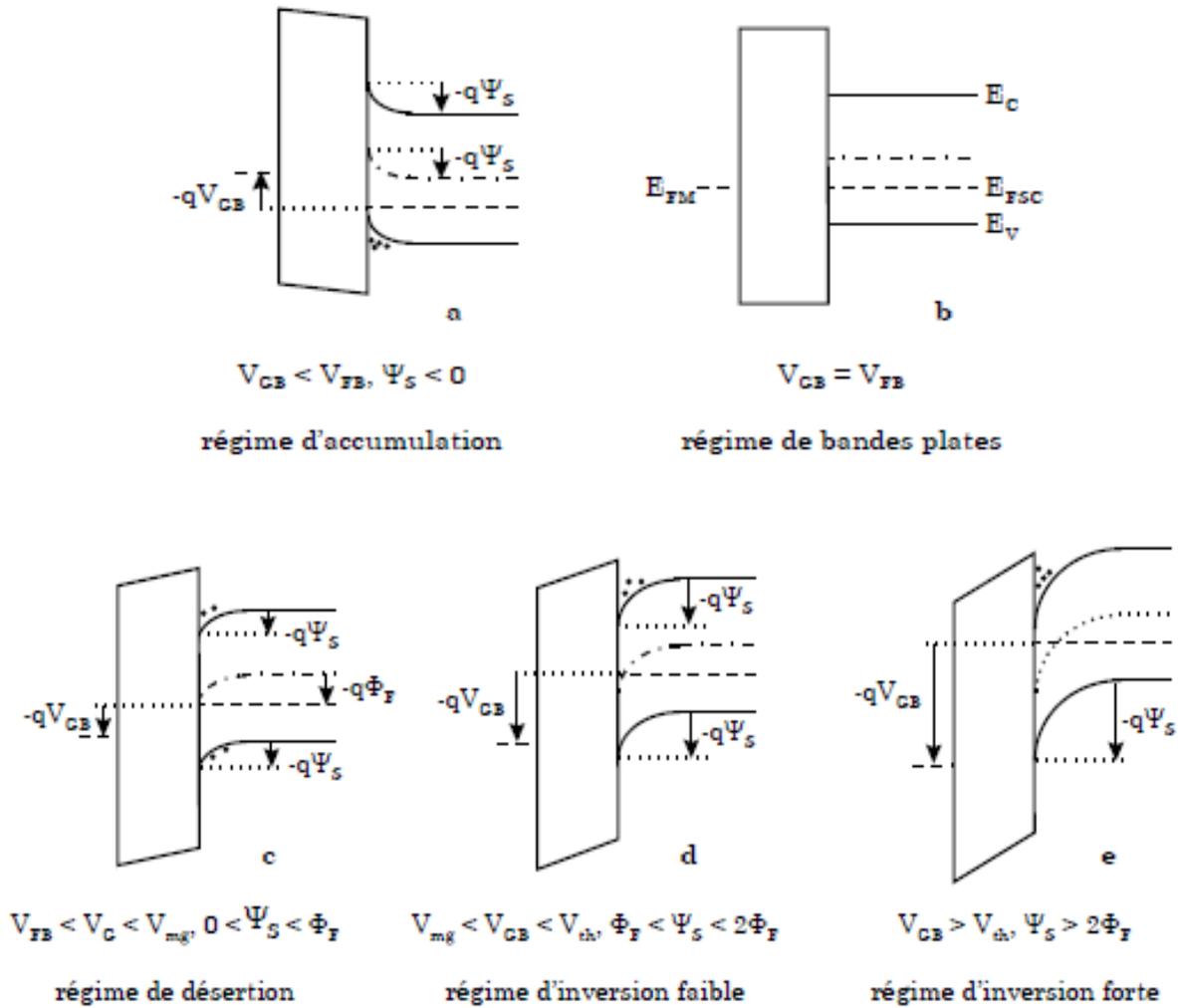


*Figure I.3. Schéma en coupe d'une structure MIS.*

La dénomination capacité MOS (pour Metal-Oxide-Semiconducteur) résulte de la nature de l'isolant qui est alors un oxyde.

#### b) Principe et régimes de fonctionnement de la capacité MOS

La polarisation de la capacité par une tension  $V_{GB}$ , entre la grille métallique et le substrat, implique l'apparition d'une charge  $Q_G$  dans la grille et d'une charge opposée  $Q_{SC}$  dans le semiconducteur. La variation de la tension  $V_{GB}$  modifie la valeur de ces charges, ce qui a pour conséquence les changements de régimes de fonctionnement de la capacité. La figure (I.4) présente les différents diagrammes de bandes du semiconducteur d'une capacité de type P en fonction de la tension  $V_{GB}$ .



**Figure I-4 :** Diagrammes de bandes représentant les différents régimes du semi-conducteur en fonction du potentiel appliqué : le régime d'accumulation (a), le régime de bandes plates (b), le régime de désertion (c), le régime d'inversion faible (d) et le régime d'inversion forte (e).

Ainsi une capacité MOS présente cinq régimes de fonctionnement en fonction de la tension appliquée entre sa grille et son substrat.

### c) Modélisation de la capacité MOS

La capacité totale d'une capacité MOS, de surface  $A_{eff}$ , est composée de la capacité d'oxyde,  $C_{ox}$ , en série avec la capacité dynamique du semiconducteur,  $C_{sc}$  :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \quad (I.1)$$

Avec :

$$\begin{cases} C_{ox} = \frac{\epsilon_{ox} \cdot A_{eff}}{t_{ox}} \\ C_{sc} = \frac{dQ_G}{d\Psi_S} = -\frac{dQ_{sc}}{d\Psi_S} \end{cases} \quad (I.2)$$

# Chapitre I

Où  $\Psi_S$  est le potentiel de surface du substrat, et  $t_{ox}$  l'épaisseur de la couche d'oxyde. La charge au niveau de la grille,  $Q_G$ , est reliée à la tension aux bornes de l'isolant par la relation capacitive :

$$Q_G = C_{ox} V_{ox} \tag{I.3}$$

Où  $V_{ox}$  est la tension appliquée aux bornes de l'oxyde.

Notons que dans les expressions (I.2), les états d'interface et la déplétion de la grille ne sont pas pris en compte.

Pour une capacité MOS, deux équations doivent être respectées : la neutralité de la charge (I.4) et la conservation de l'équation aux potentiels (I.5):

$$Q_G + Q_{ox} + Q_{SC} = 0 \tag{I.4}$$

$$V_{GB} = \Phi_{MS} + \Psi_S + V_{ox} \tag{I.5}$$

Où  $\Phi_{MS}$  est la différence entre les travaux de sortie de la grille et du semiconducteur et  $Q_{ox}$  la charge fixe dans l'oxyde.

A partir des équations (I.3) à (I.5), l'équation aux potentiels (I.6) s'écrit :

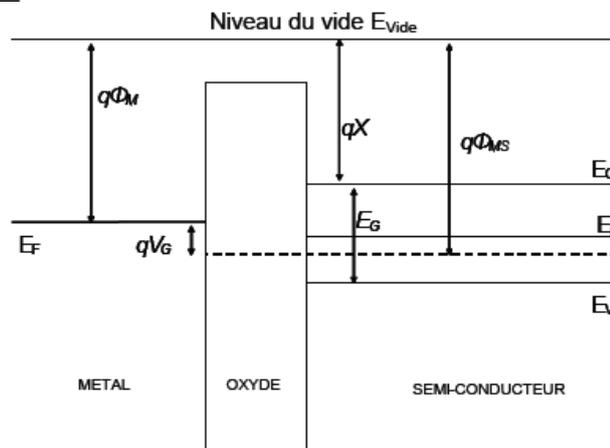
$$V_{GB} = V_{FB} + \Psi_S - \frac{Q_{SC}}{C_{ox}} \tag{I.6}$$

Où la tension de bandes plates,  $V_{FB}$ , est définie par :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \tag{I.7}$$

Notons que dans le cas d'une capacité MOS réelle, les pièges d'interface,  $Q_{it}$ , ne sont plus négligeables et la relation donnant la tension de bandes plates,[4] voir figure I.5,  $V_{FB}$ , doit être corrigée pour prendre en compte ces charges :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}(\Psi_S = 0)}{C_{oi}} \tag{I.8}$$



**Figure I-5:** Diagramme de bandes de la structure MOS à la condition de bandes plates. [5]

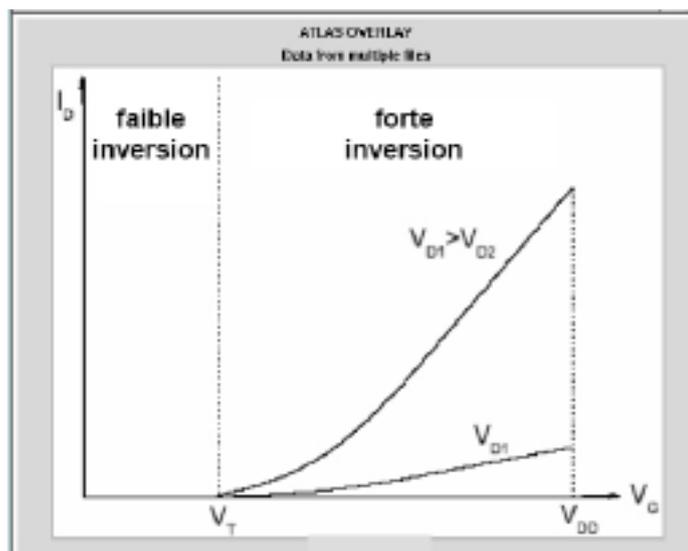
## I.2.2.2 Les régimes de fonctionnement du transistor MOS

Une des caractéristiques essentielles du MOSFET est de présenter un comportement différent selon la valeur des tensions appliquées aux terminaux, i.e. la source, le drain, la grille et le substrat. Nous définissons ainsi différentes zones de fonctionnement à l'intérieur desquelles le transistor a un comportement particulier. Chaque zone est caractérisée par un niveau d'inversion (faible ou forte) et un régime (ohmique ou saturé).

Nous présenterons tout d'abord, de manière schématique, les caractéristiques courant-tension et ensuite nous détaillerons les différents niveaux d'inversion ainsi que les différents régimes de fonctionnement. Ceci nous permettra de cerner l'impact des paramètres électriques et des paramètres géométriques dans le fonctionnement du transistor MOS.

### I.2.2.2.1 La caractéristique $I_d - V_g$

Sur la caractéristique  $I_d - V_g$  (cf. Fig. I.6), nous distinguons deux niveaux d'inversion. La tension de seuil  $V_{th}$  que l'on détaillera dans ce qui suit représente la tension appliquée entre la grille et le substrat à partir de laquelle le transistor commence à conduire. Elle sépare la région de faible inversion (ou région sous le seuil) de la région de forte inversion (ou région au delà du seuil).



**Figure I-6 :** Caractéristiques  $I_d - V_g$  du transistor nMOS avec les niveaux d'inversion. [6]

Lorsqu'une différence de potentiel  $V_{DS}$  est appliquée entre le drain et la source, un courant peut circuler dans le canal. La condition pour laquelle s'effectue l'inversion est :

# Chapitre I

---

$$\Psi_S > \Phi_F \tag{I.9}$$

Avec  $\Psi_S$  le potentiel de surface, et  $\Phi_F$  correspondant à l'écart entre le potentiel intrinsèque  $E_i / e$  et le potentiel de Fermi  $E_{Fp} / e$  du semiconducteur dopé de type accepteur.  $\Phi_{FS}$  s'exprime comme :

$$\Phi_F = \frac{k \cdot T}{e} \cdot \ln \left( \frac{N_A}{n_i} \right) \tag{I.10}$$

Où  $N_A$  est la concentration des dopants du substrat et  $n_i$  est la concentration intrinsèque du silicium. L'inversion forte à son tour apparaît lorsque :

$$\Psi_S > 2 \cdot \Phi_F \tag{I.11}$$

Dans ce cas, compte tenu que la couche conductrice d'inversion « écrante » le volume du semiconducteur,  $\Psi_S$  reste équivalent à  $2 \cdot \Phi_F +$  quelques  $U_T$ , en première approximation. La distinction entre ces deux régions de fonctionnement, i.e. la faible inversion et la forte inversion, nous amène à définir un paramètre important qui est la tension de seuil.

## b) La tension de seuil

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire :

$$\Psi_S = 2 \cdot \Phi_F \tag{I.12}$$

Sous cette condition, la tension de seuil s'exprime comme suit :

$$V_{th} = V_{FB} + 2 \cdot \Phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \Phi_F}}{C_{ox1}} \tag{I.13}$$

Avec

$$V_{FB} = \Phi_M - \Phi_{Si} \tag{I.14}$$

$\Phi_M$  et  $\Phi_{Si}$  sont tels que  $e \cdot \Phi_M$  et  $e \cdot \Phi_{Si}$  représentent respectivement les travaux de sortie de la grille et du silicium,  $\epsilon_{Si}$  est la constante diélectrique du silicium, et enfin

$C_{ox1} = \epsilon_{ox} t_{ox}$  désigne la capacité de l'oxyde. Cette expression de  $V_{th}$  (1.13) est valable pour le transistor MOS bulk à canal long.

### Remarque

La tension de seuil typique d'un **nanoMOSFET** est comprise entre **0.2 et 0.4 V**.

## c) Le courant en faible inversion

En faible inversion, le transistor est considéré comme « bloqué », c'est-à-dire que la barrière de potentiel empêche les porteurs minoritaires de circuler entre la source et le drain. En réalité, quelques porteurs parviennent à franchir cette barrière par activation thermique et le courant sous le seuil peut s'exprimer par [7] :

$$I_d = \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left( \frac{k \cdot T}{e} \right)^2 \cdot \left( 1 - e^{\frac{-e}{kT} V_a} \right) \cdot e^{\frac{e(V_g - V_a)}{nkT}} \quad (I.15)$$

Où  $e$  désigne la charge élémentaire,  $k$  la constante de Boltzmann et  $T$  la température.  $\mu$  représente la mobilité des porteurs  $n$  appelé facteur de substrat, traduit l'effet de la couche de déplétion sur la caractéristique de courant ; il est défini par :

$$n = 1 + \frac{C_{dep}}{C_{ox1}} \quad (I.16)$$

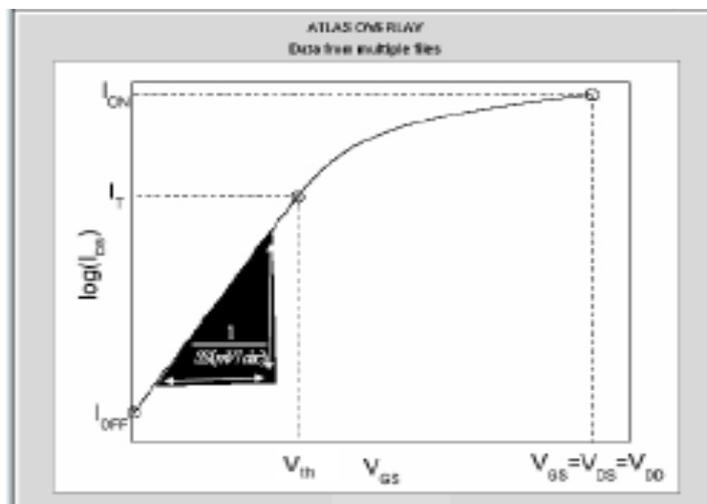
Avec  $C_{dep}$ , la capacité de la couche déplétée.

En régime sous le seuil, le courant progresse de manière exponentielle avec la tension  $V_{GS}$  (cf. Fig. 1.7). Ainsi en considérant la caractéristique  $I_d - V_g$  représentée en échelle logarithmique, nous définissons un paramètre électrique clé en faible inversion, à savoir, la pente sous le seuil  $SS$  ( $SS$  pour "Subthreshold Swing") qui correspond à l'inverse de la pente de la caractéristique.  $SS$  s'exprime alors :

$$SS = \frac{dV_g}{d\text{Log}(I_d)} \quad (I.17)$$

En combinant les équations (1.15) et (1.17) le coefficient  $SS$  peut s'exprimer par:

$$SS = n \cdot \frac{k \cdot T}{e} \cdot \ln(10) \quad (I.18)$$



**Figure I-7 :** Représentation de la caractéristique  $\log I_d - V_g$  pour un NMOS avec mise en évidence du paramètre électrique  $SS$ . [6]

La pente sous le seuil  $SS$  s'exprime en  $mV / dec$  et correspond à la variation de la tension de grille nécessaire pour augmenter le courant d'une décade [7]- [10]. Dans le cas idéal où  $n = 1$ , c'est-à-dire pour une capacité de couche déplétée très faible et pour un transistor canal long à la température ambiante,  $SS = 60mV / déc$ .

### d) Le courant en forte inversion

En forte inversion, le transistor MOS devient passant.  $V_{gs}$  abaisse la barrière d'énergie et crée le canal à l'interface oxyde-semiconducteur. Nous distinguons deux régimes de conduction selon  $V_{ds}$ , le régime linéaire et le régime saturé.

En régime linéaire, et donc pour de faibles tensions  $V_{ds}$ , la charge d'inversion varie linéairement le long du canal, ce qui permet de modéliser le courant par l'expression suivante :

$$I_d = \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left( V_{gs} - V_{th} - \frac{1}{2} \cdot V_{ds} \right) \cdot V_{ds} \quad (I.19)$$

En régime saturé, pour  $V_{ds} \geq V_{gs} - V_{th}$ , le courant s'exprime par :

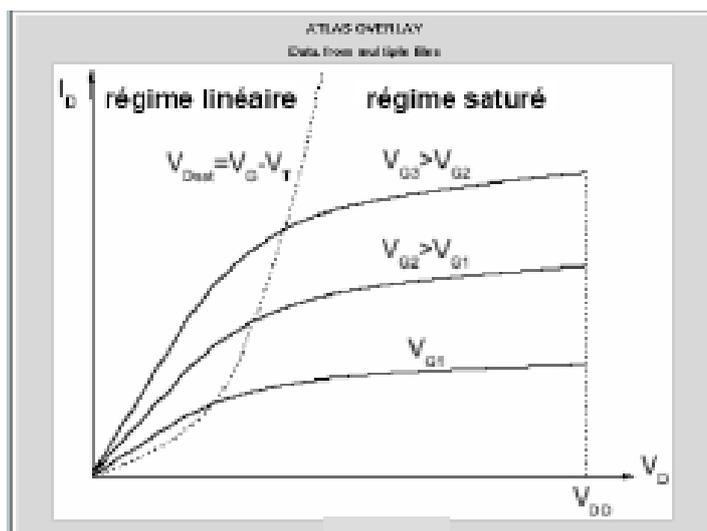
$$I_d = \frac{1}{2} \cdot \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 \quad (I.20)$$

Notons que  $V_{ds} = V_{gs} - V_{th} \equiv V_{dsat}$  est appelée généralement la tension de saturation. Le courant obtenu en saturation est dans l'idéal indépendant de la tension  $V_{ds}$  (voir (1.20)).

Le courant à l'état passant ( $I_{on}$ ) est défini quand  $V_{gs} = V_{ds} = V_{DD}$ , avec  $V_{DD}$  correspondant à la tension d'alimentation. Cette dernière est spécifiée pour une génération donnée de transistors et dépend de l'épaisseur d'oxyde  $t_{ox}$ . Pour les transistors de type haute performance (hp), l'intérêt est d'avoir  $I_{on}$  le plus élevé possible afin de réduire les délais intrinsèques du transistor.

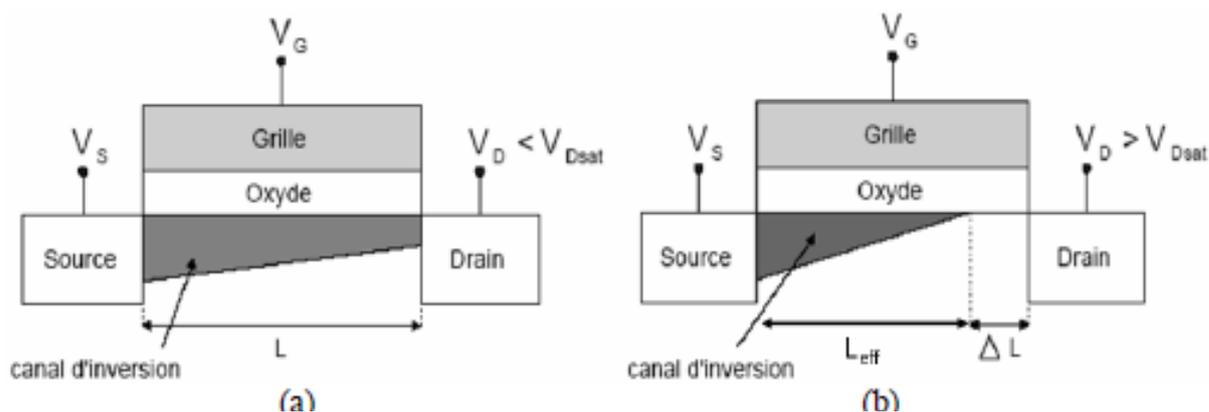
#### I.2.2.2.2 La caractéristique réelle $I_d - V_d$

Pour le MOSFET à canal long, la tension de seuil est indépendante de  $V_{ds}$ . En régime saturé, l'augmentation relativement faible du courant (voir Fig. 1.8) est liée au phénomène de modulation de la longueur du canal [11].



**Figure I-8 :** Représentation schématique de la caractéristique  $I_d - V_d$  du transistor  $nMOS$ . [6]

La Figure 1-9 représente de manière schématique l'extension du canal d'inversion sous la grille entre la source et le drain. Pour de faibles tensions  $V_{ds}$ , la grille contrôle totalement le canal (cf. Fig. 1.9-a). En revanche, pour des tensions de drain supérieures à  $V_{dsat}$ . La grille perd le contrôle du canal à l'approche du drain, ainsi la charge d'inversion ne s'étend plus jusqu'au drain (cf. Fig. 1.9-b).



**Figure I-9 :** Représentation schématique de l'extension du canal d'inversion sous la grille en régime linéaire (a) et en régime saturé (b). Modulation de la longueur du canal par la polarisation de drain en régime saturé. [6]

En régime saturé, la longueur  $\Delta L$  correspond à l'écart entre le point de pincement (endroit du canal où la charge d'inversion est nulle) et le drain. Lorsque nous augmentons la tension  $V_{ds}$  au delà de la tension de saturation, le point de pincement se décale vers la

source et la longueur du canal diminue. Nous noterons  $L_{eff}$  la longueur effective du canal résultante qui s'exprime par:

$$L_{eff}(V_{ds}) = L - \Delta L(V_{ds}) \quad (I.21)$$

Cette diminution de la longueur du canal se traduit donc par une augmentation du courant de drain. L'équation (1.20) doit être modifiée en changeant  $L$  par  $L_{eff}$  pour prendre en compte ce phénomène.

Cette modulation de la longueur du canal sur le courant n'est pas-présente en régime linéaire.

Néanmoins en modélisation, et pour assurer la continuité entre les équations, l'expression du courant en régime linéaire (1.19) doit également être modifiée en changeant  $L$  par  $L_{eff}$ .

### I.3 schéma électrique équivalent du Transistor MOS

Avant de présenter le schéma équivalent du MOSFET, on définit tout d'abord les paramètres électriques nécessaires permettant d'exprimer l'équation du courant  $I_{DS}$ .

- **La transconductance** ou gain ( $g_m$ ) est définie par :

$$g_m = \left( \frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DS}=cte} \quad (I.22)$$

Elle doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm [12].

- **La conductance** du canal ( $g_{DS}$ ) donnée par :

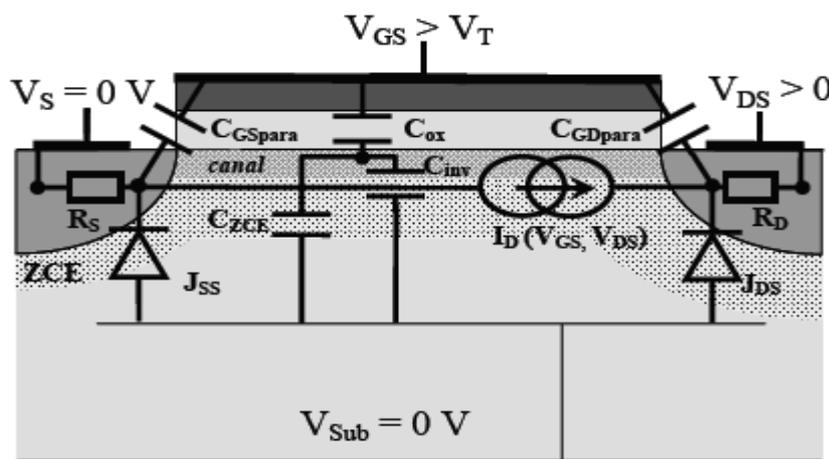
$$g_{DS} = \left( \frac{\partial I_{DS}}{\partial V_{DS}} \right)_{V_{GS}=cte} \quad (I.23)$$

La Figure I.10 présente le schéma électrique équivalent d'un transistor MOSFET intrinsèque.

Dans le régime d'inversion ( $V_{GS} > V_T$ ). Cette modélisation inclut les différentes résistances et capacités parasites habituelles. La superposition du schéma électrique et de la coupe du transistor met en évidence les origines physiques de ces éléments parasites.

Les caissons source et drain sont des zones fortement dopées, les porteurs qui les traversent y subissent donc un grand nombre d'interactions avec les impuretés dopantes ionisées. Les

résistances d'accès intrinsèques  $R_S$  et  $R_D$  de ces caissons peuvent être non négligeables si elles deviennent du même ordre, voire plus importantes, que la résistance minimale du canal.



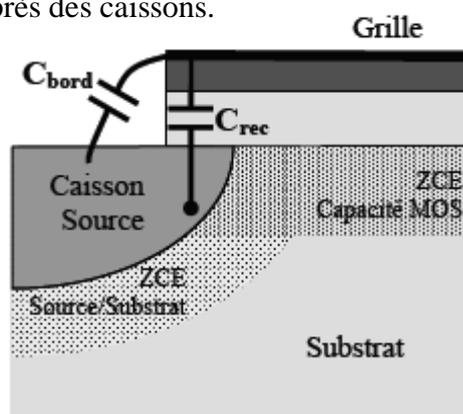
**Figure I.10** : Schéma électrique équivalent [13] superposé à un schéma en coupe d'un MOSFET en inversion.

L'effet de champ crée un canal de porteurs libres par l'intermédiaire de la capacité MOS. La longueur et la largeur de l'oxyde de grille étant très grandes devant son épaisseur ( $W$  et  $L_G \gg T_{ox}$ ), les effets de bord sont négligeables en première approximation. La capacité MOS n'a donc qu'une seule dimension et on ne va considérer que des grandeurs surfaciques. La variation de charges surfaciques commandée par la grille  $\Delta Q(V_{GS})$  se répartit dans le semi-conducteur entre le canal d'inversion  $\Delta Q_{inv}$  et la zone de charge d'espace  $\Delta Q_{ZCE}$  soit :

$\Delta Q(V_{GS}) = \Delta Q_{inv} + \Delta Q_{ZCE}$ . Cette capacité MOS est modélisée par une capacité d'oxyde  $C_{ox}$  en série avec un montage en parallèle d'une capacité d'inversion  $C_{inv}$  et d'une capacité de substrat  $C_{ZCE}$ . La capacité surfacique d'oxyde  $C_{ox}$  est liée à la structure métal de grille/isolant :  $C_{ox} = \epsilon_{ox}/T_{ox}$ . La tension à ses bornes est égale à la différence de potentiel aux limites de l'oxyde. La capacité surfacique  $C_{inv}$  est liée à la variation, sous l'effet de la tension de grille, de la charge d'inversion formée par les porteurs libres du canal  $\Delta Q_{inv}$ . En outre, on montre [13] que pour  $V_G > V_T$ , la charge surfacique d'inversion  $Q_{inv}$  est donnée par  $Q_{inv} = C_{ox} \cdot (V_G - V_T)$ . La capacité surfacique  $C_{ZCE}$  correspond à la variation de charge surfacique de la zone de charge d'espace du substrat, d'extension  $T_{ZCE}$ , commandée par la grille donc  $C_{ZCE} = \epsilon_{Si}/T_{ZCE}$  [13] avec  $\epsilon_{Si}$  permittivité diélectrique du silicium. Pour augmenter le contrôle de la grille sur le canal,  $\Delta Q_{ZCE}$  et donc la capacité  $C_{ZCE}$  doivent

rester les plus faibles possibles pour ne pas dégrader les caractéristiques du transistor, en particulier sous le seuil.

Les capacités  $C_{GS}$  para et  $C_{GD}$  para modélisent des phénomènes capacitifs supplémentaires qui se rajoutent, côté drain et côté source, à ceux de la structure MOS idéale. Chacune de ces capacités peut inclure différents types de couplage électrostatique comme illustré en Figure I.11. Tout d'abord, il peut exister un couplage dû à des effets de bord nommé  $C_{bord}$  : des lignes de champ (à 2 dimensions) se propagent entre l'électrode de grille et les caissons dans l'espace au-dessus des caissons. Dans le cas d'un recouvrement par la grille des caissons, il y a création, en régime d'inversion du canal, d'une zone d'accumulation dans les caissons et apparition de la capacité  $C_{rec}$  associée qui peut être très pénalisante. De plus, si la grille recouvre les ZCE de jonction caisson/substrat, il y a compétition entre les ZCE commandées par la grille et la source. Cela se traduit par une modification de la capacité surfacique  $C_{ZCE}$  près des caissons.



**Figure I.11** : Décomposition de la capacité parasite  $C_{GS}$  para en capacité  $C_{bord}$  et capacité de recouvrement  $C_{rec}$  grille/caisson.

Enfin, on constate la présence des jonctions N+/P Source/Substrat et aussi Drain/Substrat qui induisent des comportements résistifs et capacitifs susceptibles de détériorer aussi le comportement dynamique du transistor.

### I.3.1 Capacités parasites du transistor MOS

Cette section rappelle les principales capacités parasites du transistor MOS qui influent sur les performances dynamiques des opérateurs (temps de commutation).

#### I.3.1.1 Capacité de grille

##### a) Capacité intrinsèque grille/canal

Cette capacité est due aux charges réparties le long du canal *lorsque le transistor est passant*. On a l'habitude de la représenter sous la forme de la somme de deux capacités : capacités grille/source  $C_{GS}$  et grille/drain  $C_{GD}$ .

# Chapitre I

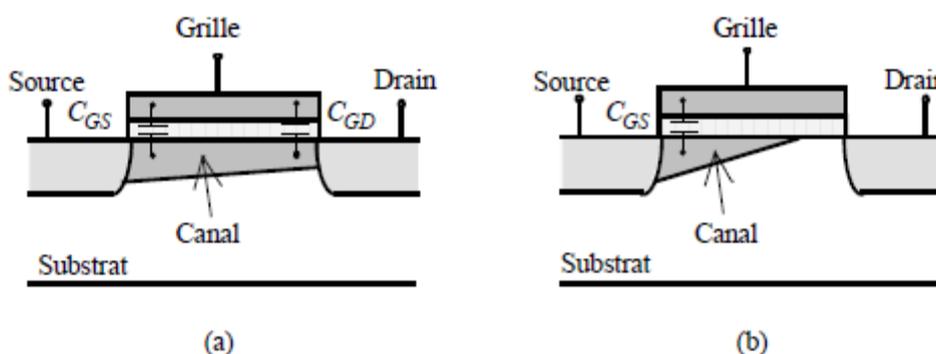
En régime ohmique, la capacité totale grille/canal vaut  $WLC_{ox}$ . On considère alors, pour simplifier, que les charges présentes dans le canal proviennent pour moitié de la source et pour moitié du drain, soit :

$$C_{GD} \approx \frac{1}{2}WLC_{ox} \approx C_{GS} \text{ (régime ohmique)} \quad (I.24)$$

En régime saturé, on peut montrer que la capacité totale grille/canal vaut  $2/3WLC_{ox}$ .

Le canal étant pincé du côté du drain, on considère alors que la capacité est entièrement due à la source.

$$\begin{aligned} C_{GD} &= 0 \\ C_{GS} &\approx \frac{2}{3}WLC_{ox} \text{ (régime saturé)} \end{aligned} \quad (I.25)$$



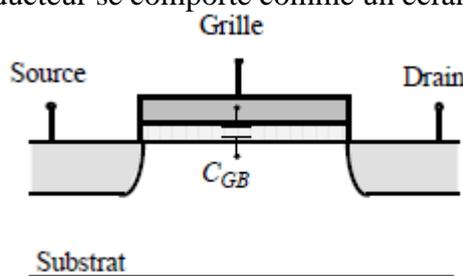
**Figure I-12** : capacités intrinsèques du transistor MOS (a) en régime ohmique, (b) en régime saturé

**Remarque :**

Les capacités de recouvrement de l'oxyde de grille sur le drain et la source sont négligées.

**b) Capacité grille/substrat**

Cette capacité n'intervient que lorsque le transistor est bloqué. En effet, dans le cas contraire, le canal conducteur se comporte comme un écran électrique. Elle vaut  $C_{GB} \approx WLC_{ox}$



**Figure I-13** : capacité grille/substrat d'un transistor MOS bloqué.

**c) Capacité totale de grille**

La capacité totale de grille est donc de l'ordre de grandeur de  $WLC_{ox}$ , quel que soit le régime de fonctionnement du transistor.

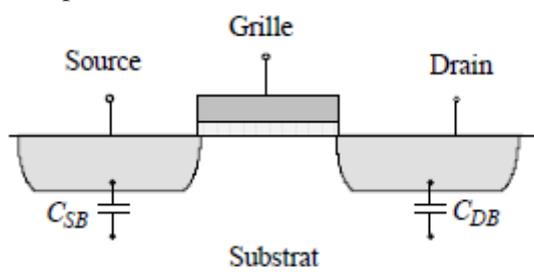
$$C_G = WLC_{ox} \quad (I.26)$$

### I.3.1.2 Capacité des jonctions source/substrat $C_{SB}$ et drain/substrat $C_{DB}$

Ce sont les capacités de transition des jonctions PN source/substrat et drain/substrat. Il est important de retenir qu'elles sont proportionnelles à la surface des jonctions, c'est-à-dire des zones de diffusion. En général, les surfaces de diffusion du drain et de la source sont identiques et  $C_{SB}$  et  $C_{DB}$  peuvent donc s'écrire sous la forme :

$$C_{SB} = C_{DB} = WL_j C_j \quad (I.27)$$

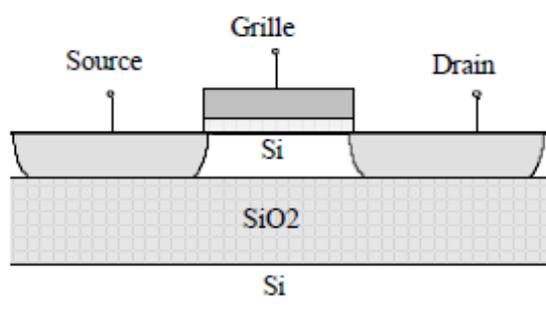
Où  $C_j$  est la capacité de jonction par unité de surface.



**Figure I-14 :** capacités de jonctions du transistor MOS

**Remarque :**

Avec la mise au point récente des technologies « silicium sur isolant » SOI (Silicon-On-Insulator), les drains et sources des transistors sont diffusés dans une fine couche de silicium reposant sur un isolant (oxyde de silicium). Les jonctions PN drain/substrat et source/substrat, ainsi que les capacités parasites correspondantes, sont alors éliminées. Les premiers circuits CMOS sur substrat SOI ont été mis sur le marché en 1999. [14]



**Figure I-15:** transistor MOS sur substrat SOI

## I.4 Les modèles compacts des transistors

### I.4.1 Approche classique

Pour les transistors MOSFET de dernière génération l'équation du courant n'est en fait pas aussi simple que celle que nous avons présenté ci-dessus pour un model de schichmann

Hodge de première génération. En effet pour les transistors de dernière génération l'équation du courant est complexe et est fonction du potentiel de surface.

Dans le but de ne pas avoir à résoudre l'équation implicite du potentiel de surface, les modèles compacts utilisés en simulation de circuits ont été développés autour de diverses approximations analytiques. Ces modèles sont encore très utilisés, d'une part pour des raisons historiques, et d'autre part en raison de leur simplicité. L'approche la plus classique consiste à modéliser de façon indépendante les différents régimes de fonctionnement du MOSFET. En plus des trois régions classiques que sont l'accumulation, la déplétion et l'inversion, une distinction supplémentaire est généralement faite. Il s'agit de la séparation du régime d'inversion en deux sous-régimes : l'inversion faible et l'inversion forte. La limite couramment utilisée pour décrire le point de séparation entre ces deux régimes est la tension de seuil  $V_{th}$ . Pour cette raison, ce type de modèle compact analytique est généralement appelé *modèle à base de tension de seuil* (threshold-voltage-based MOSFET model). Un exemple typique illustrant les principes de modélisation utilisés dans ces modèles est celui du courant de drain. La région d'inversion étant scindée en deux sous-régions, le modèle du courant de drain est alors naturellement composé de deux sous-modèles distincts : un pour l'inversion faible, l'autre pour l'inversion forte. De légitimes questions se posent alors quant à la validité du modèle au niveau de la transition entre ces régimes de fonctionnement.

## **I.4.1.1 Les modèles SPICE de première génération**

L'acronyme SPICE signifie Simulation Program with Integrated Circuit Emphasis. Le noyau originel de SPICE a été développé à l'Université de Californie à Berkeley à la fin des années 60. Une raison probable du succès connu par SPICE depuis ses débuts est que ce simulateur a été rendu public, au bon endroit, au bon moment [15]. Sa sortie coïncida à la période de forte croissance de l'industrie du circuit intégré, ainsi ce simulateur s'est rapidement imposé comme le standard de la simulation de circuits. Différents modèles de transistor MOS furent tour à tour intégrés à SPICE. Nous allons très brièvement faire l'historique de ces différents modèles (Level 1, 2 et 3), et donner quelques unes de leurs caractéristiques majeures. [15]-[16]

Le modèle Level 1 (1967) est le modèle original des MOSFET inclus dans tous les simulateurs SPICE. L'approche mathématique utilisée dans ce modèle est à la base des modèles plus sophistiqués qui seront développés par la suite (en particulier à Berkeley). En ce sens, la compréhension du niveau 1 (Level 1) est impérative, car elle va permettre de comprendre comment sont construits les modèles plus évolués. Des explications détaillées

## Chapitre I

---

sur ce modèle peuvent être trouvées dans de nombreux ouvrages, tel que l'ouvrage de D. FOTY [15]. Précisons simplement que le nombre restreint de paramètres du Level 1 (cf. Tableau I.1) reflète le caractère simpliste de ce modèle, ou quasiment aucun effet (effets de petite géométrie, réduction de la mobilité, etc.) n'est pris en compte. Il convient cependant de reconnaître qu'un intérêt inhérent à cette nature simple est de permettre une extraction aisée des paramètres du modèle. Contrairement aux modèles plus complexes, l'extraction des paramètres du Level 1 ne nécessite pas l'utilisation de techniques sophistiquées. Néanmoins ce modèle est maintenant beaucoup trop simple pour être utilisé avec les technologies de transistors actuels : d'un point de vue conception industrielle, le Level 1 est obsolète.

Les principaux effets de petite géométrie étant ignorés dans le modèle Level 1, le modèle Level 2 a alors été développé pour prendre en compte les insuffisances du niveau 1. L'approche fondamentale est de reprendre les bases du Level 1, et d'y ajouter de nouvelles équations et de nouveaux paramètres pour inclure des effets de petite géométrie, en tant que corrections du modèle de base. Une amélioration majeure concerne la prise en compte de la variation de la charge de déplétion le long du canal. Il en résulte une expression complexe mais aussi plus précise du courant de drain. Parmi les effets canaux courts inclus, nous pouvons citer la modulation de la longueur du canal, la saturation de la vitesse des porteurs, la réduction de la mobilité des porteurs, etc. Le Level 2 cherche à prendre en compte tous ces phénomènes, mais malheureusement toutes ces additions le rendent très complexe mathématiquement. Au final, le modèle est plutôt inefficace, les effets canaux courts ne sont que partiellement considérés et des problèmes de convergence apparaissent souvent (discontinuités dans les dérivées).

Un nouveau modèle, de niveau 3 dit Level 3 a alors été développé pour pallier aux défauts du Level 2. L'approche de base est similaire à celle de ses prédécesseurs en ce sens que toute dépendance géométrique est codée dans les équations du modèle, et que la plupart des équations et paramètres sont les mêmes (ou quasiment les mêmes). Cependant, contrairement aux modèles Level 1 et 2, le Level 3 adopte une approche *semi-empirique*. De par sa simplicité et sa nature Semi-empirique, ce modèle remporta un réel succès. En comparaison au Level 2, le Level 3 est plus précis, plus rapide, et rencontre beaucoup moins de problèmes de convergence [15]-[16]. Il est important de préciser qu'originellement ce dernier n'a pas été conçu pour être très précis à des grandes longueurs de canal, mais a la longueur minimale d'une technologie donnée.

# Chapitre I

Ceci n'est pas gênant dans la conception des circuits digitaux, où seules les longueurs les plus courtes sont d'intérêt, et donc où une précision pour les grandes dimensions n'est pas exigée.

Cependant, les circuits analogiques utilisent des dispositifs à grand canal, où le Level 3 n'est pas précis (discontinuité de la conductance de sortie). Précisons aussi qu'en dépit du fait que le Level 3 a été développé pour des longueurs de canal supérieures à 1 micron, moyennant certaines précautions il peut être étendu à des dimensions plus petites, d'où son succès en simulation numérique. Ainsi, une partie du succès du Level 3 est due au < binning > du modèle, i.e. la division de l'espace géométrique  $W / L$  en sous-modèles décrivant des régions plus étroites définies dans cet espace. [15-16]

Au chapitre des défauts, comme dans le cas du Level 2, le modèle de courant sous le seuil n'est pas physiquement réaliste. Ceci limite donc l'intérêt du Level 3 pour la conception de circuits analogiques, et illustre la différence entre les exigences requises par la simulation analogique et la simulation digitale. Enfin, la pauvre dépendance géométrique intrinsèque du modèle Level 3 et son incapacité à modéliser proprement la conductance de sortie poussent au développement de la deuxième génération de modèles de MOSFET.

Paramètres	Unités	Description
TPG		Type de matériau de grille
TOX	m	Épaisseur d'oxyde de grille
NSUB	$\text{cm}^{-3}$	Niveau de dopage substrat
XJ	m	Profondeur des jonctions source/drain
VTO	V	Tension de seuil (canal long et large)
UO	$\text{cm}^2/\text{Vs}$	Mobilité à champ faible
LAMDA	$\text{V}^{-1}$	Modulation de la longueur du canal
CGSO	F/m	Capacité grille-source (zero bias)
CGDO	F/m	Capacité grille-drain (zero bias)
CGBO	F/m	Capacité grille-substrat (zero bias)

*Tableau I.1 : Liste des paramètres du modèle SPICE Level 1.*

## I.4.1.2 Les modèles de deuxième génération

Dans le même état d'esprit que précédemment, nous allons maintenant parler de la philosophie des modèles de deuxième génération, et non pas dresser un descriptif laborieux de leurs équations, qui de toute façon est aisément accessible via les références [15-17-18]. La seconde génération des modèles SPICE de MOSFET inclut BSIM et ses deux

## Chapitre I

---

descendants à savoir : HSPICE Level 28, et BSIM2. Pour chacun d'eux une approche entièrement nouvelle est introduite. Dans les modèles de première génération, le TMOS de grande géométrie est défini comme fournissant un modèle de base (point de départ), les effets de petite géométrie étant considérés comme des corrections à apporter à ce modèle de base. Toutes les dépendances géométriques (longueur et largeur de canal) sont codées dans les équations du modèle ; il est donc supposé que le jeu de paramètres du modèle est valable pour toute la gamme de géométrie entière. Cependant, cette dernière hypothèse n'est généralement pas valide [15]. Les résultats du modèle. Pour un jeu de paramètres donné ne sont en fait généralement valables que pour un domaine restreint de l'espace W/L. Ailleurs que dans cette zone, les résultats vont se dégrader. Cette situation va donner lieu à une extension du modèle par binning, avec l'introduction d'un jeu de sous-modèles valides uniquement dans des gammes géométriques particulièrement étroites (cf. Level 3). Les modèles de deuxième génération ont une approche complètement différente. Un jeu d'équations est élaboré pour décrire le comportement du dispositif ; ces équations contiennent la longueur et la largeur de canal. Cette partie intrinsèque de la formulation du modèle est identique à la structure de base des modèles de première génération. Cependant, en net contraste avec les modèles de première génération, une construction additionnelle, en fait la structure extrinsèque du modèle, est créée au-dessus de la structure intrinsèque. Cette structure contient une dépendance géométrique intégrée dans l'expression suivante [15] :

$$X = X_0 + \frac{LX}{L_{eff}} + \frac{WX}{W_{eff}} \quad (I.28)$$

Où X représente un paramètre quelconque du modèle. Dans les modèles de première génération, les paramètres étaient considérés de façon isolée et indépendante. Dans les modèles de deuxième génération, X est en réalité un paramètre composé, i.e. synthétisé à partir de trois autres paramètres  $X_0$ , LX et WX, où LX et WX décrivent respectivement les variations en longueur et en largeur du paramètre X. Ainsi, au sein de ces modèles les différents paramètres n'apparaissent plus sous forme de singleton (X) mais sous forme de triplets ( $X_0; LX; WX$ ), ce qui augmente considérablement le nombre total de paramètres. À titre d'exemple, le modèle BSIM de base exige 17 paramètres. Puisque presque tous ses paramètres sont en fait composés de triplets, le jeu de paramètres final contient en définitive 49 paramètres distincts.

## I.4.1.3 Les modèles de troisième génération

Dans cette partie, nous allons décrire les approches traditionnellement utilisées dans les modèles compacts *classiques* de troisième génération. Nous regroupons sous le terme classique les modèles de Berkeley (BSIM3v3 et supérieurs) [18-19] et le modèle MM9 de Philips [20]. Tous ces modèles sont basés sur la notion de tension de seuil d'où leur qualificatif usuel de modèles à base de tension de seuil.

Les modèles Level 1, Level 2, et Level 3 représentent la première génération de modèle de transistor MOS. Ils se focalisent sur les descriptions analytiques du comportement du dispositif, lesquelles amènent à un petit nombre de paramètres relativement facile à extraire.

Les modèles de deuxième génération : BSIM, Level 28 (de HSPICE) et BSIM2 insistent plus sur le conditionnement mathématique des équations du modèle, dans le but de réaliser des simulations de circuits plus efficaces et plus robustes. Cependant, leurs équations sont construites sur une base semi-empirique, voire même complètement empirique. En conséquence, les paramètres des modèles sont largement empiriques et fournissent peu d'information quant à la physique (technologie) du procédé (process) qu'ils décrivent. Enfin, le nombre de paramètres est très élevé.

Les modèles BSIM3/4 et MM9 représentent l'émergence de la troisième génération de modèles SPICE de MOSFET. Cette génération reflète le souhait et l'effort de ré-introduire une base physique dans la forme du modèle et dans ses paramètres associés, tout en maintenant l'aptitude mathématique du modèle. L'objectif premier est de permettre une liaison plus concrète entre le jeu de paramètres et la technologie du procédé sous-jacent, tout en évitant l'utilisation abusive d'expressions polynomiales (au comportement parfois problématique) des modèles de deuxième génération.

BSIM3 lui-même a évolué au travers de trois versions :

- BSIM3v1 forme la base originale du modèle, mais souffre de sévères problèmes mathématiques.
- BSIM3v2 introduit de fortes corrections pour résoudre les difficultés mathématiques de BSIM3v1, et de nouveaux paramètres sont ajoutés.
- BSIM3v3 change significativement la forme du modèle pour garantir des équations lissées et continues ; un nombre d'expressions empiriques important est aussi introduit, au travers de nombreux paramètres additionnels.

Aujourd'hui la série de modèle BSIM en est à sa version 4v2, et même 4v3 depuis peu.

# Chapitre I

---

Les caractéristiques générales des modèles de transistor MOS de troisième génération peuvent se résumer ainsi :

- ✓ La structure de base est très similaire aux modèles de première génération ; toute dépendance géométrique est définie dans la structure intrinsèque du modèle, tandis que la structure géométrique extrinsèque des modèles de deuxième génération est écartée. Les équations des modèles sont donc valides pour toutes les géométries.
- ✓ Les modèles contiennent *théoriquement* un petit nombre de paramètres (base sur la physique) ; l'intention étant de fournir une meilleure description de la technologie du process sous-jacent, ainsi que des variations associées à ce process<sup>2</sup>.
- ✓ L'utilisation de fonctions de lissage garantit un comportement continu et lissé des équations du modèle à travers toutes les régions de fonctionnement du dispositif. Ces fonctions permettent de conserver l'utilisation d'expressions distinctes (correspondant aux différentes régions de fonctionnement) pour décrire les caractéristiques électriques, tout en fournissant une plus ou moins bonne région de transition entre les limites opérationnelles.
- ✓ La plupart de ces modèles inclut de nombreux effets de petite géométrie et d'effets parasites ignorés dans le passé.

Enfin, les contraintes sévères imposées à la modélisation compacte du TMOS ont conduit au développement de nouveaux modèles, reposant sur des concepts tout à fait innovants.

## **I.4.2 Approches alternatives < Vers les modèles de quatrième génération ? >**

### **Le modèle EKV**

#### **I.4.2.1 Introduction**

Le modèle EKV est un modèle compact élaboré pour le transistor MOS bulk [21-23]. C'est un modèle en charge dédié à la conception de circuits intégrés analogiques et mixtes. Il est lié à la géométrie du transistor MOS et est bâti sur les propriétés fondamentales de la physique du semiconducteur. Il exploite la symétrie de la structure du MOSFET en prenant le substrat comme référence des polarisations de grille, de source et de drain. Le modèle introduit entre autres le concept de normalisation de grandeurs électriques [21-23] ; ceci permet alors au concepteur de dispositif de disposer d'une part d'un modèle « plus parlant », comparé à la majorité des autres modèles (BSIM3v3, PSP ...), dans le sens où

cela l'aide à faire du « Dimensionnement à la main », et d'autre part cette normalisation permet d'obtenir un modèle où les relations fondamentales du semiconducteur sont décrites de manière invariante à la technologie. Le modèle a été validé dans toutes les régions de fonctionnement. Nous allons voir dans les paragraphes suivants comment le modèle est bâti. Grâce au concept de linéarisation de la charge d'inversion en fonction du potentiel de surface, les paramètres clés du MOSFET tels que la tension de pincement, le facteur de substrat, sont obtenus de manière simple.

### I.4.2.2 Linéarisation de la charge d'inversion

Dans le but de formuler plus simplement le modèle, une linéarisation de la charge d'inversion en fonction du potentiel de surface est réalisée [23]. A partir de la relation entre la charge d'inversion et les potentiels, nous obtenons :

$$V_g - V_{FB} = \Psi_s + \Gamma \cdot \sqrt{\Psi_s} - \frac{Q_m}{C_{ox}} \quad (I.29)$$

$$Q_m = -\Gamma \cdot C_{ox} \cdot \sqrt{U_T} \cdot \left[ \sqrt{\frac{\Psi_s}{U_T} + \exp\left(\frac{\Psi_s - 2 \cdot \Phi_F - V_{ch}}{U_T}\right)} - \sqrt{\frac{\Psi_s}{U_T}} \right] \quad (I.30)$$

où  $V_{FB}$  est la tension de bandes-plates,  $\Gamma$  le facteur d'effet de substrat,  $Q_m$  représente la densité de charge mobile d'inversion.  $\Psi_s$  et  $V_{ch}$  représentent respectivement le potentiel de surface et le potentiel de canal,  $V_g$  est la tension de grille. Pour une polarisation de grille constante, la charge d'inversion évolue de manière quasiment linéaire avec le potentiel de surface. Ainsi, en définissant la tension de pincement  $\Psi_p$  comme étant le potentiel de surface pour lequel la charge d'inversion est nulle, nous obtenons [23] :

$$\Psi_p = V_g - V_{FB} - \gamma^2 \left( \sqrt{\frac{V_g - V_{FB}}{\gamma^2} + \frac{1}{4}} - \frac{1}{2} \right) \quad (I.31)$$

En tenant compte de (II.3), la solution linéaire peut être écrite de la manière suivante :

$$\frac{Q_m}{C_{ox}} = n_q \cdot (\Psi_s - \Psi_p) \quad (I.32)$$

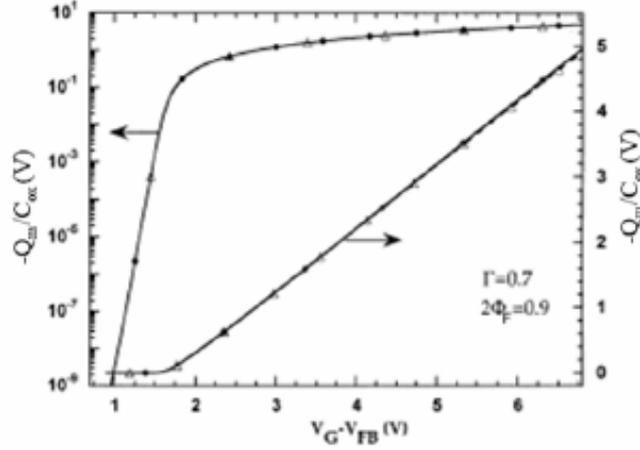
Avec  $n_q$  le facteur de linéarisation de la charge d'inversion. Il est défini par :

$$n_q = 1 + \frac{\Gamma}{\sqrt{2 \cdot \Phi_F} + \sqrt{\Psi_p}} \quad (I.33)$$

En utilisant (I.30) (I.32) et (I.33), nous pouvons établir une relation entre le potentiel du canal, la densité de charge d'inversion ainsi que la tension de pincement [23] :

$$\ln \left[ \frac{-Q_m}{\Gamma \cdot C_{ox} \cdot \sqrt{U_T}} \cdot \left( \frac{-Q_m}{\Gamma \cdot C_{ox} \cdot \sqrt{U_T}} + 2 \cdot \sqrt{\frac{Q_m}{n_q \cdot C_{ox} \cdot \sqrt{U_T}} + \frac{\Psi_p}{U_T}} \right) \right] - \frac{Q_m}{n \cdot C_{ox} \cdot \sqrt{U_T}} = \frac{\Psi_p - 2 \cdot \Phi_F}{U_T} - \frac{V_{ch}}{U_T} \quad (I.34)$$

Relation constitue la relation essentielle au modèle, elle lie la densité de charge d'inversion avec les tensions au niveau des terminaux. La Figure. I.16 décrit l'évolution de la densité de charge d'inversion en fonction de la polarisation de la grille. Le modèle (i.e. (I.34)) est comparé aux résultats de simulations numériques. La précision du modèle est mise en évidence, de la faible inversion à la forte inversion.



**Figure I-16** : Densité de charge d'inversion en fonction du potentiel de grille [23]

### I.4.2.3 Normalisation du courant et de la charge

Le courant peut se réécrire de la manière suivante :

$$I_d = \mu W \left( -Q_m \frac{d\Psi_s}{dx} + U_T \frac{dQ_m}{dx} \right) \quad (I.36)$$

où  $\mu$  est la mobilité des porteurs,  $W$  la largeur du canal. En remplaçant la densité de charge d'inversion par sa solution définie en (I.31) et en intégrant de la source ( $x = 0$ ) au drain ( $x = L$ ), nous définissons un courant de drain normalisé  $i$  et une densité de charge d'inversion normalisée  $q_m$ , comme suit :

$$i = \frac{I_d}{I_0} = (q_s^2 - q_s) - (q_d^2 - q_d) \quad (I.37)$$

$$q_m = \frac{Q_m}{Q_0} \quad (I.38)$$

# Chapitre I

---

Où  $I_0$  est le courant spécifique et  $Q_0$  est la charge spécifique.  $I_0$  et  $Q_0$  s'expriment de la manière suivante :

$$I_0 = 2 \cdot n_q \cdot \mu \cdot C_{ox} \cdot U_T^2 \cdot W / L \quad (I.39)$$

En normalisant les tensions et en définissant :

$$\gamma^* = \frac{\gamma'}{\sqrt{U_T}} \quad (I.40)$$

(I.35) peut se réécrire :

$$\begin{aligned} \ln(q_m) + \ln \left[ \frac{2 \cdot n}{\gamma^*} \left( q_m \cdot \frac{2 \cdot n}{\gamma^*} + 2 \cdot \sqrt{\varphi_p - 2 \cdot q_m} \right) \right] + 2 \cdot q_m \\ = \varphi_p - 2 \cdot \phi_f - v_{ch} \end{aligned} \quad (I.50)$$

en forte inversion, c'est-à-dire pour  $q_m \gg 1$ , (I.50) peut être approximée par :

$$q_m \approx \frac{\varphi_p - 2 \cdot \phi_f - v_{ch}}{2} \quad (I.51)$$

et en faible inversion, c'est-à-dire pour  $q_m \ll 1$ , (I.50) peut être approximée par :

$$q_m \approx \frac{\gamma'}{4 \cdot n \cdot \sqrt{v_p}} \cdot \exp(\varphi_p - 2 \cdot \phi_f - v_{ch}) \quad (I.52)$$

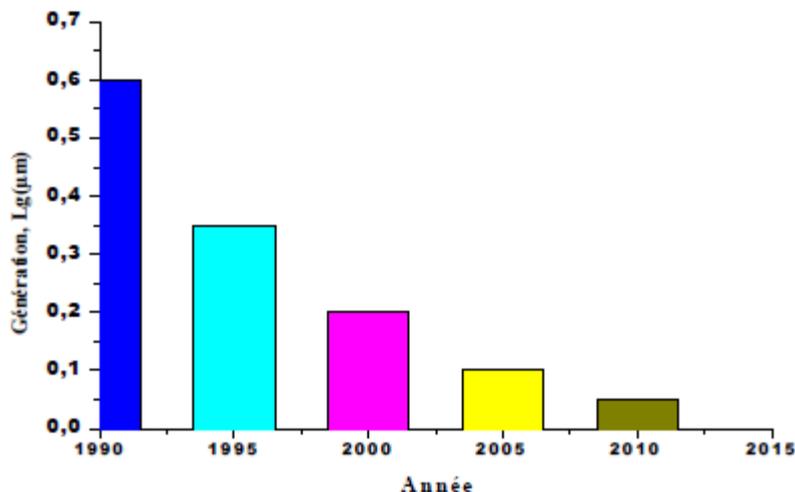
Le modèle présenté est simple et précis. Il est obtenu en considérant l'approximation linéaire de la charge d'inversion en fonction du potentiel de surface [23]. Le modèle est valide dans toutes les régions de fonctionnement du transistor MOSFET.

## I.5 Evolution de la technologie CMOS

Le développement de la micro électronique depuis ces 30 dernières années est véritablement spectaculaire. Ce succès résulte en grande partie d'un savoir-faire et d'une maîtrise technologique de plus en plus poussés de l'élément fondamental de la micro électronique : le silicium. Le transistor MOS (Metal Oxide Semiconductor) est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est la base de la conception des circuits intégrés à très large et ultra large échelle (VLSI.ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS (TMOS). La réduction constante des dimensions de ces composants est le moteur de cette course à la performance ; en fait, c'est cette

volonté de toujours réduire la taille des transistors MOS qui a entraînée toute l'industrie du semi-conducteur à se surpasser et à se projeter en permanence dans le futur.

En 1973, G. MOORE, l'un des co-fondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que < **Loi de Moore** >. La Figure I.17 illustre la validité de cette prévision, pourtant originellement dérivée d'un simple constat. Aujourd'hui, des circuits intégrés (IC) comprenant plus de 40 millions de transistors sont produits de façon industrielle (microprocesseurs). La longueur de grille des CMOS utilisés pour ces dernières générations de microprocesseurs est égale à  $0.13 \mu\text{m}$ , tandis que la surface de la puce varie de 80 à  $150 \text{ mm}^2$ . En fait, la diminution de longueur de grille des dispositifs a deux avantages décisifs pour les fabricants : d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en termes de coût est bénéfique, et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de grille. [24]



*Figure I-17 : Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore. [25]*

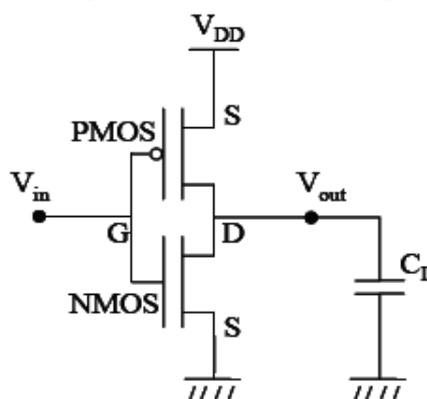
## 1.6 Transistor et inverseur CMOS

Les portes logiques élémentaires (NAND, NOR...) sont construites grâce à l'interconnexion de montages inverseurs. L'inverseur est la brique de base d'une technologie, ses performances conditionnent donc étroitement celles des applications plus complexes [26]. Après avoir présenté le schéma de l'inverseur CMOS, on décrira

comment ses performances sont liées aux caractéristiques des transistors dont il est constitué.

Le schéma d'un inverseur CMOS est représenté en Figure I.18. Il est constitué de deux transistors « normally off » complémentaires à canaux N et P, leur tension de seuil  $V_T$  étant respectivement positive et négative mais de même valeur absolue. Dans un état logique donné

'1' ( $V_{out} = V_{DD}$ ) ou '0' ( $V_{out} = 0$  V), un des transistors se trouve à l'état bloqué et l'autre est passant. La capacité  $C_L$  modélise la capacité d'entrée de l'étage inverseur suivant.



*Figure I-18: Schéma électrique d'un inverseur CMOS.*

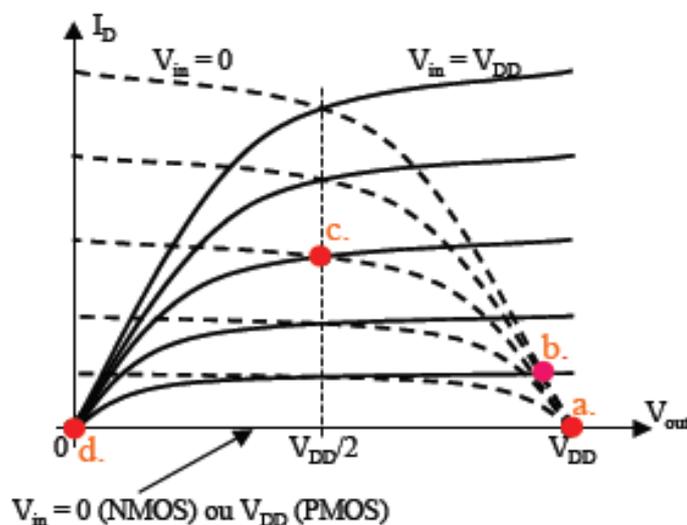
## I.6.1 Caractéristique de transfert $V_{out}(V_{in})$

Pour obtenir la caractéristique de transfert  $V_{out}(V_{in})$  complète tracée en Figure I.20, on peut représenter sur un même graphe les caractéristiques  $I_D(V_{DS})$  à différents  $V_{GS}$  du transistor NMOS, en trait plein sur la Figure I.19, et celle du PMOS translatée de  $V_{DD}$  :  $V_{GS} = V_{in} - V_{DD}$  et  $V_{DS} = V_{out} - V_{DD}$ , en tirets sur la Figure I.19. Les intersections de chaque courbe en tirets et en trait continu à même  $V_{in}$  forment la caractéristique statique  $V_{out}(V_{in})$ . Ainsi, pour  $V_{in}$  inférieur à  $V_T$ , le NMOS est bloqué et le PMOS passant en régime ohmique (cf. points a. de la Figure I.19 et Figure I.20) ; la capacité de sortie ne peut se décharger et  $V_{out}$  reste fixé à  $V_{DD}$ . Puis, quand  $V_{in}$  varie entre  $V_T$  et une valeur limite  $V_{eT}$ , le transistor NMOS est débloqué, il fonctionne en régime source de courant, alors que le PMOS tend à passer progressivement du régime ohmique au régime source de courant (cf. points b.). La tension  $V_{out}$  décroît avec l'augmentation de  $V_{in}$ . Pour  $V_{in} = V_{eT}$ , les caractéristiques des deux transistors se croisent en régime source de courant. Pour  $V_{in}$  compris entre  $V_{eT}$  et  $V_{DD} - V_T$ , le NMOS passe en régime ohmique et le PMOS reste en

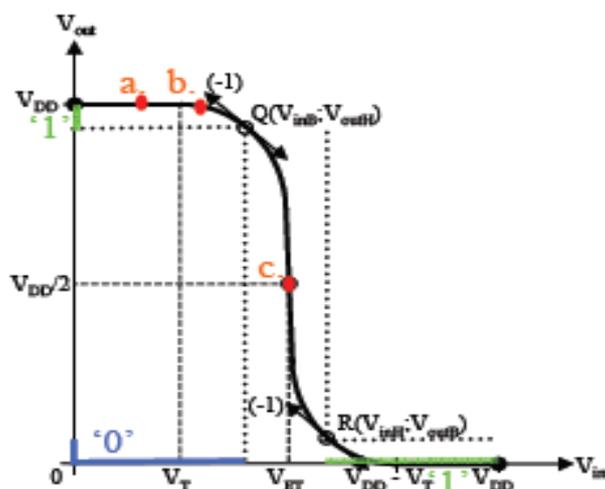
## Chapitre I

régime source de courant,  $V_{out}$  continue à diminuer (cf. points c.). Enfin, le PMOS se bloque pour  $V_{in}$  supérieur à  $V_{DD} - V_T$  et  $V_{out}$  atteint 0 V (cf. points d.).

La caractéristique de transfert présentée en Figure I.20 est séparée en différentes zones en fonction de la valeur absolue du gain  $|dV_{out}/dV_{in}|$ . Les plateaux, c'est-à-dire les zones où le gain est inférieur à 1, sont appelés zones de décisions. Celle où le gain est supérieur à 1 est dite de basculement ou d'amplification. La zone de basculement est naturellement utilisée pour ses vertus d'amplification, et les zones de décisions pour générer des signaux logiques. L'état logique '0' correspond au premier plateau, c'est-à-dire aux tensions  $V_{in} \in [0..V_{inB}]$  et  $V_{out} \in [0..V_{outB}]$ , l'état '1' au second plateau à  $V_{in} \in [V_{inH}..V_{DD}]$  et  $V_{out} \in [V_{outH}..V_{DD}]$ . La condition indispensable pour qu'il y ait restauration du signal traversant un ensemble d'inverseurs est que la plage des tensions d'entrée définissant un état logique soit plus grande que la plage de sortie de l'état correspondant, c'est-à dire :  $[0..V_{inB}] \gg [0..V_{outB}]$  et  $[V_{inH}..V_{DD}] \gg [V_{outH}..V_{DD}]$ . Les marges de bruit, définies comme les intervalles  $[V_{outB}..V_{inB}]$  et  $[V_{inH}..V_{outH}]$ , doivent donc être les plus grandes possible. A partir de la Figure I.20 on pressent intuitivement (et les calculs le confirment) qu'une augmentation de  $V_T$  induit cette de  $V_{inB}$  et une diminution de  $V_{inH}$ . De même, une augmentation de  $V_{DD}$  améliore aussi les marges de bruit.



**Figure I-19:** Caractéristiques  $I_D(V_{DS})$  du NMOS (en traits continus) et du PMOS (en tirets) constituant un inverseur CMOS dans le plan  $(V_{out}; I_D)$ .



**Figure I-20 :** Caractéristique statique  $V_{out}(V_{in})$  typique d'un inverseur CMOS. Les pentes aux points  $Q$  et  $R$  valent  $-1$ . Les états logiques '0' et '1' sont indiqués respectivement en rouge et en vert.

La tension d'entrée  $V_{eT}$  (cf. Figure I.19 et Figure I.20), rendue égale à  $V_{DD}/2$  grâce à "l'appariement" (réglage des tensions de seuil et largeurs des transistors) des NMOS et PMOS, est le seuil de commutation de l'inverseur. La variation de  $V_{out}$  autour de  $V_{eT}$  est d'autant plus abrupte que la conductance de drain  $G_D$  en régime source de courant est faible. Pour  $G_D$  nul, il se produit une transition verticale sur  $V_{out}$  pour  $V_{in} = V_{eT}$ , les caractéristiques  $I_D(V_{DS})$  des deux transistors se balayant en régime source de courant, avec une infinité de valeurs de  $V_{out}$  possibles pour cette seule valeur de  $V_{in}$ . On a tout intérêt à tendre vers cette limite idéale qui permet une meilleure régénération des niveaux logiques [27]. Si la conductance  $G_D$  n'est pas nulle, une forte valeur de la transconductance  $G_m$  permet néanmoins d'avoir une transition abrupte.

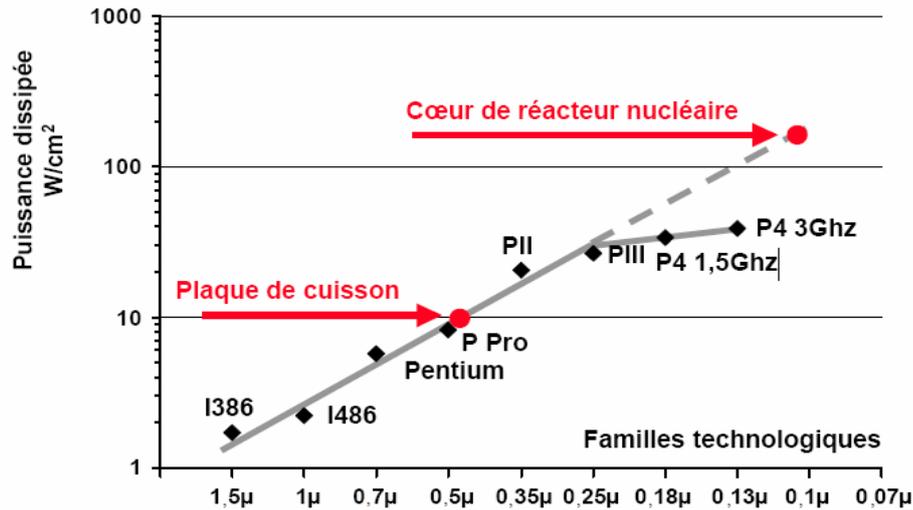
Le régime sous le seuil des transistors est aussi très important pour une utilisation des transistors en logique CMOS. Si le courant à l'état bloqué  $I_{off}$  n'est pas nul, la porte consomme du courant même sans commuter entre 2 états logiques :  $P_{stat} = V_{DD} \times I_{off}$ . Cette consommation statique  $P_{stat}$  du transistor doit rester très faible, car sur une puce elle doit être multipliée par le nombre total de transistors : typiquement plusieurs millions !

## I.6.2 Dynamique de l'inverseur

Le comportement dynamique de l'inverseur est aussi crucial pour permettre la hausse continue de la fréquence de travail des circuits. Le temps de réponse de l'inverseur  $t_d$  doit rester au moins inférieur à la période du signal d'horloge. Pour évaluer

# Chapitre I

$t_d$ , on utilise souvent le paramètre « CV/I » qui correspond à la constante de temps caractéristique de la charge (ou de décharge) de la capacité  $C_L$  de l'inverseur du schéma en Figure I.18. Le courant de charge est supposé constant en première approximation et égal à  $I_{on}$ . La charge transférée est égale à  $Q = C_L \times V_{DD}$ . La capacité  $C_L$  (capacité d'entrée de l'étage inverseur suivant) la plus défavorable correspond à celle d'un transistor bloqué :  $C_L = C_G$  à  $V_{GS} = V_{DD}$  et  $V_{DS} = 0$  V. Le temps de charge est alors égal à  $C_G \times V_{DD} / I_{on}$ . En conséquence, l'augmentation du courant  $I_{on}$  (à capacité  $C_G$  constante) améliore la rapidité des circuits logiques.



**Figure I-21** : Evolution de la puissance surfacique dissipée dans les processeurs d'Intel (d'après Fred Pollack, Intel).

La puissance dynamique  $P_{dyn}$  s'exprime comme le produit de la fréquence d'horloge  $f$  et de l'énergie consommée lors d'une commutation, c'est-à-dire l'énergie de charge ou de décharge de la capacité  $C_L$  (capacité équivalente de l'étage suivant), d'où  $P_{dyn} \propto f \times C_L \times V_{DD}^2$  [28]. Elle est proportionnelle au carré de la tension d'alimentation. De plus le produit  $C_L \times V_{DD}^2$  doit décroître plus vite que l'augmentation de la fréquence d'horloge des circuits pour que la puissance dynamique  $P_{dyn}$  reste constante. Il ne faut pas en effet dégrader l'autonomie des systèmes embarqués et augmenter les dissipations thermiques. En effet, comme indiqué sur la Figure I.21, en extrapolant la croissance exponentielle observée dans les années 90 (des processeurs 486 aux Pentiums II), on prévoyait d'atteindre sur les puces de technologie actuelle des puissances thermiques voisines de celles rencontrées dans le cœur d'un réacteur de centrale nucléaire ! Même si les nouvelles générations de processeurs ont permis de reculer cette échéance, elles sont encore loin de

## Chapitre I

respecter la philosophie du développement durable qui prône une consommation contrôlée des ressources : la croissance reste exponentielle...

### 1.6.3 Bilan des relations entre inverseur CMOS et transistor

		$V_{DD}$	$V_T$	$I_{on}$	$G_m$	$G_d$	$I_{off}$	Evolution des caractéristiques du transistor
		↗	↗	↗	↗	↗	↗	
<b>Statique</b>	<b>Marges de bruit</b>	+	+		+	-		Gain sur les performances de l'inverseur
	$P_{stat}$	-	+				-	
<b>Dynamique</b>	$P_{dyn}$	-						
	$t_d \approx CV/I$		-	+	+			

*Tableau I-2 : Influences des caractéristiques intrinsèques des transistors MOS sur les performances de l'inverseur CMOS. [28]*

Les interdépendances entre le transistor et l'inverseur CMOS sont résumées et complétées dans le Tableau I.2. On constate qu'il y a des compromis souvent délicats à réaliser pour obtenir :

- $V_T$  élevé et  $G_d$  faible pour avoir de bonnes marges de bruit,
- $I_{off}$  faible pour avoir une faible consommation statique,
- $I_{on}$  et  $G_m$  élevés pour augmenter la rapidité.

Pour le  $V_T$ , le bon compromis est généralement atteint lorsque  $V_T \approx V_{DD}/3$ .

### 1.6.4 Procédé de fabrication CMOS à caisson n

L'approche la plus couramment utilisée dans une technologie CMOS à caisson n est d'utiliser un substrat en silicium de type p modérément dopé, de créer le caisson n pour les composants à canal p et de former les transistors à canal n dans le substrat natif. Le procédé de fabrication utilisé par cette technologie est généralement complexe et dépend du fondeur, nous allons donc restreindre notre étude aux étapes essentielles.

La figure (I.22) illustre le procédé de fabrication en technologie CMOS à caisson n et donne à chaque étape du procédé une vue en coupe de la tranche du silicium en fabrication et le masque correspondant.

Généralement dans une technologie de circuits intégrés, on commence par une tranche de silicium (Wafer) sur laquelle on a déjà déposé une couche épaisse d'oxyde. La première étape consiste à définir la région où le caisson n sera formé, dans cette région la couche

## Chapitre I

---

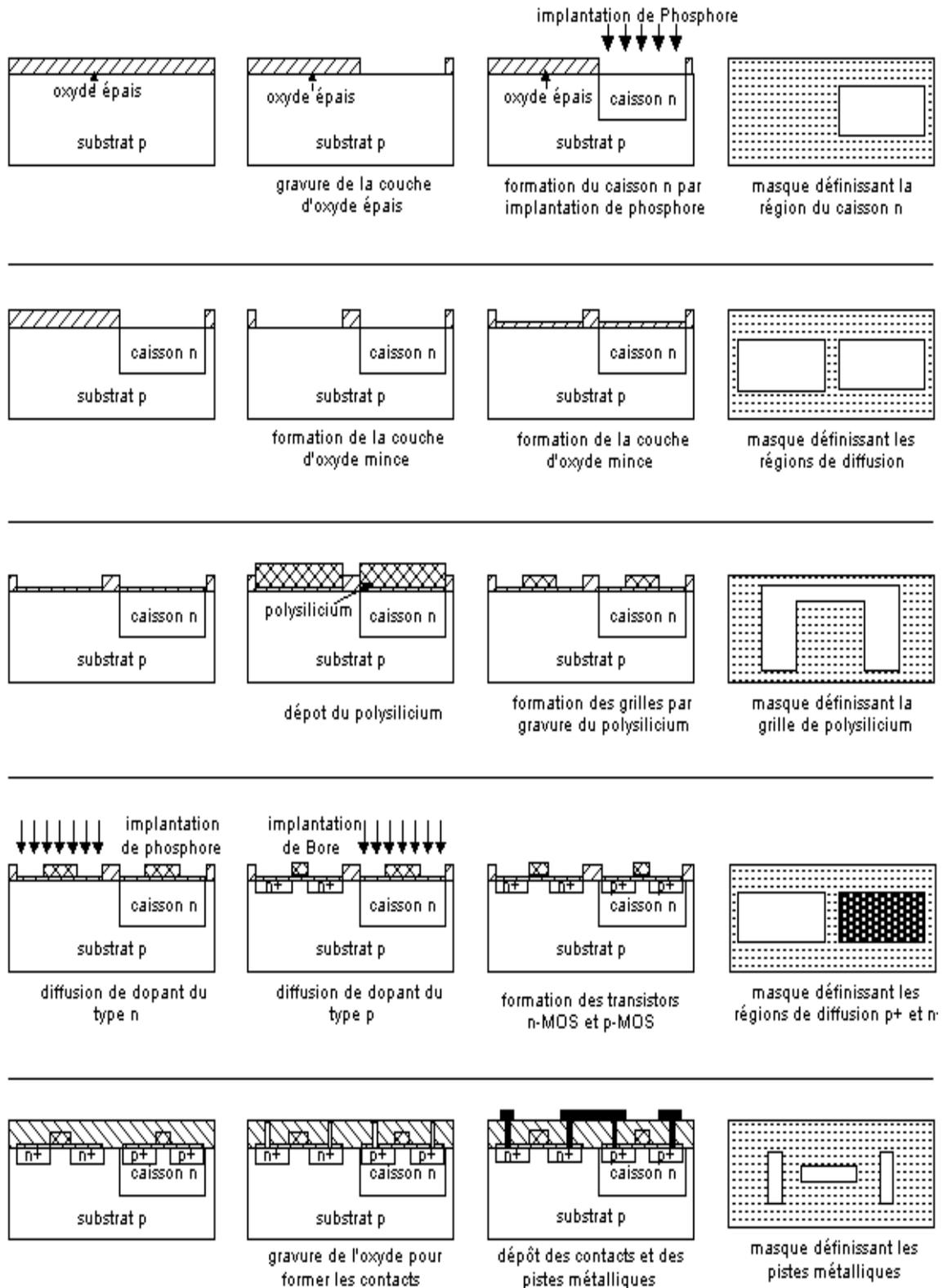
d'oxyde épais est gravée pour permettre une diffusion profonde d'impureté de type n telle que le phosphore. La profondeur du caisson ainsi que son niveau de dopage va dépendre de l'énergie et de la durée de la diffusion. Le caisson ainsi formé va servir à réaliser des transistors à canal p.

La seconde étape consiste à définir les régions où seront formées les couches fines d'oxyde qui sont nécessaires pour réaliser les grilles des transistors. La couche épaisse d'oxyde est alors gravée jusqu'au substrat dans les régions où des transistors à canal n seront réalisés, et jusqu'au caisson dans les régions où des transistors de type p seront formés. Les couches fines sont alors créées par oxydation du silicium.

Dans l'étape suivante la grille en polysilicium est formée. Cette étape consiste à recouvrir le matériau de polysilicium puis à faire une gravure pour enlever l'essentiel de cette couche de façon à ne laisser que les régions qui vont servir comme grille pour les transistors.

Dans les deux étapes qui suivent les transistors de type n et les transistors de type p sont définis. Une diffusion localisée d'impuretés de type donneur telle le phosphore, va former le drain et la source des transistors à canal n, ces régions sont appelées régions de diffusion n+. Une diffusion localisée d'impuretés de type accepteur telle le Bore va former les régions de drain et source des transistors à canal p, ces régions sont appelées région de diffusion p+. Ces deux étapes sont faites après la formation de la grille de polysilicium pour assurer un auto-alignement des deux régions de diffusion d'un transistor.

# Chapitre I



La figure I-22 : procéder de fabrication en technologie CMOS à caisson n. [29]

# Chapitre I

---

La figure (I.22) montre les différentes étapes suivies pendant un procédé de fabrication d'une technologie CMOS à caisson n. Elle donne une vue en coupe de la tranche de silicium en fabrication ainsi que le masque correspondant à chaque étape du procédé CMOS à caisson n.

Comme le montre la figure (I.22), les étapes précédentes ont permis de réaliser des transistors à canal p dans le caisson et des transistors de type n dans le substrat. L'étape qui suit consiste à définir les lieux où un contact sera réalisé. La couche d'oxyde est alors gravée jusqu'aux surfaces sur lesquelles sera pris un contact métallique. Cette étape est suivie par une métallisation pour former ces contacts métalliques ainsi que les pistes d'interconnexions. Le nombre de niveaux de métal diffère d'une technologie à une autre, plus il y a de niveaux de métal, plus le concepteur a de facilités pour réaliser les connections entre les composants dans le circuit intégré.

L'étape finale consiste à recouvrir le circuit d'une couche de passivation (une couche d'oxyde) et à réaliser des ouvertures pour les différents plots du circuit intégré. La couche de passivation est nécessaire puisqu'elle permet de protéger le silicium d'une contamination par des impuretés qui peuvent affecter les composants.

Par analogie avec les étapes du procédé de fabrication de la technologie CMOS à caisson n on peut déduire les étapes des procédés CMOS à caisson p ou à double caisson. [29]

## **I.7 Les limites actuelles à la miniaturisation du transistor MOS bulk**

### **I.7.1 Contraintes pour les générations futures**

A chaque nouvelle génération de transistors, la réalisation du défi lancé par la loi de Moore apparaît comme un casse-tête de plus en plus difficile à réaliser. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, telles que la performance, la consommation et la fiabilité sont à prendre en compte [30-32]. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état du transistor.

Parier sur une croissance au rythme de la loi de Moore pour la décennie à venir relève d'un défi ambitieux. De plus, les architectures devenant très complexes, la conception, la fabrication et la vérification voient leurs coûts croître exponentiellement. Il est actuellement admis que la loi de Moore sera encore valide pour les 10-12 ans à venir (pour 3 à 4 générations de microprocesseurs). En effet, les projections industrielles pour le développement de la technologie CMOS suggèrent que ce dernier est proche des limites

## Chapitre I

fondamentales physiques. L'association de l'industrie du semiconducteur : SIA (Semiconductor Industry Association), publie depuis 1998 << The International Technology Roadmap for semiconductors, ITRS >> qui est un guide de référence pour l'industrie mondiale du semiconducteur [33] (voir Tableau I.3).

Année	1999	2002	2005	2008	2011	2014
L <sub>g</sub> (nm)	180	130	100	70	50	35
V <sub>dd</sub> (V)	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
V <sub>th</sub> (V)	0.5	0.4	0.35	0.3	0.3	0.2
T <sub>ox</sub> (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
N <sub>a</sub> (cm <sup>-3</sup> )	<10 <sup>18</sup>	<10 <sup>18</sup>	10 <sup>18</sup>	10 <sup>18</sup>	10 <sup>18</sup>	10 <sup>18</sup>
X <sub>j</sub> (nm)	45-70	30-50	25-40	20-28	13-20	10-14
E (MV/cm)	<5	5	>5	>5	>5	>5
Ion (μA/μm)	750/350	750/350	750/350	750/350	750/350	750/350
I <sub>off</sub> (μA/μm)	2	10	20	40	80	160

**Tableau I.3:** Prévision SIA de l'évolution de la technologie CMOS [33].

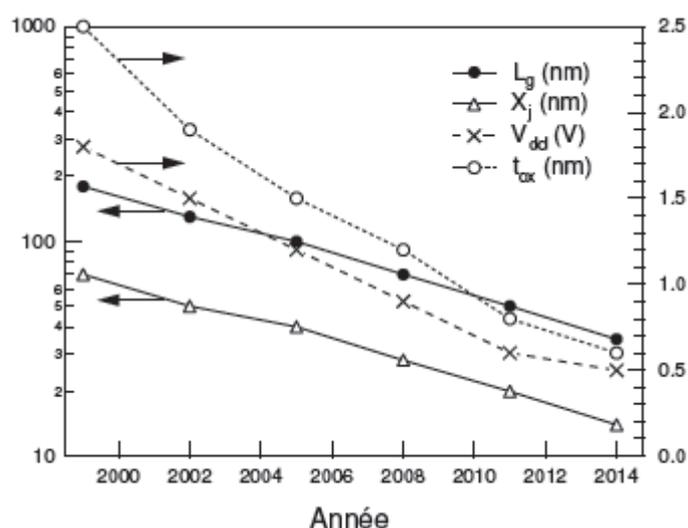
Selon l'édition 1999, malgré l'utilisation de nouveau matériel, il sera difficile de maintenir l'augmentation des performances électriques des composants au rythme de la loi de Moore. Il convient, cependant, de rappeler que les données du tableau I.3 sont basées sur de simples projections des progrès passés. Ceci ne garantit pas forcément qu'un dispositif plus court pourra être fabriqué, ni qu'il présentera les mêmes performances.

La figure I.23 illustre graphiquement l'évolution espérée des principales caractéristiques des TMOS, à savoir, la longueur de grille (L<sub>g</sub>), la tension d'alimentation (V<sub>dd</sub>), l'épaisseur d'oxyde de grille (T<sub>ox</sub>) et les profondeurs de jonctions des extensions de source et drain (X<sub>j</sub>). Une première analyse de ces valeurs permet d'annoncer quelques possibles limitations et freins technologiques à la réduction d'échelle énoncée selon les critères de la SIA:

- ✚ La diminution de la longueur de grille en dessous de 50 nm semble difficile, compte tenu du contrôle nécessaire du courant de fuite à l'état bloqué du transistor.
- ✚ En raison de la réduction de la résistance du canal à l'état passant, il faut veiller à ce que les résistances source/drain, placées en série avec celle du canal, soient suffisamment faibles pour ne pas dégrader sérieusement les performances du composant. Cette contrainte impose donc de ne pas choisir des profondeurs de

jonctions  $X_j$  trop faibles, et conduit à adopter un très fort dopage de source et de drain. Cela est cependant défavorable du point de vue des effets canaux courts car la réduction des profondeurs de jonctions source/drain permet en fait un meilleur contrôle de la charge du canal à l'état bloqué [34].

- ✚ La tension d'alimentation ne peut que difficilement être réduite en dessous de 60V, en raison de la nécessité du maintien de la tension de seuil ( $V_{th}$ ) à un niveau suffisant pour garantir des marges de bruit acceptables dans les circuits logiques [35].
- ✚ La réduction de l'épaisseur d'oxyde en dessous de 2nm résulte en un important courant tunnel, or vu les épaisseurs annoncées (Figure I.23) de sérieux problèmes risquent de se poser au niveau de la consommation statique. Il est admis que pour une tension d'alimentation de 1V, la limite maximale admise pour le courant de fuite de grille est de l'ordre de 1A/cm<sup>2</sup>, ce qui situe l'épaisseur minimale d'oxyde aux environs de 1.8nm [36]. Cependant, on sait que ces courants de fuite ne perturberont pas le fonctionnement élémentaire des transistors MOS de longueur de canal inférieur à 1 $\mu$ m, mais en revanche, augmenteront la puissance dissipée à l'état bloqué [37-39]. Par ailleurs, il est clair également que la réduction des dimensions ne peut se faire sans réduire l'oxyde de grille, sous peine de ne plus parvenir à contrôler les effets canaux court [40].



**Figure I-23 :** Evolution des grandeurs caractéristiques de la technologie CMOS, selon les prévisions de la SIA [33].

La future génération de transistor MOS atteindra des dimensions caractéristiques de l'ordre de quelques nanomètres. Au delà des difficultés de lithographie qu'il conviendra de surmonter avant d'en arriver à la réalisation industrielle, ces « **NanoMOS** » imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes qu'on ne peut plus négliger. Dans les paragraphes qui suivent, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET bulk est confronté dans la course à la miniaturisation.

## **1.7.1.1 Problèmes liés aux faibles épaisseurs d'oxyde**

Parallèlement à la réduction de la longueur du canal  $L$ , l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets canaux courts et d'améliorer le contrôle du canal de conduction. Pour des épaisseurs inférieures à  $2nm$ , la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible.

L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor [41], même si les applications « basse consommation » souffrent de plus en plus de l'augmentation continue de la puissance dissipée.

La dépendance exponentielle du courant de grille ( $J_g$ ) avec l'épaisseur d'oxyde fait de la limitation du courant tunnel de grille l'un des défis majeurs des prochaines années. Parmi les solutions en cours d'étude, l'utilisation d'isolants à permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. L'oxyde d'hafnium  $HfO_2$  avec sa permittivité relative ( $\epsilon_r$ ) de l'ordre de 20, son gap relativement grand de l'ordre de  $5,65eV$  et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [42].

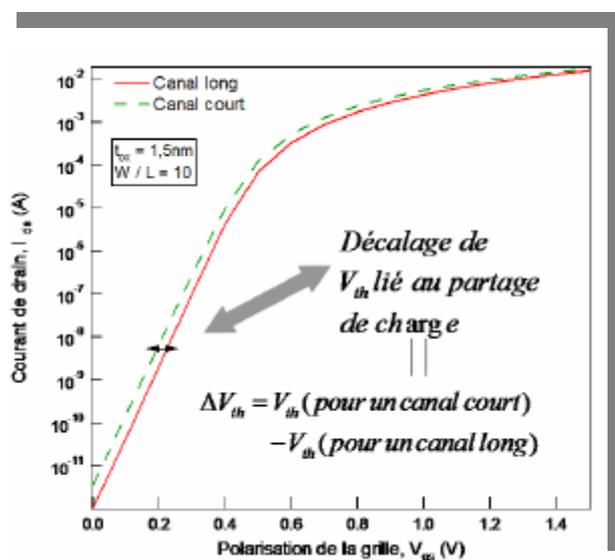
## **1.7.2.2 Les effets canaux courts**

De manière générale, les effets canaux courts – que nous noterons SCE (*Short Channel Effects*) – constituent tous des effets parasites qui influent sur  $V_{th}$ . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CS (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*).

- **Le partage de charge de déplétion (CS)**

L'effet de partage de charge (CS) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain [43-45]. Quand  $V_{ds}$  augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour  $V_{ds} = 0V$  [46]. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil  $SS$  ainsi que du courant. Ce résultat s'observe bien sur la caractéristique  $I_d - V_g$  en échelle logarithmique de la Fig.I.24. En plus de cet effet canal court, on assiste à un effet canal étroit [46]. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement.

Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et ainsi, à une augmentation de la tension de seuil.

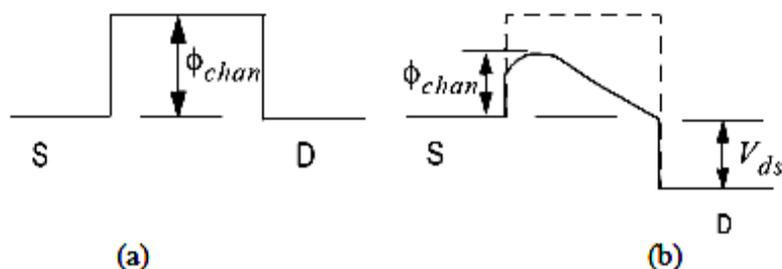


**Figure I-24 :** Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour  $V_d = 1 V$

- **L'abaissement de la barrière de potentiel induit par le drain (DIBL)**

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Comme décrit dans la Fig. I.25-a, lorsqu'aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long. Cependant, avec une tension de drain appliquée (cf. Fig. I.25-b), le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat- source. C'est effectivement un tel effet qui est référé comme étant l'abaissement de la barrière induite par le drain, ou le DIBL [43-45]. Pour une tension de drain

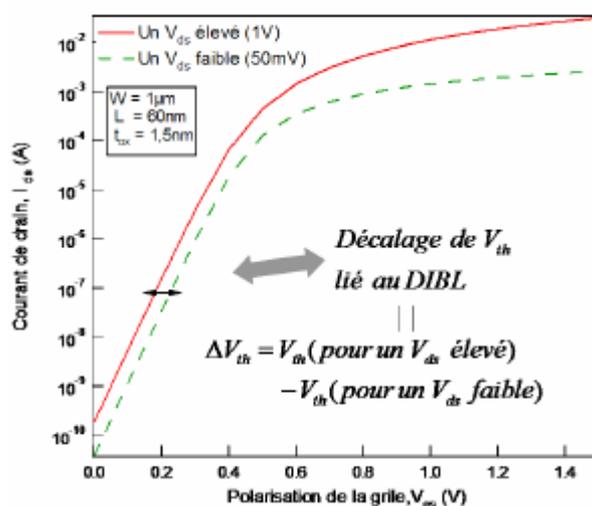
croissante, nous assistons à une traversée du canal par les porteurs à une valeur de polarisation de grille nettement inférieure à celle que l'on aurait eu en l'absence de cet effet dit DIBL. L'injection augmentée d'électrons par la source, par dessus la barrière de canal réduite, lorsque  $V_{ds}$  augmente, entraîne une croissance du courant de drain et donc une décroissance de  $V_{th}$ .



**Figure I-25:** Profil du potentiel de canal sur une structure à canal court pour

(a)  $V_{ds} = 0V$  et (b)  $V_{ds} > 0V$

Ce résultat s'observe bien sur la caractéristique  $I_d - V_g$  en échelle logarithmique tracée à la figure I.26



**Figure I-26:** Influence de l'effet du DIBL sur la caractéristique  $I_d - V_g$  du transistor MOS

### 1.7.2.3 La déplétion de grille

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein même du polysilicium en inversion. Ce phénomène est connu sous le nom de déplétion du polysilicium de grille [47-49]. Cette déplétion entraîne la diminution du courant de saturation  $I_{on}$  et l'augmentation « effective » de l'épaisseur d'oxyde. Ceci a pour conséquence directe, une diminution du contrôle de la grille sur le potentiel dans le canal. Le phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des

dispositifs. L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au coeur des recherches dans ce domaine, se trouvent les matériaux de type *midgap* dont les travaux de sortie sont identiques à celui du silicium. Nous pouvons citer le CoS12 et le TiN comme exemples de matériau de ce type.

## 1.7.2.4 Problèmes liés au dopage

Une autre difficulté sérieuse dans la mise au point des nanoMOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à  $10^{18} \text{ atomes / cm}^{-3}$ , un canal mesurant  $20 \times 20 \times 20 \text{ nm}^3$  ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET bulk [50-51] et par voie de conséquence, dans l'élaboration des circuits intégrés.

## 1.7.2.5 Phénomènes quantiques dans le canal

Les nanoMOS se caractérisent par l'apparition de phénomènes de nature quantique jusqu'alors inexistantes ou tout du moins négligeables. Ainsi, outre le passage des électrons par effet tunnel à travers la grille [52], il existe aussi une quantification des niveaux d'énergie dans le canal de conduction [53]. De par l'augmentation du dopage de canal dans les transistors, le puits de potentiel de confinement dans lequel circulent les porteurs devient de plus en plus étroit, augmentant ainsi l'écart entre les différents niveaux d'énergie. Cet effet modifie notamment la position du maximum de densité des porteurs qui se trouve décalée de l'interface entre l'oxyde et le semiconducteur [54]. Il en découle une capacité MOS effective plus faible que celle prévue théoriquement et par conséquent une sous-estimation de la tension de seuil  $V_{th}$  par surestimation de l'efficacité de la grille [55-57].

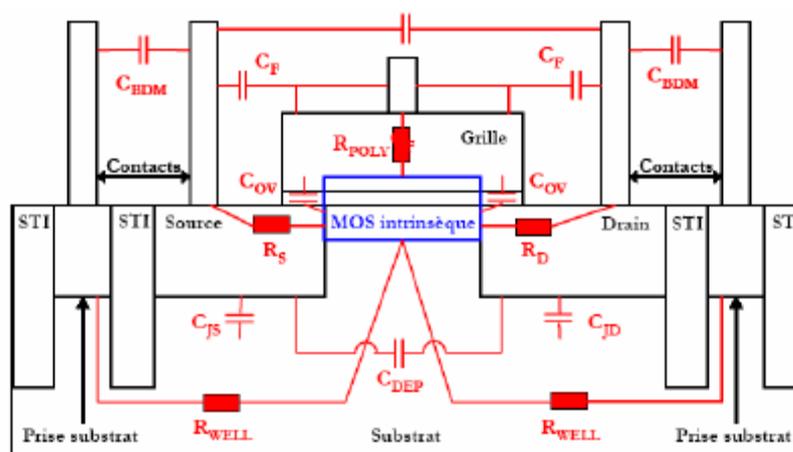
## 1.7.2.6 Les aspects extrinsèques

Jusqu'à présent, nous avons décrit le comportement intrinsèque du transistor MOS, c'est-à-dire que nous avons considéré que les électrodes de drain et de source étaient connectées directement de part et d'autre du canal. Les choix technologiques qui sont appliqués aux niveaux des diffusions de source et de drain ont en fait une incidence très forte dans le comportement électrique global du transistor MOS bulk.

Ces diffusions drain et source sont ainsi sources de dégradation de plus en plus importantes sur le comportement électrique, tant sur le plan statique (résistances), que dynamique (capacité extrinsèque notamment), et cela d'autant plus que le transistor devient petit. Ainsi, est-il indispensable de comprendre et de prendre en compte ces zones pour correctement évaluer les performances réelles du transistor.

Les principaux éléments, générés lors de la fabrication du transistor, qui dégradent les performances intrinsèques des dispositifs sont (Fig. I.27) [58] :

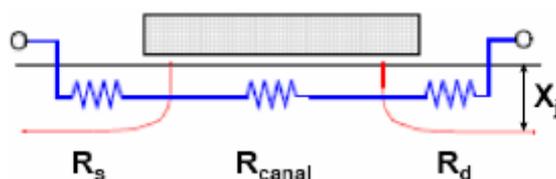
- La résistance d'accès à la grille (due aux contacts, au type de grille utilisée),
- Les résistances d'accès au drain et à la source (dues aux contacts, aux extensions et aux source/drain siliciurées ou non),
- Les résistances d'accès au substrat,
- Les capacités grille-drain et grille-source : capacités de bord (fringe) et de recouvrement (overlap),
- Les capacités drain-substrat et source-substrat (capacités métalliques et de jonction),
- La capacité drain-source (capacité métallique et de proximité),
- Les capacités grille-substrat.



*Figure I-27 : Schéma d'une structure de transistor MOS bulk mettant en évidence les aspects extrinsèques [58]*

- **Les résistances source-drain (résistances série)**

Lors du *scaling* des dispositifs, la diffusion latérale ne peut être réduite dans les mêmes proportions que la longueur de grille ; ainsi la région de recouvrement entre la grille et les diffusions de source et de drain devient-elle une fraction significative de la longueur de grille des structures fortement-submicroniques. Cela a pour conséquence directe d'augmenter le poids de la résistance extrinsèque ( $R_s + R_d$ ), appelée également résistance série  $R_{sd}$ , au regard de la résistance canal  $R_{ch}$ . Par ailleurs, il est nécessaire de réduire l'extension des profondeurs des jonctions ( $X_j$ ) de source et de drain afin de réduire les effets canaux courts. Mais, en contrepartie, cette réduction des profondeurs des jonctions entraîne une augmentation des résistances parasites de source et de drain  $R_s$  et  $R_d$  en série avec la résistance du canal  $R_{ch}$  (montré dans la Fig. I.28). Par conséquent, les technologues doivent trouver un compromis entre le contrôle des effets canaux courts qui dégradent le courant  $I_{off}$  et les résistances parasites qui dégradent le courant  $I_{on}$ .



**Figure I-28:** Illustration des différentes résistances vues entre le drain et la source

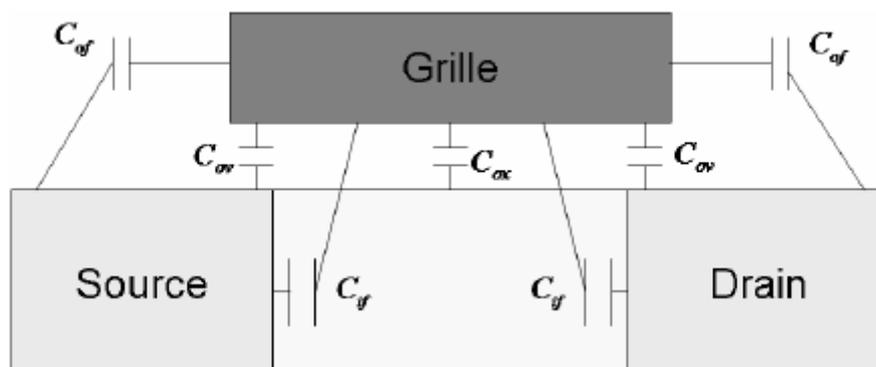
Dans les technologies submicroniques, la présence de régions peu dopées près du canal et des diffusions de drain et de source (ces régions sont désignées sous le nom de  $L_{DD}$  ou « *Lightly Doped Drain* ») permet une meilleure répartition des zones de déplétion et donc du champ dans la structure. Les porteurs ne seront plus suffisamment accélérés pour engendrer le phénomène d'ionisation par impact.

Malheureusement ces zones sont fortement résistives, aussi elles augmentent encore la valeur de la résistance série ( $R_{sd}$ ) et réduisent les tensions effectives réellement appliquées sur les électrodes de source et de drain [59] [60].

- **La capacité extrinsèque**

Quand les transistors deviennent fortement submicroniques, la capacité extrinsèque constitue une part importante de la capacité de grille du dispositif (plus de 30% pour un MOSFET de  $0,2\mu m$ ). Par ailleurs, de par l'importante réduction d'échelle des transistors, cette capacité est fortement dépendante des polarisations externes appliquées aux électrodes, lorsque ces transistors se trouvent dans le régime sans courant [61], [62]. La

capacité extrinsèque désigne l'ensemble des trois capacités parasites du transistor MOS, à savoir la capacité de recouvrement  $C_{ov}$  (ou *d'overlap*), la capacité de bord interne  $C_{if}$  et la capacité de bord externe  $C_{of}$  (cf. Fig. I.29).



**Figure I-29** : Schéma illustrant les différentes composantes de la capacité extrinsèque du transistor MOS bulk

## I.7.2 Conclusion

Une première conclusion se dégage de cette section. Différentes voies sont déjà explorées en vue de poursuivre la miniaturisation du MOSFET.

La première consiste à trouver des solutions technologiques pour optimiser toujours davantage les performances du transistor MOS bulk. Cela se retrouve notamment aux niveaux des jonctions (poches *super halo*, etc...), du canal (utilisation du silicium contraint, dopage rétrograde, etc...), de l'isolant de grille (utilisation du  $\text{HfO}_2$ ), de la grille (matériau midgap, etc...) pour continuer la réduction des dimensions du transistor MOS bulk. Mais à mesure que les dimensions du transistor MOS deviennent de plus en plus petites ( $L < 10\text{nm}$ ), les solutions technologiques butent de plus en plus sur la barrière infranchissable des propriétés intrinsèques des matériaux.

La seconde voie à envisager pour contourner les problèmes actuels, et surtout à venir, auxquels le MOSFET bulk est confronté, consiste à élaborer des structures alternatives.

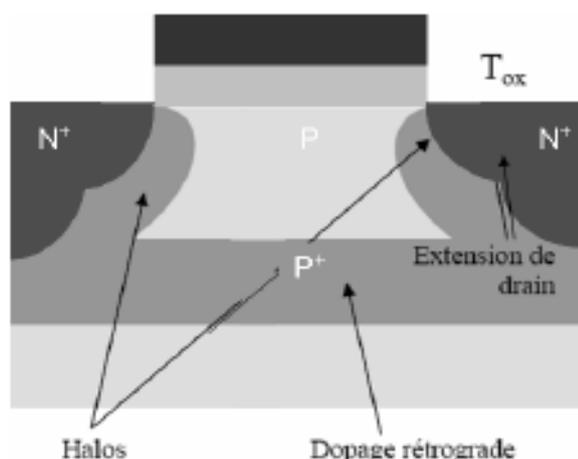
La section suivante est consacrée aux nouveaux composants identifiés comme les solutions innovantes assurant la pérennité de la nanoélectronique sur silicium.

Nous nous limiterons ici aux solutions « classiques » trouvées dans le cadre de la réduction des dimensions du MOSFET et n'évoquerons pas les solutions trouvées en électronique moléculaire (solutions post-roadmap).

## 1.8 Amélioration des propriétés du matériau

### 1.8.1 Dopage rétrograde

Pour contrer ces effets de canal court, différentes stratégies de miniaturisation sont mises en place au niveau des composants. Afin de contrôler les effets de percement volumique. Un fort dopage rétrograde est réalisé dans le substrat sous la grille [63] (cf. Fig. I.30), Ainsi l'extension des zones de charge d'espace est limitée aux endroits critiques (sous le canal) tout en permettant un réglage de la tension de seuil par un dopage plus faible du canal. Des poches, ou des « halos » fortement dopés sont aussi réalisées autour des caissons source et drain pour lutter contre le percement surfacique.



*Figure I-30: Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain*

La réalisation de ces profils de dopage complexes (dopage rétrograde, halos et poches) dans des dispositifs de plus en plus petits se révèle technologiquement de plus en plus difficile, notamment si l'on désire une parfaite reproductibilité d'un transistor à l'autre afin d'éviter la dispersion des caractéristiques.

### 1.8.2 Les isolants de valeur de permittivité élevée (*high-k*)

Parmi les solutions en cours d'étude, l'utilisation d'isolants de valeur de permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. De nombreux matériaux sont actuellement étudiés pour remplacer le  $SiO_2$  pour les longueurs de grille inférieures à  $0,1\mu m$ . Les principaux sont :  $TiO_2$ ,  $Y_2O_3$ ,  $Ta_2O_5$ ,  $Al_2O_3$ ,  $La_2O_3$ ,  $ZrO_2$ , et le  $HfO_2$ . Ils ont tous des valeurs de permittivité différentes. Leurs gaps sont généralement moins importants que celui du  $SiO_2$ , ce qui se traduit par des hauteurs de barrière plus faibles pour les trous et les électrons. Ces différents diélectriques présentent

tous des problèmes technologiques particuliers qui rendent difficile leur intégration dans un *process* [64]. Par exemple, le Ta<sub>2</sub>O<sub>5</sub>, et le TiO<sub>2</sub> semblent intéressants mais présentent l'inconvénient de réagir avec le silicium.

Ainsi, pour contourner ce fait, il faudrait une couche tampon de permittivité inférieure entre le diélectrique et le substrat. Ceci malheureusement diminue fortement la capacité  $C_{ox}$  associée à l'empilement des deux couches, et rend aussi le *process* plus compliqué. L'oxyde d'hafnium HfO<sub>2</sub> avec sa permittivité relative ( $\epsilon_r$ ) de l'ordre de 20, son gap relativement grand de l'ordre de 5,65eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [65].

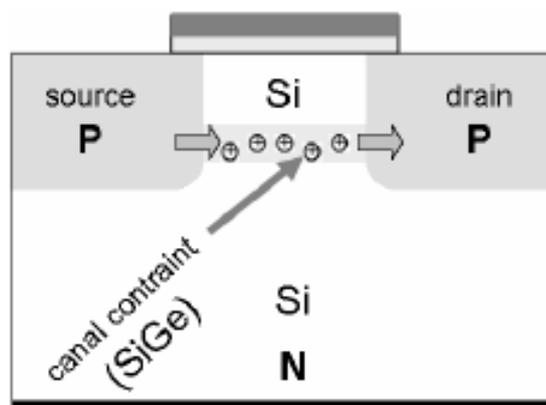
### 1.8.3 Les grilles métalliques

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein du polysilicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde [66-68]. Il se crée donc une capacité parasite dans la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. Ce phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre également une plus grande flexibilité sur l'ajustement de la tension de seuil des dispositifs.

### 1.8.4 Transistors à canal de Silicium contraint

Dans le cadre de la technologie CMOS, on cherche à augmenter le courant  $I_{on}$  à l'état passant [69,70] en utilisant par exemple un canal SiGe enterré dans le cas du pMOS à hétérostructures Si/SiGe/Si (Fig. I.31). Il existe ainsi un certain nombre de déclinaisons de ce type de composants (à canal surfacique ou enterré, avec ou sans adjonction de d'atomes de Carbone, etc...), avec chacune ses avantages et ses inconvénients.

S'il est vrai que l'utilisation des hétérostructures semble devenir une solution de choix pour améliorer les structures conventionnelles en termes de transport [71], elle ne résout pas vraiment les difficultés engendrées (elle peut même les accentuer dans le cas d'un canal enterré) par les effets canaux courts dans des dispositifs de taille nanométrique.



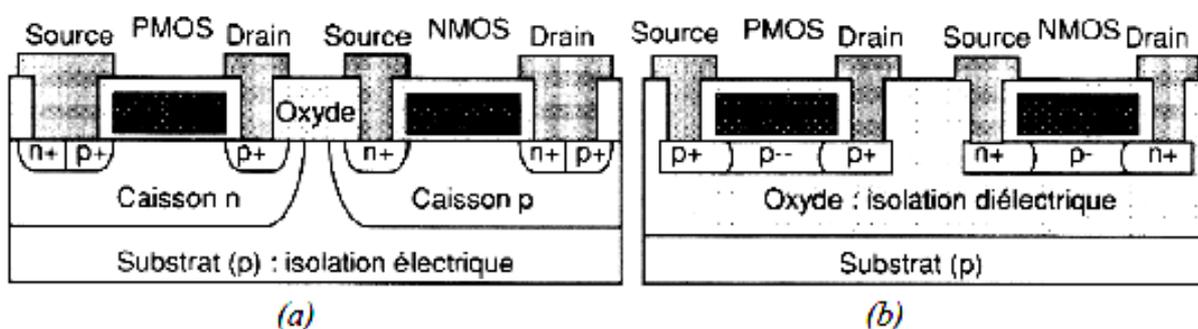
**Figure I-31:** Coupe schématique d'un PMOSFET à hétérostructures Si/SiGe/Si à canal enterré

## 1.9 Les technologies SOI

### 1.9.1 La technologie SOI à une grille

#### 1.9.1.1 Introduction

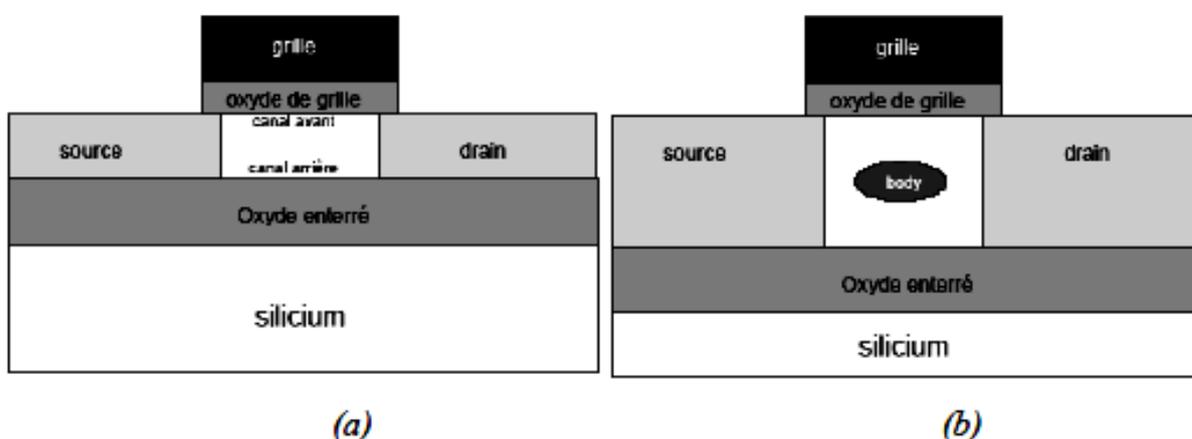
Le terme SOI (*Silicon On Insulator*) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET bulk (cf. Fig. I.32-a) où les composants sont réalisés sur un substrat de silicium < appelé parfois *bulk* > d'une épaisseur de l'ordre de  $600\mu\text{m}$  dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur une couche d'oxyde enterrée (cf. Fig. I.32-b). Le film de silicium a une épaisseur que nous noterons  $t_{\text{Si}}$ .



**Figure I-32:** Coupe schématique de transistors MOS (a) bulk et (b) SOI

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a fait naître le concept d'inversion volumique [72]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré ; nous parlons alors de

transistor partiellement déplété (ou PDSOI, "*Partially Depleted SOI*"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "*Fully Depleted SOI*"). La Fig. I.33 décrit ces deux structures.



**Figure I-33:** Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur  $X_{Si}$  de la zone de désertion dans le film dépendra du dopage du film [73].

### 1.9.1.2 Avantages de la technologie SOI par rapport au MOSFET bulk

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (« déplété »), sont dans l'ensemble bien meilleures comparées au transistor MOS bulk [74]. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm, [74]. Nous allons maintenant voir les principales propriétés de la technologie SOI par rapport au MOSFET bulk.

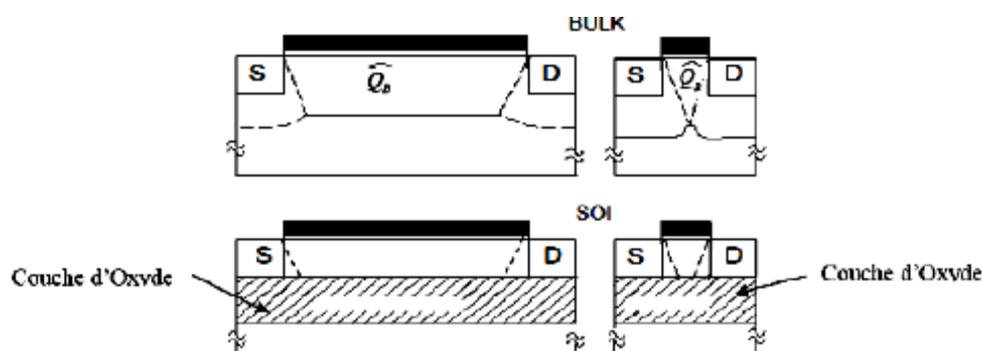
- **Diminution des effets parasites**

Les avantages de la technologie SOI sont multiples. Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites. En effet, les capacités de jonction source-substrat et drain-substrat, lesquelles pour le MOSFET bulk correspondent à la capacité d'une jonction polarisée en inverse, ne sont en réalité pour le SOI qu'une

capacité d'oxyde (i.e. la capacité d'oxyde enterré  $C_{Box}$ ). Naturellement, cette capacité d'oxyde enterré est quatre, voire sept fois inférieure à la capacité de la jonction obtenue sur le silicium massif [74]. En plus de cet avantage, le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé [74], une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons. Parmi les avantages, notons également que lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension de grille nulle, ce qui est également avantageux en ce qui concerne le courant de perçement en surface. Il y a aussi le *latch-up*, présent sur le MOSFET bulk, qui est éliminé sur le SOI. Le *latch-up* est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones  $N+$  et  $P+$  de transistors nMOS et pMOS voisins. Sur le SOI, ainsi que nous pouvons nous en rendre compte sur la Fig. I.32-b, ces zones sont totalement isolées et, ainsi, le claquage entre ces deux zones est impossible. La faculté d'augmenter la densité d'intégration est une conséquence directe de la suppression de cet effet parasite [74].

- **Amélioration du contrôle de la grille sur la charge de déplétion**

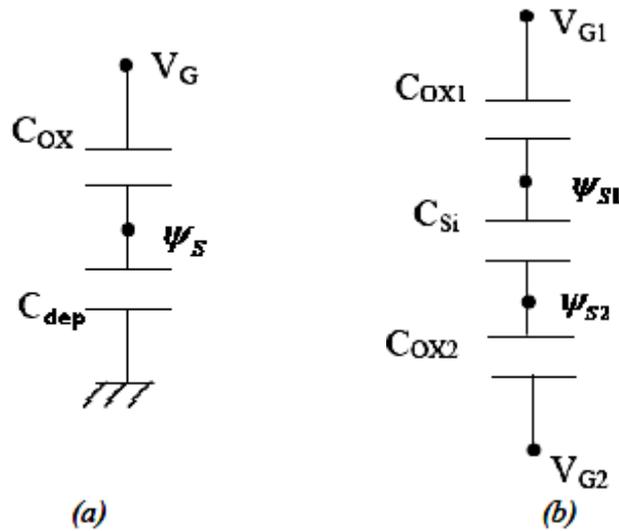
Ainsi que nous l'avons signalé dans la première section, les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. Si nous comparons le transistor MOS bulk au transistor SOI, avec des dimensions identiques ( $L, W, t_{ox}, X_j$ ), nous constatons que le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important en technologie SOI. Comme la montre la Fig. 1.34, ce phénomène est d'autant plus marqué que la longueur du canal diminue.



**Figure I-34:** Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [75]

- **Amélioration de la pente sous le seuil**

Rappelons que la pente sous le seuil est définie par  $SS = n \cdot \ln(10) \cdot k \cdot T / e$  avec  $n (= 1 + C_{dep} / C_{ox})$ , le facteur de substrat (cf. (I.18)).



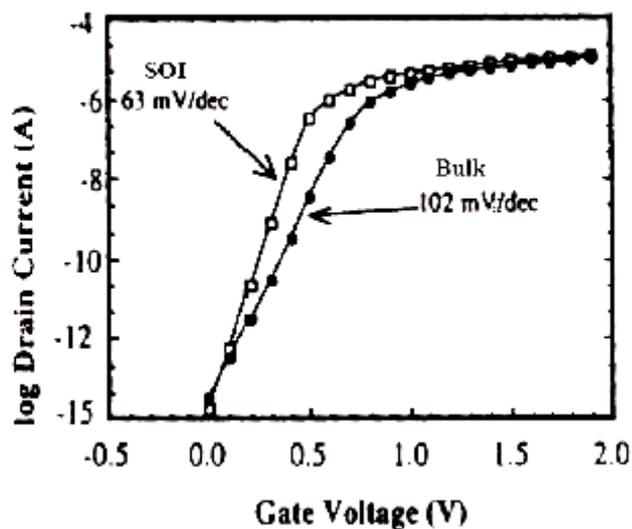
**Figure I-35** : Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI

Pour le transistor MOS bulk (Fig. I.35-a), comme  $C_{dep}$  n'est pas négligeable, cela implique que  $n > 1$ . En revanche, pour le transistor SOI sur film mince, le film en entier est déplété avant que la tension n'atteigne la tension de seuil et donc  $C_{Si}$  est une constante, d'où :

$$SS = \frac{n \cdot k \cdot T}{e} \cdot \ln(10) \quad \text{où } n = \left( 1 + \frac{C_{Si}}{C_{ox1}} \right) - \frac{\frac{C_{Si}}{C_{ox2}} - \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{Si}}{C_{ox2}}} \quad (I.52)$$

$C$  désigne la capacité du film de silicium complètement déplété et  $C_{ox1}$  et  $C_{ox2}$ , les capacités d'oxyde situés respectivement dans la partie supérieure et la partie inférieure du film de silicium. À la Fig. I.35-b,  $\Psi_{S1}$  et  $\Psi_{S2}$  désignent respectivement les potentiels de surface dans les régions supérieure et inférieure du film et, enfin,  $V_{G1}$  et  $V_{G2}$  correspondent aux polarisations des grilles, toujours dans la région supérieure et la région inférieure du film.

Nous reviendrons plus en détail, dans le chapitre suivant, sur la définition de ces grandeurs. Habituellement, pour des films minces,  $C_{ox2} \ll C_{ox1}$  et  $C_{ox2} \ll C_{Si}$ , et donc nous obtenons une valeur de  $n$  proche de l'unité et la pente sous le seuil optimale. La pente sous le seuil à température ambiante est pratiquement maximale ( $= 60mV / dec$  pour  $n = 1$ ) en technologie SOI (cf. Fig. 1.21).

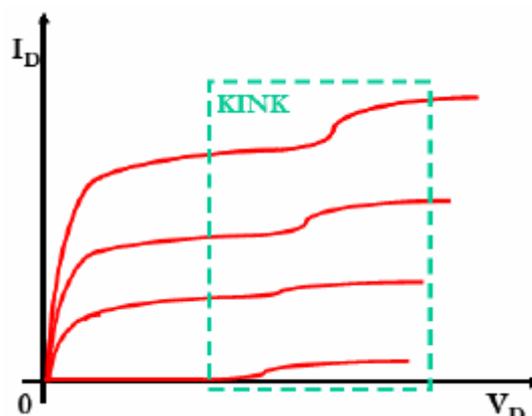


**Figure I.36** : Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [74]

- **La particularité du transistor SOI partiellement déplété**

Le transistor SOI partiellement déplété est très proche du transistor MOS bulk. La similitude entre les procédés de fabrication permet la co-intégration des dispositifs sur une même puce. De plus, l'oxyde enterré isole le canal de conduction du substrat permettant d'immuniser le transistor contre les radiations [73] et d'améliorer la densité d'intégration en rapprochant les dispositifs. L'oxyde enterré limite également les capacités parasites drainsubstrat et source-substrat qui sont quatre à sept fois plus faibles que sur silicium massif [74]. La réduction des capacités de jonction parasites se traduit par une amélioration des performances des transistors SOI en haute fréquence par rapport aux transistors MOS sur silicium massif (i.e. bulk). Cependant, le transistor SOI partiellement déplété ne permet pas le contrôle du potentiel dans tout le film. En plus des effets canaux courts, le transistor SOI partiellement déplété est soumis aux effets de substrat flottant qui dégradent le fonctionnement du transistor. Nous pouvons citer l'*effet Kink* qui est l'un des principaux effets du substrat flottant et déclenché par l'accumulation de charges produites par ionisation par impact dans le film de silicium.

Cet effet se traduit dans les transistors SOI partiellement déplétés par une augmentation du courant de drain (cf. Fig. I.37) et par du bruit électrique en saturation.



*Figure I-37 : L'augmentation du courant de drain résultant de l'effet Kink*

- **La particularité du transistor SOI entièrement déplété**

Pour les dispositifs de taille déca-nanométrique appelés à prendre la relève du transistor MOS bulk, le contrôle des effets canaux courts nécessite une réduction importante des épaisseurs d'oxyde et du film de silicium. En plus des améliorations citées dans la description du transistor partiellement déplété, le transistor SOI entièrement déplété possède d'autres avantages par rapport au transistor MOS bulk. Tout d'abord, les jonctions ultra minces limitées par l'épaisseur du film  $t_{Si}$  permettent un bon contrôle des effets de canal court. La pente sous le seuil est alors améliorée par la limitation de la déplétion à l'épaisseur du film  $t_{Si}$  [76]. Le bon contrôle des effets canaux courts permet également de réduire le dopage du film. L'utilisation d'un film faiblement dopé et la réduction des champs électriques dans le SOI permettent d'améliorer la mobilité des porteurs et, par conséquent, le courant de saturation.

Cependant, la fabrication de transistors SOI à film de silicium mince présente quelques inconvénients. La réduction de l'épaisseur  $t_{Si}$  augmente les résistances parasites des contacts source et drain. Pour réduire ces résistances, les jonctions de source et de drain doivent être fortement dopées, ce qui augmente la diffusion des dopants dans le film et réduit par conséquent la longueur effective du canal. Parallèlement, plus les films sont minces, plus les fluctuations sur une même plaquette induisent des différences de comportement entre les composants, notamment en termes de tension de seuil. La tension de seuil est également modifiée par l'apparition des effets de confinement quantique des porteurs dans les films très minces. Pour finir, l'oxyde enterré s'avère être un obstacle pour l'intégration des transistors les plus avancés. Tout d'abord, il empêche l'évacuation de la chaleur par le substrat et le phénomène d'auto-échauffement en résultant dégrade le

courant  $I_{off}$ , la pente sous le seuil et la mobilité des porteurs. Il a aussi été observé que l'oxyde enterré ne limite pas indéfiniment le couplage électrostatique entre la source et le drain et par conséquent les effets de canal court.

### I.9.1.3 Procédé de fabrication de la Technologie SOI

Technologie CMOS silicium sur insulaire (SOI) : cette technologie a plusieurs avantages potentiel sur les autres technologies traditionnelle décrite précédemment, notamment au niveau de la haute densité, pas de problème de 'latch-up' et plus faible capacité parasite. Dans le processus SOI, une couche mince d'un film de silicium cristallin est épitaxié sur un isolateur tel que le saphir ou le spinelle d'aluminium de magnésium. Plusieurs masques et techniques de dopage sont ensuite utilisé pour former les canaux n et p. Les étapes de fabrication typiques sont les suivantes : - on fait croître une couche mince de silicium faiblement dopé n au dessus d'un isolant comme le saphir par exemple (fig I.38 a). - On grave les zones de silicium sauf là où les régions de diffusion seront utilisées (fig. I.38 bc). La gravure doit être 'anisotropic' puisque l'épaisseur de silicium est plus grande que la distance désirée entre deux ceux couche de silicium. - ensuite une couche p est formée en masquant la couche n par une couche photorésistante. Un dopant p, Bore par exemple, est implanté (fig. I.38 d). L'îlot p deviendra ensuite un canal n. - L'îlot p est ensuite recouvert avec un couche photorésistante tandis que la région n est dopé, phosphore par exemple, pour donné un îlot n (fig. I.38 e). Cet îlot deviendra ensuite un canal n. - On fait croître un une couche mince d'oxyde au dessus de toutes les structures, ceci est effectué normalement par oxydation thermique. - Un film polysilicium est déposé au dessus de la couche d'oxyde. - On dope avec du phosphore cette couche de polysilicium pour diminué la résistivité (fig. I.38 f). Le polysilicium est dessiné en photomasquant et en gravant. Ceci définit la couche polysilicium dans la structure (fig. I.38 g).- L'étape suivante consiste à former la source et le drain du canal n dans l'îlot p. L'îlot n est couvert par une couche photorésistante et le dopant n est ainsi implanté (fig. I.38 h). Le dopant sera bloqué par la couche photorésistante au niveau de l'îlot n et il sera bloqué au niveau de la grille de l'îlot p par le polysilicium. Ainsi cette étape définira le dispositif à canal n. - Le dispositif à canal p est ensuite formé en masquant l'îlot p et en implantant le dopant type p. Le polysilicium au dessus de la grille de l'îlot n bloquera le dopant de la grille, ainsi le dispositif a canal p est formé (fig. I.38 i). - Une couche de verre phosphoreux ou un autre type d'isolant tel que le dioxyde de silicium est ensuite déposé au-dessus de la structure entière. Cette couche de verre est gravée au niveau des contacts. La couche de métal est formée ensuite par évaporation d'aluminium sur toute la surface et elle est gravée

## Chapitre I

---

pour garder uniquement les zones où le métal est désiré. L'aluminium va coulé à travers les zones de contacts pour établir la liaison avec les diffusion et les régions de polysilicium (fig. I.38 j). - Une couche de passivation finale est déposée et gravée au niveau des 'bonding'.

La technologie SOI admet des avantages vis à vis des autres technologies qui sont : Absence de caissons ce qui permet d'avoir des structures plus denses. Des capacités parasites plus petites ce qui fournit une plus grande rapidité des circuits. Pas de problèmes d'inversion du à un substrat isolant. Pas de problème de 'latch-up' dû à l'isolation des transistors n et p par un substrat isolant. Comme le substrat est isolant, on n'a plus de problème d'effet substrat. Toutefois, vu l'absence de diode substrat, les entrées sont plus difficile à protéger. L'autre inconvénient majeur réside dans le coût de fabrication qui est beaucoup plus élevé que les autres technologies, notamment aux niveaux du substrat employé ici est beaucoup plus chère qu'un substrat silicium. [77]

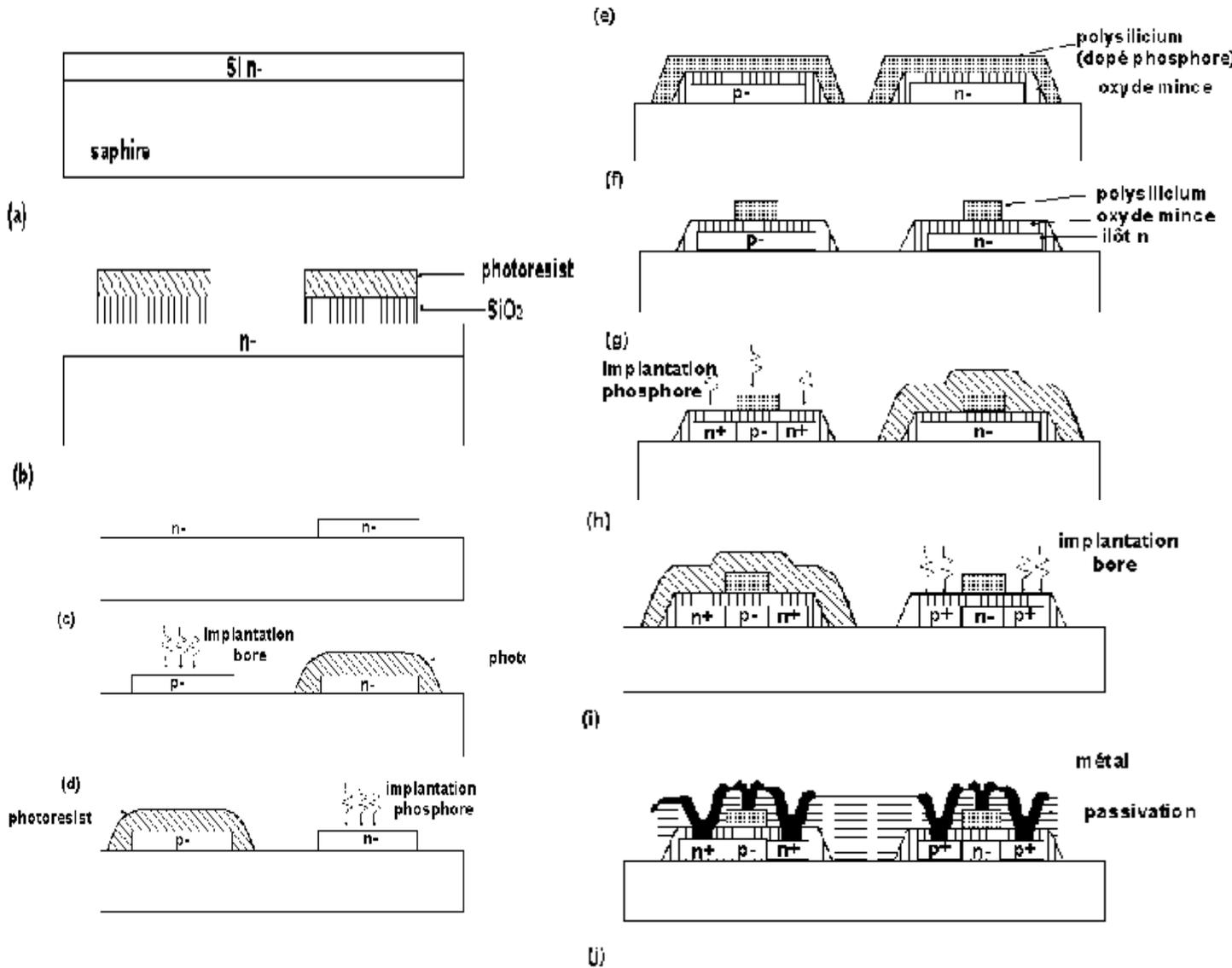


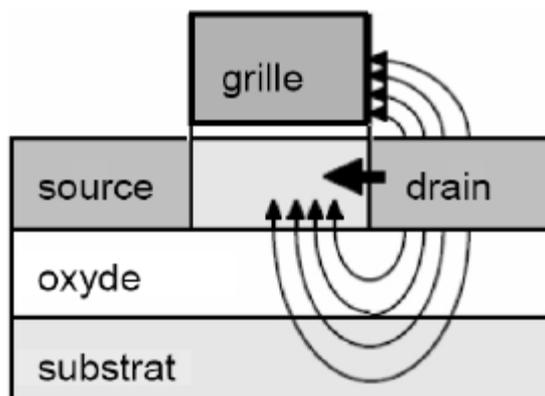
Figure 1-38: Procédé de fabrication de la technologie SOI

#### 1.9.1.4 Conclusion

Les avantages de la technologie SOI sont nombreux. Cependant, leur inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (cf. Fig. I.39). La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante. Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts.

Cette structure est appelée double-grille et fera l'objet des chapitres suivants qui lui seront

exclusivement dédiés. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous allons présenter dans la section suivante.



*Figure I-39: Influence électrostatique sur le SOI à une grille*

Il existe encore une autre structure à une grille qui offre de bonnes perspectives de miniaturisation : le SON (pour "Silicon On Nothing") [78-80]. En comparaison avec le SOI, le SON ne présente de l'oxyde enterré qu'en dessous du canal de conduction. Ceci a l'avantage de permettre l'évacuation de la chaleur par le substrat à travers les jonctions de source et de drain. Le procédé de fabrication des transistors SON offre également l'avantage de contrôler les épaisseurs de film et d'oxyde définies par épitaxie. Le terme "SON" fait référence à une étape particulière du procédé de fabrication au cours de laquelle le canal est suspendu au-dessus de la zone active. Le film du transistor SON est complètement déplété et l'épaisseur du film est typiquement inférieure à 20nm [81]. Un autre avantage important concerne le procédé de fabrication qui permet de co-intégrer les transistors MOS bulk et les transistors SON sur une même puce.

### **1.9.2 Les transistors à grilles multiples**

La technologie SOI à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [74].

L'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée en Fig. I.40 et Fig. I.41 :

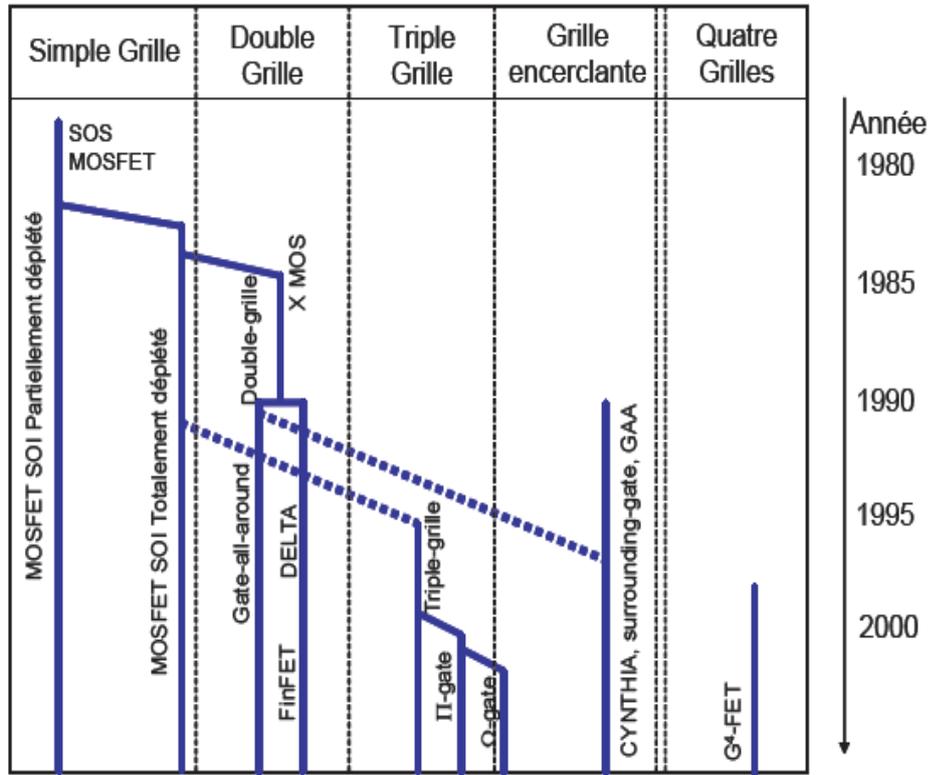


Figure I-40: Arbre généalogique de la technologie SOI. [74]

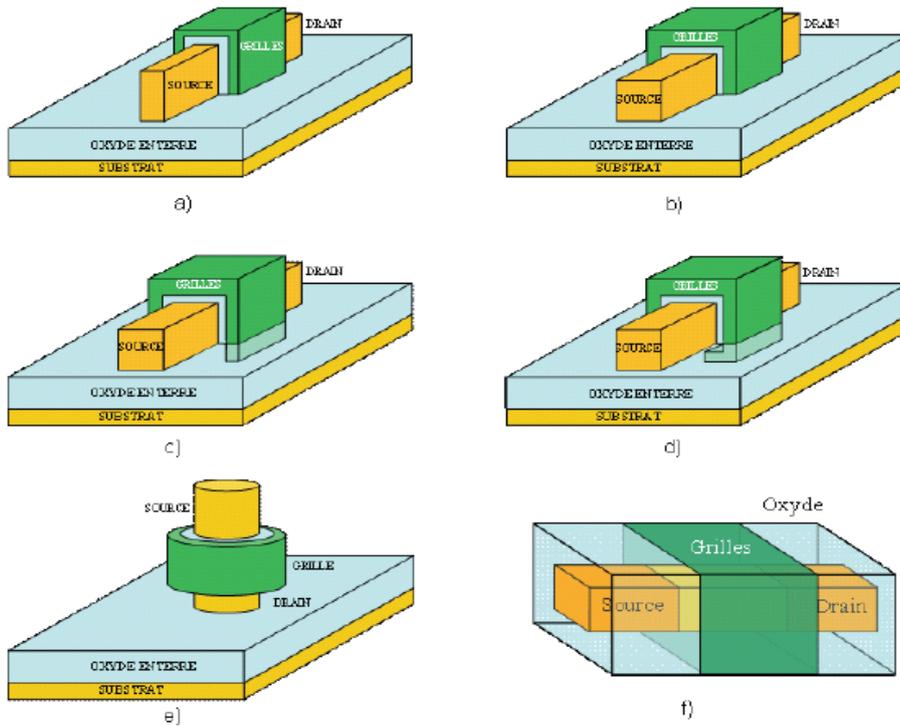


Figure I-41: Différentes configurations de grilles pour des composants SOI : a) FinFET; b) Triple grille ; c) Pi-gate MOSFET; d) Oméga-gate MOSFET; e) Surrounding gate; f) Gate-All-Around MOSFET (structure GAA).

## Chapitre I

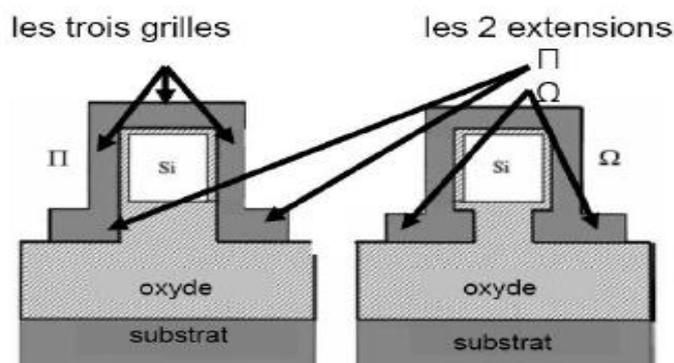
---

Suivant le nombre de grilles qui contrôlent le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature: **Le double-grille** : Le transistor MOS double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La Fig.I.41. En présente l'architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie du double grille bien qu'elle possède trois grilles ; elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles. Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille » se trouve sur une couche d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion.

De plus, on observera qu'au niveau de la structure MOSFET double grille planaire, il existe deux variantes. Suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi le MOSFET double-grille en mode de fonctionnement symétrique et le MOSFET double-grille en mode de fonctionnement asymétrique. Nous reviendrons plus en détail sur ces deux types de dispositifs dans le chapitre suivant.

**Le triple-grille** : Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (cf. Fig. I.41). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [74].

**Le triple<sup>+</sup>-grille** : Ces transistors sont représentés à la Fig. I.42. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.



**Figure I-42:** L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs

Suivant la forme de ces extensions, l'architecture diffère [74]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure  $\Pi$ FET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de  $\Omega$ FET. Ces extensions sont généralement obtenues en surgravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

**Le quadruple-grille :** Ce composant possède quatre grilles (QG). La structure est décrite à la Fig.I.42. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "*surrounding-gate*" [74]. Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [74], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{ds}$  : la diminution de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la

# Chapitre I

---

polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires. L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [82] ou par effet tunnel [83] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en oeuvre de procédés plus que délicats.

## 1.10 Conclusion

La miniaturisation des transistors MOS a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui dégradent les caractéristiques des composants. Ainsi, une solution alternative au transistor MOS bulk devient-elle progressivement nécessaire. Tout comme il y a soixante ans, lors de l'avènement de l'électronique sur semiconducteur au détriment des tubes à vide, de nouveaux dispositifs permettant d'améliorer, voire de remplacer la technologie MOSFET bulk, sont développés. Le chapitre suivant présente l'un de ces nouveaux composants, le MOSFET double-grille. Ce dernier s'affiche comme l'une des solutions innovantes potentielles, susceptibles d'assurer la pérennité de la nanoélectronique sur silicium.

## Bibliographie

---

- [1] Jérôme SAINT-MARTIN “ *étude par simulation monte Carlo d’architectures de mosfet ultracourts à grille multiple sur SOP*”. Thèse de doctorat 2005 .Université De Paris-Sud U.F.R. Scientifique D’orsay
- [2] Dorothee MULLER “*optimisation des potentialités d’un transistor Idmos pour l’intégration d’amplificateur de puissance rf sur silicium*”. Thèse de doctorat 2006. Université de limoges
- [3] T. Skotnicki, “*Transistor MOS et sa technologie de fabrication,*” Techniques de l’Ingénieur, vol. 2, no. E 2 430, 2000
- [4] Sandrine BERNARDINI “ *modélisation des structures métal-oxyde-semiconducteur (mos) : applications aux dispositifs mémoires* ”. Thèse de doctorat 2004. Université d’Aix-Marseille
- [5] Delphine AIME “ *modulation du travail de sortie de grilles métalliques totalement siliciures pour des dispositifs Cmos deca-nanométriques*”. Thèse de doctorat 2007. Institut national des sciences appliquées de Lyon n° d’ordre 2007isal0080
- [6] Birahim Diagne“ *Étude et modélisation compacte d’un transistor MOS SOI double-grille dédié à la conception*”. Thèse de doctorat 2007. Université Louis Pasteur
- [7] N Arora, “*MOSFET models for VLSI circuit simulation: theory and practice,*” ISBN-10 0387823956, Springer-Verlag Telos, 1993
- [8] C. Liu, and T. Hsieh, “*Analytic modeling of the subthreshold behavior in MOSFET,*” Solid-State Electronics, vol. 44, no. 9, pp. 1707–1710, 2000
- [9] E. Vandamme, P. Jansen, and L. Deferm, “*Modeling the subthreshold swing in MOSFETs,*” IEEE Electron Device Letters, vol. 18, no. 8, pp. 369–371, 1997
- [10] B. Agrawal, V. De, and J. Meindl, “*Three-dimensional analytical subthreshold models for bulk MOSFETs,*” IEEE Transactions on Electron Devices, vol. 42, no. 12, pp. 2170–2180, 1995
- [11] N. Chien, S. Cristoloveanu, and G. Ghibaudo, “*A three-piece model of channel length modulation in submicrometer MOSFETs,*” Solid-State Electronics, vol. 31, no. 6, pp. 1057–1063, 1988

## Bibliographie

---

- [12] Toufik BENDIB “*Modélisation et simulation du transistor DGMOSFET en utilisant les Algorithmes Génétiques*”. Mémoire de magister 2008. Université de Batna
- [13] André vapaille et René Castagne « *Dispositif et circuits intégrés semiconducteurs* », Dunod, 1987.
- [14] Catherine Douillard, André Thépaut Logique combinatoire et circuits MOS ELP304/203: ELECTRONIQUE NUMERIQUE 2008-2009
- [15] Y. Ma, Z. Li, L. Liu, L. Tian, and Z. Yu, .Effective density-of-states approach to QM correction in MOS structures,. *Solid-State Electron.* vol. 44, pp. 401.407, 2000.
- [16] Y. Ma, Z. Li, L. Liu, and Z. Yu, .Comprehensive analytical physical model of quantized inversion layer in MOS structure,. *Solid-State Electron.*, vol. 45, pp. 267.273, 2001.
- [17] F. Stern and W. E. Howard, .Properties of semiconductor surface inversion layers in the electric quantum limit,. *Phys. Rev.*, vol. 163, pp. 816.835, 1967.
- [18] R. Rios, N. Arora, C.-L. Huang, *et al.*, .A physical compact MOSFET model, including quantum mechanical effects, for statistical circuit design applications. in *Proc. IEEE Int. Electron Devices Meeting (IEDM)*, 1995, pp. 937.940.
- [19] T. Janik and B. Majkusiak, .Analysis of the MOS transistor based on the self-consistent solution to the Schrödinger and Poisson equations and on the local mobility model,. *IEEE Trans. Electron Devices*, vol. 45, no. 6, pp. 1263.1271, June 1998.
- [20] G. Gildenblat, T. L. Chen, and P. Bendix, .Closed-form approximation for the perturbation of MOSFET surface potential by quantum-mechanical-effects,. *Electronics Letters*, vol. 36, no. 12, pp. 1072.1073, June 2000.
- [21] C. C. Enz, F. Krummenacher, and E. Vittoz, “*An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,*” *J. Analog Integrated Circuits and Signal Processing*, no. 8, pages 83-114, juillet 1995
- [22] Site web officiel pour le modèle EKV: The EKV MOSFET compact model: <http://legwww.epfl.ch/ekv/>

## Bibliographie

---

- [23] J.-M. Sallese, M. Bucher, F. Krummenacher, et al., “*Inversion charge linearization in MOSFET modeling and rigorous derivation of the EKV compact model*,” *Solid-State Electronics*, vol. 47, no. 4, pages 677-683, avril 2003
- [24] Fabien Prégaldiny “*Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques*” Thèse de doctorat 2003. Université Louis Pasteur
- [25] Fayçal DJEFFAL “*Modélisation et simulation prédictive du transistor MOSFET fortement submicronique*”. Application à la conception des dispositifs intégrés .Thèse de doctorat 2006. Université de Batna
- [26] Yuan TAUR et Tak H. NING « *Fundamentals of modern VLSI devices* », Cambridge University Press, 1998.
- [27] Marcel LAHMANI et al. « *Les nanosciences. Nanotechnologies et nanophysique* », Belin, 2004.
- [28] Marie-Emma ARBEY-RAZATOVO « *Filière CMOS 0.1um sur substrat SOI : étude du temps de propagation de l'inverseur par simulation particulière Monte Carlo* », Thèse de doctorat, Université Paris-Sud, 1998.
- [29] Site web <http://www.abcelectronique.com/>
- [30] F. Stern and W. E. Howard, .Properties of semiconductor surface inversion layers in the electric quantum limit, *Phys. Rev.*, vol. 163, pp. 816.835, 1967.
- [31] F. Stern, .Quantum properties of surface space-charge layers,. *CRC Crti. Rev. Solid State Sci.*, vol. 4, pp. 499.514, 1974.
- [32] T. Ando, A. B. Fowler, and F. Stern, .Electronic properties of two-dimensional systems, *Rev. Mod. Phys.*, vol. 54, pp. 437.672, 1982.
- [33] R. Rios, N. Arora, C.-L. Huang, *et al.*, .A physical compact MOSFET model, including quantum mechanical effects, for statistical circuit design applications,. in *Proc. IEEE Int.Electron Devices Meeting (IEDM)*, 1995, pp. 937.940.
- [34] T. Janik and B. Majkusiak, .Analysis of the MOS transistor based on the self-consistent solution to the Schrödinger and poisson equations and on the local mobility model,. *IEEE Trans. Electron Devices*, vol. 45, no. 6, pp. 1263.1271, June 1998.

## Bibliographie

---

- [35] G. Goldenblat, T. L. Chen, and P. Bendix, .Closed-form approximation for the perturbation of MOSFET surface potential by quantum-mechanical-effects, *Electronics Letters*, vol. 36, no. 12, pp. 1072.1073, June 2000.
- [36] Y. Ma, L. Liu, W. Deng, L. Tian, Z. Li, and Z. Yu, .A new charge model including quantum mechanical effects in MOS structure inversion layer,. *Solid-State Electron.*, vol. 44, pp. 1697.1702, 2000.
- [37] R. Clerc, P. O'Sullivan, K. G. McCarthy, G. Ghibaudo, *et al.*, .A physical compact model for direct tunneling from NMOS inversion layers,. *Solid-State Electron.*, vol. 45, pp. 1705.1716, 2001.
- [38] M. J. van Dort, P. H. Woerlee, A. J. Walker, *et al.*, .In\_uence of high substrate doping levels on the threshold voltage and the mobility of deep-submicrometer MOSFET's,. *IEEE Trans. Electron Devices*, vol. 39, no. 4, pp. 932.938, Apr. 1992.
- [39] M. J. van Dort, P. H. Woerlee, and A. J. Walker, .A simple model for quantisation effects in heavily-doped silicon MOSFETs at inversion conditions,. *Solid-State Electron.*, vol. 37, no. 3, pp. 411.414, 1994.
- [40] J. Su.n'e, P. Olivo, and B. Ricc\_o, .Quantum-mechanical modeling of accumulation layers in MOS structure, *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1732.1738, July 1992.
- [41] S. Hall, *et al.*, "Recent developments in deca-nanometer vertical MOSFETs," *Microelectronics Engineering*, vol. 72, pp. 230-235, 2004
- [42] J. M. Hergenrother, *et al.* "The vertical replacement-gate (VRG) MOSFET," *Solid-State Electronics*, vol. 46, pp. 939-950, 2002
- [43] ITRS "Semiconductor Industry Association The international roadmap for semiconductors, web site," <http://www.semichips.org>, 2005
- [44] J. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 1-4020-77734, Kluwer Academic Publishers, 3P rd P edition, 1997
- [45] H. S. P. Wong, D. J. Frank, P. M; Solomon, C. H. Wann, and J. J. Welser, "Nanoscale CMOS, " in *Proc. IEEE*, vol. 87, n° 4, pp. 537-569, 1999

## Bibliographie

---

- [46] J. Widiez, et al., «*Experimental gate misalignment analysis on double-gate SOI MOSFETs*,» Proceedings IEEE International SOI Conference, pp. 185-186, 2004
- [47] KK Young, “*Analysis of conduction in fully-depleted SOI MOSFETs*”, IEEE Transactions on Electron Devices, vol. 36, no. 3, pp. 504-506, 1989
- [48] R. H. Yan, A. Ourmazd, and K. F. Lee, “*HTScaling the Si MOSFET: from bulk to SOI to bulkTH*,” IEEE Transactions on Electron Devices, vol. 39, pp. 1704, 1992
- [49] J. P. Colinge, J. T. Park and C. A. Colinge, “*SOI Devices for Sub-0.1 $\mu$ m Gate Lengths*,” Proc. 23rd Int. Conf. On Microelectronics (MIEL 2002), vol. 1, NIS, Yugoslavia, 2002
- [50] K. Suzuki, T. Tosaka, Y. Horie, et al., “*Scaling theory for double-gate SOI MOSFETs*,” IEEE Transactions on Electron Devices, vol. 40, pp. 2326-2329, 1993
- [51] J. P. Colinge, “*Electrochemical Society Proceeding*,” vol. 09, pp. 2, 2003
- [52] F. Balestra, et al., “*Double-gate Silicon-on-Insulator transistor with volume inversion: a new device with greatly enhanced performance*,” IEEE Electron Device Letters, vol. 8, no. 9, 1987
- [53] P. Francis, A. Terao, D. Flandre, et al., “*Characteristics of nMOS/GAA (Gate-All-Around) transistors near threshold*,” Proc. ESSDERC'92, Microelectronics Engineering, Elsevier, vol. 19, pp. 815-818, 1992
- [54] P. Francis, A. Terao, D. Flandre, et al., “*Modeling of ultrathin double-gate nMOS/SOI transistors*,” IEEE Transactions on Electron Devices, vol. 41, no. 5, pp. 715-720, 1994
- [55] P. Francis, A. Terao, D. Flandre, and F. Van de Wiele, “*Weak inversion models for nMOS Gate-All-Around (GAA) devices*,” Proc. ESSDERC'93, Editions Frontières, Pp.621-623, 1993
- [56] P. Francis, A. Terao, D. Flandre, et al., “*Moderate inversion models for nMOS Gate-All-Around (GAA) devices*,” Solid-State Electronics, vol. 38, no. 1, pp. 171-176, 1995
- [57] F. Prégaldiny, «*Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques*», Thèse de Doctorat, Université Louis Pasteur, Strasbourg I, no. 4460, 2001
- [58] R. Ritzenthaler, «*Architectures avancées des transistors FinFETs : Réalisation, caractérisation et modélisation* », Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2006
- [59] H. S. Wong, M. H. White, T. J. Krutsck, et al., “*Modeling of transconductance degradation and threshold voltage in thin oxide MOSFETs*,” Solid-State Electronics,

## Bibliographie

---

- vol. 30, no. 9, pp. 953, 1987
- [60] A.Terao, D. Flandre, and F. Van de wiele, “*Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors,*” IEEE Electron Device Letters, vol. 12, no. 12, pp. 682- 684, 1991
- [61] E. Rauly, B. Iniguez, D. Flandre, et al., “*Investigation of single and double-gate SOI MOSFETs in accumulation mode for enhanced performances and reduced technological drawbacks,*” Proc. ESSDERC’00, pp. 540-543, 2000
- [62] W. Xiong, J.W. Park, and J. P. Colinge, “*Corner effect in multiple-gate SOI MOSFETs,*” Proc. of the IEEE International SOI Conference, pp. 111-113, 2003
- [63] N. Arora, “*MOSFET models for VLSI circuit simulation. Theory and practice,*” New York, Springer-Verlag, ISBN 3-211-82395-6, 1993
- [64] M. Bucher, “*Analytical MOS transistor modelling for analog circuit simulation,*” Ph.D. dissertation, EPFL, these no. 2114, 1999
- [65] C. Lallement, « *Le transistor MOSFET : Etudes, modélisation, et applications dans les S.O.C* », habilitation à diriger des recherches, Université Louis Pasteur, Strasbourg, 2002
- [66] Y. Tsvividis, “*Operation and modeling of the MOS transistor,*” New York: McGraw-Hill Book Company, ISBN 0-19-517014-8, 1987
- [67] K. Kim and al., “*Process/physics-based threshold voltage model for nano-scaled double-gate devices,*” Int. J. Electronics, vol. 91, no. 3, pp. 139-148, 2004
- [68] L. Ge, and J. G. Fossum, “*Analytical modeling of quantization and volume Inversion in thin Si-film DG MOSFETs,*” IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287-294, 2002
- [69] J. G. Fossum, L. Ge, and M-H Chiang, “*Speed superiority of scaled double-gate CMOS,*” IEEE Transactions on Electron Devices, vol. 49, no. 5, pp. 808-811, 2002
- [70] S-H. Kim, J. G. Fossum, and J-W. Yang, “*Modeling and significance of fringe capacitance in nonclassical CMOS devices with gate–source/drain underlap,*” IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2143-2150, 2006
- [71] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, et al., “*A review of core compact models for undoped double-gate SOI MOSFETs,*” IEEE Transactions on Electron Devices, vol. 54, no. 1, pp. 131-140, 2007

## Bibliographie

---

- [72] M. Reyboz, « *Modélisation analytique de transistors double grille à effet de champ en technologie sub-45nm* », Thèse de l'INP Grenoble, 2007
- [73] A. Ortiz-Conde, F. J. García-Sánchez, and J. Muci, “*Rigorous analytic solution for the drain-current of undoped symmetric dual-gate MOSFETs*,” *Solid-State Electronics*, vol. 49, no. 4, pp. 640-647, 2005
- [74] Y. Taur, X. Liang, W. Wang, et al., “*A continuous, analytic drain-current model for DG MOSFETs*,” *IEEE Electron Device Letters*, vol. 25, no. 2, pp. 107-109, 2004
- [75] G. Baccarani, and S. Reggiani, “*A compact double-gate MOSFET model comprising quantum mechanical and nonstatic effects*,” *IEEE Transactions on Electron Devices*, vol. 46, no. 8, pp. 1656-1666, 1999
- [76] R. F. Pierret and J. A. Shields, “*Simplified long-channel MOSFET theory*,” *Solid-State Electronics*, vol. 26, no. 2, pp. 143-147, 1983
- [77] W. Xiong, J.W. Park, and J. P. Colinge, “*Corner effect in multiple-gate SOI MOSFETs*,” *Proc. of the IEEE International SOI Conference*, pp. 111-113, 2003
- [78] Y. Taur, “*An analytical solution to a double-gate MOSFET with undoped body*,” *IEEE Electron Device Letters*, vol. 21, no. 5, pp. 245-247, 2000
- [79] Y. Taur, “*Analytic solutions of charge and capacitance in symmetric and asymmetric double-gate MOSFETs*,” *IEEE Transactions on Electron Devices*, vol. 48, no. 12, pp. 2861-2869, 2001
- [80] H. Lu, and Y. Taur, “*An Analytic Potential Model for Symmetric and Asymmetric DG MOSFETs*,” *IEEE Transactions on Electron Devices*, vol. 53, no. 5, pp. 1161-1168, 2006
- [81] X. Liang, and Y. Taur, “*A 2-D Analytical Solution for SCEs in DG MOSFETs*,” *IEEE Transactions on Electron Devices*, vol. 51, no. 8, pp. 1385-1391, 2004
- [82] J. He, X. Xi, C. H. Lin, et al., “*A non-charge-sheet analytic theory for undoped symmetric double-gate MOSFET from the exact solution of Poisson's equation using SSP approach*,” in *Proc. Workshop Compact Model.*, NSTI-Nanotech, Boston, MA, pp. 124-127, 2004

## Bibliographie

---

- [83] O. Moldovan, A. Cerdeira, D. Jiménez, et al., “*Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications*,” *Solid-State Electronics*, vol. 51, pp. 655-661, 2007

# Sommaire du chapitre II

II. Etat de l'art.....	65
II.1 Transistor double-grille planaire.....	68
II.1.1 Introduction.....	68
II.1.2 Transistor double grille planaire.....	68
II.1.2.1 Procédé de fabrication.....	69
II.1.2.2 Performances électriques-Discussions.....	71
II.1.3 Transistor Gate All Around (GAA).....	71
II.1.3.1 Procédé de fabrication.....	72
a) La technologie Silicon On Nothing (SON).....	72
b) Utilisation de la technologie SON pour la fabrication de GAA....	72
II.1.3.2 Performances électriques-Discussion.....	73
II.1.3 Transistor double-grille à conduction verticale.....	74
II.1.3.1 Introduction.....	74
II.1.3.2 Transistor a conduction verticale réalisé par diffusion de source solide(VRG).....	75
II.1.3.2.1 Procédé de fabrication.....	75
II.1.3.2.2 Performances électriques-Discussion.....	77
II.1.3.3 Transistor à conduction verticale réalisé par épitaxie.....	77
II.1.3.3.1 Procédé de fabrication.....	78
II.1.3.3.2 Performances électriques-Discussion.....	78
II.1.3.4 Transistor à conduction verticale réalisé par implantation.....	79
II.1.3.4.1 Procédé de fabrication.....	79
II.1.3.4.2 Performances électriques-Discussion.....	80
II.1.4 Transistor à conduction latérale.....	80
II.1.4.1 Delta-FET.....	81
II.1.4.1.1 Procédé de fabrication.....	81
II.1.4.1.2 Performances électriques.....	82
II.1.4.2 FinFET.....	82
II.1.4.2.1 Introduction.....	82
II.1.4.2.2 Procédé «gate last».....	82
a) Procédé de fabrication.....	82

b) Performances électriques-Discussion.....	84
II.1.4.2.3 Procédé «gate first».....	84
a) Procédé de fabrication.....	84
b) Performances électriques-Discussion.....	85
II.1.4.2.4 Etat de l'art des performances des FinFET.....	86
II.2 Modes de fonctionnement du transistor MOS double-grille planaire.....	87
II.3 Propriétés électriques du MOSFET double grille.....	88
II.3.1 Nouvelles lois de réduction d'échelle.....	88
II.3.1.1 Définition de la longueur caractéristique.....	89
II.3.1.2 Théorie du scaling.....	90
II.3.2 Le phénomène d'inversion volumique.....	92
II.3.3 Caractéristiques statiques.....	93
II.3.3.1 Définition de la tension de seuil.....	93
II.3.3.2 Etat passant.....	94
II.3.3.3 Etat bloqué.....	96
II.3.3.4 Contrôle des effets canaux courts.....	97
II.4 Etat de l'art des modèles compacts du MOSFET double-grille symétrique.....	100
II.4.1 Introduction.....	100
II.4.2 Les différents modèles compacts du MOSFET double-grille Symétrique.....	101
II.4.2.1 Modèles en tension de seuil du MOSFET double-grille symétrique.....	102
II.4.2.2 Modèles en potentiel de surface du MOSFET double-grille symétrique.....	103
II.4.2.3 Modèles en charge du MOSFET double-grille symétrique.....	106
II.5 Bilan et intérêt d'un nouveau modèle.....	107
II.6 Conclusion.....	109

## **Chapitre II**

**Le MOSFET double-grille : les effets physiques, les propriétés électriques et l'état de l'art des modèles compacts**

# **Présentation des différentes architectures MOSFET multi-grille.**

Dans le chapitre précédent, nous avons décrit les phénomènes limitant la miniaturisation du transistor MOSFET massifs mettant en évidence la nécessité de développer de nouvelles architectures afin de pallier aux effets des canaux courts. Les dispositifs multi-grille sont actuellement considérés comme les plus encourageants pour la réalisation de transistor en régime décanométrique dans la filière CMOS [1]-[3].

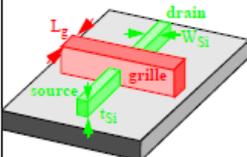
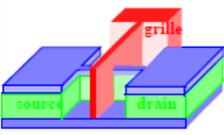
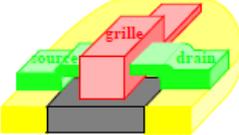
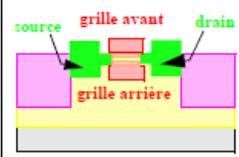
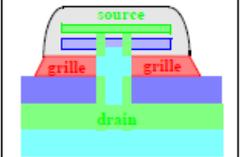
Ce chapitre présente tout d'abord une vision globale des différentes architectures de transistors MOSFET double-grille. La seconde partie de ce chapitre est consacré à l'étude des transistors double-grille (DG) planaires.

### **II. Etat de l'art.**

Comme mentionné dans le chapitre précédent, les architectures MOSFET multi-grille améliorent nettement le contrôle électrostatique du canal, réduisant les effets canaux courts et optimisant ainsi le courant de conduction tout en minimisant la consommation statique.

L'ITRS de 2004 [1] propose de nombreuses architectures multi-grille innovantes que nous avons rassemblée dans la Table II.1.

## Chapitre II

<i>Dispositif</i>	<i>Transistors MOSFET multi-grille</i>				
	<i>N-grilles (N&gt;2) MOSFETs</i>	<i>MOSFETs double-grille</i>			
					
<i>Concept</i>	- grilles reliées entre elles (nombre de canaux>2)	- grilles reliées entre elles - conduction latérale	- grilles reliées entre elles - conduction planaire	- grilles indépendantes l'une de l'autre - conduction planaire	- conduction verticale
<i>Applications CMOS</i>	-High power (HP) -Low Operating Power (LOP) - Low Standby Power (LSTP)	-HP -LOP -LSTP	-HP -LOP -LSTP	-LOP. -LSTP.	-HP -LOP -LSTP
<i>Points forts</i>	- $I_{on}$ plus grand - ailettes 2 fois plus épaisses	- $I_{on}$ plus grand - amélioration de l'inverse de la pente sous le seuil - amélioration contre les effets canaux courts	- $I_{on}$ plus grand - amélioration de l'inverse de la pente sous le seuil - Réduction des effets canaux courts	- Réduction des effets canaux courts	- potentiel pour une intégration 3D
<i>Faiblesses</i>	- largeur quantifiée du dispositif limitée - effets de coin	- épaisseur de l'ailette inférieure à la longueur de grille	- largeur limitée (<1 $\mu$ m)	- difficultés d'intégration - capacité de grille arrière (recouvrement grille/Source-Drain) - dégradation de la pente sous le seuil - alignement de grille	- réalisation des profils de jonction - difficultés d'intégration du procédé - capacité parasite - une seule longueur de grille

**Table II-1:** Architectures multi-grille non conventionnelles de transistor MOSFET (ITRS 2004 [4]).

la Table II.1, extraite de l'ITRS 2004 nous permet de constater qu'il existe une grande diversité de géométries multigrille.

Néanmoins, il est possible de classer ces transistors dans trois grandes catégories distinctes suivant la direction du transport électronique et la direction du champ de grille par rapport

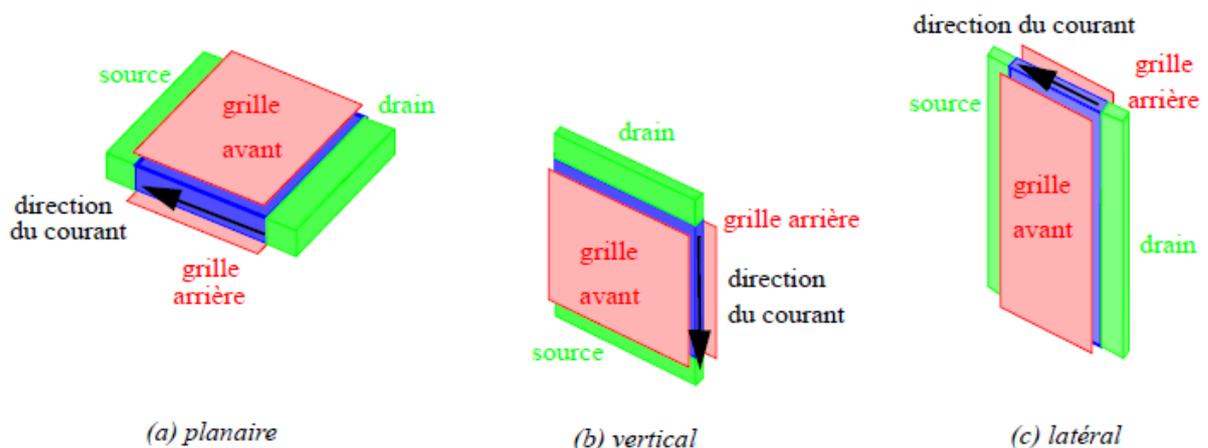
## Chapitre II

au plan du substrat qui est le plan horizontal (Figure. II.1). ces trois grandes classes sont données comme suit :

- **les transistors double-grille planaires** : Ces transistors s'apparentent fortement avec les transistors MOSFET conventionnels pour lesquels une seconde grille est placée en face arrière du canal et le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat (Figure. II.1.a).

- **les transistors double-grille à conduction verticale**, dans lesquels la zone active ainsi que la source et le drain sont perpendiculaires au plan du substrat de silicium alors que le champ de grille est parallèle au substrat (Figure. II.1.b).

- **les transistors à conduction latérale de type FinFET et leurs dérivées**, dans lesquels, seule la zone active se trouve dans le plan vertical par rapport au substrat. La source et le drain restent dans le plan horizontal comme pour un transistor planaire conventionnel et le transport électronique et le champ de grille sont parallèles au plan de substrat (Figure. II.1.c).



**Figure II-1:** Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET).

Les transistors double-grille font actuellement l'objet de nombreuses recherches depuis plus de 20 ans.

Ainsi, même si cette architecture présente de nombreux avantages par rapport aux transistors simple-grille, il existe encore de nombreux verrous technologiques à lever [4] tels que:

- L'auto-alignement des deux grilles.
- L'auto-alignement des régions de source/drain par rapport aux deux grilles.

- Les problèmes d'accroissement des résistances d'accès au canal [5].

La résistance série est ainsi composée de:

- la résistance des zones de recouvrement entre la grille et les zones de source/drain. En effet, les zones de source/drain extrinsèques restent relativement éloignées du bord du canal, contribuant à un accroissement de la résistance série.
- la résistance de feuille des zones de source/drain fortement dopées.
- la résistance de contact, divisée en trois zones distinctes: contact siliciure-source/ drain, résistance intrinsèque du siliciure, contact métal-siliciure.

Ainsi, les sections suivantes décrivent successivement, et de manière non exhaustive les procédés de fabrication de chacune des trois catégories de transistor multi-grille. Nous insisterons sur les avantages et les inconvénients des différents types d'architecture et présenterons également les performances électriques obtenues par les différents dispositifs.

Nous allons maintenant discuter des points essentiels de ces trois structures double-grille tel que le procédé de fabrication et les performances électriques.

### **II.1 Transistor double-grille planaire.**

#### **II.1.1 Introduction.**

Dans cette section, on s'intéresse à la fabrication de transistors double-grille de type planaire. L'avantage majeur de ces dispositifs est qu'ils possèdent une configuration très proche de celle des transistors MOS conventionnels. C'est pour cette raison qu'ils ont été largement étudiés.

On se propose tout d'abord de décrire le procédé de fabrication des transistors Double-Grille MOSFET (DGMOSFET) [6]-[11], mettant évidence les difficultés d'auto-alignement des deux grilles. On se focalisera ensuite sur les architectures enrobantes de type Gate All Around (GAA) [12]. La réalisation de ces transistors constitue un véritable challenge technologique.

Un procédé de fabrication innovant [13] basé sur l'utilisation de la technologie SON est ainsi présenté. Il possède l'avantage d'être facilement intégrable dans la filière MOS classique. Néanmoins, il subsiste des problèmes de capacités parasites engendrées par le recouvrement de la grille inférieure sur les zones de source et de drain.

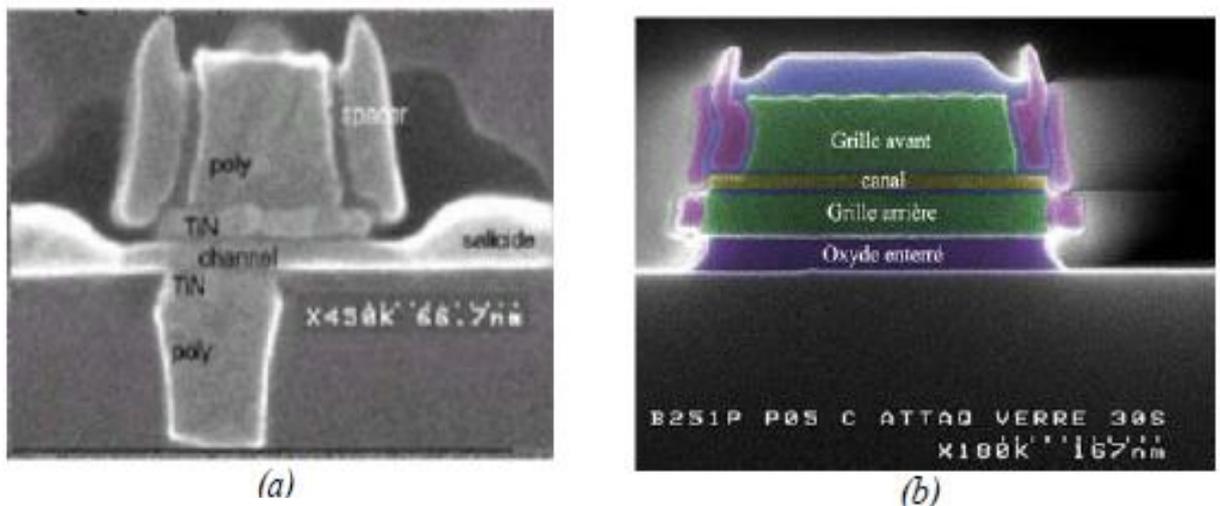
#### **II.1.2 Transistor double grille planaire.**

L'architecture du MOSFET double-grille planaire est basée sur celle du SOI à une grille. L'oxyde enterré est placé sur un second empilement de grilles. Ces dispositifs ne nécessitent pas de résolution lithographique inférieure à la longueur de grille  $L_g$  car le

## Chapitre II

procédé « *smart cut* » permet sans lithographie de réaliser des couches actives ultra-minces ( $<10\text{nm}$ ).

Les grilles des transistors MOSFETs double-grille planaires réalisés à l'heure actuelle ne sont pas parfaitement alignées. En effet, ces grilles sont gravées successivement et sont alignées « optiquement ». L'imprécision tenant au non alignement des grilles génère une forte dispersion des caractéristiques des composants à canaux courts [14]. Ceci constitue malheureusement un frein à la production en grande série. Lorsque la grille inférieure recouvre un des caissons, cela génère des capacités parasites qui dégradent les performances électriques. Lorsque le non-alignement est très important, comme il est décrit dans la Figure II.2-a, le dispositif se comporte comme s'il ne possédait qu'une seule grille active. Cependant et d'une manière générale, les structures présentant de faibles non-alignements des grilles (Figure II.2-b) restent très performantes [15], [16]. Pour fabriquer les transistors ultimes, la réalisation du MOSFET double-grille planaire auto-aligné est indispensable mais technologiquement complexe.



**Figure II-2 :** Image au MEB (microscopie électronique à balayage) d'une coupe de transistor MOS double-grille (a) non-auto-alignée et (b) auto-alignée [15]

### II.1.2.1 Procédé de fabrication.

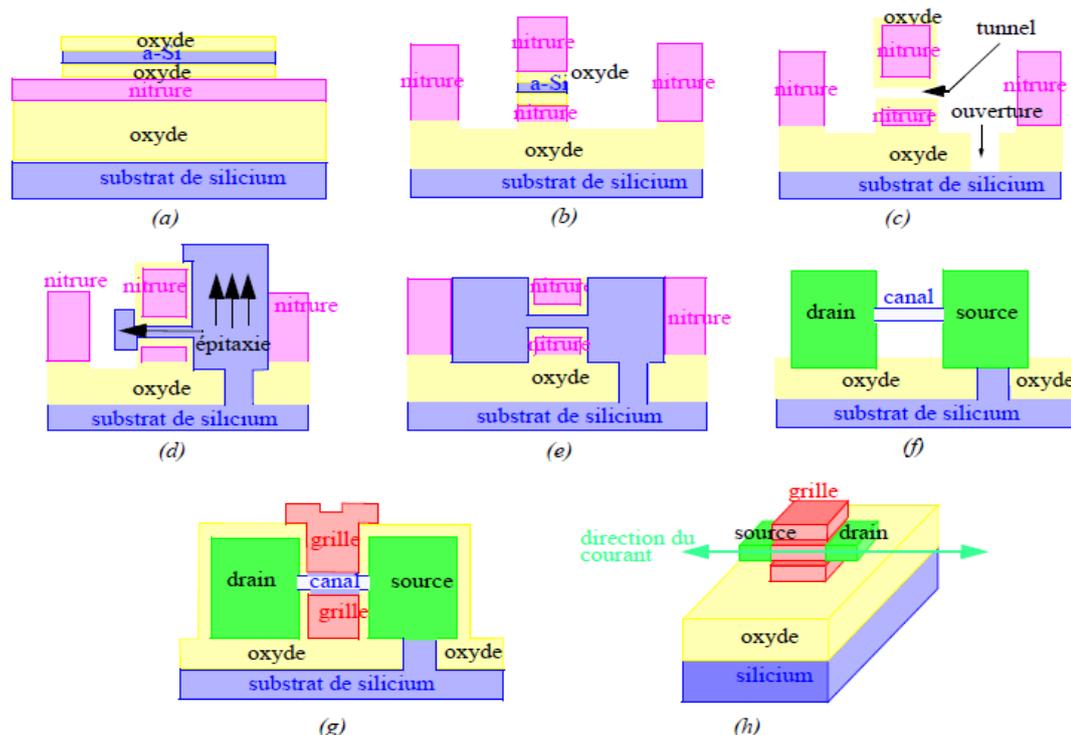
Wong *et al.* [6] sont les premiers à avoir réalisé un transistor double-grille planaire, avec des grilles supérieure et inférieure auto-alignées.

Les différentes étapes de fabrication de ce transistor sont données dans ce qui suit :

Plusieurs couches sont successivement déposées sur le substrat de silicium, nitrure/oxyde/silicium amorphe (Si-a)/oxyde. La couche de silicium amorphe va permettre de définir une cavité vide (tunnel), dont la largeur correspondra à la largeur du canal ( $W_g$ )

## Chapitre II

(Figure II.3.a). Une épaisseur importante de nitrure est ensuite déposée. Le masque suivant définit deux régions dont l'espacement correspond à la longueur de grille ( $L_g$ ) du transistor. Une gravure ionique RIE (Reactive Ion Etching) du nitrure, de l'oxyde, et du silicium amorphe est effectuée, en utilisant l'oxyde comme couche d'arrêt (Figure II.3.b). Le silicium amorphe est gravé par KOH, définissant ainsi un tunnel vide entouré par de l'oxyde (LTO: Low Temperature Oxide) et de dimensions:  $W_g * L_g * t_{Si}$ , où  $t_{Si}$  est défini par l'épaisseur de la couche de a-Si préalablement déposée. Une ouverture latérale de l'oxyde est réalisée (Figure II.3.c). Une épitaxie sélective permet de faire croître le silicium jusqu'à ce que l'ouverture et le tunnel soient complètement remplis (Figure II.3.d). L'excès de silicium épitaxié est enlevé par polissage mécanico- chimique (CMP), en utilisant la couche de nitrure comme couche d'arrêt (Figure II.3.e). Un espaceur est formé sur le dessus des nitrures. La source et le drain sont implantés en utilisant le nitrure comme masque d'implantation auto-aligné. Le nitrure est gravé par gravure chimique ( $H_3PO_4$ ). L'oxyde qui entourait le silicium épitaxié (Figure II.3.f) est enlevé par gravure à l'acide fluorhydrique (HF). Le tunnel suspendu restant constitue le canal du transistor. L'oxyde de grille est formé (5 nm), suivi d'un dépôt conforme du matériau de grille (polysilicium) autour du «pont de silicium». Une siliciuration auto-alignée conclut le procédé de fabrication du transistor (Figure II.3.g). La Figure II.3.h représente une vue en trois dimensions du transistor double grille planaire.



**Figure II-3:** Procédé de fabrication d'un transistor double grille planaire [6].

## Chapitre II

---

### II.1.2.2 Performances électriques-Discussions.

Wong *et al.* [6] ont réalisé un transistor DGMOSFET à canal N, avec des grilles en polysilicium n+. La largeur du canal ( $t_{Si}$ ) non dopé est de 25 nm. L'épaisseur d'oxyde de grille est la même pour les deux grilles (5 nm). Dans ces conditions, Wong *et al.* ont obtenu une tension de seuil d'environ - 0,25V, ce qui était en accord avec les valeurs attendues pour un n MOSFET à multi-grille n+, pour un canal non dopé [6]-[7]. Le courant de saturation atteint 500  $\mu\text{A}/\mu\text{m}$  à  $V_{GS}-V_{TH} = 1,2 \text{ V}$ ,  $V_{DS} = 1,5 \text{ V}$ , et  $L_g = 0,66 \mu\text{m}$ .

Néanmoins, la fabrication de ce transistor est complexe et ajoute une étape supplémentaire (épitaxie de silicium) par rapport au procédé de fabrication conventionnel. De plus, ce procédé n'est pas compatible avec la réalisation d'un transistor asymétrique puisque les deux grilles sont formées au même moment.

D'autres procédés de fabrication utilisant également une épitaxie de silicium ont été étudiés.

Denton et Neudeck ont ainsi proposé [8] un procédé de fabrication où la grille du dessous est formée avant l'épitaxie de silicium. La deuxième grille est ensuite définie par lithographie. Ce procédé de fabrication ne permet pas d'obtenir un alignement parfait des grilles mais il autorise la réalisation d'un dispositif asymétrique en utilisant par exemple deux matériaux de grille ayant des travaux de sortie différents.

Enfin, une autre alternative pour la réalisation de transistor DG planaire procède par collage moléculaire de deux plaques de silicium, («wafer bonding» en anglais) [9]-[11]. L'auto-alignement des deux grilles est très difficile à réaliser et entraîne ainsi des dégradations importantes des performances électriques.

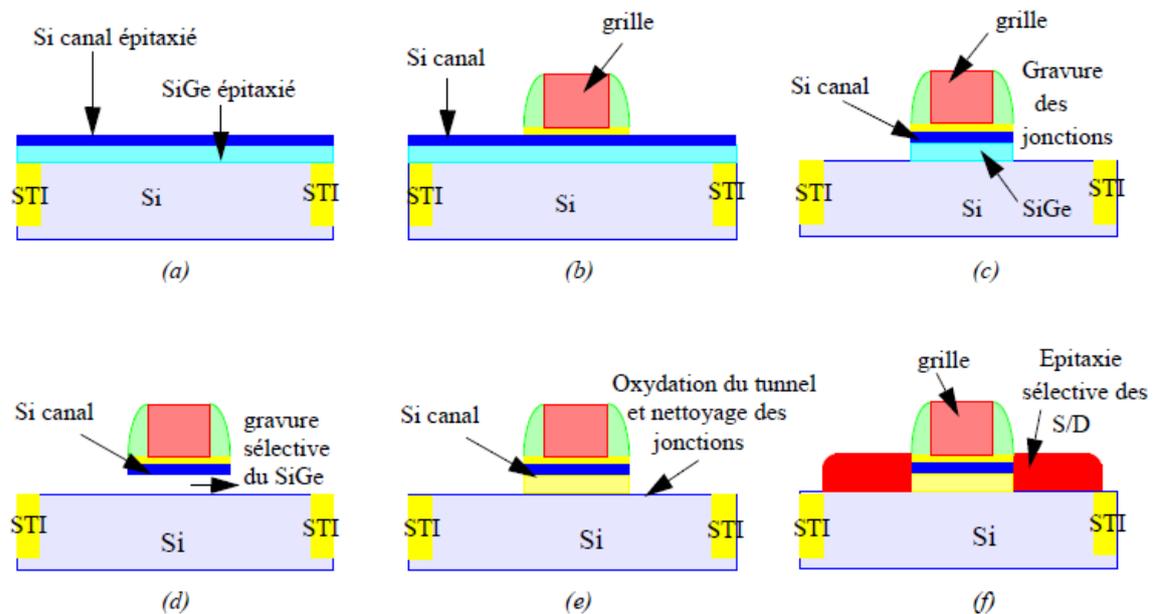
### II.1.3 Transistor Gate All Around (GAA).

L'architecture Gate All Around (GAA) est un autre type d'architecture multi-grille planaire. Le principe de ce dispositif consiste à entourer totalement le canal de conduction par quatregrilles [12]. La réalisation technologique d'un tel transistor est extrêmement complexe. Néanmoins, STMicroelectronics a développé un procédé innovant [13] pour la fabrication de transistor GAA en utilisant la technologie Silicon On Nothing (SON). La première partie de cette section rappelle donc rapidement le procédé de fabrication d'un transistor SON à simple grille. Le second paragraphe explique ensuite comment cette technologie a été adaptée pour l'intégration de dispositifs à grille multiple de type GAA.

### II.1.3.1 Procédé de fabrication.

#### a) La technologie Silicon On Nothing (SON)

La technologie Silicon on Nothing (SON) a initialement été optimisée pour la fabrication de transistors simple-grille possédant une isolation enterrée localisée [17]. Elle est basée sur la gravure sélective du silicium-germanium mono-cristallin (SiGe) par rapport au silicium mono-cristallin (Si). L'ensemble du procédé de fabrication est présenté Figure II.4. Une double épitaxie sélective de SiGe puis de Si est tout d'abord réalisée et définit les futures épaisseurs du diélectrique enterré et du canal de conduction (Figure II.4.a). Un procédé conventionnel est ensuite utilisé afin de définir le module de grille et les espaceurs (Figure II.4.b). Une gravure auto-alignée avec la grille, de la source et du drain, permet d'accéder au SiGe (Figure II.4.c). Une gravure sélective du SiGe par rapport au Si crée un tunnel sous le canal (Figure II.4.d). La cavité est ensuite remplie par un matériau diélectrique (Figure II.4.e) et les jonctions source/drain sont nettoyées. Une épitaxie sélective de silicium permet de former les extensions source/drain (Figure II.4.f). Les dernières étapes sont celle utilisées pour la fabrication de dispositifs conventionnels (siliciuration, formation des contacts, interconnexions).



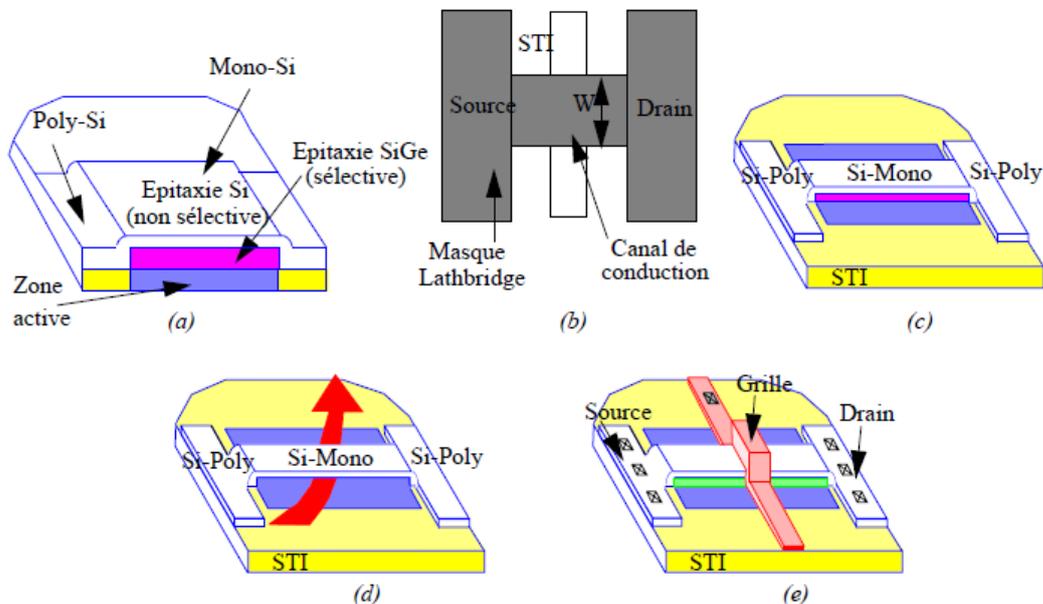
*Figure II-4: Procédé de fabrication d'un transistor SON simple grille [17].*

#### b) Utilisation de la technologie SON pour la fabrication de GAA.

Cette section décrit comment la technologie SON, présentée dans le paragraphe précédent, a été adaptée par Harrison *et al.* [15] pour la fabrication de transistors multi-grille de type GAA.

## Chapitre II

Une première épitaxie sélective de SiGe et réalisée au dessus de la zone active, suivie d'une épitaxie non sélective de Si, formant un film mono-cristallin au dessus de la zone active et un film polycristallin au dessus du STI (Figure II.5.a). Une photolithographie définit les zones de source/drain et le canal de conduction (largeur de la zone active  $W$ ) (Figure II.5.b). Une gravure de la structure permet de former un accès latéral au SiGe enterré (Figure II.5.c). C'est dans l'étape suivant qu'est utilisée la technologie SON: le SiGe est gravée sélectivement par rapport au Si, engendrant la formation d'un pont suspendu. Il est retenu mécaniquement par les zones de source/drain en poly-Si qui débordent sur le STI (Figure II.5.d). Enfin, le module de grille-espacement est réalisée de manière quasi-conventionnelle (croissance de l'oxyde de grille, dépôt du matériau de grille, gravure du matériau de grille) (Figure II.5.e). La fin du procédé est conventionnelle: silicuration, interconnexions.



**Figure II-5:** Procédé de fabrication d'un transistor GAA en utilisant la technologie SON [18].

### II.1.3.2 Performances électriques-Discussion.

La réalisation de transistors GAA, basée sur la technologie SON possède l'avantage majeur de conserver les masques usuellement utilisés pour la réalisation de transistor conventionnel. Harrison *et al.* [18] ont ainsi montré la possibilité de co-intégrer l'architecture GAA avec une architecture conventionnelle, sans difficulté technologique majeure. De plus, les transistors GAA présentent de très bon ratio  $I_{on}/I_{off}$  avec des courants

## Chapitre II

---

de saturation pouvant atteindre les  $2\text{mA}/\mu\text{m}$  ( $L_g=70\text{ nm}$ ,  $t_{si}=30\text{ nm}$ ), tout en maintenant une très bonne intégrité électrostatique. En faisant varier le dopage du canal, le courant à l'état bloqué atteint une valeur proche de  $1\text{nA}/\mu\text{m}$ . Néanmoins, pour des longueurs de grilles de  $25\text{ nm}$ , il est nécessaire de diminuer l'épaisseur du canal de conduction ( $t_{si}$ ) pour maintenir un bon contrôle électrostatique du canal. Or, cette diminution d'épaisseur s'accompagne d'une chute de la tension de seuil. Il est ainsi nécessaire d'utiliser une grille mid-gap afin de pouvoir ajuster la tension de seuil. D'autre part, il subsiste des problèmes de capacités parasites provoquées par le recouvrement de la grille inférieure avec les zones de source/drain.

Nous avons ainsi présenté les structures multi-grille planaires. Nous avons de ce fait pu mettre en évidence les problèmes d'auto-alignement (capacités parasites) des dispositifs DGMOSFET. De meilleurs résultats, notamment en terme de co-intégration ont été obtenus avec une structure enrobante de type GAA. Néanmoins, des optimisations importantes sont encore nécessaires afin d'éliminer les capacités parasites provoquées par le recouvrement des zones de source/ drain par la grille inférieure.

### **II.1.3 Transistor double-grille à conduction verticale.**

#### **II.1.3.1 Introduction.**

Le transistor DGMOSFET planaire, comme est difficilement intégrable dans la filière MOS traditionnelle: épitaxie de silicium, problèmes d'alignement des deux grilles, difficultés pour prendre les contacts de grille générant des capacités parasites. L'élaboration de transistors verticaux à grille enrobante («Surrounding Gate MOSFET» en anglais) [19]-[20], permet d'outrepasser ces problèmes. Dans ces architectures, le courant de conduction circule dans un plan perpendiculaire au plan du substrat. Les principaux avantages de cette structure sont: une augmentation du courant de conduction, une meilleure immunité vis à vis des effets canaux courts, et une augmentation de la densité d'intégration. De plus, la longueur de canal (longueur critique dans le procédé de fabrication) est déterminée par la précision de l'implantation ou par la croissance épitaxiale, et non pas par lithographie, comme dans le cas des architectures planaires. Cela représente un véritable atout. Dans ces cas précis, la grille est auto-alignée avec la source et le drain, les contacts de grille sont facilement accessibles.

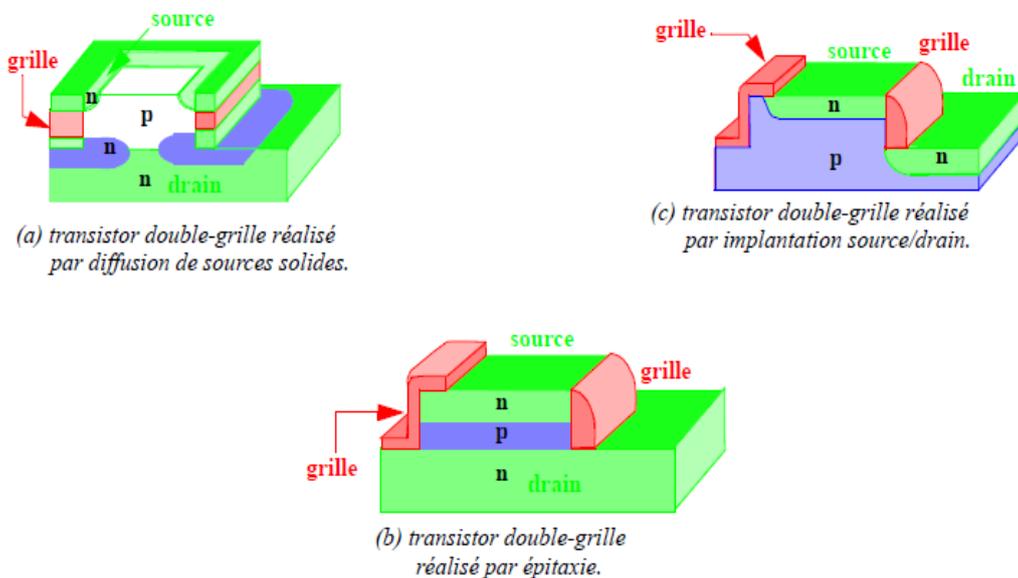
Néanmoins, il subsiste encore un certain nombre de challenges technologiques à relever avant de pouvoir intégrer cette architecture dans la filière MOS classique. Ainsi, ces dispositifs ne peuvent présenter qu'une seule longueur de grille sur un même substrat. De

plus, les dessins de masque sont très différents de ceux utilisés pour la filière MOS conventionnelle. Enfin, les capacités parasite de type recouvrement sont très importantes, limitant l'attrait de cette architecture pour la conception de circuits analogiques RF ou digitaux rapides.

Il existe une multitude de procédés de fabrication pour ce type d'architecture, que l'on peut classer en trois catégories:

- ceux basés sur la diffusion des dopants contenus dans des empilements de couches (Figure II.6.a).
- ceux qui utilisent une épitaxie pour former le canal (Figure II.6.b).
- ceux qui tirent profit d'une implantation de la source et du drain (Figure II.6.c).

La suite du chapitre présente de manière non exhaustive ces trois approches technologiques.



**Figure II-6:** Différentes architectures de transistors double-grille verticaux.

### II.1.3.2 Transistor à conduction verticale réalisé par diffusion de source solide (VRG).

#### II.1.3.2.1 Procédé de fabrication.

Hergenrother *et al.* ont réalisé un nouveau type de transistor MOSFET vertical, le «Vertical Replacement Gate», (VRG) [21]. Dans le VRG, le courant circule perpendiculairement à la surface plane du substrat (Figure 2.1.b). Les principaux avantages du procédé de fabrication sont:

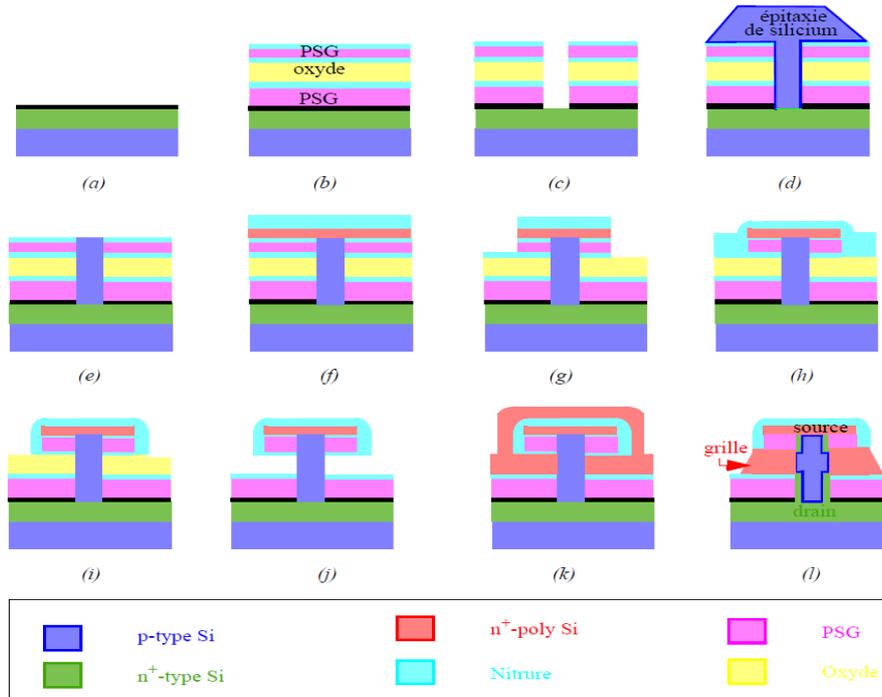
- le contrôle de toutes les dimensions critiques sans utiliser de lithographie.

## Chapitre II

---

- la croissance de l'oxyde de grille de très haute qualité sur le canal en silicium cristallin.
- l'auto-alignement source/drain par diffusion de source solide (SSD).

Voici un résumé succinct du procédé de fabrication du VRG (Figure II.7). Une implantation d'arsenic sur un substrat de silicium épitaxié définit le drain (Figure II.7.a). Un film fin d'oxyde est déposé afin de servir de barrière de diffusion. Plusieurs matériaux sont ensuite empilés les uns sur les autres: verre de phosphosilicate (PSG)/nitrure/oxyde fin non dopé/nitrure/PSG/ nitrure (Figure II.7.b). Une gravure anisotrope de la tranche définit une cavité possédant des flancs parfaitement verticaux (Figure II.7.c). Une croissance épitaxiale sélective de silicium dopé au bore, réalisée à l'intérieur de la cavité, constitue le canal (Figure II.7.d). La structure est planarisée par CMP (en utilisant le nitrure comme couche d'arrêt) (Figure II.7.e). L'oxyde non dopé, déposé préalablement, sert de couche sacrificielle et son épaisseur définit la longueur de grille  $L_g$ . Les deux empilements de PSG sont des réservoirs de dopants utilisés pour former les extensions auto-alignées de source/drain. Le procédé de diffusion de sources solide (phosphore) permet de définir des extensions de faible résistance, et peu profondes. Un dépôt de polysilicium (dopé par de l'Arsenic) définit la source (Figure II.7.f et Figure II.7.g). La formation (Figure II.7.h) et la gravure (Figure II.7.i) des espaceurs de nitrure «enrobent» le PSG. La couche d'oxyde sacrificielle est gravée sélectivement afin d'exposer le canal vertical de silicium (Figure II.7.j). Une croissance thermique de l'oxyde de grille très fin combinée à un dépôt conforme du matériau de grille clôture le procédé (Figure II.7.k et Figure II.7.l).



**Figure II-7:** Procédé de fabrication d'un transistor vertical double-grille basé sur la diffusion de sources solides [21].

### II.1.3.2 Performances électriques-Discussion.

Les transistors VRG réalisés par Hergenrother *et al.* [21] possèdent de très bonnes propriétés électriques, et dépassent largement les performances des transistors planaires. Pour un transistor n- MOSFET de longueur de grille  $L_g = 200$  nm, la pente sous le seuil est quasi idéale, (76 mV/ décade), le courant de conduction est supérieur au mA/ $\mu\text{m}$ , et le courant de fuite très faible ( $I_{\text{off}} = 11$  pA/ $\mu\text{m}$ ).

Par la suite, Hergenrother *et al.* ont optimisé les performances de ces transistors en utilisant des oxydes à haute permittivité électrique (high-k) tels que  $\text{HfO}_2$ , ou  $\text{Al}_2\text{O}_3$  [22]. Un transistor VRG à canal p a aussi été réalisé [23] en modifiant quelques étapes lors du procédé de fabrication.

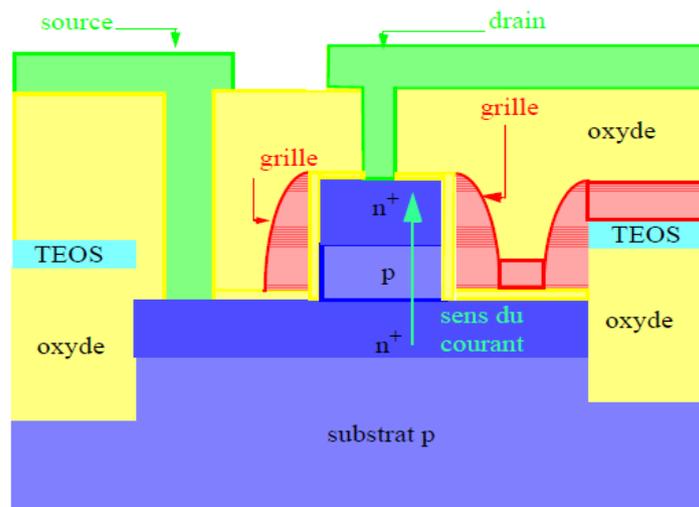
D'autres alternatives ont été proposées [24] avec de légères modifications du procédé.

### II.1.3.3 Transistor à conduction verticale réalisé par épitaxie.

Il existe une deuxième approche pour la réalisation de transistors verticaux, basée sur la croissance de silicium par épitaxie sélective [25-28]. Nous présentons plus précisément celle de Risch *et al.* [25]. Ce procédé de fabrication permet de parfaitement contrôler l'épaisseur des couches atomiques constituant le canal, ainsi que le dopage des source/drain et canal.

### II.1.3.3.1 Procédé de fabrication.

La Fig. II.8 représente une vue en coupe du transistor réalisé par Risch *et al.* [25]. Un substrat silicium p est isolé par un procédé d'oxydation LOCOS (Local Silicon Oxidation). Une croissance de silicium par épitaxie sélective de la source, du drain et du canal est réalisée par LPCVD (Low Pressure Chemical Vapor Deposition) à (900°C, avec SiH<sub>2</sub>Cl<sub>2</sub>, B<sub>2</sub>H<sub>6</sub> et AsH<sub>3</sub> comme dopant). Un dépôt de 300 nm de tetraéthoxysilane (TEOS) combiné à une gravure profonde de 0,2 à 0,5 µm à travers la couche épitaxiée (jusqu'à la couche n<sup>+</sup> située au-dessus du substrat) forme le canal vertical du transistor. Le diélectrique de grille (5 nm) est formé par oxydation thermique à 825°C. Le matériau de grille (polysilicium) est déposé (200 nm), puis dopé au phosphore.



*Figure II-8: Figure schématique d'un transistor vertical réalisé par épitaxie [25].*

### II.1.3.3.2 Performances électriques-Discussion.

Risch *et al.* [25] ont réussi à fabriquer des transistors verticaux de longueur de grille de 70 nm en utilisant une épitaxie LPCVD combinée à une gravure du canal. A faible V<sub>DS</sub>, les tensions de seuil obtenues sont de 0,8V, 0,6V et 0,4V pour des longueurs de grilles de, respectivement:

170 nm, 120 nm et 70 nm. De plus, pour le plus petit transistor ( $L_g=70$  nm), le courant de saturation atteint 500 µA/µm à  $V_g = V_d = 1,5V$ . Cependant, il convient de rappeler que cette approche technologique reste tout de même relativement complexe et surtout, elle n'est pas compatible avec la filière CMOS conventionnelle.

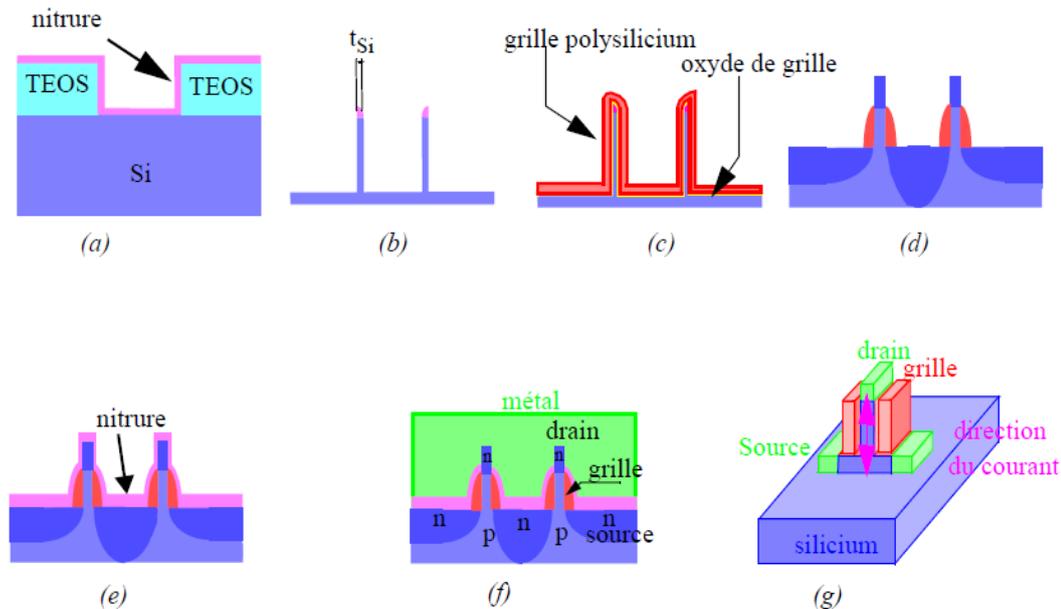
### II.1.3.4 Transistor à conduction verticale réalisé par implantation.

Il existe une troisième approche pour la fabrication de transistors verticaux de faibles dimensions. Rappelons que la première approche est basée sur la diffusion des dopants contenus dans des empilements de couches [21], et la deuxième sur l'épitaxie du canal [25]. Schulz *et al* ont proposé un nouveau procédé de fabrication plus proche de ceux utilisés dans la technologie planaire. [29-31]

#### II.1.3.4.1 Procédé de fabrication.

Un masque épais de 250 nm d'oxyde (TEOS) est déposé sur un substrat de silicium (Figure II.9.a). Une lithographie standard combinée à une gravure sèche définissent une cavité (Figure II.9.a). Une gravure sèche de la couche de nitrure forme les espaceurs sacrificiels, qui serviront de masque dur pour l'ailette de silicium (Figure II.9.b). Le film de silicium est alors formé (Figure II.9.b).

Le matériau de grille (50 nm de polysilicium dopé) est déposé sur l'oxyde de grille (3 nm) ([Figure II.9.c). Le polysilicium est gravé afin de définir la grille et d'implanter la source et le drain (Figure II.9.d). Le reste des espaceurs sacrificiels de nitrure est éliminé par gravure humide. Une nouvelle couche de nitrure est déposée afin d'isoler la grille de polysilicium (Figure II.9.e). Un dépôt d'oxyde (TEOS) permet d'aplanir la surface. Enfin, les trous pour les plots de contacts sont définis par gravure afin d'y déposer le métal (Figure II.9.f).



**Figure II-9:** Procédé de fabrication d'un transistor vertical basé sur l'implantation de source/drain [30].

### II.1.3.4.2 Performances électriques-Discussion.

Le procédé technologique utilisé par Schulz *et al.* [30] réduit, dans une certaine mesure, la complexité des étapes technologiques. De plus, pour une longueur de canal de 70 nm, et un dopage du canal de  $2.10^{18}$  atomes/cm<sup>-3</sup>, le courant à l'état bloqué ( $I_{off}$ ) reste très faible (inférieur à 1 pA), tout comme le DIBL (1mV). Néanmoins, le courant de saturation n'atteint qu'un niveau très faible: 12  $\mu$ A/ $\mu$ m, à  $V_{DS} = 1,5V$  et  $V_{GS} - V_{th} = 1V$  du à des problèmes rencontrés au cours du procédé technologique.

La technologie à conduction verticale bien qu'innovante pose de nombreux problèmes.

La complexité des différentes étapes technologiques engendre une incompatibilité à intégrer une filière MOS conventionnelle. De plus, ce type de structure ne peut présenter qu'une seule longueur de grille sur un même échantillon. Ainsi, les transistors à conduction latérale semblent beaucoup plus adaptés pour répondre aux besoins industriels des générations futures.

### II.1.4 Transistor à conduction latérale.

Les transistors double-grille planaires et à conduction verticale ne sont pas facilement intégrables dans la filière CMOS. Un nouveau type d'architecture plus proche de la technologie MOS classique a été étudiée: les transistors à conduction latérale ou cette partie présente ce type d'architecture appelée transistor MOS double-grille quasi-planaire (FinFET). Il tire son nom de son canal en forme d'aileron (*Fin*). Les étapes de réalisation d'un tel dispositif sont schématisées sur la Figure II.10. La zone active (en forme d'aileron ou de mur) et les caissons source et drain commencent par être dessinés. L'oxyde et le contact de grille sont ensuite déposés autour de l'aileron puis gravés.

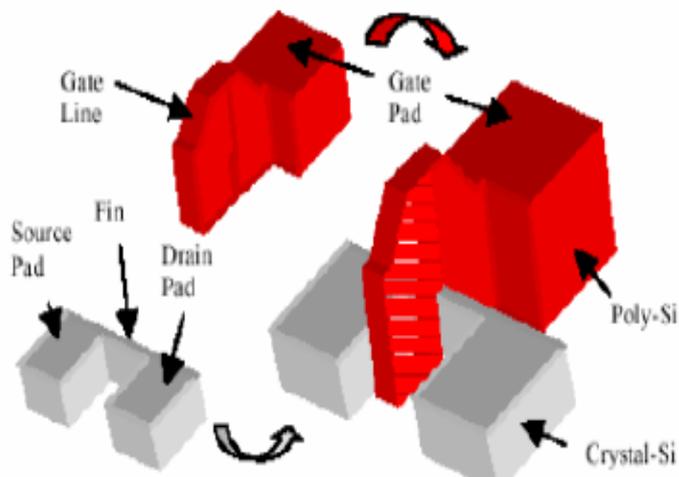


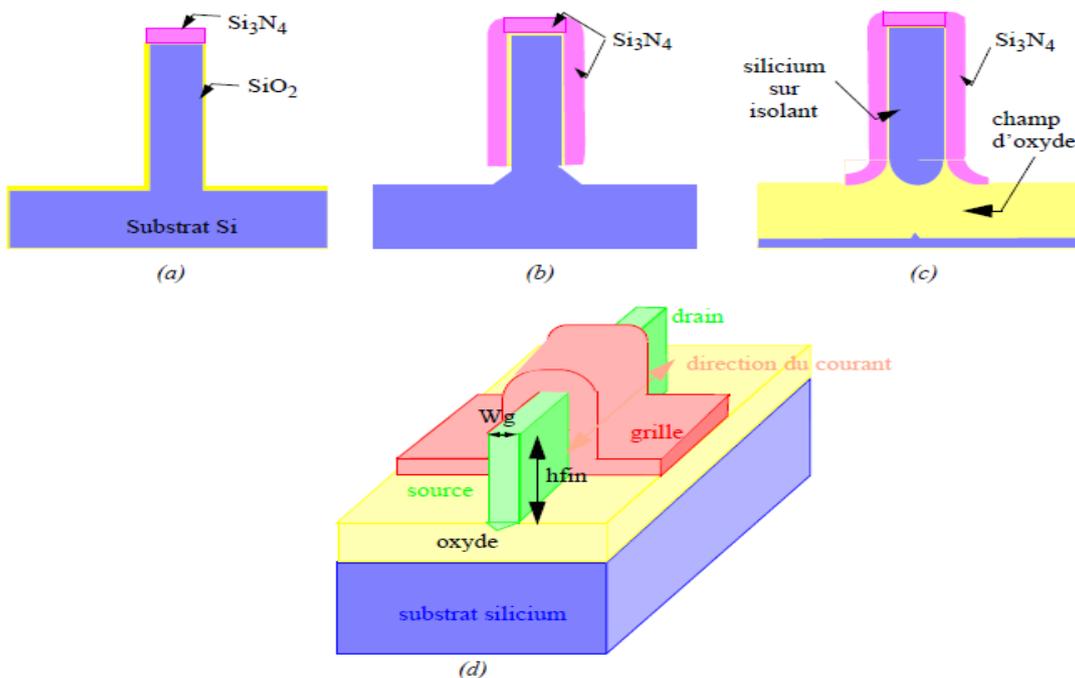
Figure II-10 : Schéma d'une structure de FinFET quasi-planaire [32]

### II.1.4.1 Delta-FET.

#### II.1.4.1.1 Procédé de fabrication.

Hisamoto *et al.* ont été parmi les premiers à conceptualiser et à élaborer une structure tridimensionnelle de transistor à effet de champ [33-34]: le transistor DELTA-FET (Fully Depleted Lean-Channel Transistor) (Figure II.11). Ce transistor est «l'ancêtre» du FinFET. L'idée consiste à déserrer de manière intentionnelle la totalité du canal. La taille du dispositif est ainsi réduite afin d'obtenir des dimensions inférieures à la largeur de la zone de déplétion. L'originalité du procédé de fabrication réside dans l'oxydation sélective [35-36], identique à celle utilisée pour la formation des structures LOCOS sur un substrat massif de silicium, et permettant de définir un cristal SOI de très bonne qualité.

Rappelons brièvement le procédé de fabrication de ce transistor innovant. Un dépôt de nitrure est effectué par CVD (Chemical Vapor Deposition), sur un plot d'oxyde thermique. Une gravure RIE anisotropique permet de définir la zone active de silicium (Figure II.11.a). Les espaceurs de nitrure sont ensuite définis par dépôt CVD combiné à une gravure RIE. Une gravure chimique HF/HNO<sub>3</sub> permet de sous-graver le canal de silicium (Figure II.11.b). Enfin, une oxydation du substrat à 1100°C forme la structure SOI (Figure II.11.c). La suite du procédé de fabrication est identique à celui utilisé pour la réalisation d'un transistor MOSFET conventionnel (auto-alignement de la grille) (Figure II.11.d).



**Figure II-11** : Procédé de fabrication du transistor DELTA-FET [33-34].

### II.1.4.1.2 Performances électriques.

Hisamoto *et al.* [33-34] ont montré que le transistor DELTA-FET permettait d'améliorer l'intégrité électrostatique des transistors. La structure de la grille «DELTA» supprime les effets néfastes de pénétration du potentiel du drain dans le canal. D'autre part, le courant du canal circule tout le long de la surface verticale ainsi qu'horizontalement. La largeur effective de canal  $W$  est plus importante que pour un transistor conventionnel :

$$W = W_g + 2 \times h_{fin} \quad (\text{II.1})$$

La hauteur de la zone active de silicium détermine donc fortement la largeur du canal. Enfin, cette architecture permet de réduire la pente sous le seuil à une valeur proche de la valeur idéale (62 mV/décade pour une longueur de grille de 0.15  $\mu\text{m}$ ) [33].

### II.1.4.2 FinFET.

#### II.1.4.2.1 Introduction.

L'architecture FinFET est une version améliorée et «miniaturisée» du transistor DELTA conçu par Hisamoto *et al.* [33]. Le courant de conduction circule horizontalement (dans un plan parallèle à celui du substrat), de la source vers le drain. C'est pour cette raison qu'on qualifie souvent cette structure de «quasi-planaire». L'épaisseur de l'ailette  $W_{fin}$  doit être très fine ( $W_{fin} < 2/3 L_g$ ) afin d'optimiser le contrôle des effets de canaux courts. Cette configuration permet d'exploiter au maximum l'architecture double grille, afin de maîtriser les effets de canaux courts et d'augmenter le courant de conduction tout en conservant un courant à l'état bloqué faible. Deux phénomènes expliquent essentiellement ces propriétés remarquables: l'inversion volumique et l'augmentation de la largeur effective du canal (hauteur ailette pas du réseau).

Il existe deux types de procédé de fabrication du transistor FinFET:

- la formule «grille en fin de procédé» («gate last» en anglais) [37-40], dans lequel la source et le drain sont réalisés avant la formation de la grille.
- la formule «grille en début de procédé» («gate first» en anglais) [41-46], dans lequel la source et le drain sont réalisés après la formation de la grille.

Cette section présente chacune des deux approches.

#### II.1.4.2.2 Procédé «gate last»

##### a) Procédé de fabrication

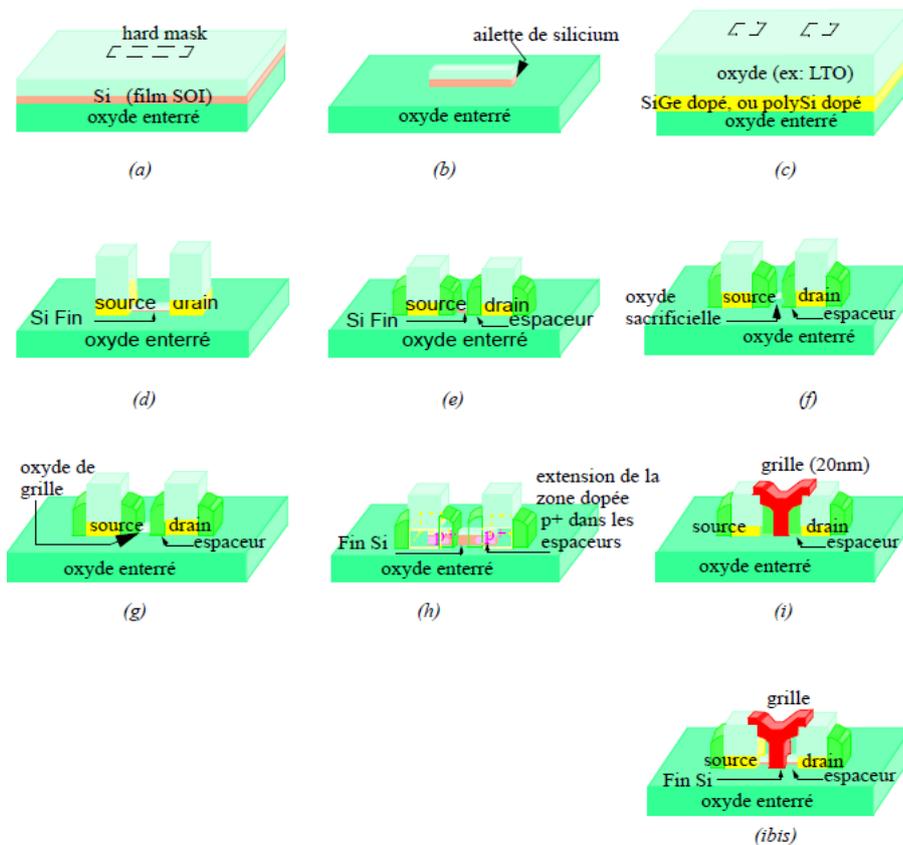
La méthode la plus classique pour réaliser un transistor FinFET consiste à définir les régions de source et de drain avant l'électrode de grille. L'ensemble du procédé de fabrication défini par Huang *et al.* [38-39] est représenté Fig. II.12. La fabrication du

## Chapitre II

FinFET commence par la définition d'une ailette de silicium par lithographie électronique combinée à une gravure ionique RIE sur un substrat SOI (Fig. II.12.b) en utilisant un «masque dur» (Fig. II.12.a).

L'épaisseur de l'ailette de silicium définit la largeur du canal. Le matériau de source/drain déposé (SiGe polycristallin, ou polysilicium dopé) est recouvert par une couche d'isolation (LTO: Low Temperature Oxide) (Figure II.12.c).

Une lithographie électronique associée à une gravure RIE définit les zones de source et drain (Figure II.12.d). Les espaceurs de nitrure sont formés après gravure (Figure II.12.e). Une oxydation sacrificielle est effectuée sur le côté des ailettes afin d'enlever toutes les impuretés (Figure II.12.f). Une gravure humide de cet oxyde réduit l'épaisseur des ailettes de silicium. L'étape suivante consiste à former l'oxyde de grille (Figure II.12.g). Enfin, un recuit des zones d'extension de la source et du drain entraîne la diffusion des dopants (ex: Bore) (Figure II.12.h). Le procédé se termine par le dépôt du matériau de grille et la définition de l'électrode de grille par lithographie électronique (Figure II.12.i). La Figure II.12.i est une vue évidée des espaceurs.



**Figure II-12:** Procédé de fabrication «gate last» pour la réalisation d'un transistor FinFET [38-39].

### ***b) Performances électriques-Discussion***

Les transistors caractérisés par Huang *et al.* [39] atteignent des niveaux de courants de saturation élevés, de plus de 800  $\mu\text{A}/\mu\text{m}$  (pour un  $I_{\text{off}}=215 \text{ nA}/\mu\text{m}$ ), des pentes sous le seuil presque idéales ( $S=69 \text{ mV/décade}$ ).

Néanmoins, ce procédé pose quelques problèmes non négligeables:

- L'épaisseur critique (épaisseur de l'ailette) est définie par lithographie électronique limitant ainsi les dimensions obtenues et provoquant des fluctuations des épaisseurs d'ailette.
- La lithographie conventionnelle ne permet pas de réaliser des pas de répétition faibles entre deux ailettes (pour la production).
- Ce procédé nécessite l'utilisation de gravures hyper-sélectives entre le matériau de grille et les espaceurs (diélectriques). Cela entraîne la formation de résidus («stringers» en anglais) qui provoquent des capacités parasites.
- L'intégration des zones de source/drain est très difficile pour la réalisation de transistors CMOS (n-FET et p-FET sur le même échantillon).
- Les résistances d'accès source/drain sont encore trop importantes.

Le deuxième type de procédé («gate first») permet de résoudre un certain nombre de ces problèmes.

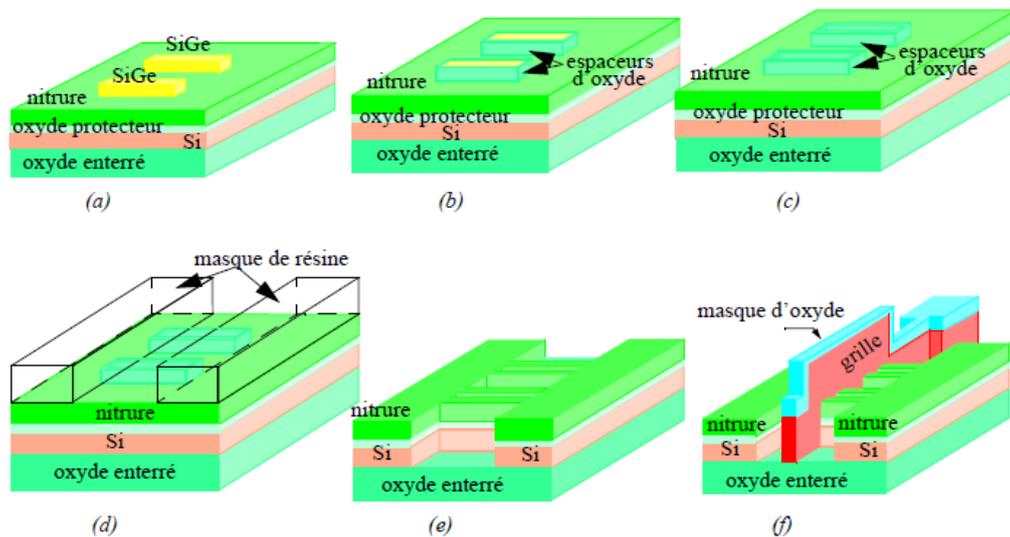
#### **II.1.4.2.3 Procédé «gate first».**

##### ***a) Procédé de fabrication***

Ce procédé de fabrication («gate first») est basé sur la réalisation de l'électrode de grille avant les électrodes de source/drain [42]. L'ensemble des étapes est proposée en Figure II.13.

Un dépôt LPCVD d'oxyde sur un substrat SOI, combiné à une gravure RIE anisotropique, définit des espaceurs autour de plots de SiGe préalablement formés (Fig. II.13.a et Figure II.13.b).

L'épaisseur de l'oxyde correspond à l'épaisseur finale des ailettes de silicium. Une gravure RIE sélective et anisotropique libère les espaceurs sacrificiels (Figure II.13.c). Une lithographie optique est utilisée afin de définir les larges contacts source/drain (Figure II.13.d et Figure II.13.e). Une gravure RIE sélective définit la zone active de silicium. L'oxyde de grille et le matériau de grille sont déposés (Figure II.13.f). Un espaceur sacrificiel est formé sur les faces latérales de la grille («sidewall spacers» en anglais). L'implantation tiltée de la source et du drain clôture la réalisation du transistor FinFET.

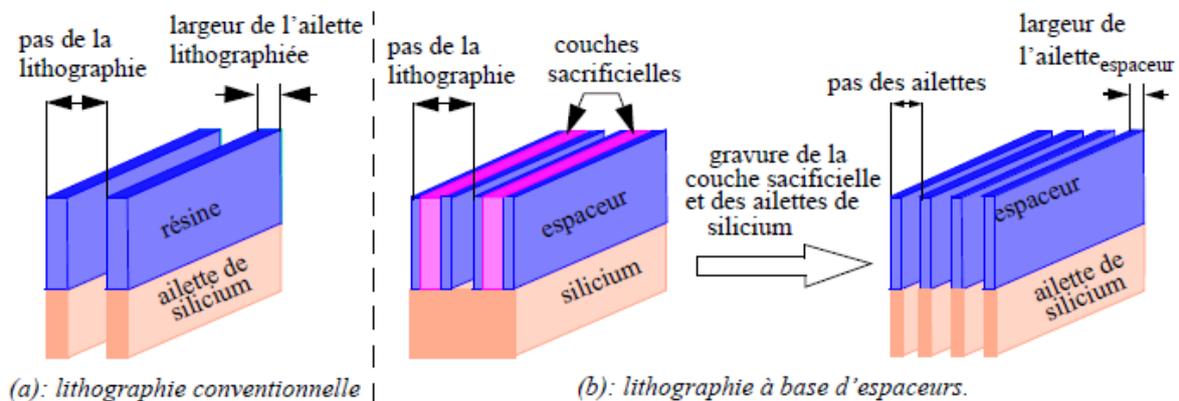


**Figure II-13:** Procédé de fabrication «gate first» pour la réalisation d'un transistor FinFET [42].

### *b) Performances électriques-Discussion.*

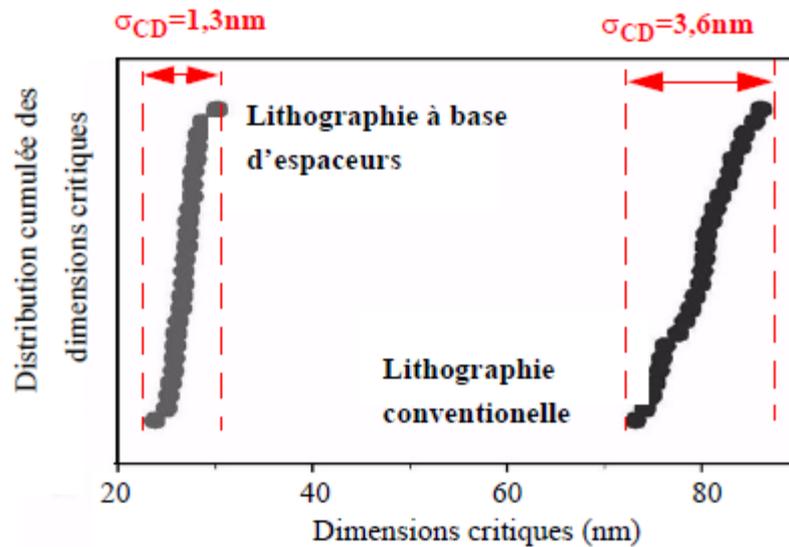
Choi *et al.* [41] ont obtenu de très bonnes performances, avec des courants à l'état bloqué inférieurs à 1 nA/ $\mu\text{m}$  et des courants de conduction relativement élevés (plus de 600  $\mu\text{A}/\mu\text{m}$  pour les n-MOS). Choi *et al.* [42] montrent également que l'utilisation de «couches sacrificielles» permet de dépasser certaines limites propres à la lithographie conventionnelle:

- La densité du dispositif est doublée par rapport à une lithographie conventionnelle (Figure II.14).



**Figure II-14:** Variation de la densité des ailettes obtenues pour les deux types de lithographie [39].

- La variation des dimensions critiques est plus faible permettant d'obtenir une meilleure homogénéité (Fig. II.15).



**Figure II-15:** Variation des dimensions critiques pour les deux types de lithographie [39].

Néanmoins, ce procédé de fabrication du FinFET présente des contraintes de gravure critique des espaceurs (comme pour le procédé «gate last»), mais également de la grille qui le rend difficile à intégrer. La topologie de l'échantillon engendre la formation de résidus de gravure («spacer stringers» et «gate stringers» en anglais) (Figure II.15) [47]. Pour éviter ces problèmes, une sur-gravure doit être réalisée engendrant des contraintes supplémentaires sur la sélectivité entre le matériau de grille et l'oxyde de grille [48]

#### II.1.4.2.4 Etat de l'art des performances des FinFET.

Ce paragraphe répertorie de manière non exhaustive les résultats les plus marquants de la littérature concernant les architectures FinFET.

La Table II.1 confirme que l'utilisation d'une architecture de type FinFET permet d'atteindre des performances en courant et transconductance élevées, tout en conservant une très bonne intégrité électrostatique. On peut ainsi noter de faibles effets canaux courts dans les transistors de type n, de Kedzierski *et al.* [45] ou de Yu *et al.* [49], avec des pentes sous le seuil proches de la valeur idéale de 60 mV/décade, ainsi qu'un DIBL relativement faible (11 mV/V).

La Table II.1 présente également les performances en courant de ces architectures. Pour des longueurs de grille de 50 nm, les courants de conduction des transistors réalisés par Parihar *et al.* [50] dépassent le mA/μm, tout en conservant des courants à l'état bloqué acceptables (100 nA/μm).

Enfin, il convient de noter les résultats obtenus par Collaert *et al.* en 2004 [51]. Ce sont les premiers à avoir fabriqué un oscillateur en anneau (41 inverseurs à la suite) en utilisant la technologie FinFET, avec une longueur de grille de 25 nm. L'immunité vis à vis des effets

## Chapitre II

canaux courts est très bonne. Néanmoins, de tels dispositifs présentent encore des couplages capacitif élevés (temps de délai de 60 ps) qui nécessitent une optimisation de la technologie.

On note un courant étonnamment élevé de  $1300 \mu\text{A}/\text{cm}^2$  pour la référence [52]. Cela s'explique par le fait que le courant n'est pas normalisé.

### II.2 Modes de fonctionnement du transistor MOS double-grille planaire

Le transistor MOS double-grille planaire auquel nous nous intéressons particulièrement dans cette étude se scinde principalement en deux types et ceci selon le mode de fonctionnement retenu. Ainsi, nous distinguons le MOSFET double-grille en mode de fonctionnement symétrique (SDG) et le MOSFET double-grille en mode de fonctionnement asymétrique (ADG). Le point commun de ces deux transistors est que les deux grilles sont polarisées simultanément.

Il existe toutefois une structure double-grille où les grilles ne sont pas connectées électriquement et où leurs polarisations s'effectuent indépendamment. On parle dans ce cas, de double-grille à grilles indépendantes.

Notre travail consiste à étudier une structure DGFET symétrique. Par souci de clarté quant aux définitions du MOSFET double-grille symétrique et du MOSFET double-grille asymétrique, nous allons considérer la structure générique MOSFET double-grille présentée dans la Figure II.16. Nous notons bien sur cette figure la forme planaire, avec une partie centrale qui représente la couche de silicium et qui constitue la partie active du composant. Nous symboliserons de manière générale les épaisseurs d'oxyde par  $t_{oxk}$ , et les différences de travaux de sortie entre le silicium et les grilles par  $\Delta\phi_k$ . L'indice  $k$  sera porté respectivement à 1 ou 2 lorsqu'il s'agira de décrire la partie au dessus ou en dessous du film de silicium. L'épaisseur du film de silicium sera symbolisée par  $t_{Si}$ . Nous adopterons ces notations tout au long de ce paragraphe.

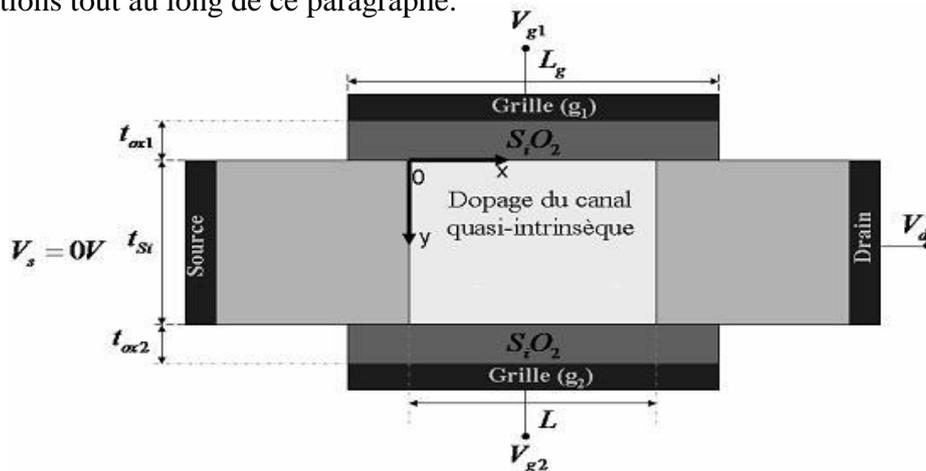


Figure II-16 : Structure générique d'un transistor MOS double-grille

## Chapitre II

---

Pour revenir à la distinction entre le transistor MOS double-grille symétrique et le transistor MOS double-grille asymétrique, il est aisé de voir que lorsqu'une polarisation identique est appliquée aux deux grilles, les tensions  $V_{g1}$  et  $V_{g2}$  chutent respectivement à travers les couches d'oxyde d'épaisseurs  $t_{ox1}$  et  $t_{ox2}$ . Outre ces réductions des polarisations des grilles liées à la présence des oxydes, nous remarquons des chutes additionnelles liées aux différences des travaux de sortie entre le silicium et les grilles (i.e.  $\Delta\Phi_1$  et  $\Delta\Phi_2$ ). Finalement, la tension au niveau d'une interface silicium-oxyde dépend aussi bien du  $t_{oxk}$  que du  $\Delta\Phi_k$  correspondant. Il en résulte que si, sur une même structure, les grilles sont faites de même matériau (ce qui conduit à  $\Delta\Phi_1 = \Delta\Phi_2$ ) et les couches d'oxyde sont de même épaisseur (i.e.  $t_{ox1} = t_{ox2}$ ), les tensions sur les deux interfaces silicium-oxyde seront identiques. Par conséquent, au sein de la zone active, les porteurs subissent la même influence de la part des deux grilles. Cela conduit à une symétrie des courbures de bandes dans la direction transversale au film. Dès lors, le MOSFET double-grille adopte un mode de fonctionnement symétrique. En revanche, s'il s'avère que sur la structure les épaisseurs d'oxyde sont différentes (i.e.  $t_{ox1} \neq t_{ox2}$ ) ou que les travaux de sortie sont différents ( $\Delta\Phi_1 \neq \Delta\Phi_2$ ), nous assistons à une asymétrie dans la répartition des porteurs dans le film. Ceci conduit à un mode de fonctionnement asymétrique.

L'aspect modélisation compacte, traité en deuxième partie de ce chapitre, ne portera que sur le dispositif MOSFET double-grille symétrique.

### II.3 Propriétés électriques du MOSFET double grille

Le transistor MOS double-grille fait donc partie des architectures innovantes les plus prometteuses pour parvenir aux objectifs fixés par l'ITRS [53] pour les nœuds technologiques ultimes. Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, l'ajout d'une seconde grille permet (à épaisseur d'oxyde constante) d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les *effets canaux courts*. De plus, grâce au phénomène d'inversion volumique (sur lequel nous reviendrons), une amélioration de la mobilité effective des porteurs est attendue.

Nous allons, dans cette section, faire une étude comparative des propriétés électriques du MOSFET double-grille planaire avec celles des autres architectures SOI. Cette étude n'étant cependant pas exhaustive, les lecteurs sont invités à consulter la référence [54] pour des informations plus approfondies.

#### II.3.1 Nouvelles lois de réduction d'échelle

La diminution des dimensions des composants microélectroniques, dictée par la demande de performances toujours plus grande, ne cesse de confronter ces dispositifs à des

## Chapitre II

---

effets parasites tels que les effets canaux courts qui dégradent leurs performances. Pour continuer à réduire les dimensions d'un dispositif sans dégrader ses caractéristiques électriques, il faudrait respecter des règles de réduction d'échelle (*scaling*). Cela consiste à trouver le meilleur rapport entre les différentes dimensions du transistor pour conserver de bonnes performances tout en modifiant de façon adéquate les caractéristiques technologiques (dopage, épaisseur d'oxyde, etc.) du dispositif. Précisons que le facteur économique aura une incidence directe sur les choix technologiques retenus.

Dans le cas du MOSFET bulk, les règles de *scaling* sont maintenant bien connues et établies [55].

Dans le cas des technologies émergentes, les règles de *scaling* doivent être également définies. Ainsi, les solutions analytiques permettant de dimensionner les dispositifs MOSFETs bulk ont dû être adaptées pour décrire la structure MOSFET double-grille, voire laplupart des architectures multi-grilles. De nouvelles grandeurs telles que les facteurs de formes ( $L/\lambda$ ) ou les longueurs caractéristiques ( $\lambda$ ) [54] ont été définies et ajustées afin d'améliorer la résistance aux effets canaux courts et d'optimiser les caractéristiques électriques.

### II.3.1.1 Définition de la longueur caractéristique

J. P. Colinge [54] a établi une solution analytique qui permet de dimensionner les dispositifs multi-grilles. La règle de dimensionnement est généralement obtenue en résolvant l'équation de Poisson suivant les deux dimensions et en faisant l'hypothèse d'un canal complètement déserté :

$$\frac{\partial^2 \Psi(x, y)}{\partial x^2} + \frac{\partial^2 \Psi(x, y)}{\partial y^2} = \frac{e \cdot N_A(x, y)}{\epsilon_{si}} \quad (\text{II.2})$$

Où  $N_A$  est le dopage (en ions accepteurs d'électrons dans les transistors à canal n) de la zone active,  $\Psi$  est le potentiel électrostatique et  $\epsilon_{si}$  la permittivité diélectrique du silicium. Si nous supposons un potentiel de forme parabolique dans la direction de l'effet de champ [56] et les conditions aux limites définies dans [57], nous pouvons poser :

$$\varphi(y) = \Psi_s(y) - V_{\xi} + V_{FB} + \frac{e \cdot N_A \cdot t_{Si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}} \quad (\text{II.3})$$

Ainsi, l'équation de Poisson peut se réécrire sous la forme :

$$\frac{\delta^2 \varphi(y)}{\delta y^2} - \frac{\varphi(y)}{\lambda^2} = 0 \quad (\text{II.4})$$

### II.3.1.2 Théorie du scaling

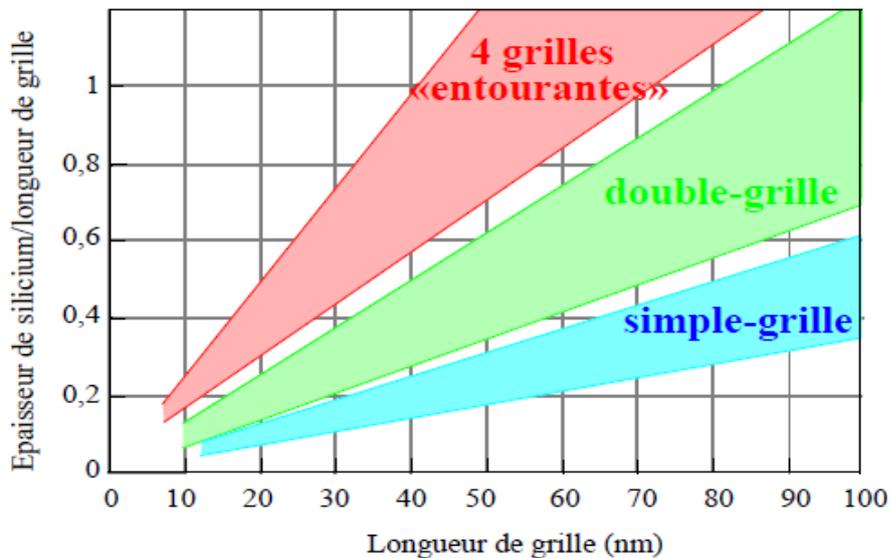
L'évolution de la microélectronique est liée au « scaling » du transistor. Deux des principaux inconvénients sur le plan de la dégradation des performances liés à la miniaturisation sont le SCE et le DIBL. Ces deux effets sont dus à la pénétration de l'influence du champ du drain dans le silicium. Afin d'étudier l'influence du champ du drain dans le silicium, nous avons résolu le potentiel dans le film de silicium par l'équation de Poisson en introduisant un paramètre (critère) très utile et très utilisé : la longueur naturelle ( $\lambda$ ) [58]- [59].

La longueur naturelle  $\lambda$  est fonction de la dimension du transistor et son expression dépend de la structure du transistor SOI (Tableau II-2).  $t_{si}$  correspond à l'épaisseur du film de silicium pour la technologie simple grille SOI et la largeur du film de silicium entre les grilles pour la technologie multiple-grille. La différence entre les deux colonnes des valeurs de la longueur naturelle dans la Tableau II-2 est que la colonne à gauche a considéré que le courant circule seulement à l'interface Si-SiO<sub>2</sub> et la colonne à droite a considéré que le courant circule aussi dans le volume de silicium. Pour  $t_{si}$  et  $t_{ox}$  données, e.g.  $t_{si}=10\text{nm}$  et  $t_{ox}=1,5\text{nm}$ , les longueurs naturelles (calculées par les expressions de la colonne à droite dans la Tableau II-2) pour les structures de simple SOI, GAA et DG MOSFET sont respectivement 9,75nm, 4,01nm et 5,92nm. La longueur naturelle pour un GAA est donc plus petite comparée aux autres. Une faible valeur de  $\lambda$  indique que les effets SCE et DIBL sont petits. Par conséquent, pour une longueur du canal donnée, la structure GAA MOSFET a la longueur naturelle la plus courte. Quelle que soit la structure de transistor, la largeur ou le rayon du film de silicium devraient être le plus petit possible. La longueur naturelle a un sens physique signifiant la pénétration du champ du drain dans le film de silicium. Si la longueur naturelle est grande, la pénétration du champ du drain dans le film de silicium est plus profonde et les effets canaux courts sont plus importants. Il faut donc réduire la longueur naturelle afin d'éliminer les effets canaux courts.

Structure	Longueur naturelle (l)	
Simple SOI	$\sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{\epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{2 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$
DG MOSFET	$\sqrt{\frac{\epsilon_{Si}}{2 \cdot \epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{4 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$
GAA	$\sqrt{\frac{\epsilon_{Si}}{4 \cdot \epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$  (section rectangulaire)	$\sqrt{\frac{2 \cdot \epsilon_{Si} \cdot t_{Si}^2 \cdot \ln\left(1 + \frac{2 \cdot t_{ox}}{t_{Si}}\right) + \epsilon_{ox} \cdot t_{Si}^2}{16 \cdot \epsilon_{ox}}}$  (section circulaire)

**Tableau II-2 :** Expressions de la longueur naturelle (critere) dans les differentes structures SOI : MOS Bulk, GAA (Gate-All-Around) et Plan de masse enteree [60].

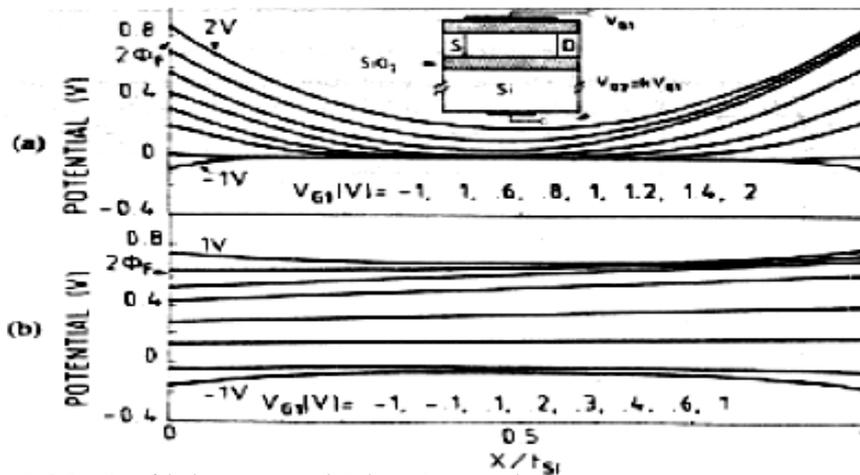
La longueur naturelle peut servir aux concepteurs afin d'améliorer le comportement des dispositifs en évitant les effets canal court tres importants. Par les expressions de la longueur naturelle dans la colonne gauche de la Tableau II-2, nous pouvons tracer la Figure II-17 qui indique l'épaisseur maximum de film de silicium nécessaire pour éviter les effets de canal court. Nous voyons par exemple que pour un MOSFET double-grille avec la longueur de grille de 50nm, l'épaisseur maximum du film de silicium peut être d'environ 30nm.



**Figure II-17 :** Epaisseur maximale du film de silicium en fonction de la longueur de grille pour supprimer les effets canaux courts [61].

### II.3.2 Le phénomène d'inversion volumique

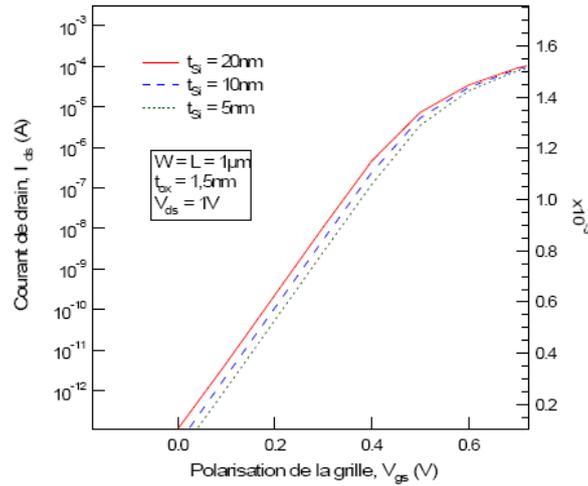
Le MOSFET double-grille permet sous certaines conditions de créer une inversion dans tout le volume de silicium (le *body*). La répartition volumique des porteurs permet d'augmenter la section traversée par le flux de courant et donc le courant total. De plus, les porteurs moins nombreux à proximité de l'oxyde de grille sont moins perturbés par la rugosité de cette interface ; cela augmente la mobilité effective et la transconductance. En outre, l'amélioration du contrôle de charge du canal par l'ajout d'une grille diminue la pente sous le seuil. Ce phénomène physique est à l'origine des performances électriques que présente le transistor MOS double-grille.



**Figure II-18:** Profil de potentiel à l'intérieur de la zone active (a) lorsque les couches d'inversion sont localisées près des interfaces (dopage  $N_A = 4 \times 10^{16}\text{ cm}^{-3}$  et  $t_{si} = 1\text{ nm}$ ) et (b) lorsque l'inversion se fait en volume ( $N_A = 3 \times 10^{15}\text{ cm}^{-3}$  et  $t_{si} = 100\text{ nm}$ ) avec  $2\Phi_F$  correspondant au potentiel d'inversion [62].

En résumé, le phénomène d'inversion volumique peut être interprété comme l'une des manifestations du contrôle du potentiel dans le film de silicium du MOSFET double-grille (cf. Fig. II.18). En raison du couplage important entre les deux grilles en faible inversion, la conduction des porteurs s'effectue dans toute l'épaisseur du film de silicium. Ensuite, à mesure que la polarisation de grille augmente, les porteurs commencent à désertir le milieu du film pour se regrouper au niveau des interfaces. Ce résultat s'observe sur la caractéristique

$I_d - V_g$  pour différentes épaisseurs de film de silicium (Figure II.19).



**Figure II-19** : Le phénomène d'inversion volumique : caractéristique  $I_d - V_g$  en échelle logarithmique pour différentes épaisseurs de film de silicium.

### II.3.3 Caractéristiques statiques

#### II.3.3.1 Définition de la tension de seuil

S'agissant du MOSFET bulk, la tension de seuil est communément définie comme la polarisation de la grille nécessaire pour que le potentiel de surface atteigne la valeur de  $2 \cdot \Phi_F$  (le régime de forte inversion). Cette définition est une solution approchée. Dans le transistor MOS double-grille, la forte inversion a lieu avant que le potentiel de surface n'atteigne la valeur de  $2 \cdot \Phi_F$  [54].

P. Francis *et al.* ont développé un modèle de mode d'inversion du MOSFET double grille à canal long où la tension de seuil est définie à partir de la caractéristique de la transconductance par la méthode dite TC « *Transconductance-Change* » [63-66]. Dans cette approche, la tension de seuil correspond à la polarisation de la grille pour laquelle la dérivée de la transconductance atteint son maximum. Concrètement, cela se traduit par :

$$\frac{d^2 I_{ds}}{dV_{gs}^2} = 0 \quad (\text{II.5})$$

À cette condition, le potentiel de surface au seuil ( $\Psi_{S_{to}}$ ) peut s'écrire :

$$\Psi_{S_{to}} = 2 \cdot \Phi_F + \frac{k \cdot T}{e} \cdot \ln \left( \frac{\delta_f}{1 - \exp(-\alpha_f)} \right) \quad (\text{II.6})$$

$$\text{où } \alpha_f = C_{ox} / 4 \cdot C_{Si} \text{ et } \delta_f = e \cdot Q_D / k \cdot T \cdot 8 \cdot C_{Si}$$

Le « S » en indice sur  $\Psi_{S_{to}}$  est lié au fait que le potentiel est évalué à la surface, et le « to » au fait que nous considérons un dispositif à canal long. Le dernier terme dans l'expression

du potentiel de surface (II.6) est négatif, ce qui conduit à ce que  $\Psi_{S_{to}}$  soit inférieur à  $2 \cdot \Phi_F$ . Ceci justifie, par conséquent, l'hypothèse selon laquelle la tension de seuil obtenue à  $\Psi_{S_{to}} = 2 \cdot \Phi_F$  n'est pas valide au niveau du transistor MOS double-grille.

En ce qui concerne les autres structures multi-grilles comme le MOSFET triple grille et le MOSFET quadruple-grille, en raison du développement spatial suivant les trois dimensions, nous assistons à des effets de coins. Aussi, sous l'influence de deux grilles adjacentes, les régions de coins s'avèrent favorables au passage des porteurs. Ainsi peut-il se créer un canal de coins parasites. Ces effets ont été étudiés dans la thèse de R. Ritzenthaler [67]. Des travaux réalisés dans [68-71] relatent les approches utilisées pour définir la tension de seuil de ces structures à trois ou quatre grilles.

Pour revenir au MOSFET double-grille, la tension de seuil  $V_{to}$  peut s'exprimer par [63]-[66] :

$$V_{to} = \Psi_{S_{to}} + V_{FB} + \frac{k \cdot T}{e} \cdot \frac{\alpha_f}{\delta_f} \cdot \sqrt{1 + \frac{\alpha_f}{\delta_f}} \quad (\text{II.7})$$

L'analyse de cette solution nous permet de mieux comprendre les avantages que présente le Transistor MOS double-grille par rapport au MOSFET bulk. La différence entre le potentiel de surface et  $2 \cdot \Phi_F$  dépend à la fois de l'épaisseur du film de silicium, de l'épaisseur d'oxyde et du dopage du canal. De plus, la tension de seuil est dépendante (comme dans le cas du MOSFET bulk) de la tension de bandes plates, laquelle est liée aux travaux de sortie des matériaux constituant les grilles. Ainsi, la tension de seuil du MOSFET double-grille est-elle liée à plusieurs paramètres que sont l'épaisseur du film, l'épaisseur d'oxyde, le dopage, et les travaux de sortie des matériaux des grilles. L'avantage de ceci est que par le biais de la dépendance de  $V_{to}$  à plusieurs paramètres technologiques, le technologue a une certaine flexibilité en ce qui concerne l'optimisation de la tension de seuil dans la course à la miniaturisation.

### II.3.3.2 Etat passant

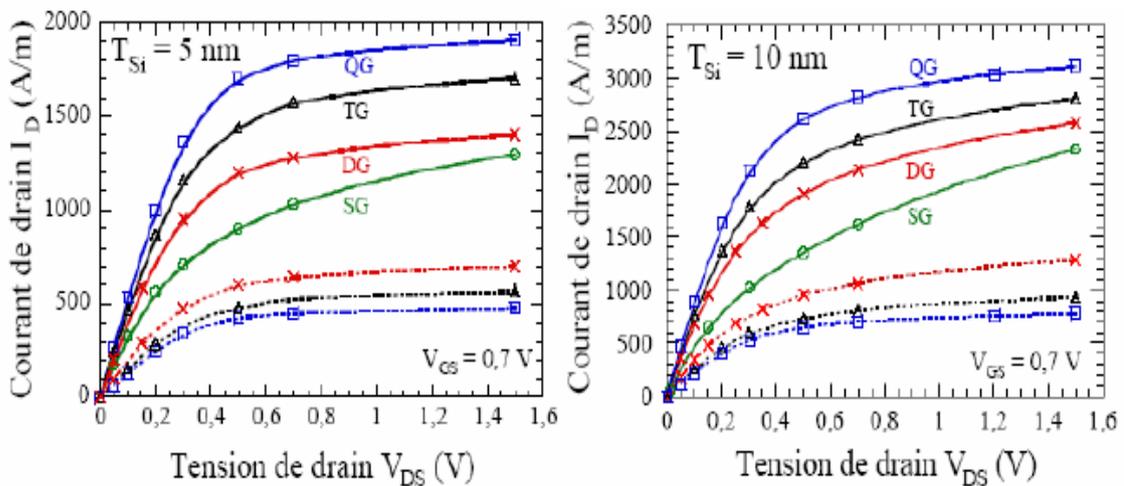
L'ajout d'une seconde grille traduit un ajout d'un second canal d'inversion en régime de forte inversion, le courant à l'état passant  $I_{on}$  augmente quand le nombre de grilles augmente.

Ceci est mis en évidence sur la Figure II.20 où sont tracées les caractéristiques  $I_d - V_{ds}$  pour différentes structures SOI multi-grilles de  $15nm$  de longueur de canal. Nous notons bien un courant croissant avec l'augmentation du nombre de grilles ; à titre d'illustration et pour  $t_{Si} = 10nm$ ,  $I_{on}$  atteint  $1623A/m$  sur le MOSFET SOI à une grille,  $2138A/m$  sur le

## Chapitre II

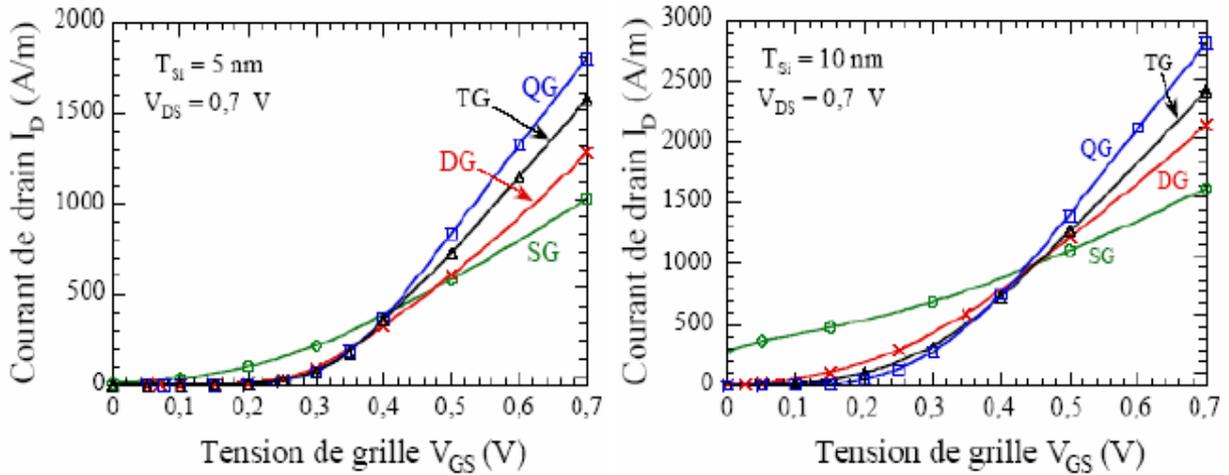
MOSFET double-grille, 2420A/m sur le MOSFET triple-grille, et enfin 2815A/m sur le MOSFET quadruple-grille.

Cependant, cette augmentation de  $I_{on}$  n'est pas proportionnelle au nombre de grilles ; les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. De manière générale, il faut noter que, dans tous ces dispositifs SOI, le courant est supérieur au courant recommandé par l'ITRS [53], i.e. 1020A/m. La diminution de  $t_{Si}$  réduit de façon quasi-proportionnelle le courant  $I_{on}$ , ainsi le courant du MOSFET double-grille varie-t-il de 2420 à 1280A/m pour  $t_{Si}$  variant de 10 à 5nm.



**Figure II-20 :** Caractéristiques  $I_d$ - $V_d$  des multi-grilles pour  $L=15\text{nm}$ , (a)  $t_{Si} = 5\text{nm}$  et (b)  $10\text{nm}$ . En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille [72]

La transconductance  $g_m$  est aussi améliorée avec le nombre de grilles (cf. Fig. II.21). Pour  $t_{Si} = 10\text{nm}$ ,  $g_m$  atteint 4170S/m sur le MOSFET double-grille, 5700S/m sur le MOSFET triple-grille et 7070S/m sur le MOSFET quadruple-grille. Cette augmentation n'est pas non plus proportionnelle au nombre de grilles. La diminution de l'épaisseur du dispositif réduit la transconductance.



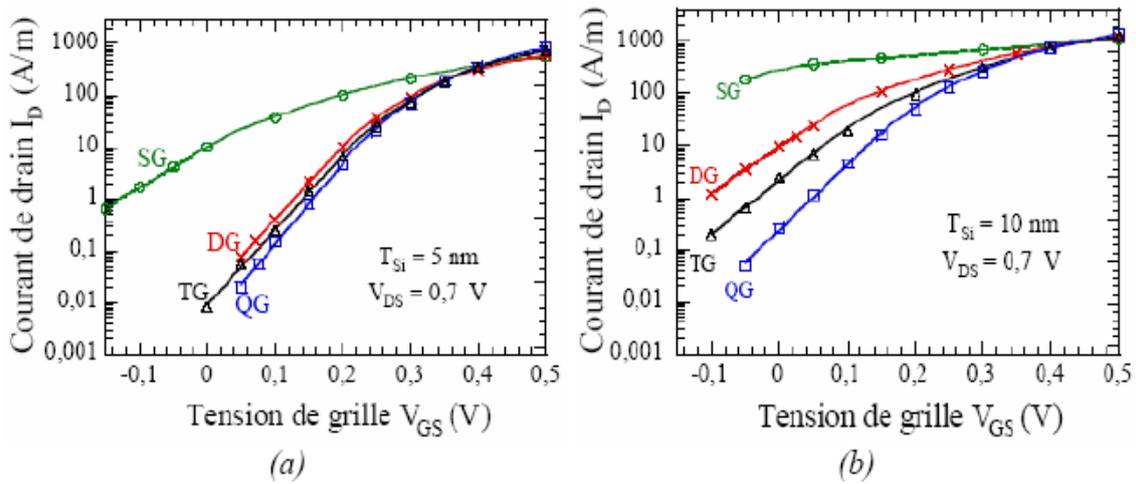
**Figure II-21 :** Caractéristiques  $I_d - V_g$  des multi-grilles pour  $L = 15\text{nm}$ , (a)  $t_{Si} = 5\text{ nm}$  et (b)  $t_{Si} = 10\text{nm}$  [72]

### II.3.3.3 Etat bloqué

À la Figure II.22, nous constatons que les caractéristiques du dispositif MOSFET SOI à une grille sont fortement dégradées en raison des effets canaux courts qui sont quasiment incontrôlés. Les structures simulées sur cette figure correspondent à des transistors MOS de  $15\text{nm}$  de longueur de canal. La valeur de la pente sous le seuil  $SS$  est supérieure à  $100\text{mV} / \text{dec}$ . Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. Par exemple, pour un film d'épaisseur de  $10\text{nm}$ ,  $SS$  vaut  $110\text{mV} / \text{dec}$  sur le MOSFET double-grille,  $96\text{mV} / \text{dec}$  sur le MOSFET triple-grille et enfin  $83\text{mV} / \text{dec}$  sur le MOSFET quadruple-grille. La réduction de  $t_{Si}$  a aussi un effet bénéfique sur  $SS$  : lorsque  $t_{Si}$  passe de  $10$  à  $5\text{nm}$ ,  $SS$  passe de  $110$  à  $80\text{mV} / \text{dec}$  dans le MOSFET double-grille.

L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque  $t_{Si}$  est faible.

Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active  $t_{Si}$ . À  $t_{Si} = 10\text{ nm}$ , il faudrait quatre grilles pour garder des valeurs de  $SS$  acceptables (i.e.  $SS < 80\text{mV} / \text{dec}$  pour  $L=15\text{nm}$ ), tandis qu'à  $t_{Si} = 5\text{ nm}$ , il n'en faudrait que deux.



**Figure II-22 :** Caractéristiques  $I_d - V_g$  en échelle logarithmique des SOI multi-grilles pour  $L=15nm$ , (a)  $t_{Si} = 5 nm$  et (b)  $10nm$  [72]

**II.3.3.4 Contrôle des effets canaux courts**

Ainsi que nous l’avons mentionné dans le premier chapitre, le canal est protégé contre les lignes de champs latéraux par la présence d’une seconde grille. Ainsi, via le couplage entre les grilles, les effets néfastes induits par les champs latéraux grandissants sont limités. Naturellement, ce couplage est d’autant plus important que la proximité des grilles est importante et donc que l’épaisseur du film est faible.

Ce résultat devrait être cohérent avec ceux prédits par les lois d’échelles (cf. paragraphe 1.1.8). Intéressons nous aux résultats obtenus avec le dimensionnement du facteur de forme  $L / \lambda$  dans les structures SOI (Tableau II.3).

Dimensionnement du facteur de forme ( $L/\lambda$ )		
	$t_{Si} = 5nm$	$t_{Si} = 10nm$
SOI à une grille (SG)	3,5	2,5
SOI Double-Grille (DG)	5,0	3,5
SOI Quadruple-Grille (QG)	7,0	5,0

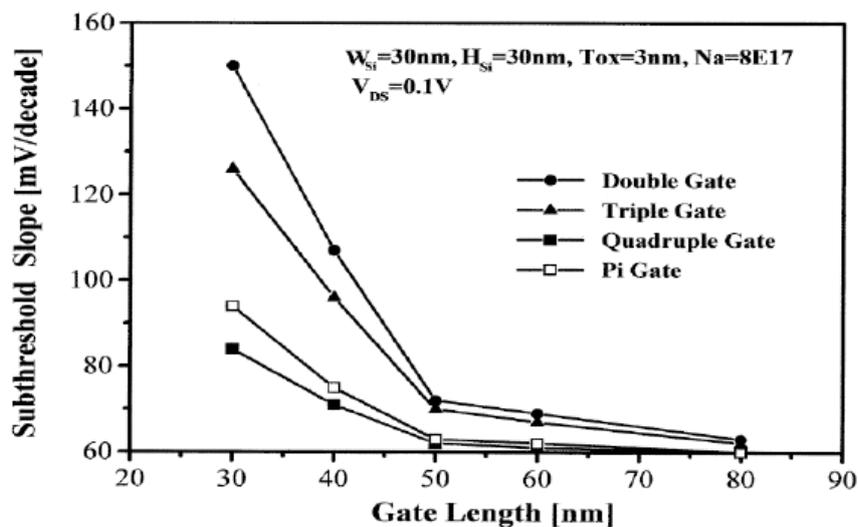
**Tableau II-3 :** Calcul du rapport  $L/\lambda$  pour une longueur de canal de  $15nm$  et un  $t_{ox} = 1, 2 nm$  en fonction de l’architecture SOI. Les cases grisées correspondent aux transistors mal dimensionnés.

Pour rappel, J. P. Colinge a montré que le facteur de forme devrait être au moins égal à 5 pour éviter d’importants effets canaux courts [54]. Dans ce tableau, nous avons donc

## Chapitre II

présenté les valeurs de  $L/\lambda$  supérieures ou égale à 5 sur un fond blanc. Il est aisé d'observer que plus le nombre de grilles augmente, meilleur est le dimensionnement, c'est-à-dire meilleur est le contrôle des effets canaux-courts, et ceci en raison de la longueur caractéristique qui est décroissante avec le nombre de grilles (cf. Tableau II.2).

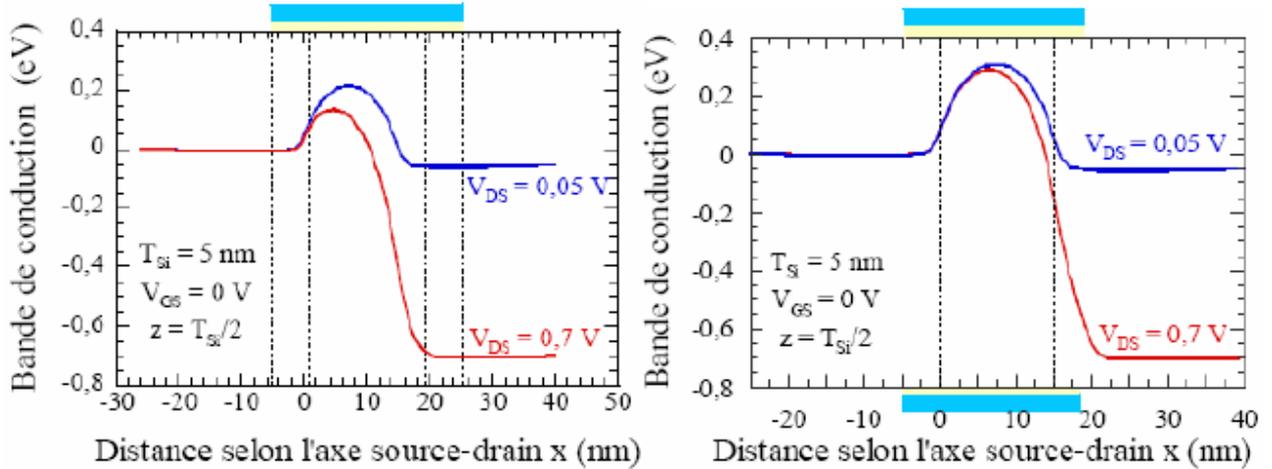
Un autre aspect intéressant dans ce tableau est l'importance que joue l'épaisseur du film dans le contrôle des effets canaux courts. Ainsi, dans le transistor MOS double-grille, outre les paramètres géométriques et physiques que l'on a généralement l'habitude d'optimiser dans la miniaturisation du MOSFET bulk, il est crucial de tenir compte de  $t_{si}$ . Le bon contrôle des effets canaux courts obtenu avec la minceur du film de silicium et le couplage des grilles se reflète non seulement sur les valeurs de la pente sous le seuil (SS) comme illustré à la Fig. II.23, mais également sur celles du DIBL et du partage de charges.



**Figure II-23:** Minimisation de la dégradation de la pente sous le seuil avec l'augmentation du nombre de grilles à  $W=t_{si}=30\text{nm}$ ,  $t_{ox}=3\text{nm}$ ,  $V_d=0,1\text{V}$  [54]

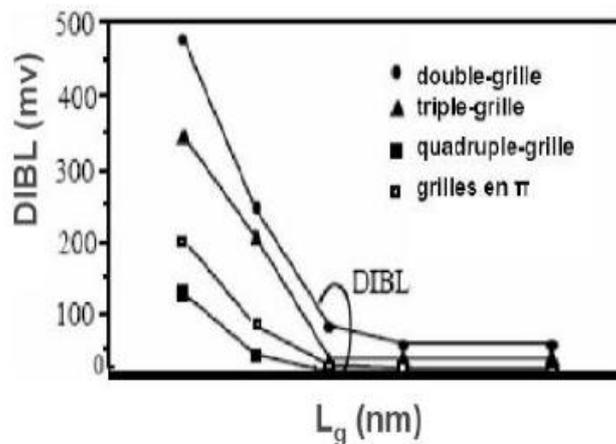
En ce qui concerne le DIBL, les résultats offerts par le MOSFET double-grille sont encore beaucoup plus satisfaisants. Comme nous l'avons signalé au chapitre 1, la mesure du DIBL donne une indication sur l'évolution de la hauteur de la barrière de potentiel en entrée de canal. Cette barrière, en entrée de canal, qui assure le blocage du transistor, a un abaissement moins important lorsque  $V_d$  augmente. La comparaison des bandes de conduction du transistor MOS SOI à une grille et du transistor MOS double-grille sur la Fig. II.24 illustre clairement une plus faible diminution de la hauteur de barrière sur le transistor MOS double-grille que sur le transistor MOS SOI à une grille.

## Chapitre II



**Figure II-24 :** Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour  $V_g = 0V$  suivant la profondeur du film de silicium à  $V_{ds}$  faible et fort.  $L_c=15\text{ nm}$  et  $t_{si} = 5\text{ nm}$  [73]

Le contrôle est donc logiquement bien renforcé par ajout de grilles, c'est la raison pour laquelle le DIBL est plus faible sur le MOSFET quadruple-grille que sur le MOSFET triple grille, le MOSFET double-grille et également sur le MOSFET SOI à une grille à dimensions égales (cf. Fig. II.25).



**Figure II-25 :** Minimisation du DIBL avec l'augmentation du nombre de grille pour  $W=T_{si}=10\text{nm}$  [54]

Pour conclure, nous pouvons souligner que le transistor MOS double-grille est intéressant compte tenu des performances électriques qu'il offre. La difficulté majeure dans son développement se situe au niveau technologique. Plus précisément, concernant le transistor MOS double-grille planaire, la difficulté est l'alignement des deux grilles.

Pour simuler efficacement les caractéristiques électriques du dispositif MOSFET doublegrille lors de la conception de circuits intégrés, il est nécessaire de disposer d'un bon modèle compact de transistor MOS double-grille. Avant d'élaborer un modèle compact performant de transistor MOS double-grille dédié à la conception de circuits intégrés, il est nécessaire de connaître l'existant. Les paragraphes qui suivent seront consacrés à l'état de l'art sur la modélisation compacte du transistor MOS double-grille planaire symétrique.

### **II.4 Etat de l'art des modèles compacts du MOSFET double-grille symétrique**

#### **II.4.1 Introduction**

Rappelons tout d'abord que les modèles compacts sont des modèles formulés de manière analytique et utilisés le plus souvent pour aider à la conception de circuits intégrés.

Ces modèles sont disponibles dans les simulateurs de circuits. Ils sont généralement constitués, d'une part, d'expressions basées sur la physique et, d'autre part, d'un certain degré d'empirisme. Ces modèles peuvent être adaptés aux différentes technologies (CMOS, par exemple) à l'aide d'un certain nombre de paramètres (électriques, technologiques, géométriques), dans le but de décrire correctement les caractéristiques électriques du composant. Afin de rendre pratique l'utilisation d'un modèle, ce dernier doit être complété par des méthodes d'extraction de paramètres. De manière générale, un modèle compact représente un compromis entre les aspects de simplicité et de complexité, les notions physiques et empiriques, le nombre d'effets physiques inclus, le nombre de paramètres, l'adaptabilité aux diverses technologies et, enfin, l'efficacité de calcul [73-75]. Probablement la meilleure compilation sur *les problèmes de la modélisation* du MOSFET bulk, mais que l'on peut extrapoler au transistor MOS double-grille se trouve dans les travaux de Y. Tsididis [76] ; le modèle idéal de transistor MOS double-grille devrait :

1. satisfaire aux exigences habituelles dans le monde digital, à savoir des caractéristiques suffisamment précises, avec éventuellement un jeu simplifié de paramètres pour la simulation des circuits digitaux non-critiques ;
2. donner des valeurs précises pour les quantités petits-signaux telles que les transconductances et la conductance de sortie et toutes les capacités (intrinsèques et extrinsèques). Tous les éléments devraient être continus pour les tensions appliquées;
3. donner de bons résultats même quand le dispositif opère dans le mode Non-Quasi-Statique (NQS), ou tout au moins se dégrader élégamment pour de tel fonctionnement lorsque la fréquence va en augmentant (où indiquer que le dispositif opère dans le mode NQS) ;

## Chapitre II

---

4. donner une prédiction du bruit blanc (et si possible du bruit en 1/f) dans tous les modes d'opération ;
5. satisfaire aux exigences 1) à 4) exposées ci-dessus pour de grandes gammes de tensions dans toutes les régions d'opérations ;
6. faire tout ce qui est décrit ci-dessus, dans la gamme de température intéressante (typiquement 0°C à 70°C) ;
7. faire tout ce qui est décrit ci-dessus pour toutes les combinaisons de valeurs de longueur de canal et d'épaisseur de film de silicium pour une technologie donnée ;
8. demander à l'utilisateur de spécifier seulement les dimensions géométriques pour chacun des dispositifs et un *jeu de paramètres* de modèle valide pour tous les dispositifs du même type sans se soucier des dimensions ;
9. fournir un drapeau (*flag*) chaque fois qu'il est utilisé au-delà de ses limites de validité
10. avoir aussi peu de paramètres que possible, lesquels devraient être liés aussi fortement que possible à la structure du dispositif et au précédé de fabrication (*process*) pour permettre une prédiction pire-cas (*worth-case*) sérieuse ;
11. être lié à une méthode d'extraction de paramètres aussi simple que possible ;
12. être capable de prédire l'appariement (*matching*) ;
13. être efficace numériquement.

L'objet de ce paragraphe est de présenter un état de l'art actuel des modèles compacts du transistor MOS double-grille en mode de fonctionnement symétrique. Loin d'être exhaustive, la liste des approches présentées ici dévoile quelques uns des travaux les plus significatifs en modélisation compacte du MOSFET double-grille symétrique.

### **II.4.2 Les différents modèles compacts du MOSFET double-grille Symétrique**

Les modèles compacts du transistor MOS double-grille se classent en trois catégories : les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge [77].

*Préambule :*

J. G. Fossum *et al.* (Université de Floride) ont développé un modèle « compact » appelé UFDG [78-81]. Ce modèle est basé sur la physique et le *process*. Il est applicable à des dispositifs MOSFETs double-grille symétrique et asymétrique, mais aussi à des transistors MOS SOI à une grille entièrement déplétés (FDSOI).

## Chapitre II

---

Ce modèle est basé sur une solution auto-cohérente (*self-consistent*) des équations de Poisson et de Schrodinger dans le *body* (film-Si)/canal de dispositif de type double-grille ou FD /SOI. C'est par essence un résolveur Poisson-Schrodinger implémenté dans un simulateur de circuit. Une approche variationnelle, utilisant une description générale de la longueur d'onde, est utilisée pour résoudre l'équation Schrödinger, laquelle est liée à l'équation de Poisson via une itération Newton-Raphson. Le modèle de quantification (QM) inclus des dépendances avec l'épaisseur de film de silicium, aussi bien que le champ électrique transverse. Le transport des porteurs et le courant de canal sont modélisés comme quasibalistiques via une prise en compte de la saturation de vitesse des porteurs. UFDG est un modèle en charge, où la modélisation des charges aux terminaux est physiquement liée à la modélisation du courant. Sur le plan extrinsèque, le modèle prend en compte le phénomène d'underlap.

Ce modèle a été validé par des simulations numériques de dispositif et des données mesurées. Il est très précis et prend en compte l'essentiel des phénomènes physiques et les spécificités *process* de tout double-grille. Cependant, nous ne parlerons pas de ce modèle dans les explications qui vont suivre et ce pour deux raisons principales (qui ne concernent pas les autres modèles mentionnés par la suite) :

- a) Ce modèle est un modèle propriétaire (disponible par Freescale via une licence utilisateur).
- b) Ce modèle, bien que développé dans un simulateur de circuit, n'est pas vraiment adapté à la conception de circuits intégrés ULSI en raison de son temps de calcul important.

### **II.4.2.1 Modèles en tension de seuil du MOSFET double-grille symétrique**

#### **Modèle de M. Reyboz/T. Poiroux**

Parmi les modèles appartenant à cette catégorie de modèle compacts, nous trouvons le modèle de M. Reyboz/T. Poiroux [82]. Ce modèle développé pour un transistor MOS double-grille en mode de fonctionnement asymétrique (grille indépendante) est donc capable de simuler le comportement du transistor MOS double-grille symétrique à grilles dépendantes. Dans ce modèle en tension de seuil, l'idée est de définir le potentiel au milieu du film en fonction de la couche d'inversion formée. Ainsi, des équations du courant de drain sont définies suivant que le canal du transistor est en inversion faible ou en inversion forte.

Ces solutions de courant de drain doivent ensuite être « raccordées ». Cela est relativement délicat car des problèmes de continuité peuvent en découler, notamment pour les dérivées des grandeurs électriques.

## Chapitre II

---

La tension de seuil marque la transition entre la région de faible inversion et celle de forte inversion. En faible inversion, le courant de drain est un courant de diffusion. La charge d'inversion  $Q_m$  varie exponentiellement en fonction de  $V_g$ . En revanche, en forte inversion, le courant de diffusion est négligeable. Ainsi, le courant de drain est principalement un courant de conduction. La charge d'inversion  $Q_m$  varie linéairement avec  $V_g$ . Du fait de ces hypothèses simplificatrices, ces approches manquent de précision pour la description de l'inversion modérée.

Le modèle de M. Reyboz/T. Poiroux prend en compte les effets canaux courts [82]. En revanche, il ignore les effets quantiques ainsi que les effets dynamiques intrinsèques et extrinsèques.

### II.4.2.2 Modèles en potentiel de surface du MOSFET double-grille symétrique

Parmi les modèles en potentiel de surface, nous comptons le modèle compact proposé par A. Ortiz-Conde [83], celui proposé par Y. Taur [84] et également celui proposé par G. Baccarani [85]. Dans ces approches, l'idée est d'exprimer la charge d'inversion en fonction du potentiel de surface.

#### Modèle de A. Ortiz-Conde

Le modèle de A. Ortiz-Conde est basé sur les travaux réalisés pour le transistor MOS bulk par Pierret et Shield [86]. Dans son modèle, A. Ortiz-Conde décrit le potentiel à l'intérieur du film de silicium en résolvant l'équation de poisson à 1-D. Sa solution du courant de drain se présente sous la forme [83] :

$$I_d = \frac{\mu \cdot W}{L} \cdot \left\{ 2 \cdot C_{ox1} \cdot \left[ V_g \cdot (\Psi_{SL} - \Psi_{S0}) - \frac{1}{2} \cdot (\Psi_{SL}^2 - \Psi_{S0}^2) \right] \right. \\ \left. + 4 \cdot \frac{k \cdot T}{e} \cdot C_{ox1} \cdot (\Psi_{SL} - \Psi_{S0}) \right. \\ \left. + t_{Si} \cdot k \cdot T \cdot n_i \cdot \left[ e^{\beta(\Psi_{CL} - V_d)} - e^{\beta\Psi_{C0}} \right] \right\} \quad (II.8)$$

Où  $\Psi_{S0}$ ,  $\Psi_{C0}$ ,  $\Psi_{SL}$ , et  $\Psi_{CL}$  sont des potentiels obtenus par résolutions numériques.

C'est en effet l'usage de calculs itératifs qui constitue le défaut majeur de cette approche. De plus, le modèle ne prend pas en compte le comportement dynamique, ni les effets quantiques et les effets canaux courts. Il se limite à des épaisseurs de film de silicium comprises entre 20

et 5nm et des dispositifs de canal long de 1 $\mu$ m [83].

### Modèle de Y. Taur

Y. Taur, en résolvant l'équation de Poisson à 1-D, aboutit à la solution du potentiel dans le film de silicium ( $\Psi$ ) sous la forme [87-88] :

$$\Psi(x, y) = \Psi_c(x) - V_{ch} - \frac{2 \cdot k \cdot T}{e} \cdot \ln \left\{ \cos \left( \sqrt{\frac{e^2 \cdot n_i}{2 \cdot \epsilon_{Si} \cdot k \cdot T}} \cdot e^{\frac{\Psi_c(x) - V_{ch}}{2kT}} \cdot y \right) \right\} \quad (\text{II.9})$$

Où  $\Psi_c$  est le minimum de potentiel dans le film de silicium.

Du fait de la symétrie de la structure, ce minimum de potentiel correspond au potentiel au centre du film de silicium, d'où l'indice « c » qui lui est attribué.  $x$  est suivant la direction du canal et  $y$  suivant la direction perpendiculaire au canal.  $V_{ch}$  correspond au potentiel de quasi-Fermi des électrons.

Ensuite, pour évaluer le courant de drain, Y. Taur définit une variable  $\beta_T$  en effectuant le changement de variable suivant [83] :

$$\beta_T(x) = \sqrt{\frac{e^2 \cdot n_i \cdot t_{Si}^2}{8 \cdot \epsilon_{Si} \cdot k \cdot T}} \cdot e^{\left(\frac{\Psi_c - V_{ch}}{2kT}\right)} \quad (\text{II.10})$$

Ainsi, en tenant compte de (II.10) dans (II.9),  $\Psi$  se réécrit comme suit [83] :

$$\Psi(x, y) = V_{ch} - \frac{2 \cdot k \cdot T}{e} \cdot \ln \left\{ \sqrt{\frac{e^2 \cdot n_i \cdot t_{Si}^2}{8 \cdot \epsilon_{Si} \cdot k \cdot T \cdot \beta_T^2}} \cdot \cos \left( \frac{2 \cdot \beta_T \cdot y}{t_{Si}} \right) \right\} \quad (\text{II.11})$$

$\beta_T$  est défini par itération à partir de la relation suivante :

$$\frac{e \cdot (V_g - \Delta\Phi_{ms} - \Psi_s)}{2 \cdot k \cdot T} - \ln \left( \frac{2}{t_{Si}} \cdot \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot k \cdot T}{e^2 \cdot n_i}} \right) = \ln \beta_T - \ln(\cos \beta_T) + \frac{2 \cdot C_{Si}}{C_{ox1}} \cdot \beta_T \cdot \tan \beta_T \quad (\text{II.12})$$

Ici,  $\Delta\Phi_{ms} = (\Delta\phi_1 = \Delta\phi_2)$  correspond à la différence des travaux de sorties entre le silicium et le matériau de grille.

En tenant compte de cette variable d'intégration (i.e.  $\beta_T$ ), il obtient une solution du courant de drain du MOSFET double-grille symétrique sous la forme [83] :

## Chapitre II

---

Dans cette expression,  $\beta_{T0}$  et  $\beta_{TL}$  correspondent respectivement aux valeurs de  $\beta_T$  évaluées du côté de la source ( $V_{ch}=0$ ) et du côté du drain ( $V_{ch}=V_{ds}$ ). Ces valeurs sont obtenues de manière itérative.

$$I_d = \frac{16 \cdot \mu \cdot W}{L} \cdot \frac{\epsilon_{si}}{t_{Si}} \cdot \left( \frac{k \cdot T}{e} \right)^2 \cdot \left\{ \frac{1}{2} \cdot (\beta_{TL}^2 - \beta_{T0}^2) \right. \\ \left. + \beta_{T0} \cdot \tan(\beta_{T0}) - \beta_{TL} \cdot \tan(\beta_{TL}) \right. \\ \left. + \frac{\epsilon_{si}}{t_{Si} \cdot C_{ox1}} \cdot (\beta_{T0}^2 \cdot \tan^2(\beta_{T0}) - \beta_{TL}^2 \cdot \tan^2(\beta_{TL})) \right\} \quad (II.13)$$

Ainsi, une unique équation (cf. (2.12)) est-elle utilisée pour décrire le courant dans toutes les régions de fonctionnement. Ceci constitue en effet la grande force de ce modèle. De plus, Y. Taur prend en compte le comportement dynamique intrinsèque [89] ainsi que des effets canaux courts [90]. Le modèle a été validé pour des épaisseurs de film comprises entre 25 et 5nm [83] et des longueurs de canaux atteignant 24nm [90]. Les effets quantiques sont négligés. En ce qui concerne les effets canaux courts, nous noterons cependant un manque de formulation explicite.

### **Modèle de G. Baccarani**

Dans ce modèle [85], G. Baccarani n'utilise pas la statistique de Boltzmann mais plutôt celle de Fermi, les effets quantiques sont pris en compte. A l'image du modèle de Y. Taur et de celui de A. Ortiz-Conde, le modèle de G. Baccarani a recours à une résolution numérique. En ce qui concerne le calcul du courant de drain pour un transistor à canal long, il s'effectue par une intégrale qui ne dépend que du potentiel au milieu du film de silicium. Le modèle est validé pour des épaisseurs de film comprises entre 20 et 2nm et des longueurs de canaux atteignant 20nm. Les effets canaux courts sont négligés. Le comportement dynamique intrinsèque ainsi que le comportement dynamique extrinsèque sont ignorés [85].

Ces approches en potentiel de surface sont très proches de la physique. L'inversion volumique est bien décrite car l'approximation de la feuille de charge n'est pas faite. Un des inconvénients réside dans le fait que cette approche utilise des calculs itératifs (par exemple pour déterminer  $\beta_{T0}$  et  $\beta_{TL}$  dans le modèle de Y. Taur et  $\Psi_{S0}$ ,  $\Psi_{C0}$ ,  $\Psi_{SL}$ , et  $\Psi_{CL}$  dans celui de A. Ortiz-Conde). Mis à part ce fait, ces modèles sont précis et prédictifs. C'est pour cette raison que, pour des soucis de validation, nous avons confronté notre approche à celle proposée par Y. Taur.

### II.4.2.3 Modèles en charge du MOSFET double-grille symétrique

Dans cette approche, l'idée est d'exprimer les potentiels en fonction de la charge d'inversion. Le modèle que nous proposons (cf. chapitre 3) se situe dans cette catégorie de modèles compacts. Parmi les travaux les plus marquants, nous comptons l'approche proposée par J. He [48] et celle proposée par B. Iñiguez [91-95].

#### Modèle de J. He

Ce modèle est proche du modèle d'Y. Taur [83]. En effet, au lieu de chercher la valeur du potentiel au milieu du film  $\Psi_C$ , les auteurs donnent une expression de la charge d'inversion [90]. Ainsi, pour trouver l'expression de la charge d'inversion en fonction du potentiel au milieu du film  $\Psi_C$ , les auteurs proposent-ils d'exprimer la concentration en électrons dans le film de silicium et de l'intégrer sur une tranche du film. Dans un premier temps, les auteurs définissent la solution de la charge d'inversion, en faible inversion, sous la forme suivante :

$$Q_m^* = e \cdot n_c \cdot \frac{t_{Si}}{2} \quad (\text{II.14})$$

Avec  $n_c$  la concentration d'électron au milieu du film.

Ensuite, ils proposent une interpolation de la charge d'inversion en inversion faible (i.e. (II.14)) à toutes les régions de fonctionnement du dispositif. Cette interpolation se présente de la manière suivante :

$$Q_m = e \cdot n_c \cdot \frac{t_{Si}}{2} \cdot e^f \quad (\text{II.15})$$

Avec  $f$  désignant un facteur de correction qui vaut 1 en faible inversion et 0 en forte inversion [90].

Dans un second temps, ils considèrent que la charge d'inversion peut être calculée à partir de la condition aux limites suivante :

$$V_g - \Delta\Phi_{ms} + f \cdot \frac{k \cdot T}{e} \cdot \ln(e \cdot n_c \cdot t_{Si}) = \frac{Q_m}{2 \cdot C_{ox1}} + \frac{k \cdot T}{e} \cdot \ln(Q_m) \quad (\text{II.16})$$

Pour obtenir une solution de (II.16), les auteurs utilisent la fonction de Lambert  $W$ . Ceci conduit à une expression de la charge d'inversion en fonction de  $W_0$  qui est la branche principale de la fonction de Lambert  $W$ . Une résolution numérique permet de calculer  $W_0$ .

Finalement, le calcul du courant se fait de manière classique ; c'est la somme d'un courant de conduction et d'un courant de diffusion [90] :

$$I_d = \frac{2 \cdot \mu \cdot W}{L} \cdot C_{ox1} \cdot \left( \frac{k \cdot T}{e} \right)^2 \cdot \left[ \frac{Q_{msd}^2 - Q_{msr}^2}{2} + (Q_{msd} - Q_{msr}) \right] \quad (\text{II.17})$$

## Chapitre II

L'avantage de ce modèle réside dans le fait qu'une seule équation de la charge d'inversion et du courant permet de décrire toutes les régions de fonctionnement. La solution du courant de drain (cf. (II.17)) est d'ailleurs formulée de manière relativement simple. Cependant, le modèle souffre de l'absence d'expression analytique explicite de  $W_0$ . Le modèle est validé pour un MOSFET double-grille à canal long de  $2\mu m$  et pour des épaisseurs de film comprises entre 50 et  $10nm$ . Les effets quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés [90].

### Modèle de B. Iñiguez

B. Iñiguez a développé un modèle compact de MOSFET double-grille à canal long et pour un film de silicium fortement dopé [91]. Le modèle prend en compte le phénomène d'inversion volumique. Il a modélisé les effets capacitifs extrinsèques [91] en adoptant les travaux réalisés dans [96] pour le MOSFET bulk à la structure MOSFET double-grille. Dans ses travaux, B. Iñiguez a également repris l'approche de Y. Taur [87] où l'on a recours à des calculs itératifs – puis a développé une approche prenant en compte les effets canaux courts [51] ainsi que le comportement à haute fréquence [50-52]. Le modèle pour les effets canaux courts est validé pour des longueurs de grille de  $20nm$  et des épaisseurs de film de silicium comprises entre 20 et  $5nm$  [51]. Les effets quantiques sont également pris en compte [53]. Le modèle est généralement formulé de manière simple. L'unique contrainte réside dans l'usage de processus itératif pour le calcul de la tension de seuil [51].

### II.5 Bilan et intérêt d'un nouveau modèle

Modèle compact Caractéristiques des modèles	Y. Taur	PSP	B. Iñiguez	F.A. Fjølby	LETI	J. Fossum
Simplicité du modèle	+	-	+	+/-	+	-
Formulation explicite	+/-	+	+	+	+	-
Prise en compte des effets canaux courts	+	+	+	+	+	+
Prise en compte du comportement dynamique	+	+	+	+	+	+
Prise en compte des effets quantiques	-	+	+	-	-	+
Gamme de validation L/W	70nm/10nm	30nm/10nm	70nm/10nm	-	30nm/10nm	50nm/1nm

*Tableau II-4 : Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique*

## Chapitre II

---

Dans ce chapitre, nous avons présenté les propriétés électriques du MOSFET double-grille. Plus précisément, nous avons constaté que grâce au contrôle du canal par les deux grilles, la pénétration des lignes de champs dans le sens latéral se réduit. Ceci explique l'aptitude intrinsèque de ces composants à suivre la tendance continue de miniaturisation des dispositifs.

Ensuite, nous avons dressé une liste des principaux modèles compacts du transistor MOS double-grille en mode de fonctionnement symétrique. Cette liste, ainsi que nous l'avons déjà soulignée, n'est pas exhaustive ; nous avons indiqué les modèles nous paraissant les plus intéressants.

En résumé, le Tableau II.4 regroupe les différentes caractéristiques des modèles compacts du MOSFET double-grille symétrique.

Si nous envisageons les trois catégories de modèles compacts – les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge, nous remarquons, d'une part, que les modèles en tension de seuil, en raison de la définition d'un courant de drain pour chaque région de fonctionnement, souffrent de problème de précision en inversion modérée.

Ceci conduit malheureusement au fait qu'ils sont généralement peu adaptés à la conception de circuits surtout si l'on travaille autour de cette région (en microélectronique analogique et mixte).

D'autre part, si nous examinons les modèles en potentiel de surface, nous remarquons que le problème de précision noté généralement sur les modèles en tension de seuil en inversion modérée n'est pas observé. Ces modèles décrivent avec une grande précision le comportement du dispositif MOSFET double-grille symétrique en tenant compte de nombreux effets physiques, ce qui les rend intéressants, ceci surtout pour le physicien du composant. Toutefois, aussi précis qu'ils soient, ces modèles, par leur complexité ne répondent qu'imparfaitement aux besoins des concepteurs de circuits intégrés. Outre cette complexité, ces modèles en potentiel de surface, voire également les deux modèles en charge (i.e. celui de J. He et celui de B. Iñíguez), sont bâtis sur des solutions implicites (cf. Tableau II.4). Ceci malheureusement les rend relativement moins intéressants pour le concepteur de circuits. En effet, ce dernier souhaite utiliser des modèles simples, précis, « lisibles », et qui ne requièrent pas un temps de calcul coûteux lors des simulations de circuits à forte densité d'intégration.

### **II.6 Conclusion**

Pour conclure, nous pouvons souligner que le transistor MOS double-grille est intéressant compte tenu des performances électriques qu'il offre. La difficulté majeure dans son développement se situe au niveau technologique. Plus précisément, concernant le transistor MOS double-grille planaire, la difficulté est l'alignement des deux grilles.

## Bibliographie

---

- [1] Semiconductor Industry Association (SIA), “*National Technology Roadmap for Semiconductors*”, 2004.
- [2] C. Fiegna, H. Iwai, T. Wada, T. Saito, E. Sangiorgi, B. Ricco, “*A new scaling methodology for the 0,1-0,025  $\mu$  m MOSFET*”, VLSI Technology, pp. 33-34, 1993.
- [3] D. Frank, S. Laux, M. Fischetti, “*Monte Carlo simulation of a 3 nm dual-gate MOSFET: how short can Si go?*”, IEDM Technical. Digest., pp. 553-556, 1992.
- [4] E. J. Nowak, T. Ludwig, I. Aller, J. Kedzierski, M. Jeong, B. Rainey, M. Bretwisch, V. Gernhoefer, J. Keinert, D.M. Fried, “*Scaling beyond the 65 nm node with FinFET-DG CMOS*”, IEEE CICC, pp. 339-342, 2003.
- [5] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak, K. De Meyer, “*Analysis of the parasitic S/D Resistance in multiple-gate FETs*”, IEEE Trans. On Electr. Dev., pp. 1-9, 2005.
- [6] H.-S. Wong, K.K. Chan, Y. Taur, “*Self-aligned (top and bottom) double-gate MOSFET with a 25 nm thick silicon channel*”, IEDM, pp. 427-430, 1997.
- [7] H.-S Wong, D. Frank, Y. Taur, J. Stork, “*Design and performance considerations for sub-0,1  $\mu$  m double-gate SOI MOSFET'S*”, IEDM Technical Digest., pp.747-750, 1994.
- [8] J. Denton, G. Neudeck, “*Fully depleted dual-gated thin-film SOI p MOSFET's fabricated in SOI islands with an isolated buried polysilicon backgate*”, IEEE Electron Device Letter, vol. 17, pp. 509-511, 1996.
- [9] K. Guarini, P. Solomon, Y. Zhang, K. Chan, E. Jones, G. Cohen, A. Krasnoperova, M. Ronay, O. Dokumaci, J. Bucchignano, C. C. Jr., C. Lavoie, V. Ku, D. Boyd, K. Petrarka, I.Babich, J. Treichler, P. Kozlowski, J. Newbury, C.P. D'Emic, R. Sicina, H.-S. Wong, “*Tripleself- aligned, planar double-gate MOSFET's: devices and circuits*”, IEDM Tech. Digest., pp. 425-428, 2001.
- [10] P. Salomom, K. Guarini, Y. Zhang, K. Chan, E. Jones, G. Cohen, A. Krasnoperova, M.Ronay, O. Dokumaci, H. Hovel, J. Bucchignano, C. Cabral, C. Lavoie, V. Ku, D. Boyd, K.Petrarka, J. Yoon, I. Babich, J. Treichler, J. Newbury, C. D'Emic, R. Sicina,

## Bibliographie

---

- J. Benedict, H.-S. Wong, “*Two gates are better than one*”, IEEE Circuits Devices Mag., pp. 48-62, 2003.
- [11] J.-H. Lee, G. Tarashi, A. Wei, T. Langdo, E.A. Fitzgerald, D. Antoniadis, “*Super self-aligned double-gate (SSDG) MOSFETs utilizing oxidation rate difference and selective epitaxy*”, IEDM Tech. Digest, p. 71, 1999.
- [12] J.P. Colinge, M.H. Gao, A. Romano-Hodriguez, H. Maes, C. Claeys, “*Silicon on insulator gate all around device*”, IEDM, pp. 595-598, 1990.
- [13] S. Monfray, T. Sckotnicki, Y. Morand, S. Descombes, P. Coronel, P. Mazoyer, S. Harrison, P. Ribot, A. Talbot, D. Dutartre, M. Haond, R. Palla, Y. Le Friec, F. Leverd, M-E. Nier, C. Vizizoz, D. Louis, “*50nm- Gate All Around (GAA) - Silicon on Nothing (SON) - Devices: A simple way to Co-integration of GAA Transistors within bulk MOSFET process*”, IEEE Symposium on VLSI Tech. Digest. Of Technic. Papers, pp. 108-109, 2002.
- [14] J. Widiez, et al., «*Expérimental gate misalignment analysis on double-gate SOI MOSFETs*», Proceedings IEEE International SOI Conference, pp. 185-186, 2004
- [15] M. Vinet, et al. “*Bonded planar double-metal-gate NMOS transistors down to 10nm*”, IEEE Transactions on Electron Devices, vol. 26, no. 5, pp. 317-319, 2005
- [16] J. S. Martin, «*Étude par simulation Monte-Carlo d’architectures de MOSFET ultracourts à grille multiple sur SOI* », Thèse de Doctorat, Université Paris XI Orsay, 2005
- [17] S. Monfray, “*Conception et réalisation de dispositifs CMOS en technologie SON*”, Thèse de doctorat, Université de Provence, 2003.
- [18] S. Harrison, “*Dispositifs GAA en technologie SON: conception, caractérisation et modélisation en vue de l’intégration dans les noeuds CMOS avancés*”, Thèse de doctorat, STMicroelectronics et Université de Provence, 2005.
- [19] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, F. Masuoka, “*High performance CMOS surrounding gate transistor (SGT) for ultra high density VLSIs*”, IEDM, p.222, 1988.

## Bibliographie

---

- [20] C. P. Auth, J.D. Plummer, “*Vertical fully-depleted, surrounding gate MOSFET’s on sub-0,1  $\mu$  m thick silicon pillars*”, IEEE Device Research Conference, pp. 108-109, 1996.
- [21] J.M. Hergenrother, D. Monroe, F.P. Klemens, A. Kornblit, G.R. Weber, W.M. Mansfield, M.R. Baker, F.H. Baumann, K.J. Bolan, J.E. Bower, N.A. Ciampa, R.A. Cirelli, J.I. Colonell, R.N. Kleiman, W.Y.-C. Lai, J. T.-C. Lee, R.C. Liu, H.L. Maynard, M.D. Morris, S.-H. Oh, C.-S. Pai, C.S. Rafferty, J.M. Rosamilia, T.W. Sorsch, H.-H. Vuong, “*The vertical Replacement-Gate (VRG) MOSFET: a 50-nm Vertical MOSFET with lithography-independent gate length*”, IEDM Tech. Digest., pp. 75-78, 1999
- [22] J.M. Hergenrother, G.D. Wilk, T. Nigam, F.P. Klemens, D. Monroe, P.J. Silverman, T.W. Sorsch, B. Busch, M.L. Green, M.R. Baker, T. Boone, M.K. Bude, N.A. Ciampa, E.J. Ferry, A. T. Fiory, S.J. Hillenius, D.C. Jacobson, R.W. Johnson, P. Kalavade, R.C. Keller, C.A. King, A. Kornblit, H.W. Krautter, J.T.-C. Lee, W.M. Mansfield, J.F. Miner, M.D. Morris, Sang-Hyun Oh, J.M. Rosamilia, B.J. Sapjeta, K. Short, K. Steiner, “*50 nm vertical Replacement-Gate (VRG) n-MOSFETs with ALD HfO<sub>2</sub> and Al<sub>2</sub>O<sub>3</sub> gate dielectrics*”, IEDM Tech. Digest., pp. 51-54, 2001.
- [23] J.M. Hergenrother, T. Nigam, D. Monroe, F.P. Klemens, A. Kornblit, W.M. Mansfield, M.R. Baker, D.L. Barr, F.H. Baumann, K.J. Bolan, T. Boone, N.A. Ciampa, R.A. Cirelli, D.J. Eaglesham, E.J. Ferry, A.T. Fiory, J. Frackoviak, J.P. Garno, H.J. Gossmann, J.L. Grazul, M.L. Green, S.J. Hillenius, R.W. Johnson, R.C. Keller, C.A. King, R.N. Kleiman, J.T.-C. Lee, J.F. Miner, M.D. Morris, C.S. Rafferty, J.M. Rosamilia, K. Short, T.W. Sorsch, A.G. Timko, G.R. Weber, G.D. Wilk, J.D. Plummer, “*50 nm Vertical Replacement Gate (VRG) p-MOSFETs*”, IEDM Tech. Digest., pp. 65-68, 2000.
- [24] C.P. Auth, “*Physics and technology of vertical surround gate MOSFETs*”, PhD Thesis, Stanford University, 1998
- [25] L. Risch, W.H. Krauschneider, F. Hofmann, H. Schafer, T. Aeugle, W. Rosner “*Vertical MOS Transistors with 70 nm channel length*”, IEEE, pp. 1495-1498, 1996.
- [26] D. Behammer, L. Vescan, R. Loo, J. Moers, A. Muck, H. Luth, T. Grabolla, “*Selectively grown vertical Si-p MOS transistor with short channel lengths*”, Electron Letter, vol. 32, no4, pp. 406-407, 1996.

## Bibliographie

---

- [27] K. De Meyer, M. Caymax, N. Collaert, R. Loo, P. Verheyen, "*The vertical heterojunction MOSFET*", Thin Solid Films, vol. 336, pp. 299-305, 1998.
- [28] M. Yang, C.-L. Chang, M. Carroll, J.C. Sturm, "*25 nm p channel vertical MoSFETs with SiGe source drains*", IEEE Electron Device Letter, vol. 20, pp. 301-303, 1999.
- [29] T. Schulz, W. Rosner, L. Risch, U. Langmann, "*50 nm vertical Sidewall Transistors with high channel doping concentrations*", IEDM, pp. 61-64, 2000.
- [30] T. Schulz, W. Rosner, L. Risch, E. Landgraf, A. Korbel, "*Short-channel vertical sidewall MOSFETs*", IEEE, pp. 1783-1788, 2001.
- [31] T. Schulz, W. Rosner, E. Landgraf, L. Risch, U. Langmann, "*Planar and vertical gate concepts*", Solid State Electronics, pp. 985-989, 2002.
- [32] J. Kedzierski, et al., "*High-performance symmetric-gate and CMOS compatible Vth asymmetric-gate FinFET devices*," Proc. IEDM, p. 437, 2001
- [33] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda, "*A fully Depleted Lean-Channel Transistor (DELTA). A Novel Vertical Ultrathin SOI MOSFET*", IEEE Electron Device Letters, vol. 11, no1, pp. 36-38, 1990.
- [34] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda, "*Impact of the vertical SOI "DELTA" structure on planar device technology*", IEEE transactions on Electron Device, vol. 38, no6, pp. 1419-1424, 1991.
- [35] M. Kubota, T. Tamaki, K. Kawamoto, E. Takeda, "*New SOI CMOS process with selective oxidation*", IEDM, pp. 814-816, 1986.
- [36] S.C. Arney, N.C. MacDonald, "*Formation of submicron silicon-on-insulator structures by lateral oxidation of substrate-silicon islands*", J. Vac. Sci. Technol.,B, vol. 6, no1, pp. 341- 344, 1988.
- [37] D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, Tsu-Jae King, J. Bokor, Chen-ming Hu, "*A Folded channel MOSFET for deep sub tenth micron Era*", IEDM Technical Digest., p. 1032, 1998.

## Bibliographie

---

- [38] X Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, C.-M. Hu, “*Sub-50 nm FinFET: pMOS*”, IEDM Technical Digest. International, pp. 67-70, 1999.
- [39] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K.-Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, C.-M Hu, “*Sub-50 nm p-channel FinFET*”, IEEE Transactions on Electron Devices, vol.48, Issue:5, pp. 880-886, 2001.
- [40] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.- J. King, J. Bokor, C.-M. Hu, “*FinFET a self aligned double gate MOSFET scalable to 20 nm*”, IEEE Transaction on Electron Devices, vol. 47, no12, pp. 2320-2326, 2000.
- [41] Y.-K. Choi, N. Lindert, P. Xuan, S. Tang, D. Ja, E. Anderson, T.-J. King, J. bokor, C.M. Hu “*Sub-20 nm CMOS FinFET technologies*”, Electron Devices Meeting, IEDM Technical Digest. International Letters, vol. 23, no1, pp. 19.1.1-19.1.4, 2001.
- [42] Y.-K. Choi, T.-J. King, C. Hu, “*Nanoscale CMOS spacer FinFET for the terabit era*”, IEEE Electron Device Letters, vol.23, no1, pp. 25-27, 2002.
- [43] D.M. Fried, A. Johnson, E. Novak, J. Rankin, C. Willets, “*A sub-40nm body thickness n type FinFET*”, Proceedings of the Device Research Conference, pp. 24-25, 2001.
- [44] N. Lindert, L. Chang, Y.-K Choi, E. Anderson, W.-C. lee, T.-J. King, J. Bokor, C. Hu, “*Sub-60nm quasi-planar FinFETs fabricated using simplified process*”, IEEE Electron Device Letters, vol. 22, pp. 487-489, 2001.
- [45] J. Kedzierski, D.M. Fried, E.J. Novak, T. Kanarski, J.H. Rankin, H. Hanafi, W. Natzle, D. Boyd, Y. Zhang, R.A. Roy, J. Newbury, C. Y. Yu, Q. Yang, P. Saunders, C.P. Willets, A. Johnson, S.P. Cole, H.E. Young, N. Carpenter, D. Rakowski, B. A. Rainey, P.E. Cottrell, M. Jeong, H.-S.P. Wong, “*High performance symmetric gate and CMOS compatible  $V_t$  assymmetric gate FinFET Devices*”, IEDM Techn. Digest., pp. 437-440, 2001.
- [46] Y.-K Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T.-J. King, J. Bokor, C. Hu, “*Sub-20 nm CMOS FInFET technologies*”, IEDM Techn. Digest., pp. 421-424, 2001.

## Bibliographie

---

- [47] J. Kedzierski, M. Jeong, E. Novak, T.S. Kanarsky, Y. Zhang, R. Roy, D. Boyd, D. Fried, S. P. Wong, “*Extension and source/drain design for high performance FinFET devices*”, IEEE Trans. On Elect. Dev., vol. 50, no 4, pp. 952-958, 2003.
- [48] D. Ha, H. Takeuchi, Y.-K. choi, T.-J. King, “*Molybdenum gate technology for ultrathin - body MOSFETs and FinFETs*”, IEEE Trans. On Elect. Dev., vol. 51, no12, pp. 1989-1996, 2004.
- [49] B. Yu, L. Chang, S. Ahmed, H. Wang, S. Bell, C. Yang, C. Tabery, C. Hau, Qi Xiang, T.-J. King, J. Bokor, C. Hu, M.-R. Lin, and D. Kyser, “*FinFET scaling to 10 nm length*”, IEDM, pp. 252-254, 2002.
- [50] S. Parihar, M. Angyal, B. Boeck, D. Reber, A Singhal, T. Van Gompel, R. Li, B. Wilson, M. Wright, J. Chen, P. Grudowski, Y. Jeon, W. Qi, X. Bai, L. Parker, K. Strozewski, D. Smith, S. Roling, T. Sparks, T. Stephens, F. Huang, R. Mora, m. Aminpur, K. Hellig, I. Vishnubhotla, Y. Solomentsev, V. Arunachalam, A. Phillips, K. Junker, S. Filipiak, N. Ramani, M. Turner, M. Rendon, J. Molloy, K. Mc Guffin, A. Michel, R. Pena, D. Rose, J. Schmidt, M. Smith, M. Wilson, L. Terpolilli, P. Le, J. Sun, R. Ros, K. Yu, M. Hall, P. Ingersoll, M. Woo, G. Yeap, C. Lage, “*A high density 0,10  $\mu$  m CMOS technology using low k-dielectric and copper interconnect*”, IEDM, pp. 249-259, 2001.
- [51] N. Collaert, A. Dixit, M. Goodwin, K.G. Anil, R. Rooyackers, B. Degroote, L.H.A. Leunissen, A. Veloso, R. Jonckheere, K. De Meyer, M. Jurczak, S. Biesemans, “*A functional 41- stage ring oscillator using scaled FinFET devices with 25-nm gate lengths and 10-nm fin widths applicable for the 45-nm CMOS node*”, IEEE, Electron Device Letters, vol. 25, no8, pp. 568-570, 2004.
- [52] S.-F. Huang, C. Wann, Y.-S. Huang, C.-U. Lin, T. Schafbauer, S.-M. Cheng, Y.-C. Cheng, D. Vietzke, M. Eller, C. Lin, Q. Ye, N. Rovedo, S. Biesemans, P. Nguyen, R. Dennard, and B. Chen, IEDM 2001, pp. 237-240, 2001
- [53] ITRS “*Semiconductor Industry Association The international roadmap for semiconductors, web site,*” <http://www.semichips.org>, 2005
- [54] J. Colinge, “*Silicon-on-insulator technology: Materials to VLSI,*” ISBN 1-4020-77734, Kluwer Academic Publishers, 3<sup>rd</sup> P edition, 1997

## Bibliographie

---

- [55] H. S. P. Wong, D. J. Frank, P. M; Solomon, C. H. Wann, and J. J. Welser, “Nanoscale CMOS, “ in Proc. IEEE, vol. 87, n° 4, pp. 537-569, 1999
- [56] KK Young, “*Analysis of conduction in fully-depleted SOI MOSFETs*”, IEEE Transactions on Electron Devices, vol. 36, no. 3, pp. 504-506, 1989
- [57] R. H. Yan, A. Ourmazd, and K. F. Lee, “*HTScaling the Si MOSFET: from bulk to SOI to bulkTH*,” IEEE Transactions on Electron Devices, vol. 39, pp. 1704, 1992
- [58] F. Prégaldiny, « *Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques*», Thèse de Doctorat, Université Louis Pasteur, Strasbourg I, no. 4460, 2001
- [59] A.Terao, D. Flandre, and F. Van de wiele, “*Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors*,” IEEE Electron Device Letters, vol. 12, no. 12, pp. 682- 684, 1991
- [60] Mingchun TANG « *études et Modélisation Compacte du Transistor FinFET* »,Thèse de Doctorat, Université de Strasbourg, no.401,2009
- [61] J.P. Colinge, “*Evolution of SOI MOSFETs: from single gate to multiple gates*”, MRS Spring Meeting Proceedings vol. 765, 2003
- [62] F. Balestra, et al., “*Double-gate Silicon-on-Insulator transistor with volume inversion: a new device with greatly enhanced performance*,” IEEE Electron Device Letters, vol. 8, no. 9, 1987
- [63] P. Francis, A. Terao, D. Flandre, et al., “*Characteristics of nMOS/GAA (Gate-All-Around) transistors near threshold*,” Proc. ESSDERC'92, Microelectronics Engineering, Elsevier, vol. 19, pp. 815-818, 1992
- [64] P. Francis, A. Terao, D. Flandre, et al., “*Modeling of ultrathin double-gate nMOS/SOI transistors*,” IEEE Transactions on Electron Devices, vol. 41, no. 5, pp. 715-720, 1994
- [65] P. Francis, A. Terao, D. Flandre, and F. Van de Wiele, “*Weak inversion models for nMOS Gate-All-Around (GAA) devices*,” Proc. ESSDERC'93, Editions Frontières, pp.621-623, 1993

## Bibliographie

---

- [66] P. Francis, A. Terao, D. Flandre, et al., “*Moderate inversion models for nMOS Gate-All-Around (GAA) devices,*” *Solid-State Electronics*, vol. 38, no. 1, pp. 171-176, 1995
- [67] R. Ritzenthaler, « *Architectures avancées des transistors FinFETs : Réalisation, caractérisation et modélisation* », Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2006
- [68] H. S. Wong, M. H. White, T. J. Krutsck, et al., “*Modeling of transconductance degradation and threshold voltage in thin oxide MOSFETs,*” *Solid-State Electronics*, vol. 30, no. 9, pp. 953, 1987
- [69] A.Terao, D. Flandre, and F. Van de wiele, “*Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors,*” *IEEE Electron Device Letters*, vol. 12, no. 12, pp. 682- 684, 1991
- [70] E. Raully, B. Iniguez, D. Flandre, et al., “*Investigation of single and double-gate SOI MOSFETs in accumulation mode for enhanced performances and reduced technological drawbacks,*” *Proc. ESSDERC’00*, pp. 540-543, 2000
- [71] W. Xiong, J.W. Park, and J. P. Colinge, “*Corner effect in multiple-gate SOI MOSFETs,*” *Proc. of the IEEE International SOI Conference*, pp. 111-113, 2003
- [72] J. S. Martin, « *Étude par simulation Monte-Carlo d’architectures de MOSFET ultracourts à grille multiple sur SOI* », Thèse de Doctorat, Université Paris XI Orsay, 2005
- [73] N. Arora, “*MOSFET models for VLSI circuit simulation. Theory and practice,*” New York, Springer-Verlag, ISBN 3-211-82395-6, 1993
- [74] M. Bucher, “*Analytical MOS transistor modelling for analog circuit simulation,*” Ph.D. dissertation, EPFL, these no. 2114, 1999
- [75] C. Lallement, « *Le transistor MOSFET : Etudes, modélisation, et applications dans les S.O.C* », habilitation à diriger des recherches, Université Louis Pasteur, Strasbourg, 2002
- [76] Y. Tsvividis, “*Operation and modeling of the MOS transistor,*” New York: McGraw-Hill Book Company, ISBN 0-19-517014-8, 1987

## Bibliographie

---

- [77] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, et al., “A review of core compact models for undoped double-gate SOI MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 54, no. 1, pp. 131-140, 2007
- [78] K. Kim and al., “Process/physics-based threshold voltage model for nano-scaled double-gate devices,” *Int. J. Electronics*, vol. 91, no. 3, pp. 139-148, 2004
- [79] L. Ge, and J. G. Fossum, “Analytical modeling of quantization and volume Inversion in thin Si-film DG MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 49, no. 2, pp. 287-294, 2002
- [80] J. G. Fossum, L. Ge, and M-H Chiang, “Speed superiority of scaled double-gate CMOS,” *IEEE Transactions on Electron Devices*, vol. 49, no. 5, pp. 808-811, 2002
- [81] S-H. Kim, J. G. Fossum, and J-W. Yang, “Modeling and significance of fringe capacitance in nonclassical CMOS devices with gate–source/drain underlap,” *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 2143-2150, 2006
- [82] M. Reyboz, « *Modélisation analytique de transistors double grille à effet de champ en technologie sub-45nm* », Thèse de l’INP Grenoble, 2007
- [83] A. Ortiz-Conde, F. J. García-Sánchez, and J. Muci, “Rigorous analytic solution for the drain–current of undoped symmetric dual-gate MOSFETs,” *Solid-State Electronics*, vol. 49, no. 4, pp. 640-647, 2005
- [84] Y. Taur, X. Liang, W. Wang, et al., “A continuous, analytic drain–current model for DG MOSFETs,” *IEEE Electron Device Letters*, vol. 25, no. 2, pp. 107-109, 2004
- [85] G. Baccarani, and S. Reggiani, “A compact double–gate MOSFET model comprising quantum mechanical and nonstatic effects,” *IEEE Transactions on Electron Devices*, vol. 46, no. 8, pp. 1656-1666, 1999
- [86] R. F. Pierret and J. A. Shields, “Simplified long-channel MOSFET theory,” *Solid-State Electronics*, vol. 26, no. 2, pp. 143-147, 1983
- [87] Y. Taur, “An analytical solution to a double-gate MOSFET with undoped body,” *IEEE Electron Device Letters*, vol. 21, no. 5, pp. 245-247, 2000
- [88] Y. Taur, “Analytic solutions of charge and capacitance in symmetric and asymmetric double-gate MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 48, no. 12, pp. 2861-2869, 2001

## Bibliographie

---

- [89] H. Lu, and Y. Taur, “*An Analytic Potential Model for Symmetric and Asymmetric DG MOSFETs,*” IEEE Transactions on Electron Devices, vol. 53, no. 5, pp. 1161-1168, 2006
- [90] X. Liang, and Y. Taur, “*A 2-D Analytical Solution for SCEs in DG MOSFETs,*” IEEE Transactions on Electron Devices, vol. 51, no. 8, pp. 1385-1391, 2004
- [91] O. Moldovan, A. Cerdeira, D. Jiménez, et al., “*Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications,*” Solid-State Electronics, vol. 51, pp. 655-661, 2007
- [92] A. Lazaro, B. Iñiguez, “*RF and Noise Performance of Multiple-Gate SOI MOSFETs,*” Proceedings of the 1st European Microwave Integrated Circuits Conference, Manchester UK, 2006
- [93] H. A. E. Hamid, J. R. Guitart, and B. Iñiguez, “*Two-dimensional analytical threshold voltage and subthreshold swing models of undoped symmetric double-gate MOSFETs,*” IEEE Transactions on Electron Devices, vol. 54, no. 6, pp. 1406-1408, 2007
- [94] B. Iñiguez, T. A. Fjeldly, A. Lázaró, et al., “*Compact-modeling solutions for nanoscale double-gate and Gate-All-Around MOSFETs,*” IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2128-2142, 2006
- [95] A. Laizaro, B. Nae, O. Moldovan, et al., “*A compact quantum model of nanoscale double-gate MOSFET for RF and noise simulations,*” Journal of Applied Physics, vol.100, no. 8, pp. 355-358, 2006
- [96] F. Prégaldiny, C. Lallement, and D. Mathiot, “*A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs,*” Solid-State Electronics, vol. 46, no. 12, pp. 2191-2198, 2002

# Sommaire du chapitre III

III. L'outil de simulation – TCAD.....	110
III.1 Les contraintes de la résolution numérique .....	110
III.1.1 Le maillage.....	110
III.1.2 Stratégie de calcul.....	111
III.2 La simulation numérique du MOSFET double-grille.....	112
III.3 Choix de paramètres technologiques pour le MOSFET double-grille.....	114
III.4 Résultats de simulation.....	116
III.4.1 Variation de l'épaisseur de l'oxyde pour $T_{ox}=1\text{nm}$ , $1.5\text{nm}$ et $2\text{nm}$ ...	117
III.4.2 Influence de la variation de la longueur de la grille sur le courant du drain du DGFET .....	119
III.4.3 Effets de la Variation de la concentration $N_D$ et $N_A$ sur le courant $I_d$	120
III.4.3.1 Effets de la Variation de la concentration $N_D$ sur le courant $I_d$ source/drain.....	120
III.4.3.2 Dopage du film ( $N_A$ ).....	122

## **Chapitre III**

### **Résultats de simulation numérique du MOSFET double-grille planaire**

## Chapitre III

---

Après avoir présenté théoriquement la structure du DGFET symétrique, on se propose au sein de ce chapitre de présenter les résultats de simulation que nous avons obtenus et ceci par le biais du simulateur SILVACO, que nous nous proposons tout d'abord à présenter.

### III. L'outil de simulation – TCAD

Tout modèle compact se doit être rigoureusement validé par rapport à des données expérimentales. Mais dans le cas présent, ces données expérimentales sont couteuses, rares (peu de géométries différentes), difficiles à obtenir, et ne permettent pas toujours de bien comprendre la physique du dispositif (les aspects extrinsèques cachent ou modifient l'observation du comportement intrinsèque du dispositif). Dans ce cas présent, la simulation numérique se révèle plus intéressante.

L'un des intérêts d'un simulateur numérique est le gain de temps et les économies qu'ils permettent lors de la mise au point d'un produit. Ainsi, de nos jours, dans le but de réduire les coûts engendrés par une suite d'essais expérimentaux, les fabricants de circuits microélectroniques (ou fondeurs) simulent les procédés avant de passer à la fabrication elle-même.

Un autre intérêt des simulateurs est qu'ils sont des outils d'investigation scientifique. En effet, ils permettent d'observer des grandeurs physiques non accessible à l'expérience. En somme, à travers la précision des modèles physiques qu'ils intègrent, les simulateurs numériques fournissent une compréhension détaillée de l'aspect physique du fonctionnement des composants. Ils ont une réelle capacité à prédire les caractéristiques électriques des dispositifs futurs. Pour ces raisons, ils sont employés soit pour étudier la physique et la conception du dispositif, soit comme moyen de validation des modèles analytiques.

### III.1 Les contraintes de la résolution numérique

#### III.1.1 Le maillage

Les trois équations (l'équation de Poisson et les deux équations de continuité pour les électrons et les trous), à résoudre localement en tous points, sont des équations différentielles non linéaires couplées ( $n$  et  $p$  dépendent non linéairement du potentiel). Leur résolution ne peut se faire qu'en remplaçant les accroissements différentiels par des

## Chapitre III

---

accroissements finis. Pour les variations spatiales, ces accroissements sont ceux définis entre les nœuds d'une grille préalablement fixée.

La précision d'un calcul dans lequel on remplace des dérivés par un rapport d'accroissements est meilleure si les accroissements sont faibles. Il est donc clair que la précision des solutions fournies par le simulateur dépend du nombre de nœuds de la grille. D'un autre côté, le nombre de nœuds est limité par la capacité mémoire du calculateur ou bien le temps de calcul que l'on peut accepter. La définition du maillage est une étape très importante de la mise au point d'une simulation. Pour un nombre de nœuds identiques, la précision sera meilleure si le maillage est resserré dans les zones de forts gradients et donc relâché dans les zones où l'on peut prévoir que les variations spatiales seront faibles. Les simulateurs offrent sur ce principe des options de remaillage basées sur la structure initiale (gradient de dopage) ou sur le résultat d'un pré-calcul (gradient de potentiel par exemple). C'est à l'utilisateur d'estimer si le calcul a atteint une précision suffisante en se basant, par exemple, sur la stabilisation du résultat lorsque l'on augmente le nombre de nœuds.

### III.1.2 Stratégie de calcul

Les méthodes de calculs numériques mises en œuvre dans les simulateurs utilisent des techniques itératives dont la convergence n'est pas toujours assurée. Les plus connues sont celles de *Gummel* et de *Newton*. L'utilisateur est assez souvent confronté à des problèmes de convergence et doit se préoccuper de l'adéquation de la méthode mise en œuvre aux conditions particulières de sa simulation. En effet, l'efficacité des méthodes proposées varie avec le composant simulé et ses conditions de fonctionnement. Même si la convergence est obtenue, la vitesse de calcul peut être améliorée par une méthode de convergence plus performante.

Pour assurer la convergence des résultats, le pas de temps peut aisément être réduit. Généralement, ceci est réalisé de manière automatique à la suite d'un échec. La croissance du pas de temps en absence d'échec est réalisée également automatiquement, ceci afin d'accélérer le calcul d'une réponse temporelle. L'utilisateur doit cependant être attentif au paramétrage de la stratégie de gestion du pas de temps car un taux d'échec élevé est pénalisant du point de vue du temps de calcul.

Ainsi pour comprendre le choix d'une méthode de calcul plus qu'une autre, regardons la différence entre les deux méthodes citées plus haut.

## Chapitre III

---

La méthode de *Newton* correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure (les équations de continuité pour les électrons et les trous et l'équation de Poisson).

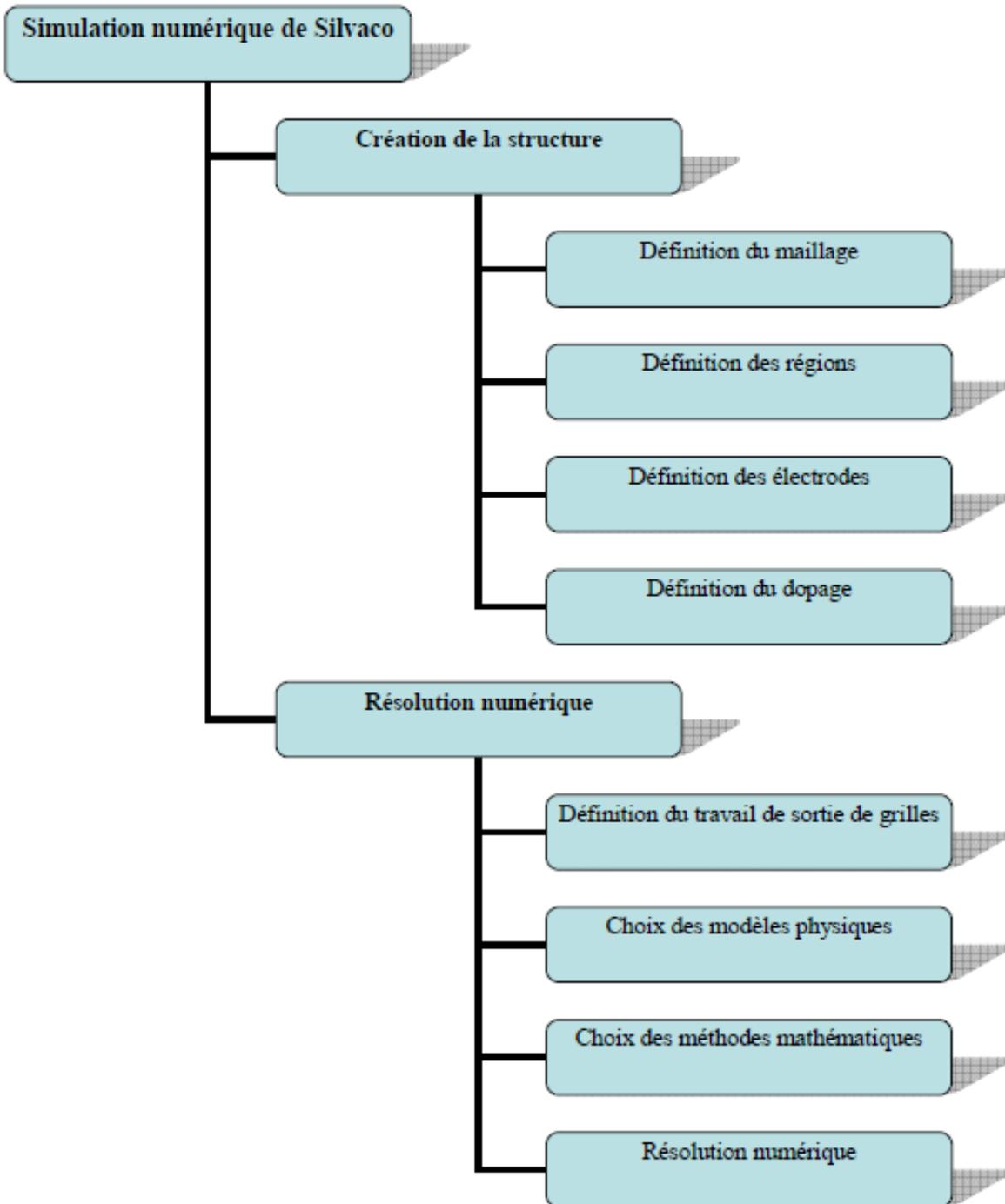
La méthode de *Gummel*, en revanche, consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de *Newton* réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet *a priori* de diminuer le temps de calcul. Dans toutes nos simulations, nous avons utilisé la méthode de *Gummel*.

### III.2 La simulation numérique du MOSFET double-grille

Nous avons réalisé des simulations numériques d'une structure MOSFET double-grille en 2D sous l'outil Atlas qui est un outil propriétaire de la société SILVACO.

Une simulation numérique dans Silvaco (ou tout outil TCAD) est constituée de deux étapes principales (Tableau III-1) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouver sa solution.

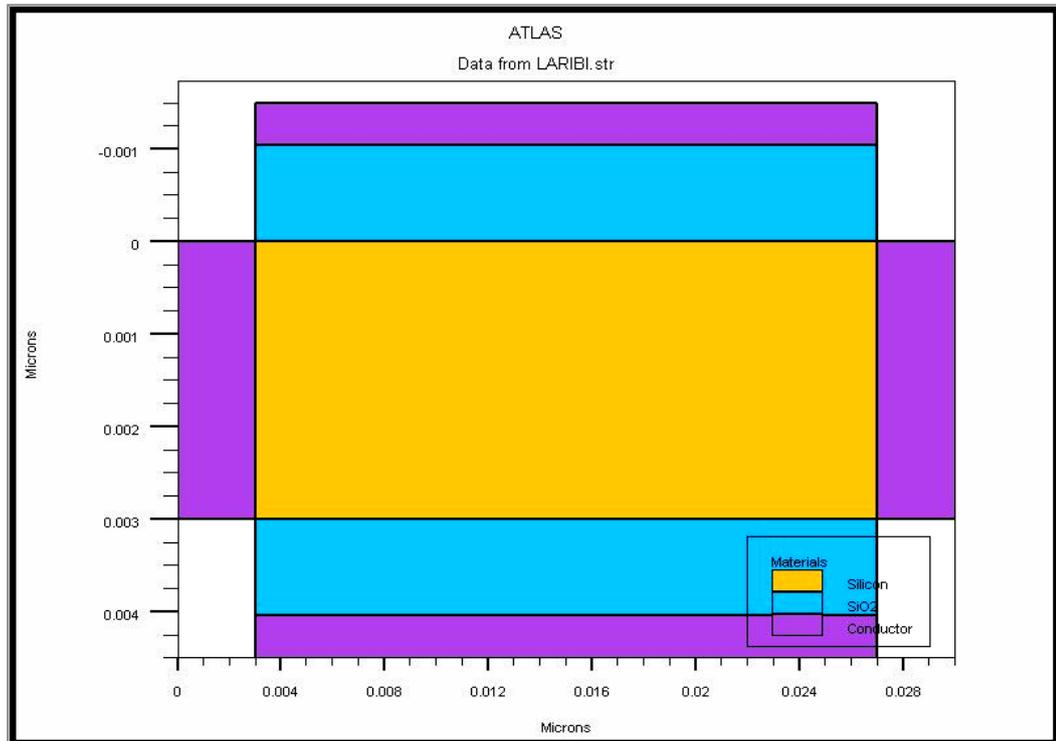
Le Diagramme de la simulation numérique par le logiciel de conception des dispositifs SILVACO est structuré comme suit :



*Tableau III-1 : Diagramme de la simulation numérique de Silvaco. [1]*

## III.3 Choix de paramètres technologiques pour le MOSFET double-grille

Afin de valider le modèle, nous avons élaboré une structure MOSFET double grille sur le simulateur électrique Atlas [2]. Outre son utilisation comme moyen de validation, cette structure nous a également permis de réaliser des études physiques des différents phénomènes perturbant le fonctionnement du dispositif MOSFET double-grille. La Figure III.1 montre la coupe transversale d'une des structures développées au cours des simulations 2-D.



*Figure III-1 : Structure du MOSFET double-grille développée sur Atlas,*

$$L_g = 24 \text{ nm}, t_{Si} = 3 \text{ nm}, t_{ox} = 1 \text{ nm}$$

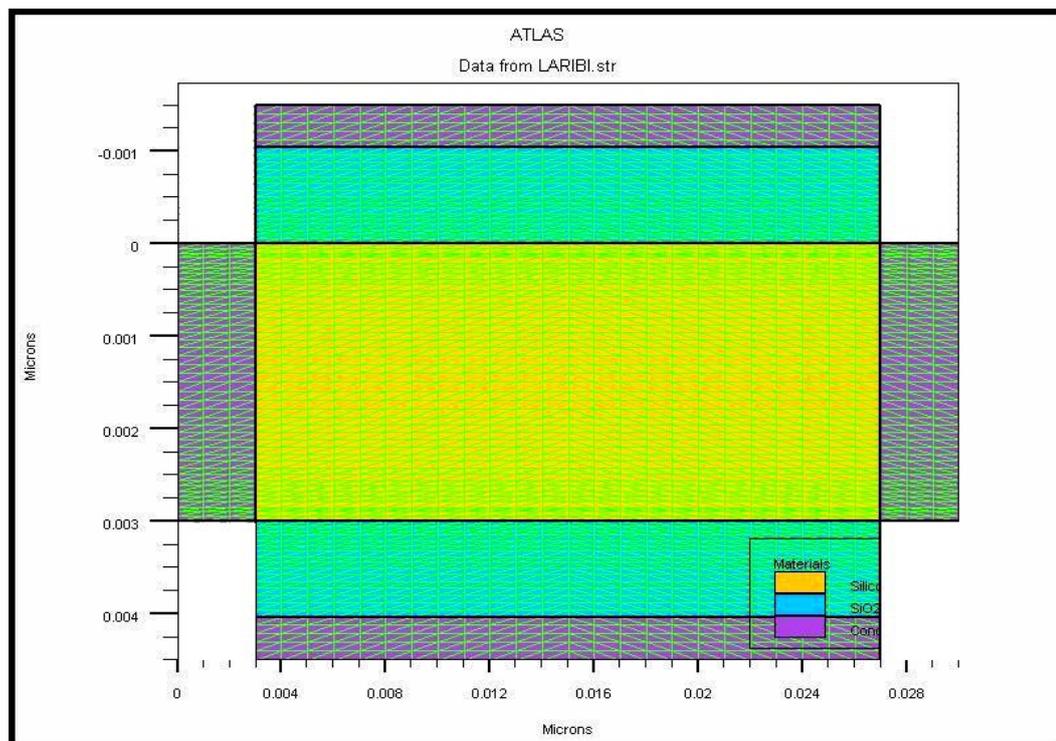
Les régions en couleur violette correspondent aux électrodes (i.e. la source, le drain et les deux grilles), les régions en couleur bleu correspondent aux couches d'oxyde et finalement la région en jaune représente le film de silicium. Le dispositif est de canal  $n$  avec des grilles en matériaux de type midgap.

Nous avons considéré les paramètres de silicium fixés par défaut dans le simulateur Atlas à la température de 300K : l'affinité électronique  $\chi_{Si} = 1.0 \text{ eV}$ , le gap d'énergie  $E_g = 1.08 \text{ eV}$ , les densités respectives de la bande de conduction  $N_C = 2.810^{19} \text{ cm}^{-3}$  et de la bande de

## Chapitre III

valence  $N_V = 1.0410^{19} \text{cm}^{-3}$ . Enfin la concentration intrinsèque de charge  $n_i = 1.15 \cdot 10^{10} \text{cm}^{-3}$ . Nous avons également considéré les régions de source et de drain fortement dopées  $N_D = 1.0 \cdot 10^{20} \text{cm}^{-3}$  car le modèle de courant considère les contacts de source et de drain métalliques afin de s'affranchir des résistances parasites des régions de source et de drain. Enfin, nous avons considéré des grilles métalliques situées au midgap  $\Phi_M = 4.612 \text{eV}$  et ayant une différence de travaux de sortie avec le silicium intrinsèque nulle  $\Delta\Phi_{ms} = \Delta\Phi = 0 \text{eV}$ . Le film de silicium est faiblement dopé (accepteurs)  $N_A = 1.0 \cdot 10^{18} \text{cm}^{-3}$ . Ce dopage est uniforme. Une fonction gaussienne décrit le profil de distribution des dopants au niveau des jonctions.

Ainsi que nous l'avons signalé dans la partie précédente, la précision est meilleure si le maillage est resserré dans les zones de forts gradients et donc relâché dans les zones où l'on peut prévoir que les variations spatiales seront faibles. La Figure III.2 présente le résultat du maillage défini sur le fichier de simulation de notre structure MOSFET double-grille. Nous observons que c'est bien au niveau des deux jonctions (i.e. source-canal et drain-canal) et des deux interfaces oxyde-silicium que le maillage est plus dense.



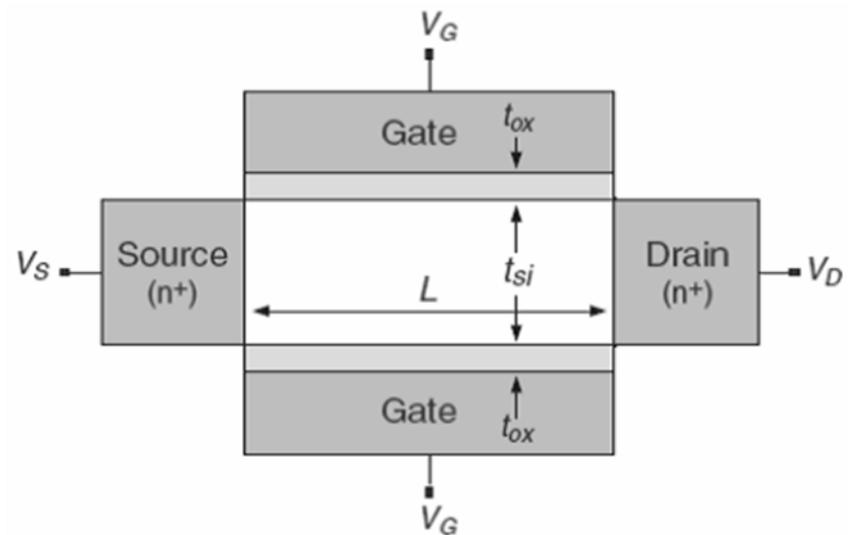
**Figure III-2:** Structure du NMOSFET double-grille : définition du maillage,  $L_g = 24 \text{nm}$ ,

$$t_{ox} = 1 \text{ nm}$$

### III.4 Résultats de simulation

Il existe différentes structures SDGFET. La figure III.3 représente le schéma de la structure simulée sert par atlas et le Tableau III.2 résume les paramètres technologiques et géométriques du transistor MOS double-grille simulé sur Atlas.

Nous avons créé plusieurs variantes d'une même structure, en modifiant l'épaisseur de l'oxyde ainsi que la longueur de la grille et le dopage.

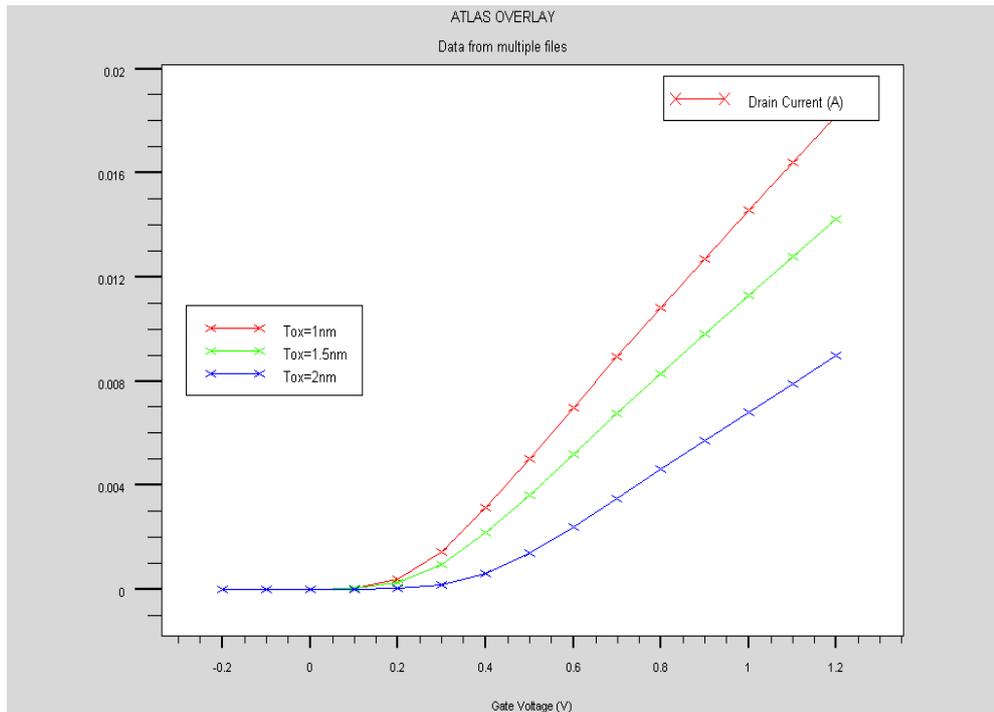


*Figure III-3: Structure du MOSFET double-grille servant de référence*

<i>Paramètres</i>	<i>Notations</i>	<i>Valeurs simulées</i>
<i>Epaisseur de la couche d'oxyde</i>	$t_{ox}$	1 à 2nm
<i>Epaisseur du film de silicium</i>	$t_{si}$	3nm
<i>Longueur de la grille</i>	$L_g$	24 a10nm
<i>Dopage du film (type p)</i>	$N_A$	$1.010^{18} \text{ cm}^{-3}$
<i>Dopage source /drain (type n)</i>	$N_D$	$1.0 \cdot 10^{20} \text{ cm}^{-3}$
<i>Distance grille/source et grille/drain LGS+LGD</i>	$LGS= LGD$	3 nm

**Tableau III-2:** Paramètres technologiques et géométriques du MOSFET double-grille canal court définis lors des simulations 2-D

### III.4.1 Variation de l'épaisseur de l'oxyde pour $T_{ox}=1\text{nm}$ , $1.5\text{nm}$ et $2 \text{ nm}$



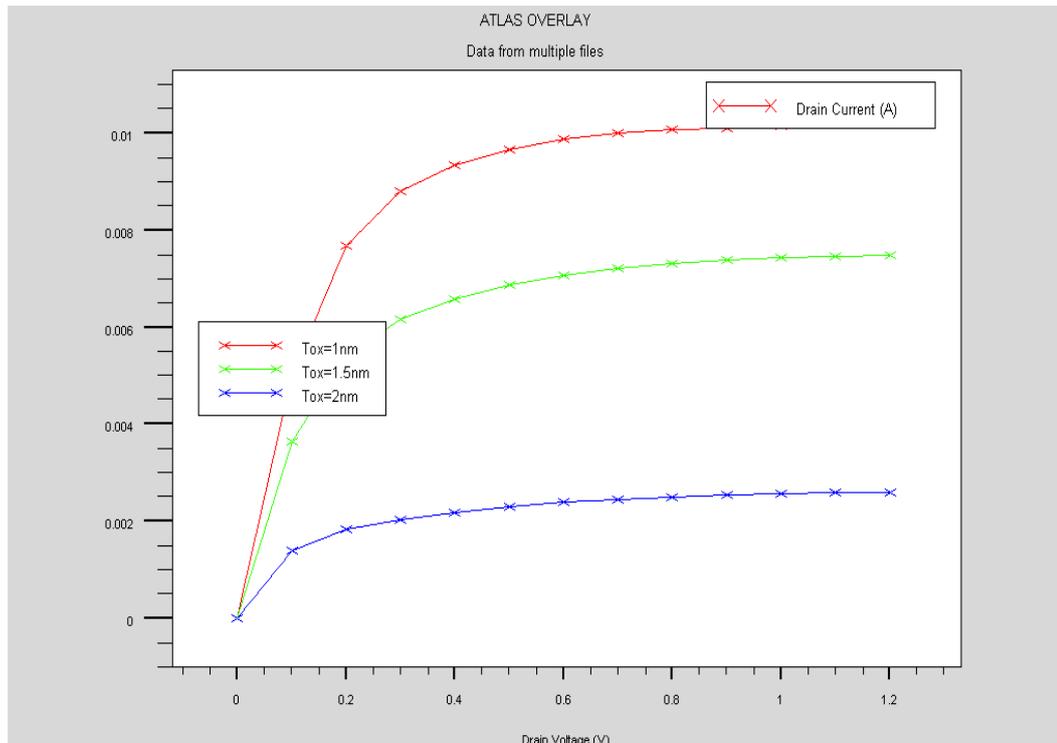
**Figure III.4 :** caractéristique  $I_d-V_g$  pour différentes épaisseurs d'oxyde

## Chapitre III

Notons tout d'abord que cette structure est symétrique, de ce fait  $t_{ox1}=t_{ox2}=t_{ox}$

Les résultats de simulation que nous avons obtenus lors de la variation de l'épaisseur de l'oxyde font l'objet de la figure III.4. Nous pouvons tout d'abord nous rendre compte du bon comportement du transistor dans toutes les régions de fonctionnement. En effet, la description du courant en échelles linéaire laisse clairement apparaître les deux niveaux d'inversion (faible et forte).

On peut observer l'influence du paramètre technologique  $t_{ox}$  sur le courant de drain. En effet, l'épaisseur de l'oxyde est directement liée à la pente de seuil c'est-à-dire que le courant de drain augmente lorsque l'épaisseur de l'oxyde diminue. Il en est de même pour sa transconductance qui augmente aussi lorsque l'épaisseur de l'oxyde diminue. De ce fait l'épaisseur de l'oxyde doit être la plus fine possible afin d'avoir un courant important. Une épaisseur de grille importante risquerait d'isoler cette grille. On peut aussi remarquer que la tension de seuil est de l'ordre de 0.2V ce qui est bien dans les normes d'une structure nanométrique.



**Figure III.5:** Caractéristique  $I_d-V_d$  pour différentes épaisseurs d'oxyde  $t_{ox}$ .

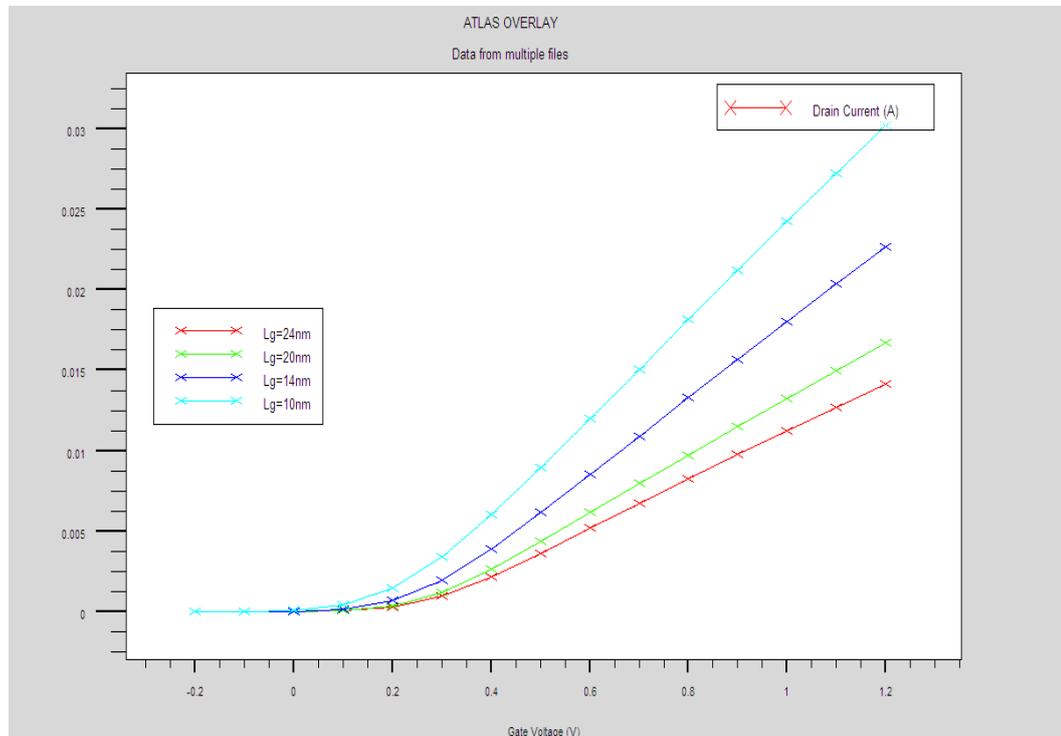
## Chapitre III

Sur la figure III.5 représentant la caractéristique de sortie  $I_d$ - $V_d$ , on remarque clairement que le courant est important lorsque l'épaisseur de l'oxyde est très petite qui est de l'ordre de 1nm dans le cadre de notre simulation.

On peut donc conclure que l'épaisseur de l'oxyde doit être la plus réduite possible afin d'améliorer le contrôle du canal de conduction et pour permettre le passage des porteurs par effet tunnel. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible.

### III.4.2 Influence de la variation de la longueur de la grille sur le courant du drain du DGFET

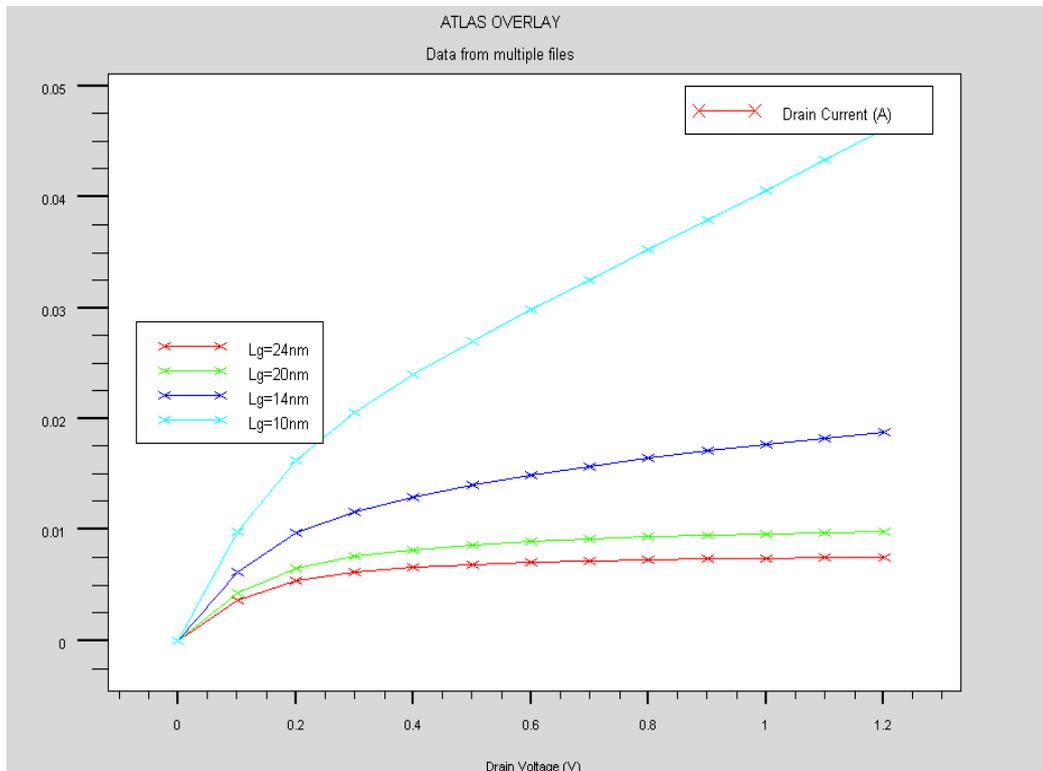
Afin d'apprécier l'effet de la variation de la longueur de la grille sur le courant du drain, on a choisi différentes valeurs de cette longueur soit =24nm; 20nm; 14nm ; 10nm et on observe alors l'effet de la variation de cette longueur sur le courant du drain du DGFET. Les résultats de simulation que nous avons obtenus font l'objet de la figure III.6.



**Figure III.6:** Caractéristique  $I_d$ - $V_g$  pour différentes longueurs de grille

## Chapitre III

Dans la figure III.6 on constate que lorsque la longueur de grille augmente il ya une légère augmentation de la tension de seuil et la pente diminue, donc lorsque le transistor passe à des tailles petites de l'ordre de 4 nm (sous-estimations de la tension de seuil) il est soumis aux effets des canaux courts ce qui favorise l'apparition de phénomène quantiques.



**Figure III.7:** Caractéristique  $I_d-V_d$  pour différentes longueurs de grille

Pour la caractéristique  $I_d-V_d$  on remarque que le courant de saturation de drain augmente fortement, quand la longueur de la grille diminue.

on conclut donc que la **longueur de grille** n'affecte pas la dynamique de contrôle sur la tension de seuil mais provoque l'augmentation de la transconductance qui demeure un paramètre très important. De ce fait il est important de ne pas réduire la longueur de la grille aléatoirement.

### III.4.3 Effets de la variation de la concentration $N_D$ et $N_A$ sur le courant $I_d$

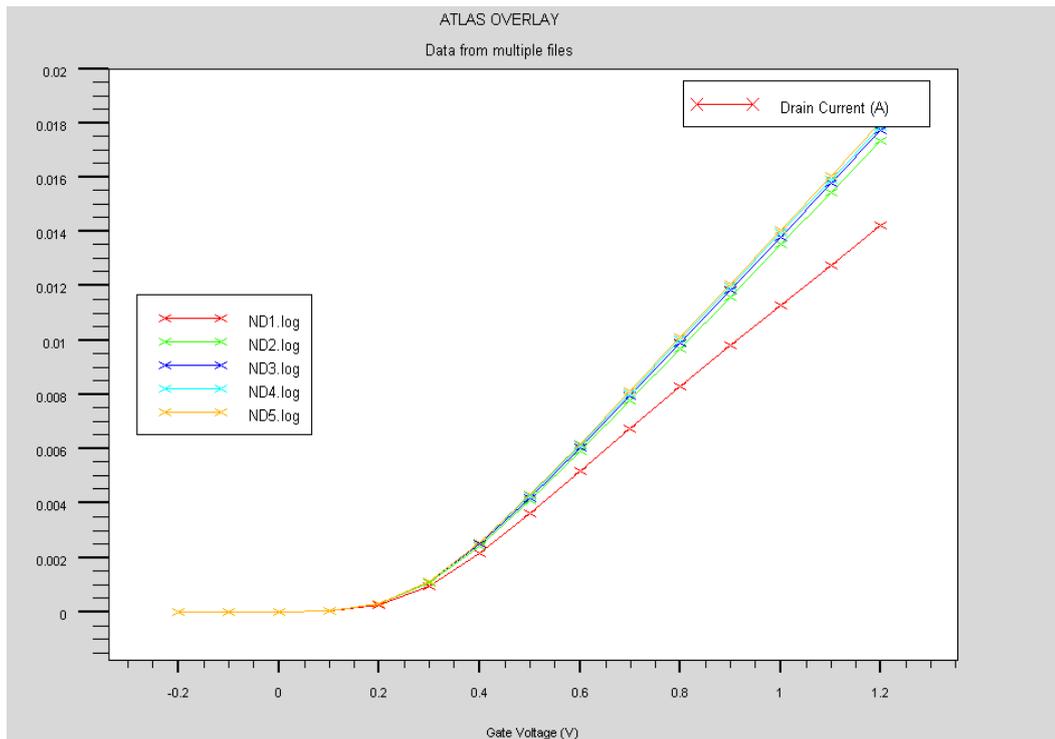
#### III.4.3.1 Effet de la variation de la concentration $N_D$ sur le courant $I_d$ source /drain

## Chapitre III

Afin d'estimer l'impact de la variation de la concentration  $N_D$  sur le courant du drain  $I_d$ , nous avons choisi divers concentrations  $N_D$ , tel que :

$N_{D1}$	$N_{D2}$	$N_{D3}$	$N_{D4}$	$N_{D5}$
$1.0 \cdot 10^{20} \text{ cm}^{-3}$	$1.0 \cdot 10^{22} \text{ cm}^{-3}$	$1.0 \cdot 10^{24} \text{ cm}^{-3}$	$1.0 \cdot 10^{27} \text{ cm}^{-3}$	$1.0 \cdot 10^{29} \text{ cm}^{-3}$

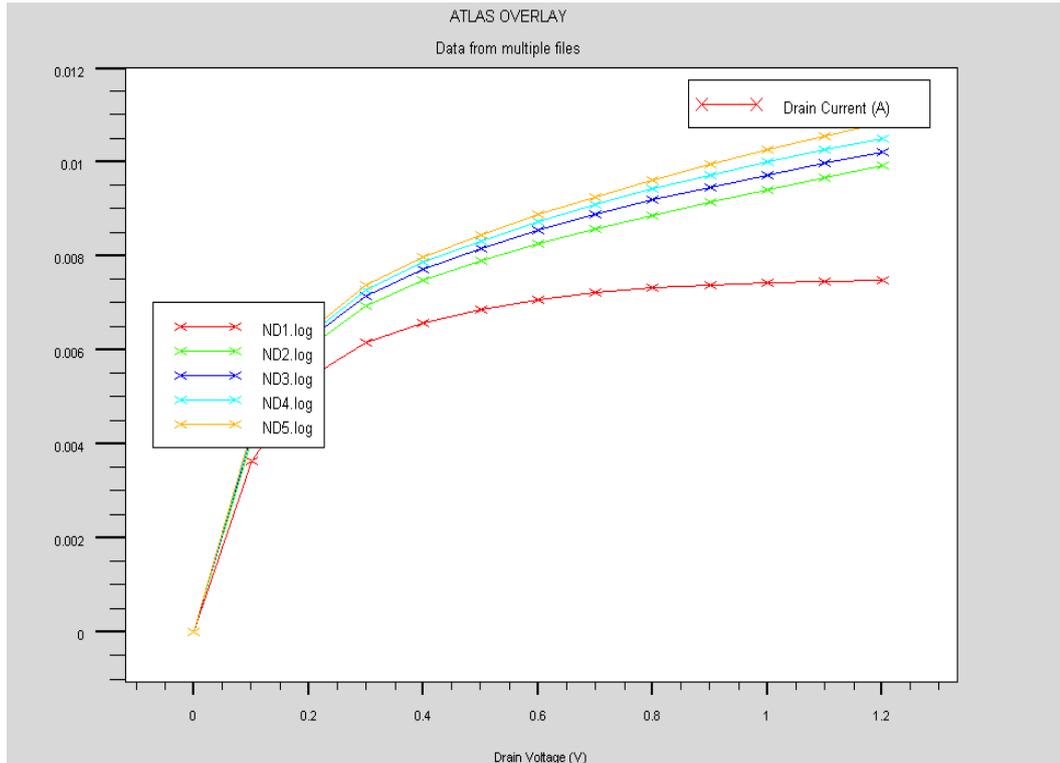
**Tableau III.3 :** représente les différentes valeurs de la concentration du dopage source /drain



**Figure III.8:** Caractéristique  $I_d$ - $V_g$  pour différents dopage

On remarque sur la figure III.8 que le **dopage dans les régions source drain** n'a aucun effet sur la tension de seuil mais provoque l'augmentation de la transconductance et par conséquent entraîne l'augmentation du courant du drain du DGFET.

Cette augmentation devient évidente lorsque le dopage atteint une valeur importante telle celle utilisée dans notre cas et maintenue à  $1.0 \cdot 10^{29} \text{ cm}^{-3}$ .



**Figure III.9:** Caractéristique  $I_d$ - $V_d$  pour différents dopage

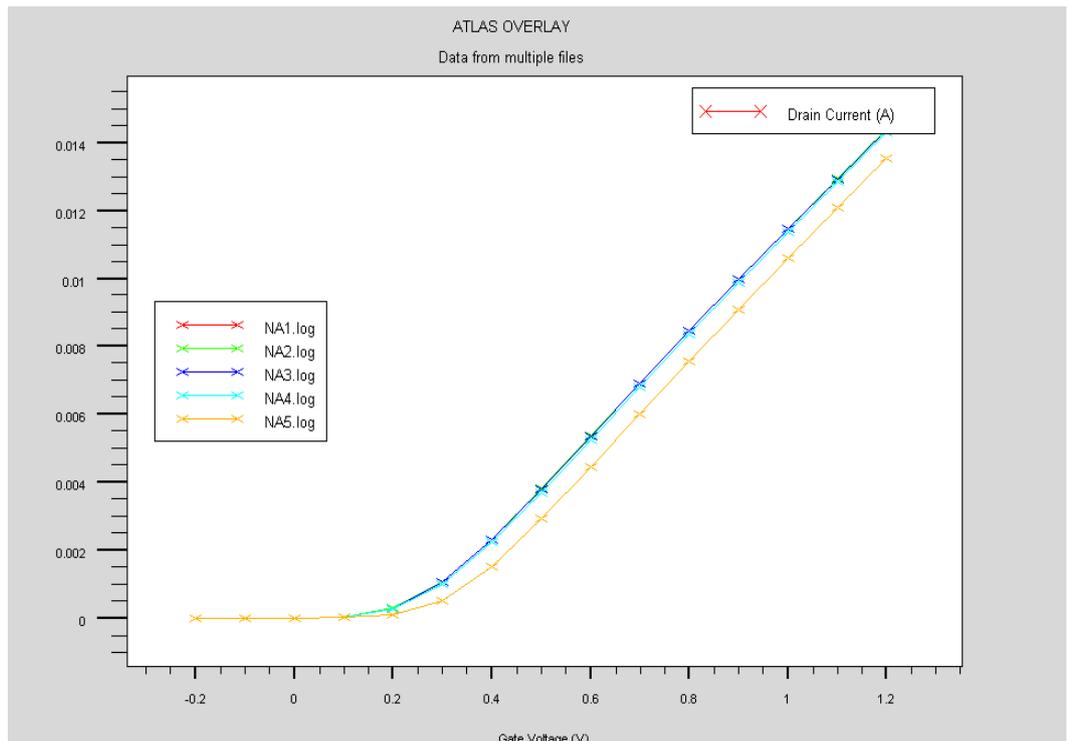
La figure III.9 montre clairement l'importance du dopage dans les régions source drain, le courant de drain augmente lorsqu'il s'agit d'une concentration élevée, elle a pour rôle de réduire les résistances série.

### III.4.3.2 Dopage du film ( $N_A$ )

Aussi afin d'estimer l'impact de la variation de la concentration  $N_A$  sur le courant du drain  $I_d$ , nous avons choisi divers concentrations  $N_A$ , tel que :

$N_{A1}$	$N_{A2}$	$N_{A3}$	$N_{A4}$	$N_{A5}$
$6.0 \cdot 10^{16} \text{ cm}^{-3}$	$8.0 \cdot 10^{16} \text{ cm}^{-3}$	$1.0 \cdot 10^{17} \text{ cm}^{-3}$	$1.5 \cdot 10^{17} \text{ cm}^{-3}$	$2.0 \cdot 10^{17} \text{ cm}^{-3}$

**Tableau III.4 :** représente les différentes valeurs de la concentration du dopage du film de silicium



**Figure III.10:** Caractéristique  $I_d$ - $V_g$  pour différents dopage

Nous avons également étudié dans la figure III.10 l'influence du dopage au niveau du canal sur le comportement de notre structure.

Le dopage du film provoque un effet sur la tension de seuil, un dopage élevé conduit à une tension de seuil plus importante.

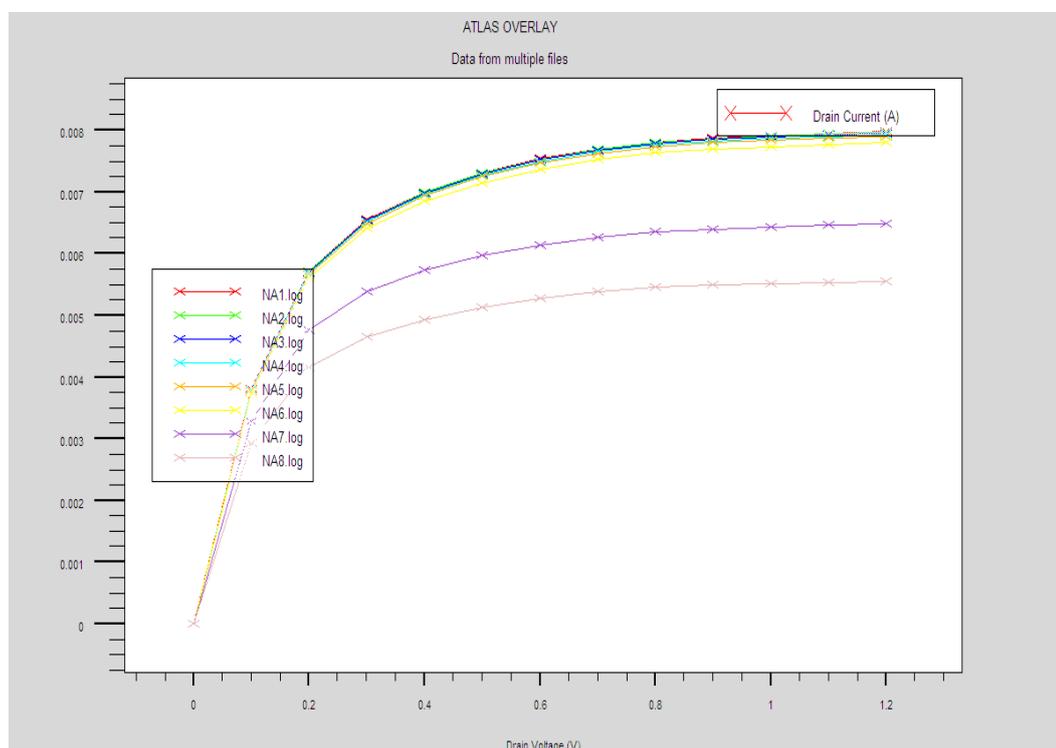
A une certaine valeur du dopage le film de silicium est considéré comme non dopé et cela devient visible sur la figure III.10 à la valeur  $8.0 \cdot 10^{16} \text{cm}^{-3}$  ( $N_{A2}$ ),

Pour des concentrations inférieures à la valeur citée le film de silicium agit toujours comme s'il était non dopé et la tension de seuil reste inchangée.

## Chapitre III

$N_{A1}$	$N_{A2}$	$N_{A3}$	$N_{A4}$	$N_{A5}$	$N_{A6}$	$N_{A7}$	$N_{A8}$
6.0 $10^{16} \text{cm}^{-3}$	8.0 $10^{16} \text{cm}^{-3}$	1.0 $10^{17} \text{cm}^{-3}$	1.5 $10^{17} \text{cm}^{-3}$	2.0 $10^{17} \text{cm}^{-3}$	4.0 $10^{17} \text{cm}^{-3}$	1.0 $10^{18} \text{cm}^{-3}$	5.0 $10^{18} \text{cm}^{-3}$

**Tableau III.5 :** représente les différentes valeurs de la concentration du dopage du film de silicium



**Figure III.11:** Caractéristique  $I_d-V_d$  pour différentes valeurs  $N_A$ .

Le point mis en valeurs sur la figure III.11 est l'influence du dopage sur le courant de drain.

La variation du dopage dans le canal provoque une diminution du courant de drain, en outre la tension de seuil est fortement influencée par le changement du dopage

## Chapitre III

---

En conclusion, nous avons pu après avoir présenté la structure DGFET symétrique que nous avons étudié, présenter les résultats de simulation que nous avons obtenus par le biais du simulateur de dispositifs Atlas. Nous avons alors pu mettre en évidence les effets de la variation des paramètres de notre structure et ceci en modifiant de façon adéquate les caractéristiques technologiques telles que l'épaisseur d'oxyde, longueur de grille, concentration des dopants ect...

## Bibliographie

---

- [1] TANG Mingchun «*études et Modélisation Compacte du Transistor FinFET* », Thèse de Doctorat, Université de Strasbourg, 2009.
- [2] Atlas user's manual – device simulation software, SILVACO International Inc.

# Annexe I

## Comparatif des avantages et inconvénients des dispositifs MOS avancés dans la course à la miniaturisation

Structure	Avantages principaux	Inconvénients principaux
MOSFET Bulk	<ul style="list-style-type: none"> <li>• Procédés bien maîtrisés</li> </ul>	<ul style="list-style-type: none"> <li>• Effets de canal court</li> </ul>
PD SOI avec simple grille	<ul style="list-style-type: none"> <li>• Similaire au MOSFET bulk</li> </ul>	<ul style="list-style-type: none"> <li>• Similaire au MOSFET bulk</li> </ul>
FD SOI avec simple grille	<ul style="list-style-type: none"> <li>• Complètement déplété</li> <li>• Pas de courant de substrat</li> <li>• Résiste à la radiation</li> </ul>	<ul style="list-style-type: none"> <li>• L'uniformité de l'épaisseur du silicium</li> <li>• Champ dans l'oxyde enterré (polarisation virtuelle de substrat induit par le drain, DIVSB)</li> </ul>
Double Grille planaire	<ul style="list-style-type: none"> <li>• Plus de courant</li> <li>• Bon contrôle du canal</li> <li>• Pas de DIVSB</li> </ul>	<ul style="list-style-type: none"> <li>• L'uniformité de l'épaisseur du silicium</li> <li>• Faible épaisseur du silicium</li> <li>• Auto-alignement des deux grilles</li> </ul>
FinFET	<ul style="list-style-type: none"> <li>• Bon contrôle du canal</li> <li>• Auto-alignement des deux grilles</li> <li>• Procédés proches de MOSFET Bulk</li> <li>• Possibilité de design en 3-D</li> <li>• Possibilité de fonctionnement symétrique (SDG) et asymétrique (ADG) (I.2.2)</li> </ul>	<ul style="list-style-type: none"> <li>• Difficulté de lithographie</li> <li>• Petite largeur du film de silicium nécessaire</li> <li>• Uniformité de largeur</li> <li>• Effet de coins</li> </ul>
	<ul style="list-style-type: none"> <li>• Plus de courant</li> <li>• Procédés proches de MOSFET Bulk</li> <li>• Auto-alignement des grilles</li> </ul>	<ul style="list-style-type: none"> <li>• Difficulté de lithographie</li> <li>• Petite largeur du film de silicium nécessaire</li> <li>• Uniformité de largeur</li> <li>• Effet de coins</li> <li>• Uniformité de l'épaisseur de l'oxyde de grille</li> </ul>
Triple Grille	<ul style="list-style-type: none"> <li>• Plus de courant</li> <li>• Procédés proches de MOSFET Bulk</li> <li>• Auto-alignement des grilles</li> </ul>	<ul style="list-style-type: none"> <li>• Difficulté de lithographie</li> <li>• Petite largeur du film de silicium nécessaire</li> <li>• Uniformité de largeur</li> <li>• Effet de coins</li> <li>• Uniformité de l'épaisseur de l'oxyde de grille</li> </ul>

<b>GAA</b>	<ul style="list-style-type: none"> <li>• Excellent contrôle du canal</li> <li>• Faible effet de canal court</li> <li>• Pas d'effet de coins</li> </ul>	<ul style="list-style-type: none"> <li>• Faible diamètre du silicium nécessaire</li> <li>• Procédé non-compatible avec le MOSFET bulk</li> </ul>
<b>Nanofil MOSFET</b>	<ul style="list-style-type: none"> <li>• Excellent contrôle du canal</li> <li>• Faible effet de canal court</li> <li>• Plus de courant</li> </ul>	<ul style="list-style-type: none"> <li>• Faible diamètre du silicium nécessaire</li> <li>• Coût de fabrication important</li> <li>• Problème de mismatch</li> </ul>

*Tableau I-1 : Comparatif des avantages et inconvénients des dispositifs MOS avancés dans la course à la miniaturisation. [1]*

## Bibliographie

---

- [1] Mingchun TANG « *études et Modélisation Compacte du Transistor FinFET* », Thèse de Doctorat, Université de Strasbourg, no.401,2009