

الجمهورية الجزائرية الديمقراطية الشعبية

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

وزارة التعليم العالي والبحث العلمي

**Ministère de l'Enseignement Supérieur et de la Recherche Scientifique**

جامعة أبي بكر بلقايد - تلمسان

Université Aboubakr Belkaïd – Tlemcen –

Faculté de TECHNOLOGIE



## **MEMOIRE**

Présenté pour l'obtention du **diplôme** de **MASTER**

**En** : Electronique

**Spécialité** : Instrumentation électronique

**Par** : MESSAOUDI Youcef & BERDJI Isshak

**Sujet**

**Etude et mise en évidence des performances des transistors  
SG- FD-SOI -MOSFET**

Soutenu publiquement, le 15 / 09 / 2022, devant le jury composé de :

Mme BOUAZZA née GUEN Ahlam	Pr	Université de Tlemcen	Président
Mme KADDOURI Nadera	MCB	Université de Tlemcen	Examineur
Mlle RAHOU Fatima Zohra	MCB	Université de Tlemcen	Encadreur

**Année universitaire : 2021 /2022**

# *Remerciements*

Nous tenons tout d'abord à remercier Dieu Tout-Puissant de nous avoir donné la force, la santé et le courage de réaliser ce travail.

Nous tenons à exprimer nos sincères remerciements aux membres du jury qui nous ont fait l'honneur d'accepter le jugement de ce modeste mémoire.

Nous remercions cordialement Mademoiselle RAHOU Fatima Zohra maître de conférences classe "B" à l'Université Abou BekrBelkaid de Tlemcen pour nous avoir encadré.

De même, nous remercions Madame BOUAZZA née GUEN Ahlam Professeur, pour nous avoir fait l'honneur de présider ce jury et d'examiner les résultats de notre projet de fin d'études. Veuillez trouver en ce travail le témoignage de notre profonde gratitude.

Nous remercions également Madame KADDOURI Nadera maître de conférences classe "B", pour avoir accepté d'être parmi notre jury de soutenance et de prendre le temps d'examiner notre travail. Veuillez trouver en ce travail le témoignage de notre profonde gratitude.

Nous tenons également à remercier tous les professeurs qui ont contribué à notre formation tout au long de mes études.

Enfin, nous remercions sincèrement tous mes proches et amis qui nous ont toujours soutenu et encouragé durant la préparation de ce mémoire, et en particulier tous mes collègues de la classe de Master 2 instrumentation.




# Dédicace Dédicace

*Je dédie ce modeste travail :*

*à ceux qui m'ont donné la vie, Le symbole de tendresse, qui ont  
sacrifié pour mon bonheur et ma réussite, À mes chers parents.*

*A ma sœur, mes frères, mes neveux et nièces A mes amis  
Et surtout mon frère GUEHIZ Mohamed .*

*A tous ceux qui me sont chères.  
Je dédie ce travail.*



*M.Youcef*



*Je dédie ce modeste travail :*

*à ceux qui m'ont donné la vie,*

*Le symbole de tendresse, qui ont sacrifié pour mon bonheur et ma  
réussite, À mes chers parents.*

*A ma sœur, mes frères, mes neveux et nièces A mes amis.*

*A tous ceux qui me sont chères.*

*Je dédie ce travail.*

*B.Isshak*

## Liste des figures

### Chapitre I: *Le transistor MOSFET bulk et sa miniaturisation*

Figure I.1 : Représentation schématique d'un transistor n-MOS sur silicium massif .....	7
Figure I.2 : Effet de champ dans un transistor MOS. ....	7
Figure I.3 : Structures et symboles des transistors MOS. ....	8
Figure I.4: Structure du MOS à appauvrissement canal N. ....	9
Figure I.5 : Structure du MOS à enrichissement canal N. ....	9
Figure I.6: Caractéristiques de transfert et de sortie des différents types de MOSFET.....	10
Figure I.7 : Coupe de MOSFET représentative de son fonctionnement en absence de polarisation (régime bloqué). ....	11
Figure I.8 : Coupe de MOSFET représentative de son fonctionnement : activation du canal ( $V_g > V_t$ ). ....	11
Figure I.9 : Coupe du MOSFET représentative de son fonctionnement en régime linéaire dit ohmique.....	12
Figure I.10 : Coupes de MOSFETs représentatives de son fonctionnement en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de $\Delta L$ (droite).....	12
Figure I.12: Caractéristiques de sortie d'un transistor MOS de type N. La courbe pointillée correspond à la tension $V_{dsat}$ . Pour $V_d > V_{dsat}$ le courant reste constant à $I_{dsat}$ . ....	14
Figure I.11 : Caractéristiques idéales de transfert d'un transistor MOS de type N. ....	14
Figure I.13 : Caractéristiques $I_D(V_{DS})$ typiques à différents $V_{GS}$ d'un transistor N-MOS. ..	16
Figure I.14 : Caractéristique $I_D(V_{GS})$ à $V_{DS} = V_{DD}$ typique d'un NMOS. $I_{on}$ , $G_m$ et $V_T$ sont indiqués. ....	16
Figure I.15 : Caractéristique $\log [I_D(V_{GS})]$ à $V_{DS} = V_{DD}$ typique d'un NMOS. $I_{on}$ , $I_{off}$ et $S$ sont indiqués. ....	17
Figure I.16 : Déplacement du point de pincement du canal. ....	19
Figure I.17 : Caractéristiques $I_{dsat}(L_g)$ pour différents MOSFET.....	20
Figure I.18 : Evolution de la bande de conduction dans un MOS « long » ( $L_g > 2.d$ ) et un MOS « court » ( $L_g < 2.d$ ) selon l'axe source-drain à faible $V_{DS}$ et avec $V_{GS}$ égal à la tension de bande plate $V_{FB}$ « d » épaisseur des ZCE des jonctions caissons/ca .....	21
Figure I.19 : Illustration des effets de percement. La tension de drain vient modifier la barrière de potentiel qui limite l'injection des porteurs dans le canal (percement en volume) .....	21
Figure I.20 : Caractéristiques $I_{DS}(V_{GS})$ d'un transistor n-MOS (technologie SOI 0,13 $\mu m$ ), pour des tensions de drain différentes : $V_{DS}=1,2V$ (courbe bleue) et $V_{DS}=0,1V$ (courbe rouge) montrant l'effet DIBL.....	22
Figure I.21 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d'accès. ....	23
Figure I.22 : Recouvrement des zones de déplétion dans le substrat générant le punch-through. ....	25

### Chapitre II: *Dispositif MOSFET SOI*

Figure II.1: à gauche : Image de l'architecture d'un processeur Intel Core I7, au milieu: Nokia 3310, 2000 avec un demi-million de transistors, et L'iPhone X, 2017, avec plus de 4,3 milliards de transistors, à droite: la miniaturisation des transistors de 45 nm à 7 nm.....	29
---	----

## Liste des figures

---

Figure II.2: a). Évolution de la longueur de grille des transistors MOS en termes de performances : prévisions ITRS 2011 b). Les applications technologiques : HP (High Performance), LP (Low Power).....	30
Figure II.3: Présentation de la structure d'un transistor SOI-MOSFET a) à trois dimension, b) à deux dimensions. ....	31
Figure II.4 : Schéma de principe du procédé de fabrication des plaques SOI utilisant le procédé Smart Cut.....	32
Figure II.5 : Capacités de jonctions parasites. ....	33
Figure II.6.a: Thyristor parasite pour deux transistors MOSFET voisins sur substrat massif..	34
Figure II.6.b: Effets de la couche isolante SiO <sub>2</sub> du substrat SOI sur les transistors parasites et les capacités parasites des jonctions pn .....	34
Figure II.7 : Formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat massif (A) et d'un composant sur substrat SOI (B).....	35
Figure II.8 : Distribution de la charge de désertion contrôlée par la grille (Q <sub>g</sub> ) pour les transistors à canal long (gauche) et à canal court (droite). ....	38
Figure II.9: Influence électrostatique sur le SOI à une grille.....	39
Figure II. 10 : Représentation schématique d'un transistor PDSOI (a) et d'un transistor FDSOI (b).....	39

### *Chapitre III: Résultats et interprétations*

Figure III.1: Organigramme de la simulation technologique et numérique utilisé par Atlas-Silvaco.....	50
Figure III.2 : Maillage de la structure SG-FD-SOI-NMOSFET.....	54
Figure III.3: Structure SG-FD-SOI-NMOSFET réalisée sous Atlas-SILVACO.....	55
Figure III.4 : Profil de dopage de la structure SG-FD-SOI-NMOSFET.....	55
Figure III.5 : Structure, maillage et profil de dopage de la structure SG-FD-SOI-NMOSFET.5€	56
Figure III.6 : Caractéristique IDS-VGS du transistor SG-FD-SOI-NMOSFET.....	57
Figure III.7 : Caractéristiques IDS-VDS du transistor SG-FD-SOI-NMOSFET. ....	57
Figure III.8 : Caractéristiques IDS-VGS subthreshold tension du transistor SG-FD-SOI-NMOSFET. ....	58
Figure III.9: La caractéristique (IDS-VGS) en échelle logarithmique du transistor.....	60
Figure III.10 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET. ....	62
Figure III.11 : Structure 2D du SG-FD-SOI-NMOSFET avec un empilement.....	62
Figure III.12 : Structure 2D du SG-FD-SOI-NMOSFET avec un empilement.....	63
Figure III.13 : Structure 2D du SG-FD-SOI-NMOSFET avec un empilement.....	63
Figure III.14 : Caractéristiques IDS-VGS du transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 1nm Al <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> .....	64
Figure III.15 : Caractéristiques IDS-VGS du transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO <sub>2</sub> /0.8nm SiO <sub>2</sub> .....	64
Figure III.16: Caractéristiques IDS-VGS du transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 3nm La <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> . ....	65
Figure III.17 : Caractéristiques IDS-VGS subthreshold tension du transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 1nm Al <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> .....	65
Figure III.18 : Caractéristiques IDS-VGS subthreshold tension du transistorSG-FD-SOI-NMOSFET avec un empilement : TiN / 2nm HfO <sub>2</sub> /0.8nm SiO <sub>2</sub> .....	66

## Liste des figures

---

Figure III.19 : Caractéristiques IDS-VGS subthreshold tension du transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 3nm La <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> . .....	66
Figure III.20: Courant Ioff-Ion dans le transistor SG-FD-SOI-NMOSFET avec un empilement :TiN/1nmAl <sub>2</sub> O <sub>3</sub> /0.8nmSiO <sub>2</sub> .....	67
Figure III.21: Courant Ioff-Ion dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO <sub>2</sub> /0.8nm SiO <sub>2</sub> . .....	67
Figure III.22: Courant Ioff-Ion dans le transistor SG-FD-SOI-NMOSFET avec un empilementTiN/ 3nm La <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> .....	68
Figure III.23 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 1nm Al <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> .....	68
Figure III.24 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO <sub>2</sub> /0.8nm SiO <sub>2</sub> .....	69
Figure III.25 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 3nm La <sub>2</sub> O <sub>3</sub> /0.8nm SiO <sub>2</sub> . .....	69

# *Liste des tableaux*

## **Chapitre II : Dispositif MOSFET SOI**

Tableau II.1 : comparaison des étapes de conception d'un CMOS en technologie sur substrat massif et SOI.....	30
Tableau II.2: l'avantage des transistors FD-SOI grâce à la comparaison de ses caractéristiques avec celles des transistors. ....	33
Tableau II.3 : Les avantages et les inconvénients de la technologie FD-SOI-MOSFET et PD-SOIMOSFET par rapport au MOSFET bulk. ....	35

## **Chapitre III : Résultats et interprétations**

Tableau III.1 : les commandes fondamentales dans le programme Atlas.....	49
Tableau III.2 : Les paramètres physiques du transistor à simple grille (SG-FD-SOI-NMOSFET) utilisé dans la simulation ATLAS à deux dimensions. ....	53
Tableau III.3 : Résultats de simulation du transistor SG-FD-SOI-NMOSFET.....	54
Tableau III.4: Matériaux high-k qui sont actuellement les plus prometteurs, ainsi que leurs permittivités diélectriques.....	62
Tableau III.6 :Résultats de Simulations du transistor SG-FD-SOI-NMOSFET avec high-k diélectriques.....	69



**Liste des constantes, symboles et abréviations**

Constantes	Significations/Valeurs
$\epsilon_0$	Permittivité diélectrique du vide, $\epsilon_0 = 8,85.10^{-12}$ F/m
$\epsilon_{Si}$	Permittivité diélectrique du silicium, $\epsilon_{Si} = 11,8.\epsilon_0$
$\epsilon_{SiO_2}$	Permittivité diélectrique de l'oxyde de silicium, $\epsilon_{SiO_2} = 3,9.\epsilon_0$
$k_B$	Constante de Boltzmann, $k_B = 8,617385.10^{-5}$ eV/K
Q	Charge élémentaire, $q = 1,602.10^{-19}$ C

Symboles	Significations	Unités
$\Phi_m$	Le travail de sortie du métal	eV
$\Phi_{sc}$	Le travail de sortie du semi-conducteur	eV
$\Phi_B$	La hauteur de barrière métal-oxyde	eV
$\Phi_{MS}$	La différence entre les travaux de sortie de la grille et du semi-conducteur	eV
$\phi_D$	Le potentiel de diffusion de la jonction drain-substrat	eV
$\Phi_F$	Le potentiel de Fermi du silicium	eV
$\Phi_{Fi}$	le potentiel de surface	
$\Phi_n$	quasi-niveaux de Fermi, un pour les électrons	eV
$\Phi_p$	quasi-niveaux de Fermi, un pour les trous	ev
$Q_G$	La charge au niveau de la grille	C m <sup>-2</sup>
$Q_{dep}$	La charge de la zone désertée	C m <sup>-2</sup>
$Q_s$	La charge d'inversion	C m <sup>-2</sup>
$Q_T$	La concentration d'ions fixes dus à des défauts des matériaux (pièges).	cm <sup>-3</sup>
$N_A$	la concentration en atomes accepteurs ionisés	cm <sup>-3</sup>
$N_D$	La concentration en atomes donneurs ionisés	cm <sup>-3</sup>
$N_C$	la densité d'état effective des électrons dans la bande de conduction	cm <sup>-3</sup>
$\rho$	La densité de charges	C

## Liste des constantes, symboles et abréviations

$\mu_{\text{eff}}$	La mobilité effective des électrons dans le canal	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$
$\mu_0$	La mobilité des électrons dans le canal à faible champ électrique	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$
$\mu_{\text{eff}}$	La mobilité effective	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$
$\mu_n$	La mobilité des électrons	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$
$\mu_p$	La mobilité des trous	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$
C	La capacité totale d'une capacité MOS	$\text{F m}^{-2}$
$C_{\text{ox}}$	La capacité d'oxyde	$\text{F m}^{-2}$
$C_{\text{SC}}$	La capacité du semi-conducteur	$\text{F m}^{-2}$
$C_{\text{ZCE}}$	La capacité de la zone de charge d'espace	$\text{F m}^{-2}$
$C_{\text{inv}}$	La capacité d'inversion	$\text{F m}^{-2}$
$C_{\text{GSpara}}$	La capacité parasite côté source	$\text{F m}^{-2}$
$C_{\text{DSpara}}$	La capacité parasite côté drain	$\text{F m}^{-2}$
$C_{\text{bord}}$	La capacité due à des effets de bord	$\text{F m}^{-2}$
$C_{\text{rec}}$	La capacité de recouvrement	$\text{F m}^{-2}$
$C_{\text{gd}}$	La capacité grille-drain	$\text{F m}^{-2}$
$C_{\text{gs}}$	La capacité grille-source	$\text{F m}^{-2}$
$C_{\text{ox1}}$	La capacité d'oxyde de grille	$\text{F m}^{-2}$
$C_{\text{ox2}}$	La capacité d'oxyde enterré	$\text{F m}^{-2}$
$C_b$	La capacité entre le canal d'inversion et la face arrière du substrat	$\text{F m}^{-2}$
$C_{\text{si}}$	La capacité du film de silicium	$\text{F m}^{-2}$
$C_{\text{totale}}$	la capacité totale de la grille,	$\text{F m}^{-2}$
$I_D$	Le courant de drain	A
$I_{\text{dsat}}$	Le courant de drain de saturation	A
$I_{\text{off}}$	Le courant de drain $I_D$ à $V_{\text{DS}} = V_{\text{DD}}$ et $V_{\text{GS}} = 0 \text{ V}$	A
$I_{\text{on}}$	Le courant de drain $I_D$ à $V_{\text{DS}} = V_{\text{GS}} = V_{\text{DD}}$	A
$I_{\text{dsv0}}$	Le courant de drain sans les effets de saturation de la vitesse	A
$I_{\text{dsv}}$	Le courant de drain incluant les effets de saturation de la vitesse	A

## Liste des constantes, symboles et abréviations

$J_g$	Les courants tunnel	A
$I_{db}$	Le courant de substrat	A
$J_n$	La densité de courant des électrons	A/m <sup>2</sup>
$J_p$	La densité de courant des trous	A/m <sup>2</sup>
$\Phi_s$	Le potentiel de surface à l'interface Si-SiO <sub>2</sub>	V
$\Psi$	le potentiel à l'abscisse x	V
$\Psi_s$	le potentiel à l'interface	V
$\Psi_B$	Le potentiel de volume du semi-conducteur	V
$V_{DS}$	La tension Drain/Source	V
$V_{DD}$	La tension d'alimentation	V
$V_{dsat}$	La tension Drain/Source à partir de laquelle a lieu la saturation du courant $I_D$	V
$V_{GS}$	La tension Grille/Source	V
$V_{FB}$	La tension de bandes plates	V
$V_{th}$	La tension de seuil	V
$V$	La tension aux bornes de la jonction	V
$E_d$	Le champ électrique maximal	V/m
$E_c$	Le champ électrique critique	V/m
$E_c$	Niveau inférieur de la bande de conduction	Ev
$G_m$	La transconductance de drain du transistor	S
$G_d$	la conductance de drain du transistor	S
$R_{on}$	La résistance à l'état passant	$\Omega$
$R_D$	La résistance du drain	$\Omega$
$R_S$	La résistance de la source	$\Omega$
$S$	La pente sous le seuil	mV/dec
$S'$	la surface de la zone de charge de déplétion	m <sup>2</sup>
$T_{ox}$	L'épaisseur de la couche d'oxyde	m
$T_{Si}$	L'épaisseur de la zone active de silicium	m
$T_{box}$	L'épaisseur d'oxyde enterré BOX	m
$X_{EXT}$	la profondeur de diffusion des dopants dans les extensions	m
$X_{SD}$	la profondeur de diffusion des dopants dans les jonctions source-drain	m
$W$	La largeur du canal	m

## Liste des constantes, symboles et abréviations

$L$	La longueur du canal	m
$L_{eff}$	La longueur effective du canal	m
$L_G$	La longueur de la grille	m
$l_p$	La longueur caractéristique	m
$G_n$	Le taux de génération pour les électrons	%
$G_p$	Le taux de génération pour les trous	%
$R_n$	Le taux de recombinaisons pour les électrons	%
$R_p$	Le taux de recombinaisons pour les trous	%

<b>Sigle/Abréviation</b>	<b>Signification</b>
MOS	Metal Oxide Semiconductor
CMOS	Complementary MOS
DRAM	Dynamic Random Acces
MOSFET	Metal Oxide Semiconductor Field Effect Transistor- transistor à effet de champ MOS
NMOS	Transistor à effet de champ MOS à canal N
PMOS	Transistor à effet de champ MOS à canal P
SG-MOSFET	Single Gate Metal Oxide Semiconductor Field Effect Transistor
ZCE	Zone de charge d'espace
DIBL	Drain Induced Barrier Lowering : Abaissement de la barrière d'injection source/drain due à la tension de drain
SOI	Silicon On Insulator
BOX	Buried OXide- couche d'oxyde de silicium
SCE	Short Channel Effects
FDSOI	Transistor totalement déserté sur isolant
PDSOI	Transistor partiellement déserté sur isolant

## Liste des constantes, symboles et abréviations

---

high-k	oxydes à haute permittivité électrique
LOCOS	Local Silicon Oxidation
TCAD	Technology Computer Aided Design

---

## **Table des matières**

Liste des figures	
Liste des tableaux	
Liste des constantes, symboles et abréviations	
Introduction générale.....	2

### **Chapitre I : Le transistor MOSFET bulk et sa miniaturisation**

<b>I.1. Introduction .....</b>	<b>6</b>
<b>I.2. Le transistor MOSFET .....</b>	<b>6</b>
I.2.1. Principe de base et structures des transistors MOS .....	7
I.2.1.1. Effet de champ .....	7
I.2.1.2. Structures possibles .....	8
I.2.2. Classification des transistors MOS .....	9
I.2.2.1. MOSFET à appauvrissement (normally-on) .....	9
I.2.2.2. MOSFET à enrichissement (normally-off) .....	9
<b>I.3. Principe de fonctionnement du transistor MOS.....</b>	<b>11</b>
I.3.1. La tension de seuil $V_{th}$ (threshold voltage) .....	11
I.3.2. Les régimes de fonctionnement du transistor MOS.....	11
I.3.3. Courant de drain.....	15
I.3.3.1. Courant de drain en régime faible inversion .....	15
I.3.3.2. Courant de drain en régime forte inversion.....	15
<b>I.4. Principaux paramètres des MOSFETs.....</b>	<b>16</b>
<b>1.5. Les limites actuelles à la miniaturisation du transistor MOS bulk.....</b>	<b>18</b>
1.5.1. Contraintes pour les générations futures .....	18
1.5.1.1. Problèmes liés aux faibles épaisseurs d'oxyde.....	18
1.5.1.2. Les effets des canaux courts.....	18
<b>I.6. Conclusion .....</b>	<b>24</b>
<b>Bibliographie .....</b>	<b>25</b>

### **Chapitre II :Dispositif MOSFET SOI**

<b>II.1 Introduction.....</b>	<b>29</b>
<b>II.2. La technologie SOI.....</b>	<b>29</b>

<b>II.3. L'architecture du dispositif SOI-MOSFET .....</b>	<b>30</b>
<b>II.4. Fabrications des plaquettes SOI.....</b>	<b>31</b>
II.4.1. Avantage de la technologie SOI.....	33
II.4.1.1. Augmentation de la densité d'intégration.....	33
II.4.1.2. Réduction des capacités parasites du substrat.....	33
II.4.1.3. Suppression du thyristor parasite (latch-up) .....	34
II.4.1.4. Simplification des étapes de siliciuration ou de métallisation .....	34
II.4.1.5. Diminution du nombre d'étapes de développement .....	35
II.4.1.6. Meilleures caractéristiques de courants .....	36
II.4.1.7. Réduction des effets de canaux courts .....	37
II.4.1.8. Diminution de l'inverse de la pente sous le seuil .....	38
II.4.2. Inconvénient majeur de la technologie SOI .....	38
<b>II.5. Les différents types de transistors SOI-MOSFET.....</b>	<b>39</b>
II.5.1. Le transistor SOI partiellement déplété (Partially-Depleted SOI ou PD-SOI).....	39
II.5.2. Le transistor SOI complètement déplété (Fully-Depleted SOI ou FD-SOI) .....	39
II.5.3. Comparaison de la technologie FD-SOI-MOSFET par rapport à la technologie PDSOI-MOSFET .....	39
<b>I.6. Conclusion.....</b>	<b>41</b>
<b>Bibliographie .....</b>	<b>43</b>
<i><b>Chapitre III:Résultats et interprétations</b></i>	
<b>III.1. Introduction .....</b>	<b>48</b>
<b>III.2. Présentation du logiciel de simulation .....</b>	<b>48</b>
<b>III.3. Les équations principales utilisées dans la physique des semiconducteurs .....</b>	<b>48</b>
III.3.1. L'équation de Poisson .....	48
III.3.2. L'équation de continuité.....	49
III.3.3. L'équation de transport .....	49
<b>III.4. L'organigramme de simulation : .....</b>	<b>49</b>
<b>III.5. Programmation dans le module Atlas .....</b>	<b>50</b>
<b>III.6. Simulation de dispositifs conçus en technologie SOI .....</b>	<b>51</b>
III.6.1. Le maillage dans les transistors SOI MOSFET .....	52
III.6.2. Méthodes numériques utilisées lors de la simulation des transistors SOI MOSFET .....	52

<b>III.7. Modélisation 2D d'un transistor SG-SOI- NMOSFET</b> .....	52
III.7.1. Structure SG-SOI -NMOSFET simulée par SILVACO .....	53
III.7.2. Caractéristique de transfert $I_{DS}-V_{GS}$ .....	56
III.7.3. Caractéristiques de sortie $I_{DS}-V_{DS}$ .....	56
III.7.4. La pente sous le seuil .....	57
III.7.5. Le courant de fuite $I_{off}$ .....	58
III.7.6. Le courant dans l'état ON .....	59
III.7.7. Le rapport $I_{on} / I_{off}$ des structures simulées.....	59
III.7.8. Le DIBL : l'abaissement de la barrière de potentiel induit par le drain.....	59
<b>III.8. Transistor SG-FD-SOI-NMOSFET à base de matériaux innovants</b> .....	60
III.8.1. L'impact d'intégration des matériaux à high-k dans la grille sur la tension de seuil.....	63
III.8.2. L'impact d'intégration des matériaux à high-k dans la grille sur la pente sous le seuil .....	65
III.8.3. L'impact d'intégration des matériaux à high-k dans la grille sur le courant sur le courant $I_{on}$ , $I_{off}$ .....	66
III.8.4. L'impact d'intégration des matériaux à high-k dans la grille sur le DIBL: l'abaissement de la barrière de potentiel induit par le drain .....	68
<b>III.9. Conclusion</b> .....	70
<b>Bibliographie</b> .....	72
<b>Conclusion générale et perspectives</b> .....	73
<b>Résumé</b>	



# *Introduction générale*

## **Introduction générale**

Depuis l'invention du premier transistor en 1947, puis celle du circuit intégré en 1958, par Jack Kilby, les progrès de la microélectronique ont été considérables, tant au niveau de l'amélioration des performances et de l'accroissement de la complexité des circuits que de la baisse des coûts de production.

Les transistors MOS (Métal Oxyde Semi-conducteur) sur silicium utilisés en architecture CMOS (Complementary MOS : MOS Complémentaires) sont les principaux artisans de cette progression continue et dominante de façon écrasante le marché des semi-conducteurs. L'amélioration des performances de ces transistors nécessite toujours plus d'imagination de la part des concepteurs de composants. En effet, les gains en performance attendus de la miniaturisation de ces dispositifs sont fortement réduits à cause de phénomènes inhérents qui sont devenus de plus en plus importants.

L'importance de ces effets, dits « de canal court », et la complexité des méthodes pour les contrer sont telles que le monde de la microélectronique, pourtant très frileux, est en train de s'intéresser très activement à toutes les architectures alternatives possibles aux transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor : transistor à effet de champ MOS) massifs 'traditionnels'. Ainsi, pour atteindre les prochains objectifs fixés par la feuille de route internationale des semi-conducteurs (ITRS : International Technology Roadmap of Semiconductor), l'utilisation d'architectures MOSFETs sur SOI (Silicon On Insulator : Silicium sur Isolant) en remplacement de l'architecture MOSFET massif sur bulk est très sérieusement envisagée.

Il a été démontré que les structures SOI peuvent être largement utilisées dans plusieurs applications : réalisation de composants partiellement et entièrement dépeuplés sur couche mince, microsystemes, et isolation diélectrique. Par ailleurs, il existe des wafers SOI « pleine plaque » où la couche d'oxyde enterré se situe sur tout le wafer, et des wafers « SOI partiel » où la couche d'oxyde enterrée est localisée.

Dans ce mémoire, nous nous sommes intéressés à l'étude et à la simulation d'un transistor SG-FD-SOI-MOSFET à canal N.

Le travail de ce mémoire a fait l'objet de trois chapitres :

Le premier chapitre, est consacré à la présentation et à l'étude du transistor MOSFET sur substrat massif ainsi qu'à l'énumération des problèmes engendrés par sa miniaturisation.

Le chapitre II, décrit d'une façon détaillée la structure de transistor SOI-MOSFET, les différents types, les avantages, les inconvénients et les compétences d'application de ce dispositif.

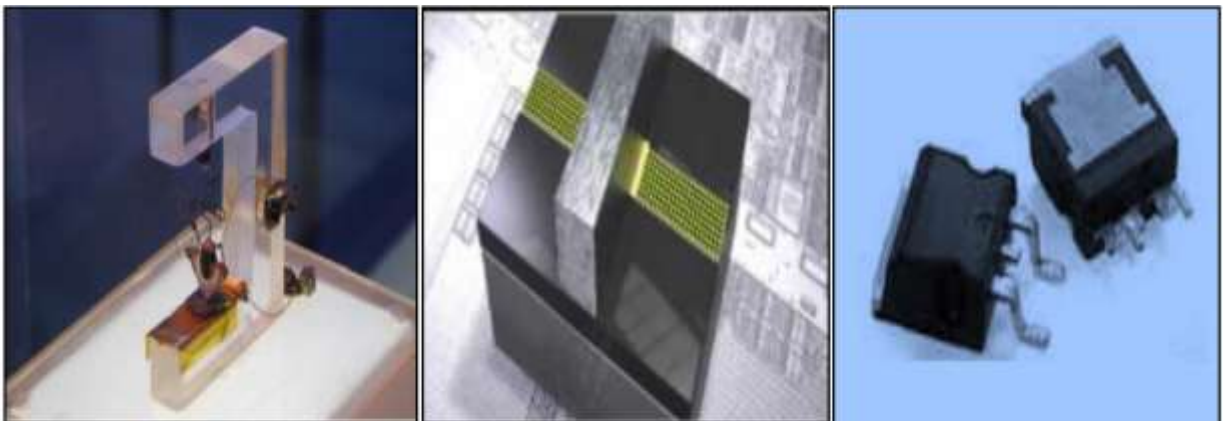
Le processus FDSOI est une innovation technologique qui garantira le maintien de l'efficacité. Les avantages du FDSOI permettent aux concepteurs et aux fabricants de créer des produits véritablement innovants et révolutionnaires et créer de nouveaux.

Dans le chapitre III, nous présentons dans un premier temps l'outil de simulation numérique du dispositif et process SILVACO-TCAD puis nous élaborons la structure SOI nanométrique de type SG-FD-SOI-MOSFET.

Cette structure en 2D est simulée grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD afin de réaliser des études physiques des différents phénomènes perturbant le fonctionnement classique de ce dispositif.

Dans la deuxième partie de ce chapitre, nous avons remplacé l'empilement de grille Poly-Si/SiO<sub>2</sub> simulé dans la première partie par un empilement de type grille métallique (le nitrure de titane TiN )/diélectrique de forte permittivité: TiN/ Al<sub>2</sub>O<sub>3</sub> (k ~ 9)/ SiO<sub>2</sub>, TiN/ HfO<sub>2</sub> (k ~ 20)/ SiO<sub>2</sub> et TiN/ La<sub>2</sub>O<sub>3</sub> (k ~ 30) /SiO<sub>2</sub> .

**Chapitre I**  
***Le transistor MOSFET bulk***  
***et sa miniaturisation***



## Sommaire du chapitre I

<b>I.1. Introduction</b> .....	6
<b>I.2. Le transistor MOSFET</b> .....	6
I.2.1. Principe de base et structures des transistors MOS.....	7
I.2.1.1. Effet de champ.....	7
I.2.1.2. Structures possibles .....	8
I.2.2. Classification des transistors MOS .....	9
I.2.2.1. MOSFET à appauvrissement (normally-on) .....	9
I.2.2.2. MOSFET à enrichissement (normally-off).....	9
<b>I.3. Principe de fonctionnement du transistor MOS</b> .....	11
I.3.1. La tension de seuil $V_{th}$ (threshold voltage) .....	11
I.3.2. Les régimes de fonctionnement du transistor MOS .....	11
I.3.3. Courant de drain .....	15
I.3.3.1. Courant de drain en régime faible inversion .....	15
I.3.3.2. Courant de drain en régime forte inversion .....	15
<b>I.4. Principaux paramètres des MOSFETs</b> .....	16
<b>1.5. Les limites actuelles à la miniaturisation du transistor MOS bulk</b> .....	18
1.5.1. Contraintes pour les générations futures .....	18
1.5.1.1. Problèmes liés aux faibles épaisseurs d'oxyde .....	18
1.5.1.2. Les effets des canaux courts .....	18
<b>I.6. Conclusion</b> .....	24
<b>Bibliographie</b> .....	25

### **I.1. Introduction**

Les concepts du transistor MOS (Metal Oxide Semiconductor) ont été brevetés par Lilienfield et Heil en 1930. Cependant des difficultés technologiques très importantes ont retardé sa réalisation pratique. En effet, il n'apparaîtra sous sa forme moderne qu'en 1955 grâce à Ross. Cela bien après la réalisation par Shockley en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus sophistiqué. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium  $\text{SiO}_2$ . Le silicium fut un choix très judicieux car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

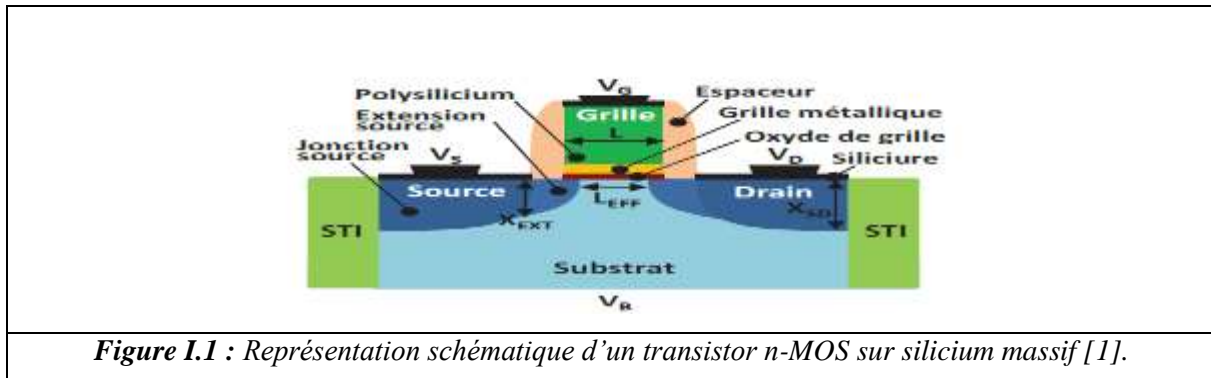
Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement en cette époque moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS (Complementary MOS) inventée en 1968 qui consomme très peu d'énergie .

Le transistor MOS est la base de la conception des circuits intégrés VLSI (Very Large Scale Integration) et ULSI (Ultra Large Scale Integration), et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semiconducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS (TMOS). La réduction constante des dimensions de ces composants est le moteur de cette course à la performance ; en fait, c'est cette volonté de toujours réduire la taille des transistors MOS qui a entraîné toute l'industrie du semiconducteur à se surpasser et à se projeter en permanence dans le futur.

### **I.2. Le transistor MOSFET**

Le transistor MOS constitue l'élément de base des circuits intégrés utilisés dans le domaine de la microélectronique. Sa fonction est assez similaire à celle d'un interrupteur. En effet, il a pour rôle de laisser passer un courant ou de le bloquer. Afin de réaliser des fonctions logiques, deux types de transistors MOS sont utilisés : les n-MOS, pour lesquels les porteurs du canal de conduction sont des électrons, et les p-MOS, pour lesquels les porteurs sont des trous. La modulation de la concentration des porteurs dans le canal est obtenue par l'application d'un potentiel électrique sur l'électrode de grille qui crée un champ électrique vertical.

Un transistor MOS sur silicium massif (également appelé transistor bulk) est réalisé sur un substrat (de type p pour les n-MOS et de type n pour les p-MOS) dans lequel on trouve des zones fortement dopées (de type n pour les n-MOS et de type p pour les p-MOS) qui servent d'électrodes de source et de drain, comme le montre la Figure I.1. Ces deux jonctions jouent le rôle de réservoirs de porteurs et sont obtenues par implantation ionique de dopants. Le transistor est isolé électriquement par des tranchées d'oxyde appelées STI (pour Shallow Trench Isolation). La région de silicium située entre deux tranchées correspond à la zone active où est fabriqué le transistor. L'électrode de grille est constituée d'un empilement de plusieurs matériaux, à savoir un oxyde, un métal de grille et une couche de polysilicium. Une siliciuration des jonctions source-drain et du sommet de la grille est effectuée dans le but d'optimiser le contact avec les vias métalliques servant de connexions vers différents niveaux de métaux, ainsi que pour diminuer les résistances d'accès. Les dimensions caractéristiques d'un transistor (Figure I.1 ) sont la longueur de grille  $L$ , la longueur effective du canal de conduction ( $L_{EFF}$ ), la largeur de la zone active ( $W$ , non représentée sur ce schéma car perpendiculaire au plan), l'épaisseur de l'oxyde de grille ( $T_{OX}$ ), la profondeur de diffusion des dopants dans les extensions ( $X_{EXT}$ ) et la profondeur de diffusion des dopants dans les jonctions source-drain ( $X_{SD}$ ).



### I.2.1. Principe de base et structures des transistors MOS

#### I.2.1.1. Effet de champ

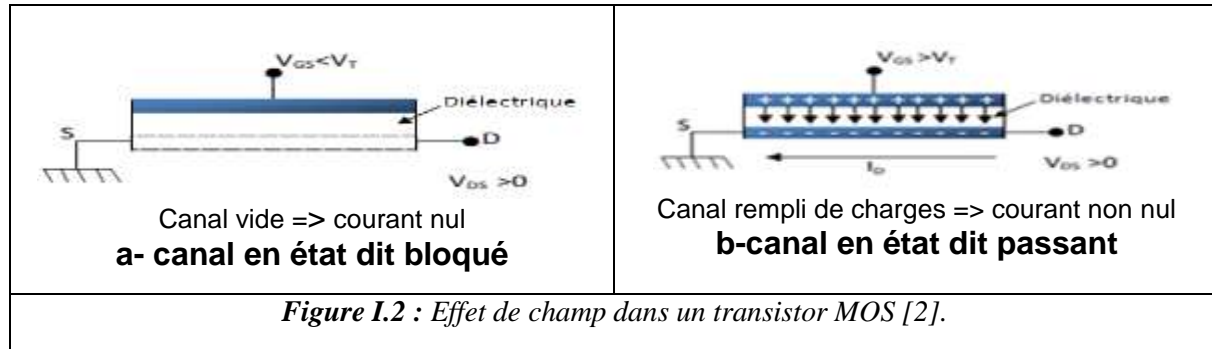
Le principe de fonctionnement d'un transistor MOS (Métal- Oxyde-Semi-conducteur) repose sur l'effet « **de champ** », qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique, comme dans une capacité plane.

La Figure I.2 illustre l'effet de champ dans un transistor MOS schématisé comme suit :

- L'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles ;

- L'autre électrode (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

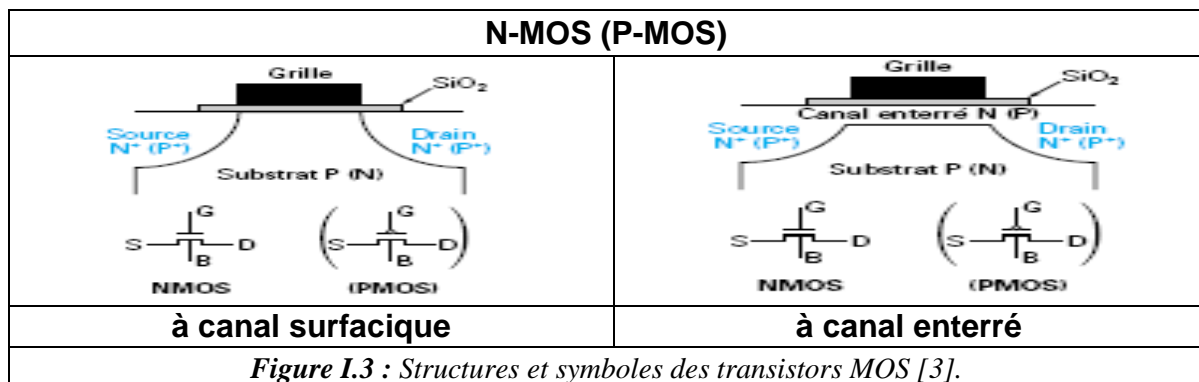
Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles [2].



### I.2.1.2. Structures possibles

En général, un transistor MOS contient une grille G en silicium polycristallin, séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent SiO<sub>2</sub>. Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction.

Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou N-MOS, conduction par électrons) et de transistors à canal P (ou P-MOS, conduction par trous). La Figure I.3 illustre ces deux types de transistors.



Chacun de ces deux transistors peut avoir une construction à **canal** « surfacique » ou à canal « enterré ».

- **Le canal surfacique** (auss appelé canal d'inversion) est induit électrostatiquement par l'effet de champ. Il est du type des porteurs, N ou P, et donc opposé (d'où le nom d'inversion) à celui du substrat, mais de même type que les régions de source et de drain, rendant ainsi le passage du courant possible. Notons que si la couche d'inversion n'est pas créée par l'effet de champ, la structure se réduit à deux diodes tête-bêche (jonction N+PPN+) pour un N-MOS ou (P+NNP+) pour un P-MOS ; aucune conduction n'est alors possible (NORMALLY OFF).



▪ **Le canal enterré** (aussi appelé canal d'accumulation) est un canal constitué par une fine couche fixe (dite enterrée) du semi-conducteur dopé, du même type de conduction que les régions de source et de drain. Si cette couche est suffisamment épaisse, le passage du courant est autorisé même sans l'effet de champ, car le canal représente une résistance (N+NN+) (NORMALLY ON). Une polarisation positive de la grille pour le N-MOS (négative pour le P-MOS) induit une accumulation de porteurs dans le canal, augmentant ainsi le niveau de conduction. Une polarisation contraire, négative pour le N-MOS (positive pour le P-MOS), appauvrit le canal de porteurs libres, le rendant ainsi bloqué pour la conduction.

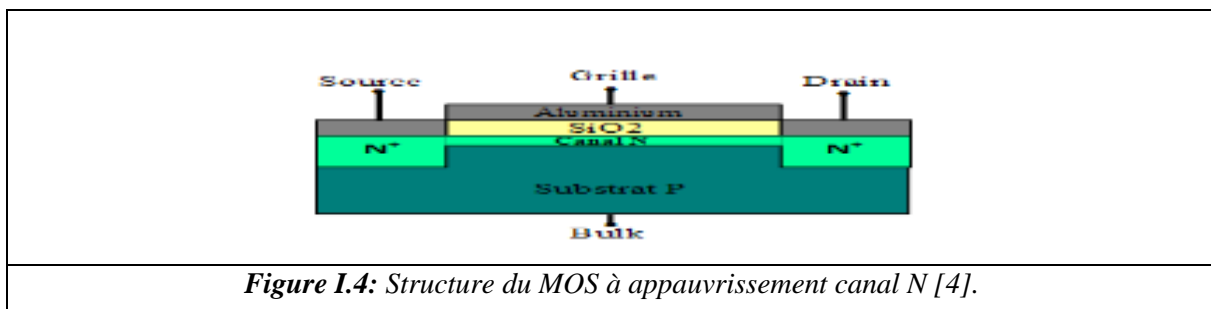
### I.2.2. Classification des transistors MOS

Selon la réalisation du canal, on peut classer les MOSFET en deux catégories fondamentales et qui sont les MOSFET à appauvrissement (Depletion mode), et les MOSFET à enrichissement (Enhancement mode).

Dans chaque type de MOSFET, on peut distinguer le **MOSFET canal N** (le courant provient du déplacement d'électrons) et le **MOSFET canal P** (le courant provient du déplacement de trous).

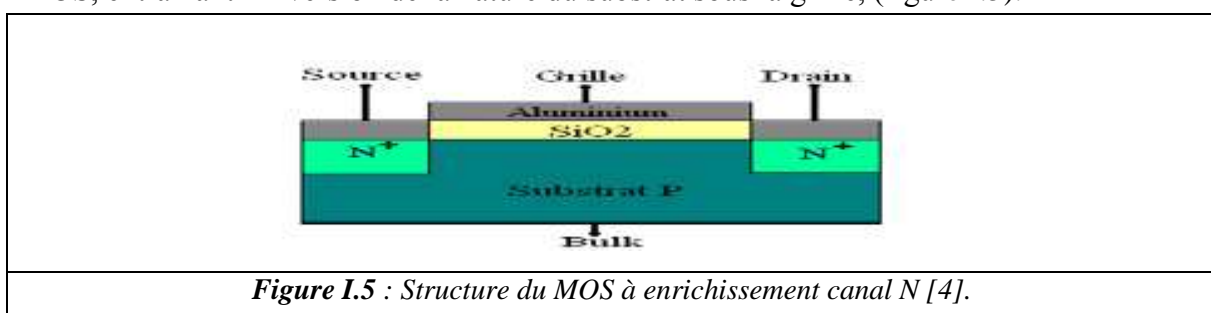
#### I.2.2.1. MOSFET à appauvrissement (normally-on)

Les MOSFET à appauvrissement sont passant sans tension de commande sur la grille (normally-on) grâce à la présence du canal obtenu par un léger dopage (figure I.4).



#### I.2.2.2. MOSFET à enrichissement (normally-off)

Les MOSFET à enrichissement sont bloqués sans tension de commande sur la grille (normally-off), ils deviennent passants à partir d'une certaine tension de grille (normally-off)  $V_{th}$  (threshold voltage) qui est la tension de seuil appliquée entre la grille et le substrat d'un MOS, entraînant l'inversion de la nature du substrat sous la grille, (figure I.5).



La figure I.6 illustre les différents types du transistor MOSFET, leurs symboles et leurs caractéristiques de transfert et de sortie.

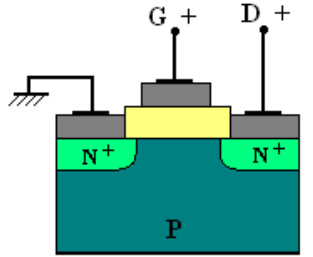
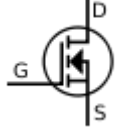
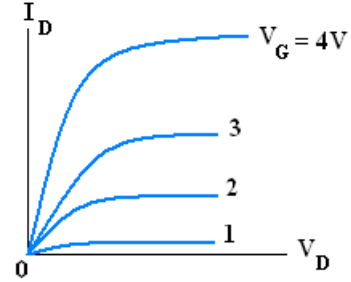
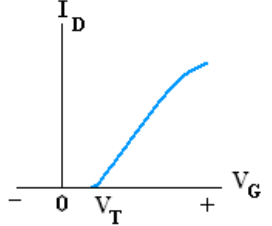
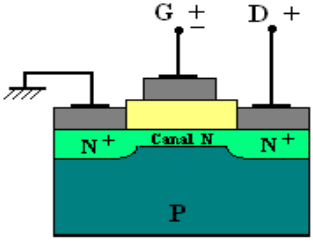
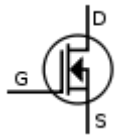
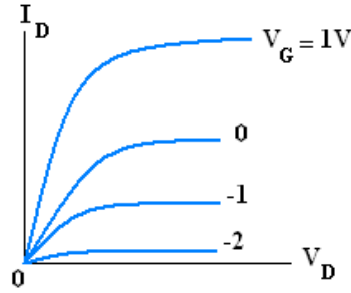
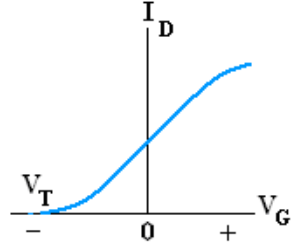
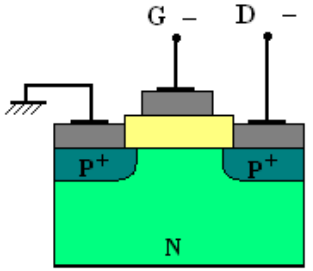
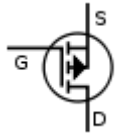
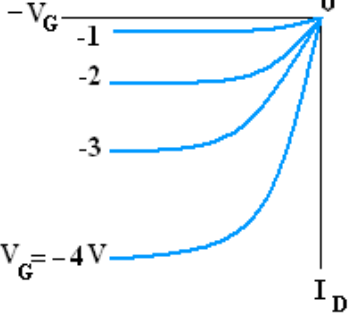
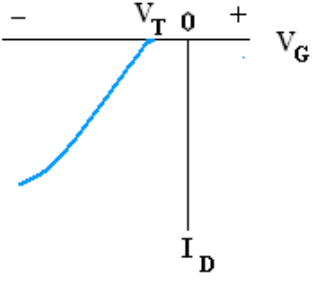
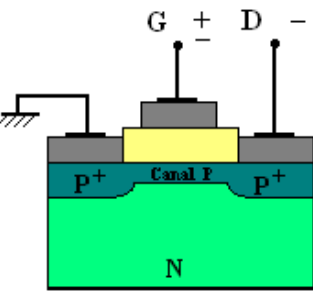

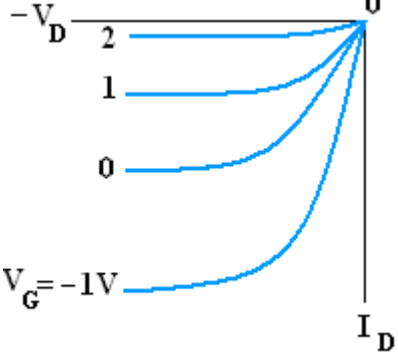
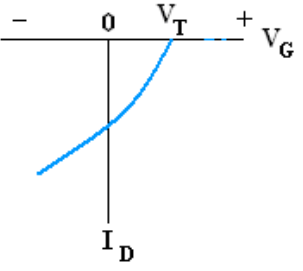
Type de MOSFET	Symbole	Caractéristiques de sortie	Caractéristiques de transfert
 <p>nMOSFET (normally off)</p>			
 <p>nMOSFET (normally on)</p>			
 <p>pMOSFET (normally off)</p>			
 <p>pMOSFET (normally on)</p>			

Figure I.6: Caractéristiques de transfert et de sortie des différents types de MOSFET [4].

### I.3. Principe de fonctionnement du transistor MOS

Le principe de fonctionnement du transistor MOS (ou MOSFET) repose sur la modulation d'une densité de porteurs d'une zone semi-conductrice par un champ électrique qui lui est perpendiculaire. Ce champ électrique est appliqué par l'électrode de commande (la grille) à travers un isolant (diélectrique de grille). Les porteurs créés sont des charges mobiles électrons dans le cas d'un transistor N-MOS, trous dans le cas d'un transistor P-MOS. Lorsque la tension appliquée sur la grille est supérieure à une tension appelée tension de seuil, notée  $V_{th}$ , ces charges mobiles constituent un canal de conduction entre la source et le drain.

Lorsqu'une différence de potentiel,  $V_{DS}$ , est appliquée entre la source et le drain, les porteurs affluant (côté source, de façon conventionnelle) sont collectés par le drain sous la forme d'un courant. Ainsi, de façon macroscopique, le transistor MOS se comporte comme un dispositif régulant un courant entre deux électrodes par une commande en tension.

#### I.3.1. La tension de seuil $V_{th}$ (threshold voltage)

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire :  $\Psi_S = 2\phi_F$

Sous cette condition, la tension de seuil s'exprime comme suit [2] :

$$V_{th} = V_{FB} + 2\phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{ox}} \quad (I.1)$$

Avec

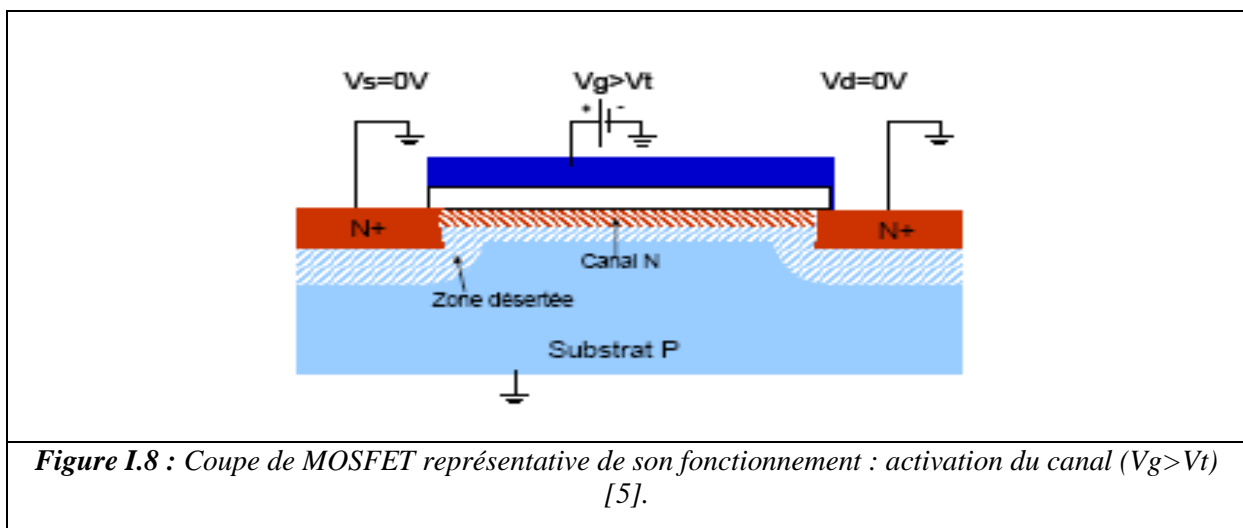
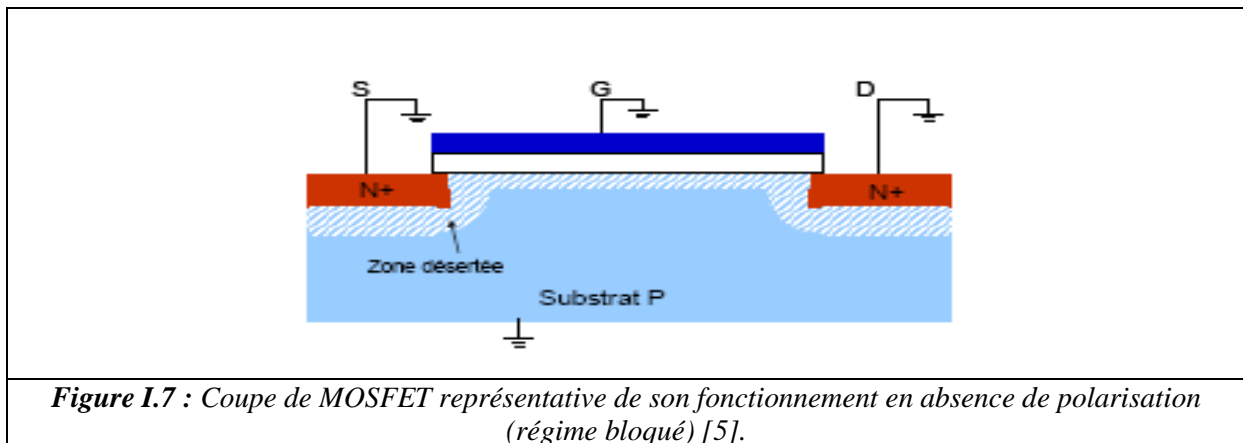
$$V_{FB} = \phi_M - \phi_{Si} \quad (I.2)$$

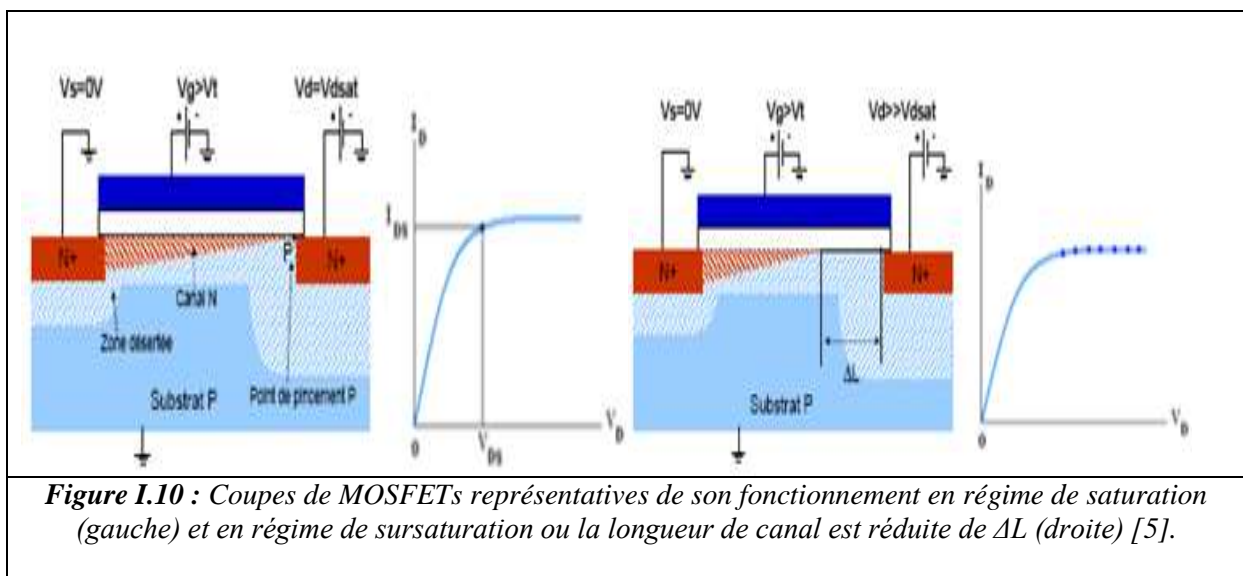
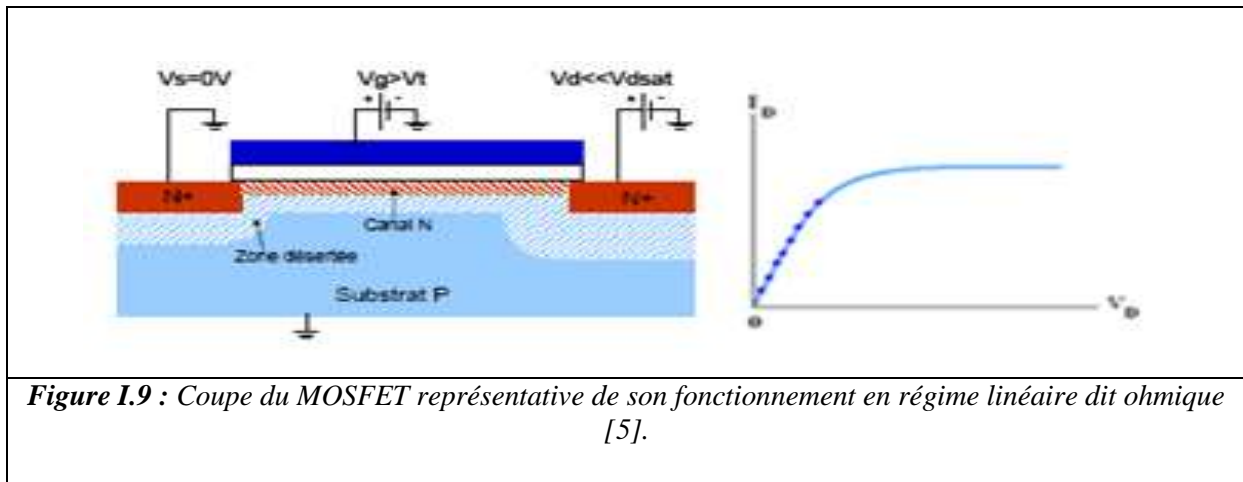
$\phi_M$  et  $\phi_{Si}$  sont tels que  $e \cdot \phi_M$  et  $e \cdot \phi_{Si}$  représentent respectivement les travaux de sortie de la grille et du silicium,  $\epsilon_{Si}$  est la constante diélectrique du silicium, et enfin  $C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$  : représente la capacité de l'oxyde par unité de surface. Cette expression de  $V_{th}$  (I.1) est valable pour le transistor MOS bulk à canal long.

#### I.3.2. Les régimes de fonctionnement du transistor MOS

Une fois les porteurs mobiles induits dans le canal par l'effet de champ vertical (créé par la polarisation de la grille), il faut vérifier la conduction du courant  $I_D$  qui circule entre le drain et la source. Pour cela, on applique une tension  $V_{DS} > 0V$ , afin d'imposer un champ électrique accélérateur dans le canal et parallèle à l'interface oxyde-semi-conducteur.

Pour comprendre le fonctionnement d'un transistor MOS, il est indispensable de remarquer qu'à la modulation de la résistance du canal par l'effet de champ vertical, s'ajoute une autre modulation provenant de la polarisation du drain qui crée un champ électrique longitudinal. Il en résulte que le canal polarisé entre source et drain voit un potentiel variable en chaque point de sa longueur, ce dernier passant de  $\Phi_d$  à la source,  $\Phi_d + V_{DS}$  au drain. Tenant compte du fait que la grille est équipotentielle, cela implique que la tension à travers le diélectrique de grille est non uniforme le long du canal. Par conséquent l'effet de champ devient lui aussi non uniforme, ce qui signifie une résistivité du canal variable en chaque point et en fonction de l'importance de la polarisation de drain, nous pouvons distinguer trois régimes de fonctionnement du transistor MOS.





Les Figures I.7, 8,9 et 10, représentent le principe de fonctionnement du transistor à canal N à enrichissement (normally-off).

En l'absence de toute polarisation de grille  $V_{GS}$ , le régime bloqué représente l'état du composant, le transistor MOS est alors représenté par deux jonctions PN tête-bêche. Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué ( $I_{off}$ ) doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant (Figure I.7).

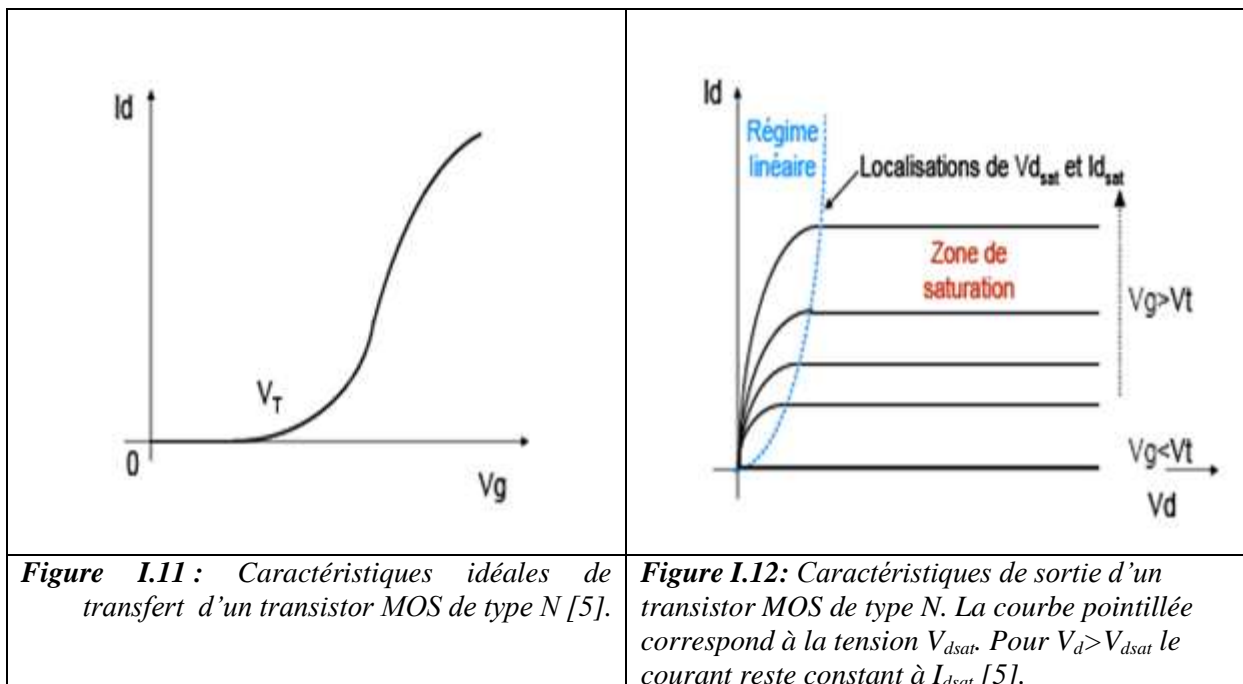
L'application d'une tension positive (négative pour le P-MOS) sur l'électrode de grille supérieure à une certaine tension de seuil  $V_{th}$  produit l'apparition d'une couche d'inversion de type N entre la source et le drain (Figure I.8). Un canal de type N relie la source au drain. Plus la tension de grille  $V_{GS}$  est élevée, plus la densité de porteurs dans la couche augmente.

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (Figure I.9). La variation de la tension  $V_{DS}$  modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain  $V_{DS}$  reste faible, le courant

reste proportionnel à la tension  $V_{DS}$  appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille  $V_{GS}$ . Plus la tension  $V_{DS}$  appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à  $V_{DS}$  et aboutit à un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ( $V_{GS}-V_{DS}$ ) égale à la tension de seuil  $V_{th}$  le canal se pince côté drain et la conductivité du canal s'annule au voisinage du drain. La tension de drain à laquelle le pincement a lieu est appelée tension de saturation  $V_{dsat}$ , et le courant correspondant est appelé courant de saturation  $I_{dsat}$  (Figure I.10).

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à  $V_{dsat}$ . Si la variation relative  $\Delta L/L$  de la longueur du canal est faible, le courant de drain est égal à  $I_{dsat}$  et indépendant de  $V_{DS}$  (Figure I.10).

Les caractéristiques de transfert -  $I_D(V_{GS})$  - et de sortie -  $I_D(V_{DS})$  - sont respectivement illustrées par les Figures I-11 et I-12.



### I.3.3. Courant de drain

Nous allons déterminer les différentes expressions de courant de drain correspondantes aux différents régimes de fonctionnement détaillés précédemment.

#### I.3.3.1. Courant de drain en régime faible inversion

En régime faible inversion (pour une tension de polarisation inférieure à la tension de seuil) le transistor est à l'état bloqué c'est-à-dire la hauteur de la barrière de potentiel est encore importante et seuls quelques porteurs arrivent à la franchir par activation thermique.

Il en résulte l'apparition d'un courant faible de diffusion dans le transistor qui varie exponentiellement par rapport à la tension de la grille  $V_g$ , l'expression est donnée par l'équation (I.3) [5].

$$I_d = \mu_0 \cdot C_{dep} \cdot \frac{W}{L} \cdot \left(\frac{KT}{q}\right)^2 \cdot \left(1 - \exp\left(\frac{-qv_d}{KT}\right)\right) \cdot \left(\exp\left(q \frac{V_g - V_{th}}{\alpha KT}\right)\right) \quad (I.3)$$

$\alpha$  étant égal à  $(1 + C_{dep}/C_{ox})$ ,  $C_{ox}$ , étant la capacité d'oxyde en inversion forte,  $\mu_0$  étant la mobilité des porteurs à faible champ effectif transverse (à  $V_g = V_{th}$ ) et  $C_{dep}$  est la capacité liée à la couche déserté dans le substrat.

#### I.3.3.2. Courant de drain en régime forte inversion

Au-dessus de la tension de seuil, le transistor devient passant, mais l'expression de courant du canal dépend de la valeur de la tension de polarisation  $V_d$ , nous pouvons citer deux régimes de fonctionnement.

##### ✚ Régime linéaire

Pour  $V_d$  faible et inférieure à la valeur  $V_g - V_{th}$ , l'inversion forte est réalisée à l'interface oxyde /canal tout le long du canal qui se comporte comme une résistance alors on parle de régime linéaire ou de régime ohmique et la variation de  $I_d$  en fonction de  $V_g$  à pour expression :

$$I_d = \mu_{eff} \cdot C_{ox} \frac{W}{L} \left(V_g - V_{th} - \frac{1}{2}V_d\right) V_d \quad (I.4)$$

$\mu_{eff}$  étant la mobilité effective des porteurs.

##### ✚ Régime saturé

Lorsque  $V_d$  augmente au-delà de la valeur  $V_g - V_{th}$ , le potentiel de surface côté drain devient inférieur à  $2\Phi_f$ . La densité de porteurs devient donc nulle côté drain créant un point de pincement qui va se déplacer côté source lorsque  $V_d \gg V_g - V_{th}$ . Rien ne change entre

l'extrémité source et le point de pincement que ce soit en terme de densité de charges ou en terme de tension appliquée, la dépendance en  $V_d$  de l'expression du courant disparaît et le courant reste donc constant à une valeur maximale  $I_{dsat}$  donné par l'équation I.5.[6]

$$I_{dsat} = \mu_{eff} \cdot C_{ox} \frac{W}{L} V_{dsat}^2 \quad (I.5)$$

Avec  $V_{dsat} = V_g - V_{th}$

#### I.4. Principaux paramètres des MOSFETs

Les trois régimes de fonctionnement (bloqué, ohmique et source de courant) décrits au paragraphe précédent sont indiqués sur les caractéristiques  $I_D(V_{DS})$  à différentes tensions de grille  $V_{GS}$  reportées en Figure I.13.

L'état passant d'un transistor (zone ohmique et source de courant) MOSFET se caractérise principalement par [7] :

- La résistance à l'état passant  $R_{on}$  : inverse de la pente de courbe  $I_D(V_{DS})$  à  $V_{GS}=V_{DD}$  et faible  $V_{DS}$  où  $V_{DD}$  est la tension d'alimentation du transistor (Figure I.13).
- Le courant de saturation :  $I_{on}$ , c'est-à-dire le courant  $I_D$  à  $V_{GS}=V_{DD}$  et  $V_{DS}=V_{DD}$  (Figure I.14).
- la transconductance  $G_m$ .  $G_m$  correspond à la pente de la courbe  $I_D(V_{GS})$  à fort  $V_{DS}$  (Figure I.14) soit [2] :

$$G_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=cste} \quad (I.6)$$

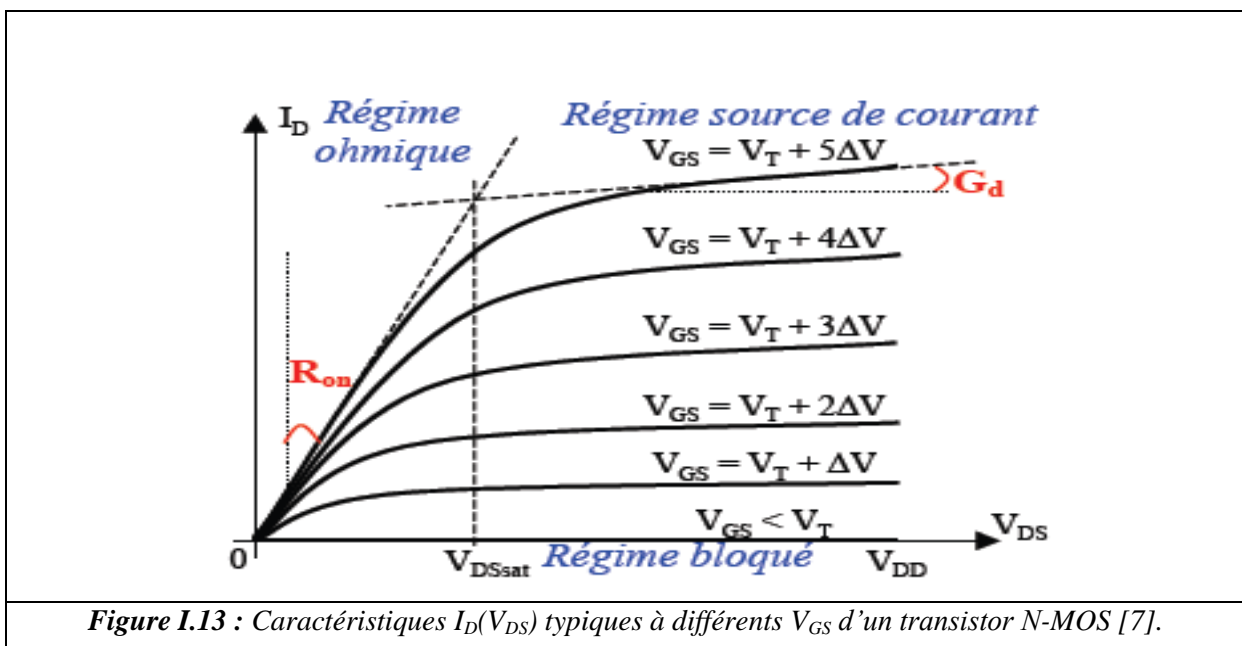
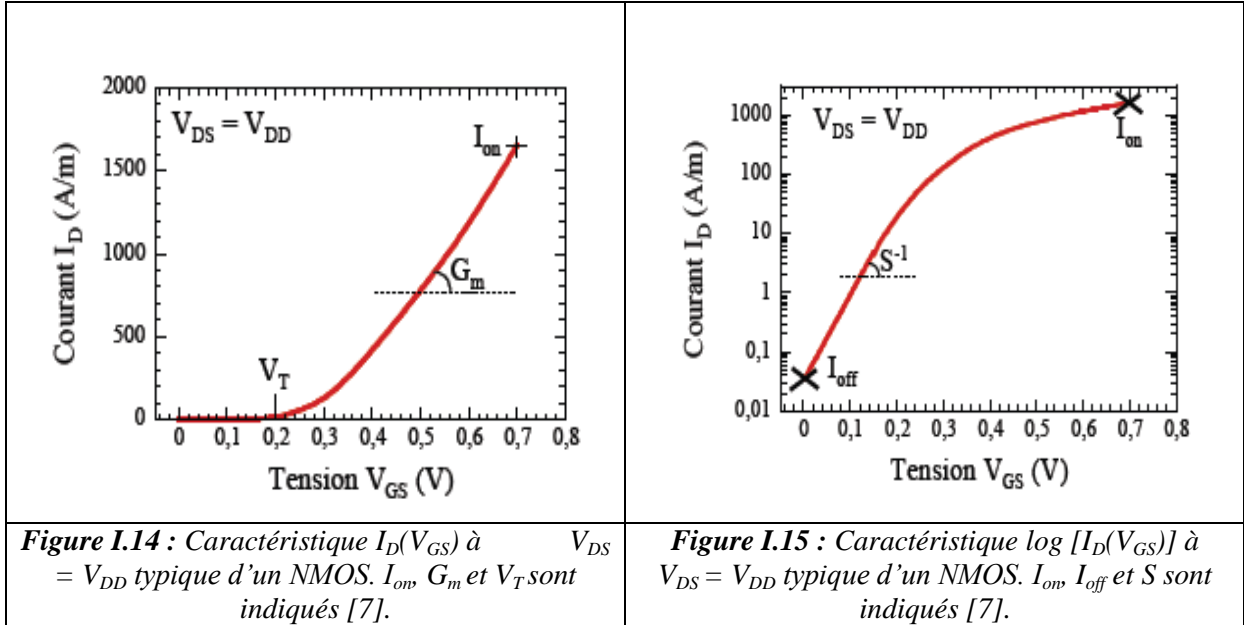


Figure I.13 : Caractéristiques  $I_D(V_{DS})$  typiques à différents  $V_{GS}$  d'un transistor N-MOS [7].



La conductance  $G_d$  quantifie l'imperfection de la saturation. Elle est égale à la pente de la courbe  $I_D(V_{DS})$  à  $V_{DS} > V_{dsat}$  soit [2] :

$$G_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=cste} \quad (\text{en régime source de courant}) \quad (I.7)$$



Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ( $I_D \neq 0$ ). Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif, d'où la dépendance exponentielle de la caractéristique  $I_D(V_{GS})$  sous le seuil illustrée en Figure I.15.

- le courant à l'état bloqué  $I_{off}$  correspond au courant  $I_D$  à  $V_{GS} = 0$  V et  $V_{DS} = V_{DD}$  (Figure I.15),
- de plus on définit la pente sous le seuil  $S$  comme l'inverse de la pente  $\log [I_D(V_{GS})]$  à faible  $V_{GS}$ .

$$\text{Soit } S = \left[ \left. \frac{\partial \log(I_D)}{\partial V_{GS}} \right|_{V_{DS}=cste} \right]^{-1} \quad (I.8)$$

La modélisation du courant sous le seuil [5] donne une pente :

$$S = \frac{k_B T}{q} \ln(10) \left[ 1 + \frac{C_{ZCE}}{C_{ox}} \right] \quad (I.9)$$

où  $k_B$  est la constante de Boltzmann,  $T$  la température,  $q$  la charge élémentaire,  $C_{ox}$  la capacité d'oxyde et  $C_{ZCE}$  la capacité de la zone de charge d'espace.

Pour  $C_{ox} \gg C_{ZCE}$  on obtient la pente  $S$  idéale [2] :

$$S_{idéale} = k_B \times T / q \times \ln(10) \quad (I.10)$$

C'est-à-dire égale à 60mV par décade à 300°K.

## **1.5. Les limites actuelles à la miniaturisation du transistor MOS bulk**

### **1.5.1. Contraintes pour les générations futures**

La future génération de transistor MOS atteindra des dimensions caractéristiques de l'ordre de quelques nanomètres. Au-delà des difficultés de lithographie qu'il conviendra de surmonter avant d'en arriver à la réalisation industrielle, ces « NanoMOS » imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes qu'on ne peut plus négliger. Dans les paragraphes qui suivent, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET bulk est confronté dans la course à la miniaturisation.

#### **1.5.1.1. Problèmes liés aux faibles épaisseurs d'oxyde**

Parallèlement à la réduction de la longueur du canal  $L$ , l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets canaux courts et d'améliorer le contrôle du canal de conduction. Pour des épaisseurs inférieures à 2nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor [8], même si les applications « basse consommation » souffrent de plus en plus de l'augmentation continue de la puissance dissipée.

La dépendance exponentielle du courant de grille ( $J_g$ ) avec l'épaisseur d'oxyde fait de la limitation du courant tunnel de grille l'un des défis majeurs des prochaines années. Parmi les solutions en cours d'étude, l'utilisation d'isolants à permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. L'oxyde d'hafnium  $HfO_2$  avec sa permittivité relative ( $\epsilon_r$ ) de l'ordre de 20, son gap relativement grand de l'ordre de 5,65eV et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [9].

#### **1.5.1.2. Les effets des canaux courts**

##### **1.5.1.2.1. Effets de la modulation de la longueur du canal (effet Early)**

La longueur du canal  $L$  est une des dimensions les plus critiques dans la technologie CMOS. Lorsque la tension drain-source atteint la tension de saturation, le pincement s'effectue au

niveau du contact du drain. Pour des tensions supérieures à la tension  $V_{dsat}$ , le point de pincement se déplace vers la source d'une distance  $\Delta L$  (Figure I.16). Le courant de drain augmente et est donné par:

$$I_D = I_{Dsat} \left( \frac{L}{L - \Delta L} \right) \quad (I.11)$$

La longueur ( $\Delta L$ ) de la zone de déplétion d'un élément de semi-conducteur soumis à une différence de potentiel  $\Delta V = V_D - V_{Dsat}$  est définie en intégrant l'équation de Poisson:

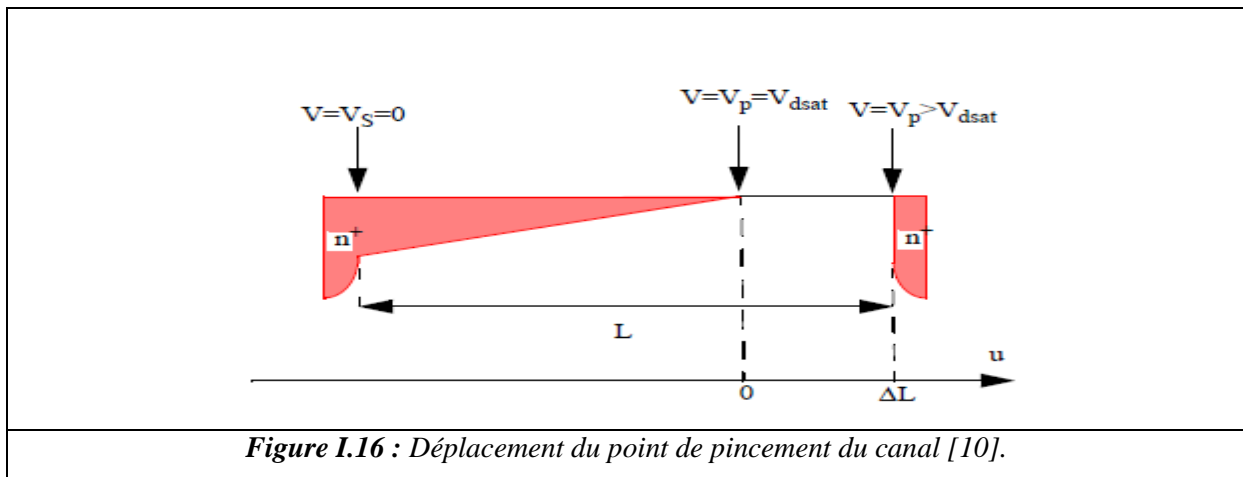
$$\frac{d^2V}{du^2} = \frac{\rho}{\epsilon_S} = \frac{eN_A}{\epsilon_S} \quad (I.12)$$

Avec  $\rho$  la charge d'espace,  $\epsilon_S$  la constante diélectrique du semi-conducteur,  $e$  la charge de l'électron, et  $N_A$  la densité d'accepteurs.

En intégrant l'équation (I.12), et en utilisant la condition limite:  $E = 0$  en  $u = 0$ , puis sur la longueur  $\Delta L$ , on obtient:

$$\Delta L = \sqrt{\frac{2\epsilon_S}{eN_A} (V_D - V_{Dsat})} \quad (I.13)$$

Pour des transistors à canaux courts,  $\Delta L$  est proche de la longueur de grille  $L$ . Ceci entraîne une augmentation du courant de drain en régime de saturation.



### I.5.1.2.2. Vitesse de saturation

La vitesse des porteurs minoritaires est proportionnelle au champ électrique longitudinal. Elle atteint un seuil,  $V_{dmax}$ , pour la valeur critique de ce champ électrique  $E_c$ . Cette quantité s'écrit [2] :

$$E_C = \frac{|V_{dmax}|}{\mu} \quad (I.14)$$

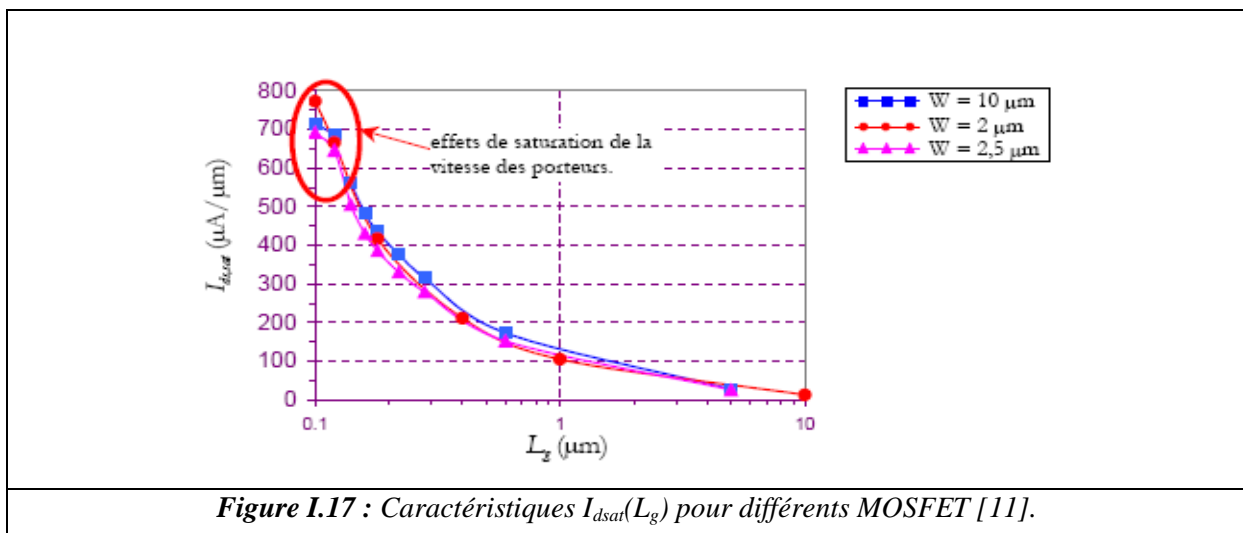
Une approximation de la vitesse des porteurs minoritaires, en fonction du champ électrique longitudinal et de la vitesse de saturation, est donnée par la relation suivante [2]:

$$|V_D(E)| = |V_{dmax}| \frac{|E|/E_C}{1+|E|/E_C} \quad (I.15)$$

Lorsque la longueur du canal diminue, le champ électrique dans le canal peut atteindre cette valeur critique à partir de laquelle la vitesse des porteurs commence à saturer. Finalement, le lien entre le courant sans les effets de saturation de la vitesse,  $I_{dsv0}$ , et le courant  $I_{dsv}$  incluant ces effets s'écrit [2]:

$$I_{dsv} = \frac{I_{dsv0}}{1 + \frac{V_{DS}}{L_g E_C}} \quad (I.16)$$

Dans ce cas, la longueur apparente du canal semble rallonger d'un coefficient  $\left(1 + \frac{V_{DS}}{L_g E_C}\right)$ . La caractéristique  $I_{dsat}(L_g)$  ne tend plus vers l'infini lorsque  $L_g$  tend vers 0, mais elle tend vers une constante, comme il est indiqué à la Figure I.17.



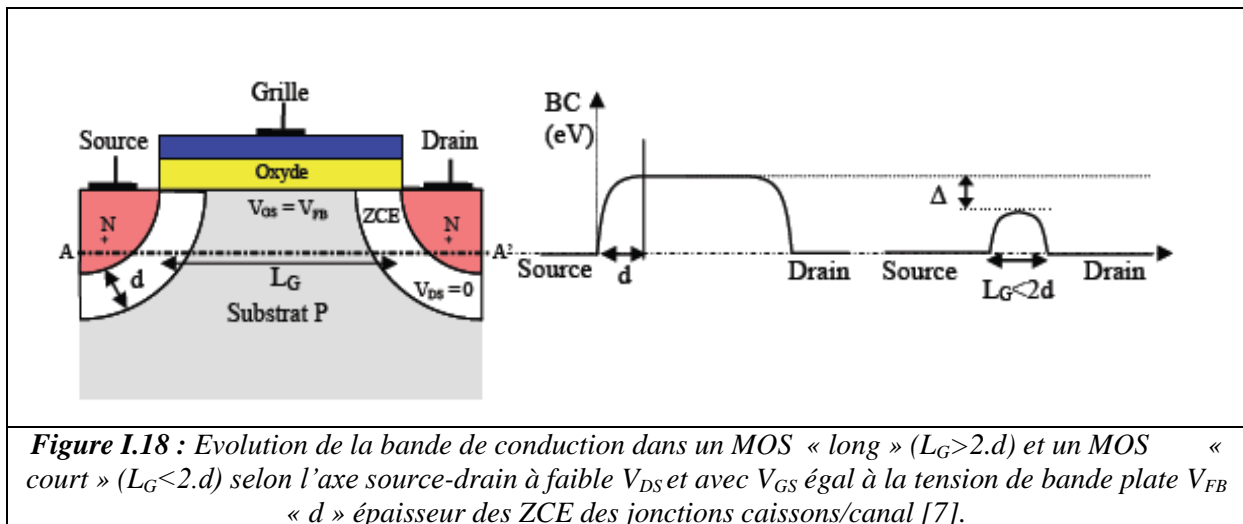
La saturation de la vitesse des porteurs minoritaires entraîne une diminution de  $V_{dsat}$ , ainsi que de  $I_{dsat}$  sur les caractéristiques des MOSFET [11]. Une autre conséquence plus subtile concerne la variation de  $I_{dsat}$ . Avec la saturation de la vitesse des porteurs, ce courant est fonction de  $V_{GS} - V_{th}$  surtout lorsque  $L_g$  est petit. Sans ces effets,  $I_{dsat}$  est proportionnel à  $(V_{GS} - V_{th})^2$ .

### I.5.1.2.3. Diminution de la tension de seuil $V_{th}$ dans les canaux courts

Dans les dispositifs courts, on observe une augmentation des épaisseurs des zones de charges d'espace relativement à la longueur de canal  $L_g$ . Cela modifie notablement les caractéristiques électriques des transistors courts.

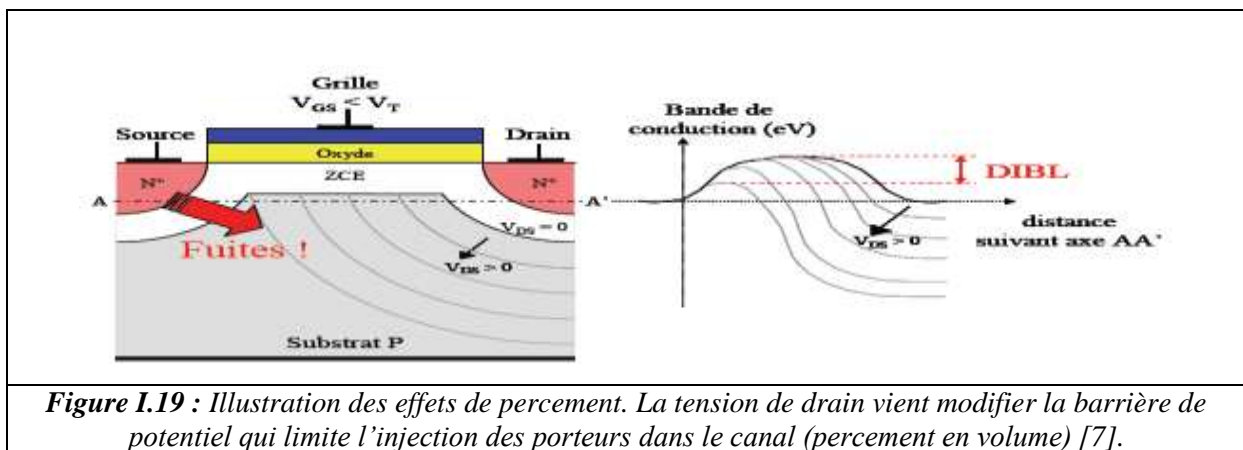
En effet, l'injection des électrons dans la zone active du transistor est contrôlée au niveau du canal par la barrière de potentiel commandée par  $V_{GS}$  (Figure I.18), et au niveau du substrat par la barrière de potentiel de la jonction Source (N+)/Substrat(P).

Lorsque les épaisseurs des ZCE des jonctions caissons/canal s'étendent sur toute la longueur du canal, la barrière de potentiel dans le canal court est abaissée par rapport à sa valeur dans un canal « long ». Le nombre de porteurs présents dans le canal augmente alors. La tension de seuil à partir de laquelle se produit le phénomène d'inversion est donc plus faible [7].



**I.5.1.2.4. Effets de réduction de la barrière de potentiel induit par le drain (Effet de percement)**

De même, des phénomènes dits de percement surviennent lorsque les dimensions des zones désertées (ZCE) Source/Substrat et Drain/Substrat deviennent comparables à la longueur de la grille  $L_G$ , la distribution du potentiel dans le canal dépend alors à la fois du champ transversal (contrôlé par la tension de grille), mais aussi du champ longitudinal (contrôlé par la tension de drain). En effet, comme indiqué en Figure I.19, une augmentation de la tension de drain induit un accroissement de la ZCE côté drain, ce qui provoque l'abaissement de la barrière de potentiel Source/Substrat. Cet effet est appelé DIBL : « Drain Induced Barrier Lowering » [7].



Ce phénomène est encore plus important pour les tensions de drain élevées et pour les longueurs de canal les plus courtes.

On mesure généralement l'effet DIBL par le décalage de la courbe de transfert en régime sous le seuil ( $\Delta V_{th}$ ) divisé par le  $\Delta V_{DS}$  entre les deux courbes résultant de deux tensions de drain différentes (Eq. I.17). Cet effet est illustré sur la Figure I.20:

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{DS}} \quad (\text{mV/V}) \quad (\text{I.17})$$

#### I.5.1.2.5. Résistances séries parasites

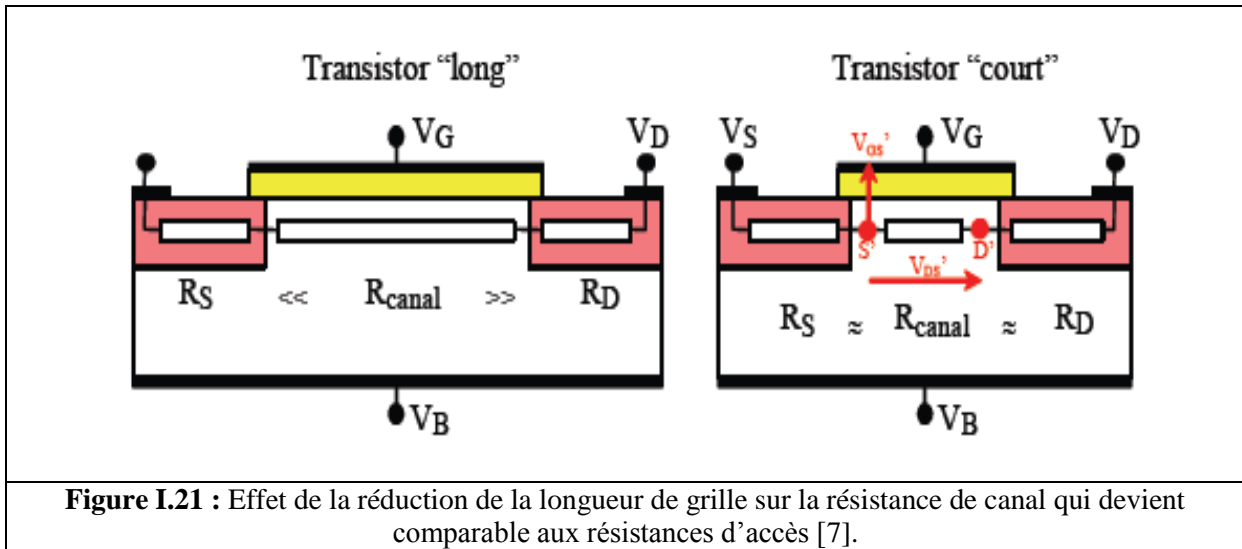


Figure I.21 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d'accès [7].

Lorsque la longueur du canal diminue, sa résistance devient plus faible et éventuellement comparable à celle des caissons Source et Drain (Figure I.21).

L'influence des résistances d'accès modifie alors fortement les caractéristiques  $I(V)$  du transistor. Les chutes de potentiel dans les caissons viennent diminuer la tension  $V_{DS}$  appliquée effectivement aux bornes du canal ainsi que la tension de grille effective  $V_{GS}$ . Cela modifie le courant  $I_{on}$  et la transconductance  $G_m$  [7].

En effet, il faut alors tenir compte des chutes de potentiel dans les zones d'accès. Ainsi, si  $R_S = R_D$ , les chutes de tension d'une part entre grille et source et d'autre part entre drain et source ne sont plus  $V_{GS}$  et  $V_{DS}$  mais [2]:

$$\begin{cases} V'_{GS} = V_{GS} - R_S I_D \\ V'_{DS} = V_{DS} - 2R_S I_D \end{cases} \quad (\text{I.18})$$

Que l'on reporte dans l'expression du courant non saturé [2] :

$$I_D = K \left[ (V_{GS}' - V_{th}) V_{DS}' - \frac{V_{DS}'^2}{2} \right] \text{ avec } K = \frac{W}{L} \mu_{eff} C_{OX} \quad (I.19)$$

C'est-à-dire, en négligeant les termes en  $(R_S I_D)^2$  :

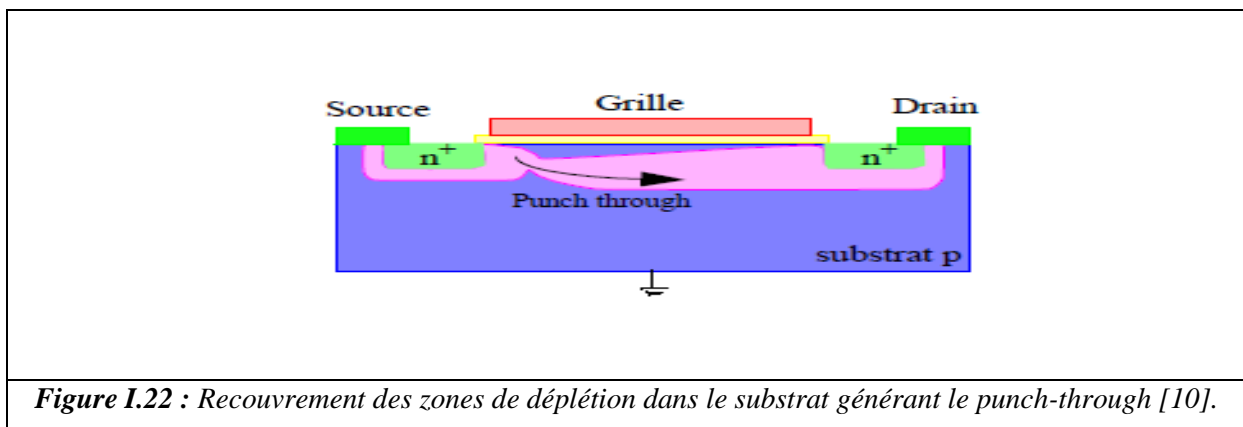
$$I_D = \frac{K}{1 + 2KR_S \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right)} \left[ (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (I.20)$$

#### I.5.1.2.6. Effet de canal court inverse

L'effet de canal court inverse est lié au dopage non uniforme le long du canal [13]. Pendant les étapes de réalisation du canal et de l'oxyde de grille, ou après l'implantation de zones fortement dopées ou proches des réservoirs au niveau de la source et le drain, un sur-dopage a lieu dans le canal au niveau des interfaces source/drain. La zone sur-dopée s'accroît avec la réduction de la longueur du canal. Le dopage effectif augmente. Ceci implique une évolution de la tension de seuil lorsque la longueur de grille diminue selon le dopage du canal, ce phénomène est influent pour des longueurs moyennes du canal.

#### I.5.1.2.7. Effet de perçage « punch-through »

L'effet de perçage ou « punch-through » a lieu lorsque les zones de charges d'espace des jonctions source/substrat et drain/substrat se rejoignent dans la zone active. Cette vision du phénomène est empirique. En fait pour des fortes tensions  $V_{DS}$  les lignes de champ de zone de drain atteignent la source et augmente le potentiel de surface. La tension de seuil effective devient nulle. La quantité de charge d'inversion croît. Le transistor conduit même pour  $V_{GS} = 0V$ . Cet abaissement de la barrière de potentiel conduit à la formation d'un faible courant d'électron de la source au drain. Ce courant se positionne soit en surface de la zone active pour un canal uniformément dopé, soit dans le substrat du silicium lorsque le dopage en surface est important.



Cet effet implique une pente sous seuil légèrement dégradé et un plus fort courant de fuite à l'état bloqué  $I_{off}$  contrôlé par  $V_{DS}$ . Ce phénomène peut être annihilé en augmentant le dopage de la zone active afin de réduire l'étalement des zones de charges d'espace des jonctions « source/substrat » et « drain/substrat ». Des implantations en profondeur spécifiques permettent également de contrôler l'effet de parçage. Cet artifice est limité par les courants de fuite de la jonction drain/substrat [14].

### **I.6.Conclusion**

Le transistor MOSFET est le dispositif le plus utilisé en électronique analogique et digital. Il a su par ses qualités et ses performances évincé son concurrent le bipolaire qui lui a largement cédé la place. La miniaturisation de ces transistors MOS et plus particulièrement la diminution de la longueur du canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Néanmoins cette réduction des dimensions bien nécessaire à la course vers la miniaturisation engendre indéniablement des phénomènes parasites appelés généralement effets canaux courts, on citera entre autre (le DIBL, punch-through, modification de la tension de seuil...) qui détériorent les caractéristiques courant-tension. Afin de diminuer ces effets canaux courts, il fut nécessaire de trouver de nouvelles structures qui permettent de maintenir de bonnes performances pour les transistors de faibles dimensions. De ce fait les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver de bonnes caractéristiques. On citera entre autre technologie SOI.



**Bibliographie**

- [1] Jérôme MAZURIER, Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM, thèse de doctorat, octobre 2012 .
- [2] RAHOU Fatima Zohra, Etude et mise en évidence des performances des structures MOS sur SOI , mémoire de magister, Décembre 2010.
- [3] Thomas SKOTNICKI « Transistor MOS et sa technologie de fabrication » Centre national d'études des télécommunications (CNET) de Grenoble.
- [4] <http://dspace.univ-tlemcen.dz/bitstream/112/1083/7/chapitre1.pdf>
- [5] André VAPAILLE et René CASTAGNE « Dispositif et circuits intégrés semi-conducteurs », Dunod, 1987.
- [6] B. G. Streetman, S. Banerjee, Solid State Electronic Devices. Uppersaddleriver: PrenticeHoll,p.558, 2000.
- [7] Jérôme SAINT-MARTIN 2005« Etude par simulation MONTE CARLO d'architecture de MOSFET ultracourts à grille multiple sur SOI » Université de Paris-Sud.
- [8] S-I. Nakamura, T. Ohguro, T. Yoshitomi, et al., "Study of the manufacturing feasibility of 1.5nm direct-tunneling gate oxide MOSFET's: Uniformity, reliability, and dopant penetration of the gate oxide," IEEE Transactions on Electron Devices, vol. 45, no. 3, pp. 691–700, 1998.
- [9] B.H. Lee, L. Kang, W. J. Qi, et al., "Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application," IEDM'99 Tech. Digest., pp. 556, 1999
- [10] Julien PENAUD, Contributions à la conception et à la réalisation de transistors MOS à grille multiple, thèse de doctorat, octobre 2006.
- [11] <http://docinsa.insa-lyon.fr/these/pont.php?id=daviot>.
- [12] H. Veendrick, "Deep submicron CMOS ICs", Kluwer Academic Publishers, Deventer, The Netherlands, 1998.
- [13] [www.techniques-ingenieur.fr/affichage/noeud.asp](http://www.techniques-ingenieur.fr/affichage/noeud.asp).
- [14] [http://pagesperso-orange.fr/michel.hubin/physique/elec/chap\\_tr3.htm](http://pagesperso-orange.fr/michel.hubin/physique/elec/chap_tr3.htm)

## Chapitre II

### *Dispositif MOSFET SOI*



## Sommaire du chapitre II

<b>II.1 Introduction</b> .....	29
<b>II.2. La technologie SOI</b> .....	29
<b>II.3. L’architecture du dispositif SOI-MOSFET</b> .....	30
<b>II.4. Fabrications des plaquettes SOI</b> .....	31
II.4.1. Avantage de la technologie SOI .....	33
II.4.1.1. Augmentation de la densité d’intégration .....	33
II.4.1.2. Réduction des capacités parasites du substrat .....	33
II.4.1.3. Suppression du thyristor parasite (latch-up).....	34
II.4.1.4. Simplification des étapes de siliciuration ou de métallisation .....	34
II.4.1.5. Diminution du nombre d’étapes de développement.....	35
II.4.1.6. Meilleures caractéristiques de courants.....	36
II.4.1.7. Réduction des effets de canaux courts .....	37
II.4.1.8. Diminution de l’inverse de la pente sous le seuil.....	38
II.4.2. Inconvénient majeur de la technologie SOI.....	38
<b>II.5. Les différents types de transistors SOI-MOSFET</b> .....	39
II.5.1. Le transistor SOI partiellement déplété (Partially-Depleted SOI ou PD-SOI) .....	39
II.5.2. Le transistor SOI complètement déplété (Fully-Depleted SOI ou FD-SOI).....	39
II.5.3. Comparaison de la technologie FD-SOI-MOSFET par rapport à la technologie PDSOI- MOSFET.....	39
<b>I.6. Conclusion</b> .....	41
<b>Bibliographie</b> .....	43

## II.1 Introduction

La conception théorique de microprocesseur Core i7 980x a été développée en **2010** par la société Intel, ce dispositif possède 1,17 milliard de transistors conçus avec une technologie 32 nm et a une superficie d'environ 248 mm<sup>2</sup> (figure II.1 à gauche) [1]. La figure II.1 à droite présente la miniaturisation des transistors jusqu'à une technologie 5nm.

Dans les années 2000, le Nokia 3310 était le téléphone mobile le plus populaire (figure II.1 au milieu), il utilisait un processeur d'une taille minimale de transistors d'environ 1 µm, il contenait environ 1 million de transistors, la taille de la matrice est de 68,51 mm<sup>2</sup>, ce téléphone est très simple utilisant la technologie mobile GSM, fournit un affichage monochrome pur de 84 x 84 pixels.

17 ans plus tard, l'iPhone X est lancé [2], Il utilise la puce Apple A11 Bionic, la taille minimale des transistors dans ce téléphone atteinte à 10 nm, contient plus de 4,3 milliards de transistors, et la taille de la matrice est de 87,66 mm<sup>2</sup>, ce qui est beaucoup plus complexe que le Nokia 3310.



**Figure II.1:** à gauche : Image de l'architecture d'un processeur Intel Core I7 [1], au milieu: Nokia 3310, 2000 avec un demi-million de transistors, et L'iPhone X, 2017, avec plus de 4,3 milliards de transistors [3], à droite: la miniaturisation des transistors de 45 nm à 7 nm [4].

## II.2. La technologie SOI

L'alternative de l'extension de la mise en échelle de la limite du dispositif MOSFET-bulk est basée sur la technologie silicium-sûr-isolant (SOI), plusieurs applications importantes des transistors SOI-MOSFET sont distinguées au niveau commercial depuis 1997 jusqu'à maintenant, grâce à leur utilisation dans les applications numériques, il existe deux catégories d'applications importantes :

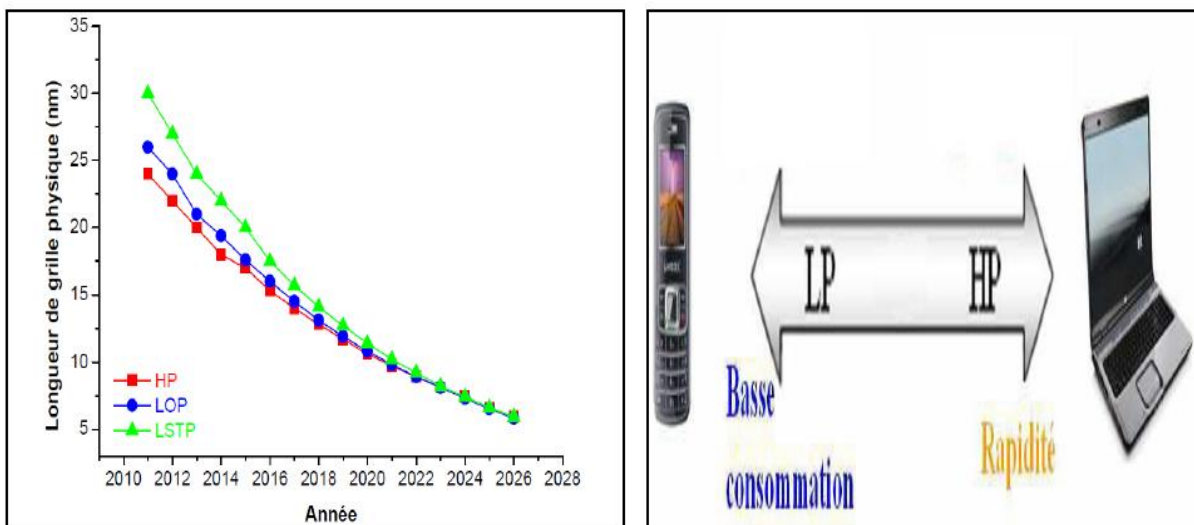
✚ Les applications à haute performance HP « High Performance » : tels que les microprocesseurs pour les ordinateurs de bureau (processeur Opteron AMD 64 bits, Power PC (IBM)...) )

✚ Les applications à faible consommation d'énergie : celui-ci affectera la fréquence de commutation du transistor :

- Les dispositifs à faible puissance active LOP « Low Operating Power » : tels que les ordinateurs portables (CELL (Sony, Toshiba), Contrôleur de surveillance (Oki), Réseau de grilles (Mitsubishi)...) )
- Les dispositifs à faible puissance statique LSTP « Low Standby Power » : tels que les téléphones mobiles (MPC (Motorola)...) [5, 6].

Selon les feuilles de route technologique des semi-conducteurs l'ITRS publiés récemment, la longueur physique de la grille des transistors MOS (en terme de HP) est d'environ 22 nm (Intel 2011), cette longueur continuera d'évoluer et peut atteinte jusqu'à 4nm en 2025 [7, 8].

La figure II.2 décrit l'évolution de la longueur physique de grille en termes de HP, LOP et LSTP par les prédictions d'ITRS [9].

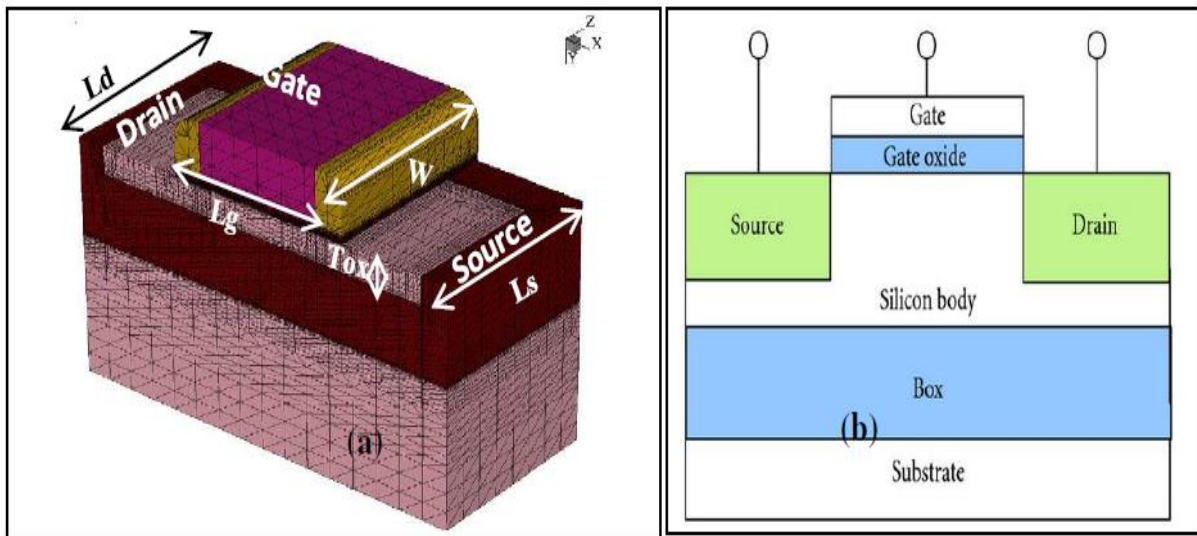


**Figure II.2: a).** Évolution de la longueur de grille des transistors MOS en termes de performances : prévisions ITRS 2011 **b).** Les applications technologiques : HP (High Performance), LP (Low Power) [9,10].

### II.3. L'architecture du dispositif SOI-MOSFET

La technologie silicium sur isolant « Silicon On Insulator » a été inventée dans les années 1960-1970 pour satisfaire les demandes des circuits, cet isolant peut être du saphir (Silicon-On-Sapphire) (le premier matériau (SOS)), de l'air (Silicon-On-Nothing) (SON) [11], ou du dioxyde de silicium ( $\text{SiO}_2$ ), grâce à l'oxyde enterré, il peut assurer une parfaite isolation diélectrique entre la couche active du circuit et le substrat en silicium massif, le transistor SOI MOSFET est réalisé d'une partie active du film de silicium mince sur un oxyde enterré BOX

«Buried Oxide », ce type de transistor a remplacé le MOSFET sur silicium massif "bulk" dans la fabrication des circuits CMOS, la différence est qu'il n'y a plus de courant de substrat dans cette nouvelle technologie (Figure II.3) [12]. Depuis le début des années 1990, la mise au point des nouveaux matériaux SOI, ainsi que l'invention des appareils électroniques portables, ont promu le SOI comme une alternative prometteuse pour la fabrication des composants à basse consommation et à haute fréquence [13]. Généralement les principaux paramètres géométriques des transistors MOS sont:  $L_G$  (longueur de grille),  $L_s$  et  $L_d$  (longueur source/drain),  $W$  (largeur latérale de la structure), et  $e_{ox}$  ou  $T_{ox}$  (épaisseur d'oxyde) comme montre dans la figure II.3.a [14, 15].



*Figure II.3: Présentation de la structure d'un transistor SOI-MOSFET a) à trois dimension, b) à deux dimensions [16,17].*

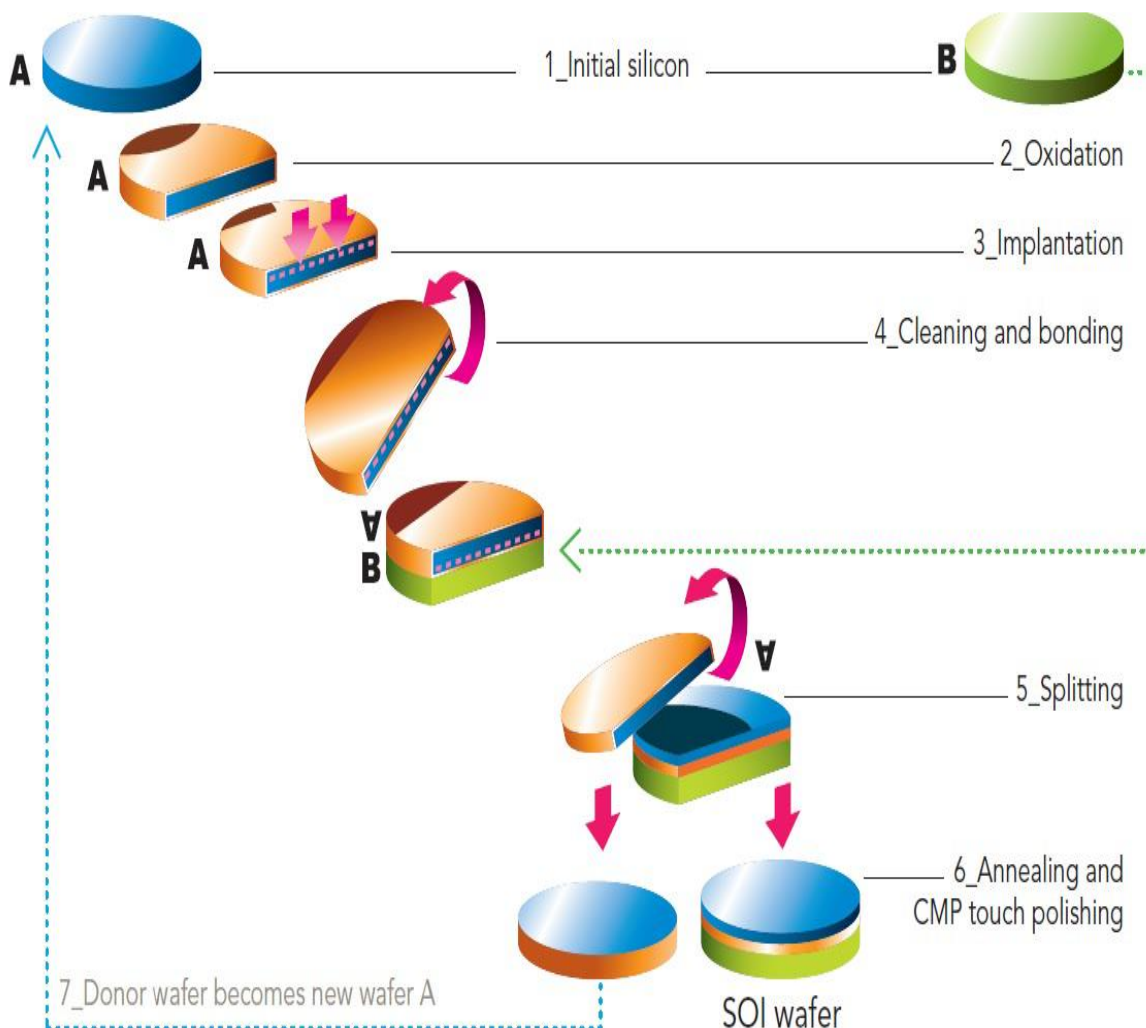
## II.4. Fabrications des plaquettes SOI

La miniaturisation des dimensions des transistors induit des effets parasites qui altèrent leurs performances. Cela se traduit par une complexification du processus d'intégration, indispensable afin de suivre les spécifications de l'ITRS (pour International Technology Roadmap for Semiconductors) [18]. Le transistor bulk atteignant ses limites vis-à-vis du contrôle des effets de canaux courts pour les longueurs de grille inférieures à 50nm, d'autres architectures technologiques ont vu le jour. Parmi celles-ci, on trouve la technologie « Silicium sur Isolant », également appelée SOI (pour Silicon On Insulator).

Actuellement, il existe plusieurs méthodes de procédé de fabrication des plaques SOI (BSOI, SIMOX,...) une méthode appelée : la technologie Smart Cut est utilisée pour réaliser les substrats UNIBOND à la base du développement de la société SOITEC [19, 12].

Les étapes de procédés de fabrication des plaquettes à base des matériaux SOI sont :

- Dépôt d'une couche de silicium monocristallin sur un isolant.
- Création d'un oxyde par implantation profonde d'oxygène dans un substrat de silicium (matériau SIMOX).
- La formation et la croissance de cavités issues de défauts spécifiques créés lors de l'implantation d'hydrogène.
- Le collage des plaques de silicium d'oxyde (matériau BESOI), Elle met en jeu l'adhérence moléculaire (wafer-bonding) c'est-à-dire créé des liaisons entre elles de telle manière qu'il faut appliquer une force pour les séparer.
- Le transfert de couche mince par détachement suite à une implantation ionique.
- Lors d'un recuit, les liaisons pourront être remplacées par des liaisons de forte énergie [20].



**Figure II.4 :** Schéma de principe du procédé de fabrication des plaques SOI utilisant le procédé Smart Cut [21]

### II.4.1. Avantage de la technologie SOI

De part la couche d'oxyde enterré qui isole la zone active du transistor, la technologie SOI possède des propriétés intéressantes par rapport au silicium à substrat massif. Globalement, les transistors SOI apportent 25% à 30% de performances en plus par rapport à leurs homologues à substrat massif [22].

#### II.4.1.1. Augmentation de la densité d'intégration

La technologie SOI est particulièrement attractive car elle permet d'isoler les transistors entre eux. En effet, les structures d'isolation qui définissent les zones actives, entrent en contact avec l'oxyde enterré, réalisant ainsi une isolation parfaite. Cette amélioration est importante car elle autorise une augmentation significative de la densité d'intégration.

#### II.4.1.2. Réduction des capacités parasites du substrat

Dans les circuits sur substrat SOI, la capacité maximale entre les jonctions et le substrat et celle due à l'isolant enterré (Figure II.5). Cette capacité est proportionnelle à la constante diélectrique du matériau capacitif. Or dans le cas le plus souvent utilisé d'un isolant en dioxyde de silicium, cette constante vaut  $\epsilon_{OX} = 3.9$  soit trois fois plus petite que celle du silicium  $\epsilon_{Si} = 11.7$ . L'épaisseur de l'isolant enterré n'a alors pas besoin d'être réduite lorsque des composants plus petits sont produits et de ce fait les capacités parasites n'augmentent pas au fur et à mesure de l'évolution de la technologie, contrairement sur substrat massif.

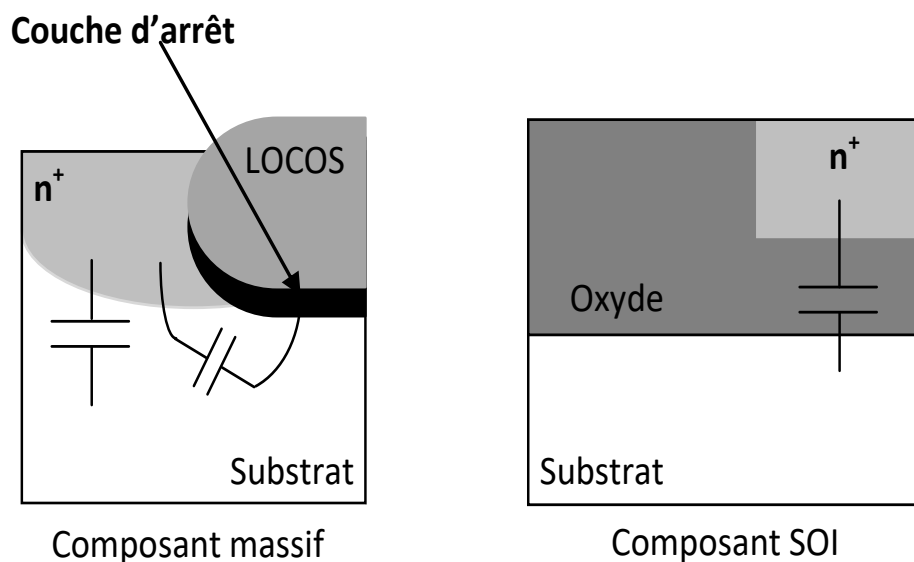
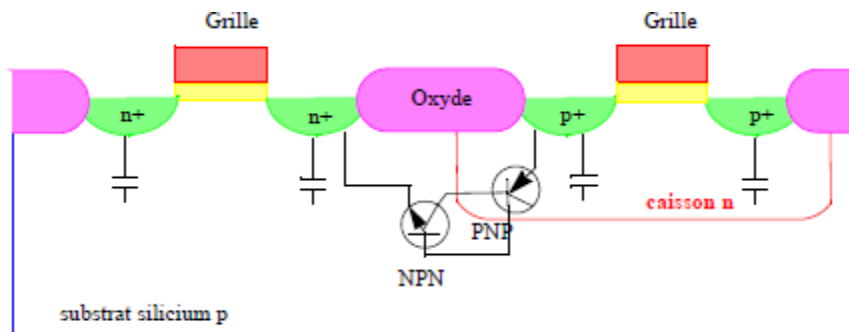


Figure II.5 : Capacités de jonctions parasites [23].

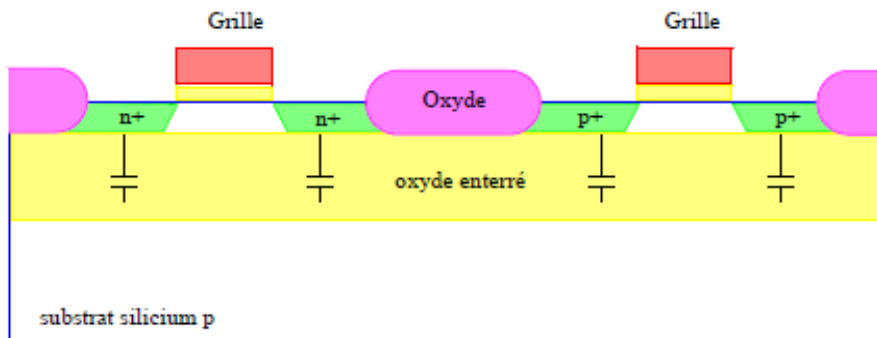


### II.4.1.3. Suppression du thyristor parasite (latch-up)

Le déclenchement de la structure thyristor parasite est lié à la juxtaposition des transistors bipolaires parasites (nnp et pnp) entre deux MOSFETS voisins et complémentaires (phénomène de «latch up» [24]). L'utilisation du SOI annihile cet effet parasite comme le montrent les Figure II.6.a et Figure II.6.b. Cette disparition élimine une source importante de courants de fuite et de destruction de composants, et évite la commutation spontanée de certains transistors.



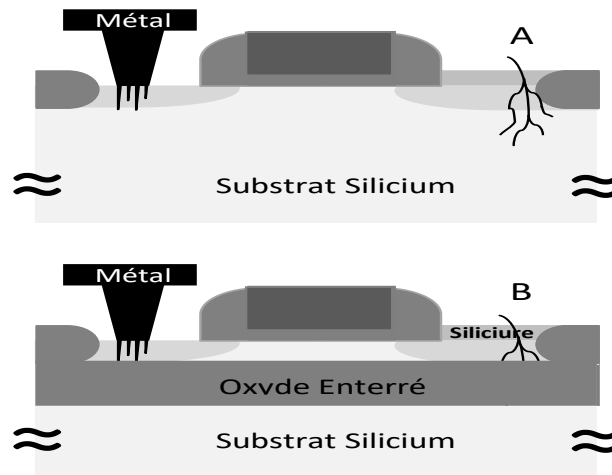
*Figure II.6.a: Thyristor parasite pour deux transistors MOSFET voisins sur substrat massif [25].*



*Figure II.6.b: Effets de la couche isolante SiO<sub>2</sub> du substrat SOI sur les transistors parasites et les capacités parasites des jonctions pn [25].*

### II.4.1.4. Simplification des étapes de siliciuration ou de métallisation

La réduction des résistances d'accès à l'aide de siliciuration est une étape importante de la réalisation de composants à hauts performances. Dans les composants sur substrat massif, des réactions non souhaitées peuvent parfois se produire entre le silicium et le siliciure ou le métal, entraînant des courants de fuites. En SOI, il n'y a pas de fuites du fait de l'impossibilité d'une jonction métallique sous la zone de contact métal-silicium (Figure II.7).



*Figure II.7 : Formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat massif (A) et d'un composant sur substrat SOI (B) [23].*

#### II.4.1.5. Diminution du nombre d'étapes de développement

La technologie SOI comporte moins d'étapes de conception que la technologie sur substrat massif. Le Tableau II.1 récapitule les différentes étapes du procédé en technologie sur substrat massif et SOI. On peut tout de même constater une grande ressemblance entre ces deux technologies.

Substrat massif	Substrat SOI
Oxydation	Oxydation
Lithographie des puits	
Dopage des puits et renforcement	
Dépôt de nitrure	Dépôt de nitrure
Lithographie de la zone active	Lithographie de la zone active
Retrait du nitrure	Retrait du nitrure
Lithographie des zones à implanter	Lithographie des zones à implanter
Implantation des zones	Implantation des zones
Croissance des zones d'oxyde	Croissance des zones d'oxyde
Retrait du nitrure	Retrait du nitrure
Lithographie des canaux P	
Implantation de « Anti-punchthrough »	
Croissance de l'oxyde de grille	Croissance de l'oxyde de grille
Implantation des canaux P pour $V_{th}$	Implantation des canaux P pour $V_{th}$
Lithographie des canaux N pour $V_{th}$	Lithographie des canaux N pour $V_{th}$
Implantation de « Anti-punchthrough »	

Implantation des canaux N pour $V_{th}$	Implantation des canaux N pour $V_{th}$
dépôt de polysilicium et dopage	dépôt de polysilicium et dopage
Lithographie des grilles et retrait	Lithographie des grilles et retrait
Lithographie des zones P <sup>+</sup> de S & D	Lithographie des zones P <sup>+</sup> de S & D
Implantation des zones P <sup>+</sup> de S & D	Implantation des zones P <sup>+</sup> de S & D
Lithographie des zones N <sup>+</sup> de S & D	Lithographie des zones N <sup>+</sup> de S & D
Implantation des zones N <sup>+</sup> de S & D	Implantation des zones N <sup>+</sup> de S & D
Re-oxydation des S & D	Re-oxydation des S & D
Dépôt de diélectrique	Dépôt de diélectrique
Lithographie des trous de contact	Lithographie des trous de contact
Perçage des trous de contact	Perçage des trous de contact
Métallisation	Métallisation
Lithographie des zones métal	Lithographie des zones métal
Gravure du métal	Gravure du métal
recuit	Recuit

*Tableau II.1 : comparaison des étapes de conception d'un CMOS en technologie sur substrat massif et SOI.*

#### **II.4.1.6. Meilleures caractéristiques de courants**

##### **II.4.1.6.1. Réduction de l'effet de substrat**

Dans un composant sur substrat massif, l'effet « body » dit effet substrat correspond à la dépendance de la tension de seuil au potentiel de substrat. Dans un transistor SOI, il correspond de façon similaire à la dépendance de la tension seuil au potentiel de grille arrière. Cet effet réduit la capacité de conduction de courant des transistors dont la source n'est pas directement connectée à la masse, comme dans le cas d'entrées à paires différentielles.

Or dans le cas d'un transistor SOI, il a été démontré que la variation du potentiel de surface du substrat a une faible influence sur la tension seuil. Cette influence peut même être négligée du moment que l'épaisseur de l'oxyde enterré est grande devant celle de l'oxyde de grille.

##### **II.4.1.6.2. Plus grand courant de saturation**

Les transistors SOI présentent un plus grand courant de saturation que ceux en technologie sur substrat massif. Ce plus grand courant de saturation dans les MOSFETs SOI provoque une augmentation de conduction de courant. Ceci contribue grandement excellentes performances de vitesses des circuits CMOS SOI.

### II.4.1.6.3. Plus grande mobilité et transconductance de grille

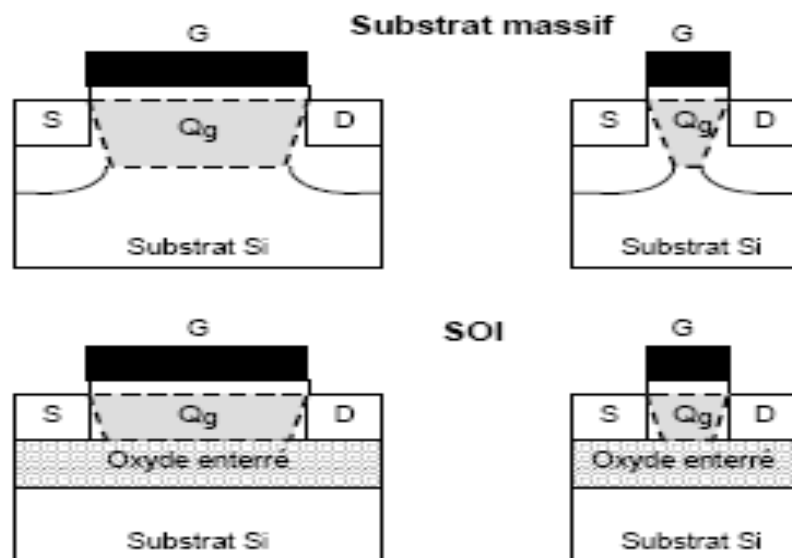
La transconductance de grille d'un MOSFET mesure l'efficacité du contrôle du courant de drain par la tension de grille. Cette plus grande transconductance dans le cas d'un SOI s'explique par le meilleur contrôle du potentiel de grille au niveau de l'oxyde de grille.

La mobilité des porteurs dans le canal d'un MOSFET dépend principalement de la valeur du champ électrique à l'interface oxyde de la grille /silicium. Le champ électrique de surface avant est plus faible dans un composant SOI que dans un composant sur substrat massif.

### II.4.1.7. Réduction des effets de canaux courts

La diminution de la longueur de canal des transistors MOSFET induit de nombreux effets, dont l'un est appelé effet de canal court. Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze  $Q_g$  à la Figure II.8. Pour les transistors à canal « long », cet effet est faible par rapport à la zone de contrôle de la grille, tandis qu'au fur et à mesure de la réduction de la longueur de la grille, cet effet devient de plus en plus significatif.

L'effet de canal court s'explique par une perte de contrôle de la charge du canal par la grille, ce qui a pour conséquence de réduire la tension de seuil. Cet effet est très important pour les transistors MOSFET sur substrats massifs, mais dans le cas du SOI et en particulier pour les transistors totalement désertés, l'espace de charge dans le film de silicium reste très bien contrôlé par la grille. Comme conséquence, les effets de canal court sont réduits en comparaison des transistors MOSFET sur substrat massif [26].



**Figure II.8 :** Distribution de la charge de désertion contrôlée par la grille ( $Q_g$ ) pour les transistors à canal long (gauche) et à canal court (droite) [27].

#### II.4.1.8. Diminution de l'inverse de la pente sous le seuil

Un des principaux avantages de la technologie SOI sur film mince, est d'augmenter la pente sous le seuil (ou de diminuer l'inverse de la pente sous le seuil  $S$ ). Cet effet est expliqué dans les travaux de Colinge et al. [28-29]. L'inverse de la pente sous le seuil est donné par:

$$S = \ln(10) \left( \frac{\partial V_G}{\partial \ln I_D} \right) = \frac{kT}{q} \ln(10) \cdot n \quad (\text{II.1})$$

Pour une technologie sur substrat massif, le coefficient d'effet de surface « $n$ » s'écrit:

$$n = 1 + \frac{C_D}{C_{ox}} \quad (\text{II.2})$$

Avec :  $C_D$ : capacité de la zone de déplétion, et  $C_{ox} = \epsilon_{Si}/t_{ox}$ : capacité d'oxyde de grille. Dans ce cas précis, le coefficient  $n$  est supérieur à 1. Pour une technologie SOI sur film mince totalement déplété, l'expression de  $n$  fait intervenir la capacité du film de silicium complètement déplété ( $C_{Si}$ ), la capacité de la grille avant ( $C_{ox1}$ ), et la capacité de la grille arrière ( $C_{ox2}$ ):

$$n = \left( 1 + \frac{C_{Si}}{C_{ox1}} \right) - \frac{\frac{C_{Si}}{C_{ox2}} \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{Si}}{C_{ox1}}} \quad (\text{II.3})$$

Habituellement, pour des films minces,  $C_{ox2} \ll C_{ox1}$  et  $C_{ox2} \ll C_{Si}$ . Par conséquent, le coefficient  $n$  est très proche de 1. En d'autres termes,  $S$  est quasiment égale à la valeur limite de 60 mV/décade, à température ambiante.

#### II.4.2. Inconvénient majeur de la technologie SOI

Les avantages de la technologie SOI sont nombreux. Cependant, leur inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (Figure II.9). La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

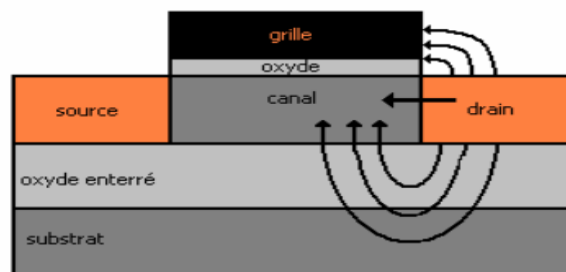


Figure II.9: Influence électrostatique sur le SOI à une grille [28]

## II.5. Les différents types de transistors SOI-MOSFET

Dans les transistors SOI-MOSFET deux nouveaux paramètres physiques entrent en considération par rapport à des transistors sur silicium massif : l'épaisseur du film de silicium actif, notée  $T_{Si}$ , et l'épaisseur de l'oxyde enterré, notée  $T_{BOX}$ . Deux catégories de transistors MOSFET peuvent être réalisées grâce aux substrats SOI.

### II.5.1. Le transistor SOI partiellement déplété (Partially-Depleted SOI ou PD-SOI)

Lorsque la zone de déplétion ne recouvre pas complètement la partie active.

Quand  $T_{Si}$  est important (supérieur à 50nm), la zone de déplétion n'atteint pas le BOX. On observe ainsi une zone neutre, comme le montre la Figure (II.10 -a). On parle dans ce cas de transistors « partiellement déplétés » ou PDSOI (Partially Depleted SOI). Cette zone est définie telle que :

$$T_{DEP} = \frac{Q_{DEP}}{qN_A} \quad (II.4)$$

### II.5.2. Le transistor SOI complètement déplété (Fully-Depleted SOI ou FD-SOI)

Quand l'épaisseur du film de silicium est suffisamment mince pour que la zone de déplétion atteigne le BOX (Figure II.10 -b), on parle de transistors « complètement déplétés » ou FDSOI (Fully Depleted SOI).

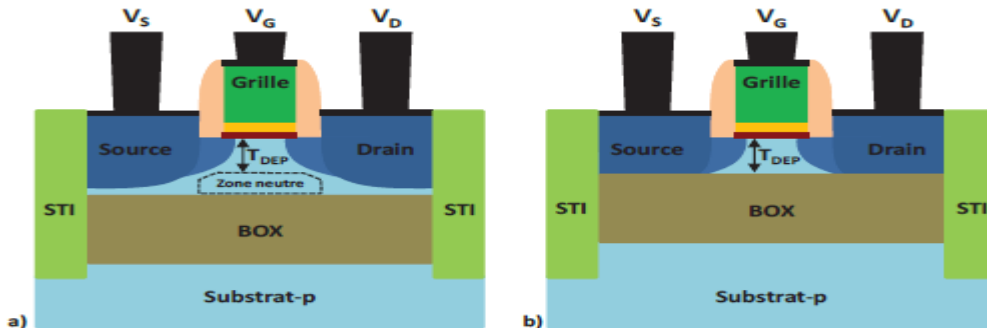


Figure II. 10 : Représentation schématique d'un transistor PDSOI (a) et d'un transistor FDSOI (b) [30].

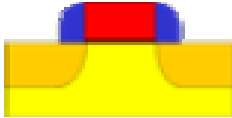
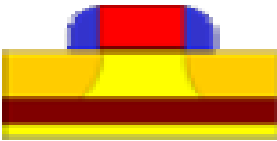

### II.5.3. Comparaison de la technologie FD-SOI-MOSFET par rapport à la technologie PDSOI-MOSFET

Le tableau suivant montre l'avantage de la technologie FD-SOI à partir de la comparaison de ses caractéristiques électriques et physiques avec celles des transistors PD-SOI (+: meilleur,-: plus mauvais, N: neutre).

Paramètres électrique et physique	partiellement déplété (PD-SOI)	complètement déplété (FD-SOI)
Sensibilité $V_{th}$	N	-
Pente sous seuil	N	+
Effets canal court	N	+
transconductance	N	+
Mobilité	N	+
Capacité source/drain	+	+

**Tableau II.2:** l'avantage des transistors FD-SOI grâce à la comparaison de ses caractéristiques avec celles des transistors.

On peut alors résumer les avantages et les inconvénients de la technologie FD-SOI-MOSFET et PD-SOI-MOSFET par rapport au MOSFET bulk dans le tableau suivant :

	Avantages	Inconvénients
<p>MOSFET-bulk (conventionnel)</p> 	<ul style="list-style-type: none"> <li>▪ Procédés de fabrication bien maîtrisés.</li> <li>▪ Utilisent des dopages de canal plus en plus forts ceci a pour conséquence d'augmenter les capacités de jonctions S/D.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Présence des effets canaux courts.</li> </ul>
<p>PD-SOI-MOSFET partiellement déplété à simple grille.</p> 	<ul style="list-style-type: none"> <li>▪ Procédés de fabrication bien maîtrisés.</li> <li>▪ Développement / Production.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Présence des effets canaux courts.</li> </ul>
<p>FD-SOI-MOSFET totalement déplété à simple grille.</p> 	<ul style="list-style-type: none"> <li>▪ Complètement déplété</li> <li>▪ Développement.</li> <li>▪ Absence de courant de substrat.</li> <li>▪ Résistance aux radiations.</li> <li>▪ Réduction considérable des effets parasites des capacités de jonction parce que les jonctions reposent sur un diélectrique.</li> <li>▪ Amélioration considérable de contrôle électrostatique grâce à la plus faible profondeur des jonctions source/drain et à une plus faible profondeur de déplétion TDep.</li> <li>▪ Suppression des fuites des jonctions, ce qui est un</li> </ul>	<ul style="list-style-type: none"> <li>▪ Uniformité de l'épaisseur du silicium.</li> <li>▪ Champ dans l'oxyde enterré (effet du BOX appelé aussi DIVSB (Drain-Induced Virtual Substrate Biasing)).</li> <li>▪ Le coût élevé des plaquettes (wafer) qui est d'environ deux à trois fois plus cher que les plaquettes bulk.</li> <li>▪ L'autoéchauffement lorsque la résistance thermique de l'isolation est très importante, le phénomène</li> </ul>

	<p>avantage majeur pour les dispositifs mémoires (type DRAM).</p> <ul style="list-style-type: none"> <li>▪ La présence de l'oxyde enterré isole le caisson des zones de source et de drain et le film fin de silicium réduit le courant de fuite.</li> <li>▪ La présence de l'oxyde enterré, qui possède un constant diélectrique plus faible que le silicium et offre une diminution de ces capacités ceci participe à l'amélioration de la vitesse de commutation des transistors CMOS sur SOI</li> </ul>	<p>d'autoéchauffement des composants apparait et la chaleur ne peut pas être rapidement dissipée.</p>
--	---	---

*Tableau II.3 : Les avantages et les inconvénients de la technologie FD-SOI-MOSFET et PD-SOIMOSFET par rapport au MOSFET bulk.*

Les transistors FDSOI présentent de meilleures performances électriques que les transistors BULK ou PDSOI. Ils doivent cela à l'absence de zone neutre (non déplétée) qui se traduit par un meilleur couplage entre l'interface et la charge d'inversion, cette architecture permet un meilleur contrôle du potentiel dans le canal par la grille. Parmi les avantages du FDSOI, nous trouvons :

- La réduction considérable des capacités de jonctions de par la présence de l'oxyde enterré. Ceci conduit à des dispositifs plus rapides, soit un gain en rapidité pour les circuits.
- La réduction de la profondeur de déplétion, entraînant un champ effectif transverse plus faible, permettant ainsi un gain en mobilité et donc en courant débité par le transistor pour une tension donnée.
- Un excellent contrôle des effets canaux courts grâce à une plus faible profondeur des jonctions (limitée par  $T_{Si}$ ), ce qui permet de diminuer le dopage dans le canal (et de réduire la pente sous le seuil).

Nous comprenons de ce dernier point que réduire  $T_{Si}$  améliore le contrôle des effets canaux courts. Les épaisseurs utilisées deviennent alors extrêmement minces ( $T_{Si} < 10\text{nm}$ ), on parle de films ultra minces ou UTB (pour Ultra-Thin Body).

## **I.6. Conclusion**

Dans ce chapitre, nous avons présenté l'architecture du dispositif SOI-MOSFET et les domaines d'applications, puis nous avons étudié le procédé de fabrication des plaquettes SOI qui sont envisagées comme des candidats susceptibles de réussir l'intégration de composants de dimensions de l'ordre de nanomètres.



Nous avons ensuite comparé la technologie SOI avec la technologie sur silicium massif dont les effets parasites deviennent prépondérants pour les longueurs de grilles submicronique et en limitent ses performances.

La technologie SOI offre l'opportunité d'intégrer des dispositifs présentant de hautes performances et/ou des éléments innovants qui peuvent repousser les frontières d'intégration des technologies CMOS sur substrat massif.

Ensuite, nous nous sommes intéressés aux propriétés physiques et électriques des transistors MOSFET SOI, aussi bien sur des substrats totalement désertés FD-SOI-MOSFET que partiellement désertés PD-SOI-MOSFET.

FDSOI est une nouvelle forme de technologie qui peut aider l'industrie de fabrication de semiconducteurs à faire face au grand obstacle.

Dans FDSOI MOSFET, le canal est complètement appauvri des porteurs majoritaires car la couche de silicium est très mince.

Le processus FDSOI est une innovation technologique qui garantira le maintien de l'efficacité. Les avantages du FDSOI permettent aux concepteurs et aux fabricants de créer des produits véritablement innovants et révolutionnaires et créer de nouveaux. La capacité parasite entre le drain et la source comme présenté par transistor peut être réduite par la couche d'oxyde enterrée. La couche d'oxyde enterrée limite également considérablement les courants de fuite.

---

**Bibliographie**

- [1] <https://www.nextinpact.com/dossier/corei7-980x-intel-gulftown-32nm/2.htm>, Core i7 980X : 32 nm, 6 coeurs, 3.33 GHz, (accessed Oct. 01, 2020).
- [2] iphone x. <https://www.apple.com/iphone-x/>, Refurbished iPhone - iPhone X - Apple, (accessed Oct. 01, 2020).
- [3] J. P. Duarte, *Mathematical Compact Models of Advanced Transistors for Numerical Simulation and Hardware Design*, Electrical Engineering and Computer Sciences University of California at Berkeley, 2018.
- [4] E. Sicard, Introducing 7-nm FinFET technology in Microwind, Hal-01558775, pp. 1–22, 2017, [Online]. Available: <http://arxiv.org/abs/1007.1062> <https://newsroom.intel.com/newsroom/wp-content/uploads/sites/11/2017/03/Kaizad-Mistry-2017-Manufacturing.pdf>.
- [5] R. Talmat, *Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)*, thèse de doctorat, Université de CAEN/Basse-Ormandie et université de Tizi-Ouzou (Algérie), 2011.
- [6] A. kumar Mushwaha, *On the modeling of Dual-Material Double-Gate Fully-Depleted Silicon-On-Insulator MOSFET*, National Institute of Technology Kurukshetra Deemed University India, 2018.
- [7] *The International Technology Roadmap for Semiconductors, (ITRS), 2011.* <http://www.itrs2.net/>, (accessed Oct. 01, 2020).
- [8] E. Sicard, Introducing 14-nm FinFET technology in Microwind, Proc. 49th Des. Autom. Conf. - DAC '12, vol. 637371, no. 3, pp. 37, 2017, doi: 10.1145/2228360.2228414.
- [9] *The International Technology Roadmap for Semiconductors, (ITRS), 2012.* <http://www.itrs2.net/>, (accessed Oct. 01, 2020).
- [10] R. Bensegueni, *Contribution à l'étude du transport électrique à travers des oxydes très minces (< 10nm ) dans des structures MOS*, thèse de doctorat, Université Frères Mentouri Constantine, 2016.
- [11] S. Monfray et al., First 80nm SON (silicon-on-nothing) MOSFETs with perfect morphology and high electrical performance, Tech. Dig. Int. Electron Devices Meet., pp. 645–648, 2001, doi: 10.1109/iedm.2001.979591.
- [12] C. Pavageau, *Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques*, thèse de doctorat, Université des sciences et technologies de Lille, 2005.

- 
- [13] D. Renaud, Etude en radiofréquences de transistors à effet de champ MOS partiellement désertés en technologie avancée Silicium-Sur-Isolant, thèse de doctorat, Institut National des Sciences Appliquées de Lyon (l'INSA), 2006.
- [14] D. Muller, Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium, thèse de doctorat, Université de Limoges, 2006.
- [15] M. S. Benlatreche, Caractérisation des dispositifs électroniques dans les technologies MOS avancées, thèse de doctorat, Université M'hamed Bougurra Boumerdes, 2013, doi: 10.13140/RG.2.1.4956.0085.
- [16] F. Crepy, Méthologie de conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance, thèse de doctorat, Université de Bordeaux, 2015.
- [17] C. Diouf, Caractérisation électrique des transistors MOS déca-nanométriques d'architecture innovante, thèse de doctorat, Université de Grenoble, 2018.
- [18] International Technology Roadmap For Semiconductors", Edition 2011, available at: <http://www.itrs.net/Links/2011ITRS/Home2011.htm>
- [19] M. Bruel, Silicon on insulator material technology, *Electron. Lett.*, vol. 31, no. 14, pp. 1201–1202, 1995, doi: 10.1049/el:19950805.
- [20] I. Bertrand, Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance, thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, <https://tel.archives-ouvertes.fr/tel-00245808>, 2008.
- [21] W. Schwarzenbach, X. Cauchy, F. Boedt, O. Bonnin, E. Butaud, C. Girard, B.-Y. Nguyen, C. Mazure et C. Maleville, "Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling Vt variation of FDSOI", International Conference on IC Design & Technology (ICICDT), 2011.
- [22] Alexandre VALENTIAN « Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul -Thèse de doctorat 2005 -Ecole Doctorale d'Informatique, Télécommunication et Electronique de Paris.
- [23] [web.pdx.edu/~jeahuck/file/SOI%20presentation%20slides.pdf](http://web.pdx.edu/~jeahuck/file/SOI%20presentation%20slides.pdf)
- [24] R.R Troutman, "Latchup in CMOS technology: the problem and its cure", Kluwer academic publishers, Boston, 1986.
- [25] Julien PENAUD, Contributions à la conception et à la réalisation de transistors MOS à grille multiple, thèse de doctorat, octobre 2006.

[26] J. Colinge, Silicon-on-insulator technology: Materials to VLSI, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.

[27] Christophe PAVAGEAU « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques » Thèse de doctorat 2005 UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE.

[28] J.P. Colinge, “Silicon on insulator Technology: materials to VLSI”, Kluwer Academic publishers, pp. 112-120, 1991.

[29] J. Wouters, J.P. Colinge, H.E. Maes, “Subthreshold slope in thin film SOI MOSFET’s”, IEEE Transactions on Electron Devices, vol. 37, n°9, pp. 2022-2033, 1990.

[30] Jérôme MAZURIER, Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM, thèse de doctorat, octobre 2012.

# Chapitre III

## Résultats et interprétations

Silvaco TCAD  
Introduction



**SILVACO**

## Sommaire du chapitre III

<b>III.1. Introduction</b> .....	48
<b>III.2. Présentation du logiciel de simulation</b> .....	48
<b>III.3. Les équations principales utilisées dans la physique des semiconducteurs</b> .....	48
III.3.1. L'équation de Poisson .....	48
III.3.2. L'équation de continuité.....	49
III.3.3. L'équation de transport .....	49
<b>III.4. L'organigramme de simulation :</b> .....	49
<b>III.5. Programmation dans le module Atlas</b> .....	50
<b>III.6. Simulation de dispositifs conçus en technologie SOI</b> .....	51
III.6.1. Le maillage dans les transistors SOI MOSFET .....	52
III.6.2. Méthodes numériques utilisées lors de la simulation des transistors SOI MOSFET ..	52
<b>III.7. Modélisation 2D d'un transistor SG-SOI- NMOSFET</b> .....	52
III.7.1. Structure SG-SOI -NMOSFET simulée par SILVACO .....	53
III.7.2. Caractéristique de transfert $I_{DS}-V_{GS}$ .....	56
III.7.3. Caractéristiques de sortie $I_{DS}-V_{DS}$ .....	56
III.7.4. La pente sous le seuil .....	57
III.7.5. Le courant de fuite $I_{off}$ .....	58
III.7.6. Le courant dans l'état ON .....	59
III.7.7. Le rapport $I_{on} / I_{off}$ des structures simulées.....	59
III.7.8. Le DIBL : l'abaissement de la barrière de potentiel induit par le drain.....	59
<b>III.8. Transistor SG-FD-SOI-NMOSFET à base de matériaux innovants</b> .....	60
III.8.1. L'impact d'intégration des matériaux à high-k dans la grille sur la tension de seuil.	63
III.8.2. L'impact d'intégration des matériaux à high-k dans la grille sur la pente sous le seuil .....	65
III.8.3. L'impact d'intégration des matériaux à high-k dans la grille sur le courant sur le courant $I_{on}$ , $I_{off}$ .....	66
III.8.4. L'impact d'intégration des matériaux à high-k dans la grille sur le DIBL: l'abaissement de la barrière de potentiel induit par le drain .....	68
<b>III.9. Conclusion</b> .....	70
<b>Bibliographie</b> .....	72

### III.1. Introduction

Le simulateur SILVACO TCAD est considéré comme l'un des simulateurs récemment utilisé dans les entreprises de la microélectronique. Elles ont utilisé cet outil pour les dispositifs semi-conducteurs dans leurs recherches car ce simulateur a une large gamme d'études dans l'élaboration et la caractérisation des transistors FETs, la présentation de ce logiciel et les principales équations utilisées dans la physique des semi-conducteurs seront détaillées dans ce chapitre.

Notre travail consiste à concevoir et à simuler les caractéristiques électriques de la structure à deux dimensions de SG-FD-SOI-MOSFET sous le module Atlas- Silvaco

### III.2. Présentation du logiciel de simulation

**SILVACO (Silicon Valley Corporation)** : c'est une société américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Il s'agit l'un des principaux fournisseurs de chaînes professionnelles des logiciels de simulation et de conception assistée par l'ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Les entreprises de la microélectronique utilisent cet outil dans le développement des processus technologique des dispositifs [1,2].

Les outils de conception assistée par l'ordinateur servent à simuler le comportement électrique d'un dispositif en tenant compte de sa structure telle que : les différentes géométries, les dopages, les matériaux...etc). Le terme **TCAD** est l'acronyme anglo-saxon de "**Technology Computer Aided Design**". Il permet non seulement de concevoir des dispositifs mais aussi de comprendre les mécanismes physiques qui régissent leur fonctionnement [2].

### III.3. Les équations principales utilisées dans la physique des semiconducteurs

La plupart des dispositifs à semi-conducteurs sont étudiés pour résoudre les problèmes du système d'équations tels que :

#### III.3.1. L'équation de Poisson

L'équation de Poisson donne la relation entre le potentiel local (ou le champ électrique) et la densité de charge volumique :

$$\text{div}(\epsilon \nabla \Psi) = -\rho = q(n - p + N_A^- - N_D^+) + Q_T \quad (\text{III.1})$$

$\Psi$  est le potentiel électrostatique local,  $\epsilon$  est la constante diélectrique locale du matériau et  $\rho$  la densité locale de charge volumique,  $q$  est la valeur de la charge d'un électron ( $1,6 \cdot 10^{-19}$  Cb),  $n$  et  $p$  sont respectivement les concentrations volumiques d'électrons et de trous et  $N_A^-$  et  $N_D^+$  sont respectivement les concentrations des atomes accepteurs et des atomes donneurs ionisés.  $Q_T$  représente la concentration d'ions fixes dus à des défauts des matériaux (pièges).

L'équation de continuité et l'équation de transport relient les concentrations locales de charges aux phénomènes de transport et aux mécanismes de génération – recombinaison.

### III.3.2. L'équation de continuité

L'équation de continuité est donnée séparément pour chacun des deux types de porteurs de charge par :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div}(\vec{J}_n) + G_n - R_n \quad (\text{III.2})$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \operatorname{div}(\vec{J}_p) + G_p - R_p \quad (\text{III.3})$$

$\vec{J}_n$ ,  $\vec{J}_p$  sont la densité de courant des électrons et des trous,  $G_n$ ,  $R_n$  et  $G_p$ ,  $R_p$  sont respectivement les taux de génération et de recombinaison des électrons et de trous.

### III.3.3. L'équation de transport

Les équations III.1, III.2, et III.3 permettent la simulation des dispositifs. Mais encore d'autres équations secondaires sont nécessaires pour indiquer les modèles physiques particuliers pour :  $G_n$ ,  $R_n$ ,  $G_p$  et  $R_p$ .

Les équations de densité de courant, ou des modèles de transport de charge, sont habituellement obtenues en s'appliquant des approximations et des simplifications à l'équation de transport de Boltzmann. Ces prétentions peuvent avoir comme conséquence un certain nombre de différents modèles de transport tels que le modèle de dérive-diffusion, le modèle de transport de bilan énergétique ou le modèle hydrodynamique. Le choix du modèle de transport de charge aura alors une influence importante sur le choix des modèles de génération et de recombinaison.

Le modèle le plus simple du transport de charge qui est utile est le modèle de dérive – diffusion donnant la relation entre la densité de courant des porteurs et le potentiel électrostatique local :

$$\vec{J}_n = -q\mu_n n \nabla \Phi_n \quad (\text{III.4})$$

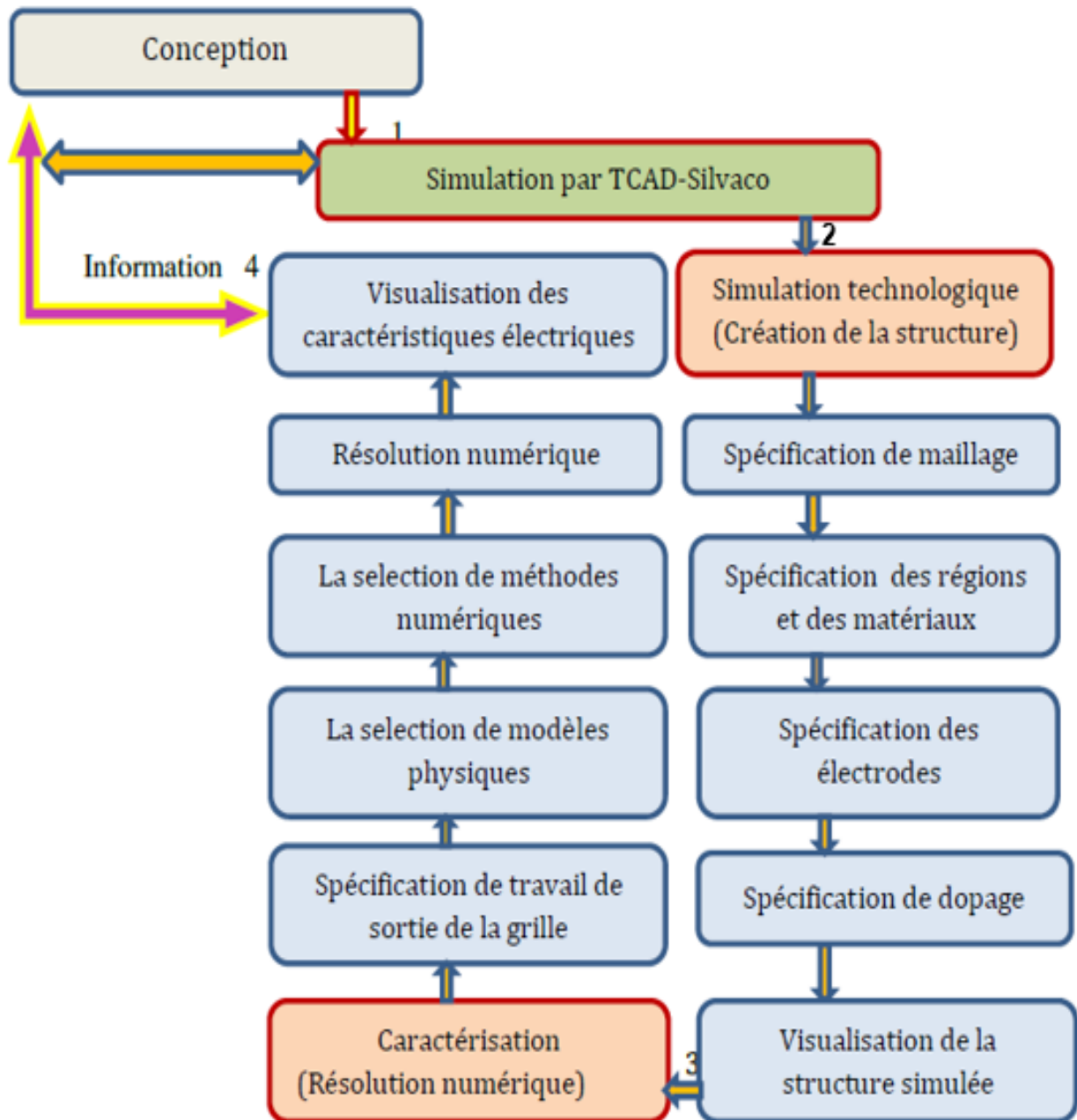
$$\vec{J}_p = -q\mu_p p \nabla \Phi_p \quad (\text{III.5})$$

$\mu_n$  et  $\mu_p$  sont respectivement les mobilités des porteurs n et p, et  $\Phi_n$  et  $\Phi_p$  les niveaux de potentiel de quasi Fermi.  $\mu_n$ ,  $\mu_p$ ,  $\Phi_n$  et  $\Phi_p$  sont calculés à partir de modèles et de lois fondamentales des semi – conducteurs.

### III.4. L'organigramme de simulation :

La simulation des processus technologiques de la caractérisation électrique du dispositif SG-FD- SOI-MOSFET se traduit par l'organigramme suivant :





*Figure III.1: Organigramme de la simulation technologique et numérique utilisé par Atlas-Silvaco.*

### III.5. Programmation dans le module Atlas

Notre travail a été basé essentiellement sur l'utilisation de l'outil de simulation «Atlas» et l'environnement dans laquelle est défini le programme de simulation «DeckBuild», une fois la simulation effectuée sous «ATLAS», les résultats seront visualisés dans l'environnement «TonyPlot». De ce fait, l'outil de simulation «ATLAS» est principalement effectué dans la simulation de notre structure. Par conséquent, l'ordre des commandes spécifiques à la logique de programmation est présenté dans le tableau suivant :

Groupes	Commandes	Syntaxe / Rôle
1. Spécification des structures	-Mesh  -Region  -Electrode  -Doping	x.mesh Location = <Value> Spacing = <Value > y.mesh Location = <Value> Spacing = <Value > z.mesh Location = <Value> Spacing = <Value >  Region nombre = <integer><material_type>/< position parameters >  Electrode Name = <electrode name> <position parameters>  Dopage < type de distribution >< type de dopant > / < position parameters >
2. Spécification des modèles et des matériaux	-Material  -Models  -Contact  -Interface	Material < localisation > < définition du matériau >  Model < paramètres générales > / < paramètres du modèle >  Contact <Nom de contact>  Interface [<parameters>]
3. Sélection des méthodes numériques	-Methode	Method: déclaré les méthodes numériques pour la résolution des équations
4. Spécification des solutions	-Log  -Solve  -Load  -Save	Log : permet de sauvegarder les simulations dans un fichier  Solve : demandez à Atlas d'exécuter des solutions pour un ou plusieurs points de polarisation.  Load : permet de charger les solutions précédentes proposées en tant qu'une initialisation pour les autres points de polarisation.  Save : autorise la sauvegarde de toutes les informations obtenues d'un noeud du maillage dans un fichier de sortie.
5. Analyse des résultats	-Extract  -Tonyplot	Extract : utilisé pour extraire des paramètres tels que: la tension de seuil, la pente sous seuil, les courants Ion, Ioff etc.....  Tonyplot

Tableau III.1 : les commandes fondamentales dans le programme Atlas.

### III.6. Simulation de dispositifs conçus en technologie SOI

La technologie SOI se caractérise par la présence d'un oxyde enterré au-dessous de la surface du silicium actif à une profondeur prédéfinie. L'existence de cette couche enterrée d'oxyde a eu comme conséquence un changement non seulement du processus de fabrication du dispositif, mais également dans la simulation.

---

La technologie SOI est **actuellement utilisé** pour améliorer les performances du transistor MOS. Cette section récapitule les conditions de simulation pour SOI en utilisant cette technologie particulière comme référence.

### **III.6.1. Le maillage dans les transistors SOI MOSFET**

Le maillage élaboré pour un MOSFET sur substrat massif est très semblable à celui d'un MOSFET SOI. L'espacement du maillage vertical est très petit dans la région du canal sous la grille, la taille exacte du maillage dépend du champ électrique transversal ou de la mobilité surfacique du model choisi.

L'espacement du maillage latéral est le même le long de la longueur du canal pour les dispositifs submicroniques.

Le maillage de la couche d'oxyde enterrée à est moins fin que celui de l'oxyde de grille.

### **III.6.2. Méthodes numériques utilisées lors de la simulation des transistors SOI MOSFET**

Les méthodes de calculs numériques mises en œuvre dans les simulateurs utilisent des techniques itératives dont la convergence n'est pas toujours assurée.

L'utilisateur est assez souvent confronté à des problèmes de convergence et doit se préoccuper de l'adéquation de la méthode mise en œuvre aux conditions particulières de sa simulation. En effet, l'efficacité des méthodes proposées varie avec le composant simulé et ses conditions de fonctionnement. Même si la convergence est obtenue, la vitesse de calcul peut être améliorée par une méthode de convergence plus performante.

Dans le cas de la simulation du transistor SOI MOSFET, la méthode de Gummel et de Newton [3] sont les plus utilisées.

La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure (les équations de continuité pour les électrons et les trous et l'équation de Poisson).

La méthode de Gummel, en revanche, consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de Newton réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet a priori de diminuer le temps de calcul.

### **III.7. Modélisation 2D d'un transistor SG-SOI- NMOSFET**

Notre travail a consisté à concevoir et à déterminer les performances d'un transistor SG-SOI- NMOSFET. Pour cela après l'étape de maillage, nous avons réalisé des simulations numériques en 2D du SG-SOI- NMOSFET sous l'outil Atlas simulateur de dispositif de SILVACO.

Une simulation numérique dans SILVACO est constituée de deux étapes principales : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la détermination des choix des modèles physiques et des méthodes mathématiques utilisés par le simulateur pour trouver sa solution.

### III.7.1. Structure SG-SOI -NMOSFET simulée par SILVACO

Dans cette partie, nous utilisons la simulation à deux dimensions dans TCAD-Silvaco pour expliquer les caractéristiques électriques du dispositif SG-FD-SOI-MOSFET.

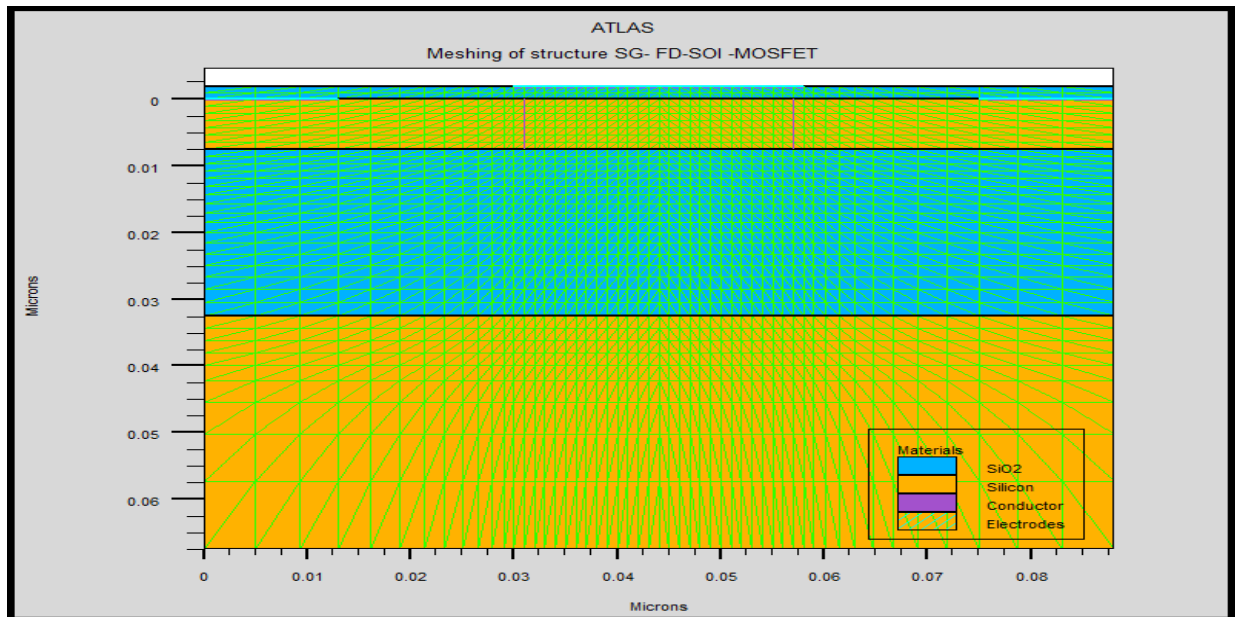
Le tableau III.2 présente les différents paramètres utilisés dans la simulation pour le dispositif SG-FD-SOI-N MOSFET, les figures III.3 et III.4 présentent les structures des dispositifs SG-FD-SOI-MOSFET (à deux dimensions) .

Les paramètres Physiques de dispositif SG-FD-SOI-MOSFET	Symbole	Valeur
Longueur de grille [nm]	LG	28
L'épaisseur d'Oxyde de grille [nm]	Tox	2
Epaisseur du film de silicium[nm] 2	Tsi	7.5
Epaisseur du Box [nm]	TBOX	25
L'épaisseur de substrat [nm]		35
La concentration de dopage Source/Drain [cm-3]	Nd	$5 \times 10^{20}$
La concentration de dopage de canal (cm-3) 1019	Na	$5 \times 10^{17}$

*Tableau III.2 : Les paramètres physiques du transistor à simple grille (SG-FD-SOI-NMOSFET) utilisé dans la simulation ATLAS à deux dimensions.*

Après avoir spécifié la géométrie de notre structure, nous abordons notre conception en effectuant un maillage adéquat. Le maillage 2D ainsi réalisé fait l'objet de la figure III.2, On remarque que ce maillage n'est pas uniforme et varie selon la région.

Nous avons appliqué un maillage fin pour la région de l'oxyde de grille et la région du film de Silicium. Pour les autres zones (oxyde enterré, substrat de Silicium), les mailles définies sont plus grossières.

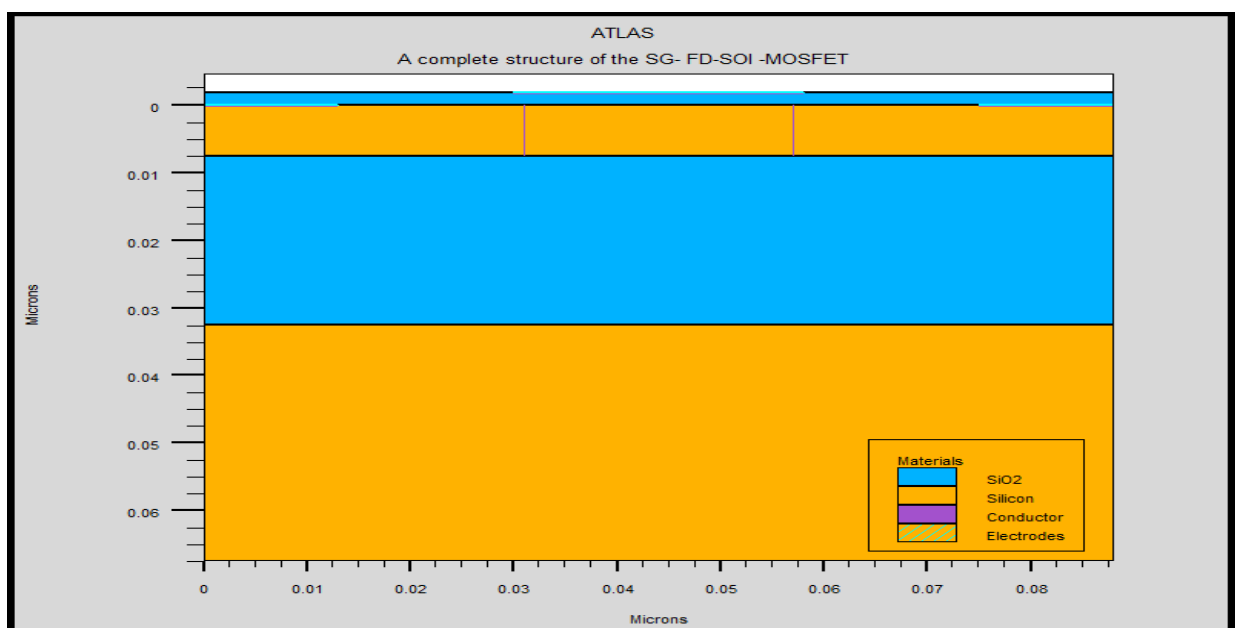


**Figure III.2 :** Maillage de la structure SG-FD-SOI-NMOSFET.

La seconde étape consiste à définir nos diverses régions et nos électrodes. Ceci est bien indiqué sur la figure III.3.

Les différentes concentrations des dopants des régions extrinsèques, les diverses grandeurs tel que : longueurs du canal, profondeur de jonction sont respectivement donnés au tableau (Tableau III.3).

La figure (III.4) montre la structure SOI NMOSFET élaborée, les régions en couleur violette correspondent aux électrodes (i.e. la source, le drain et la grille), les régions en couleur bleue correspondent aux couches d'oxyde et finalement les régions en jaune représentent le film de silicium et le substrat.



**Figure III.3:** Structure SG-FD-SOI-NMOSFET réalisée sous Atlas-SILVACO.

Nous présentons aussi le profil de dopage de la structure SOI NMOSFET obtenu via SILVACO.(figure III.4)

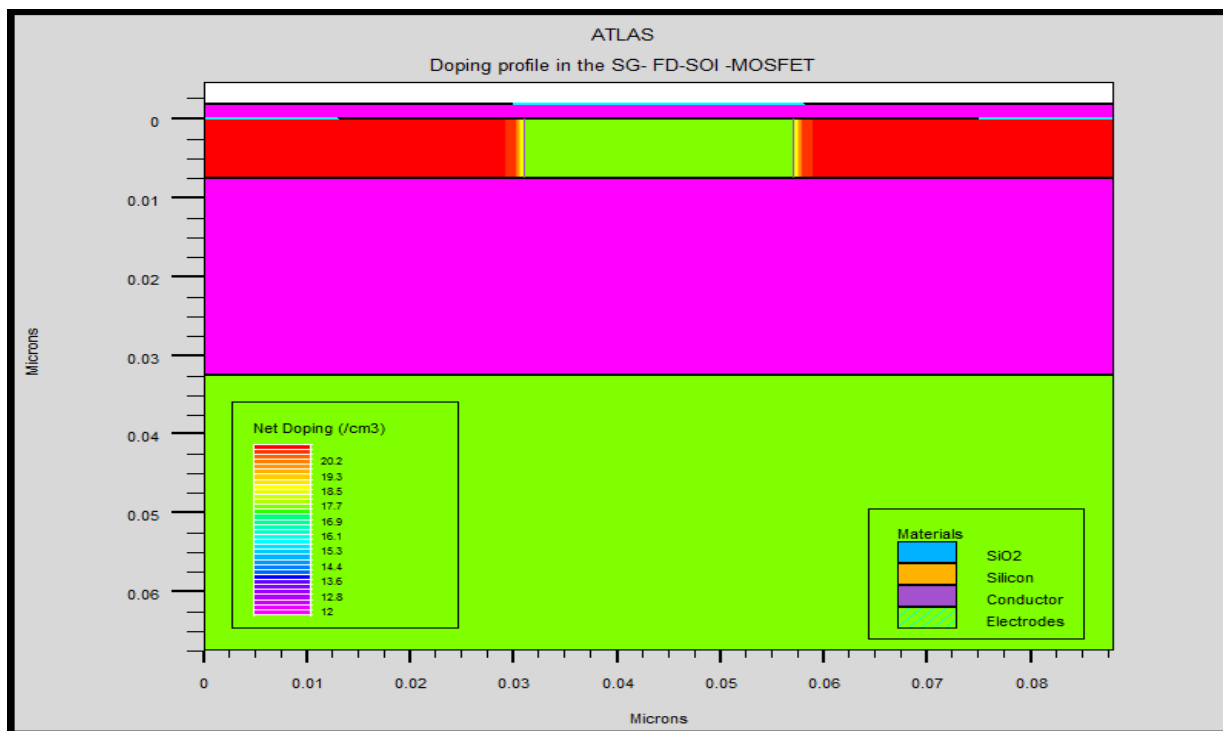


Figure III.4 : Profil de dopage de la structure SG-FD-SOI-NMOSFET.

La figure III.5, illustre la structure SG-FD-SOI-NMOSFET, avec son maillage et son profil de dopage.

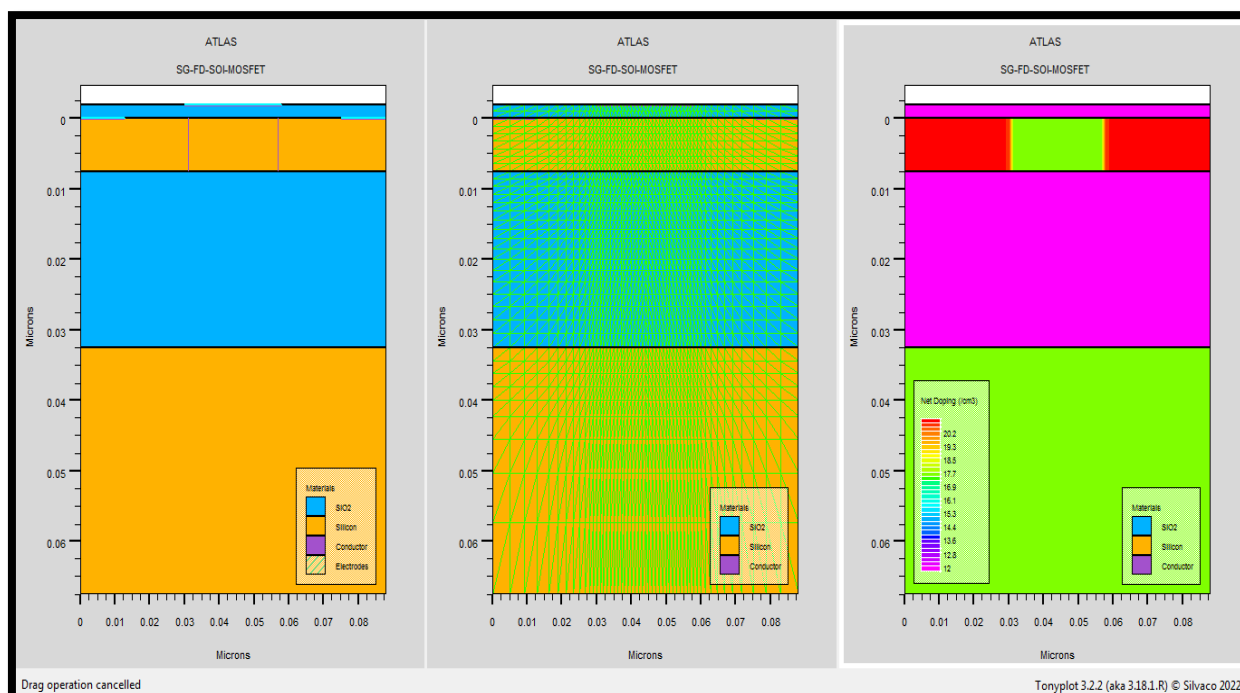


Figure III.5 : Structure, maillage et profil de dopage de la structure SG-FD-SOI-NMOSFET.

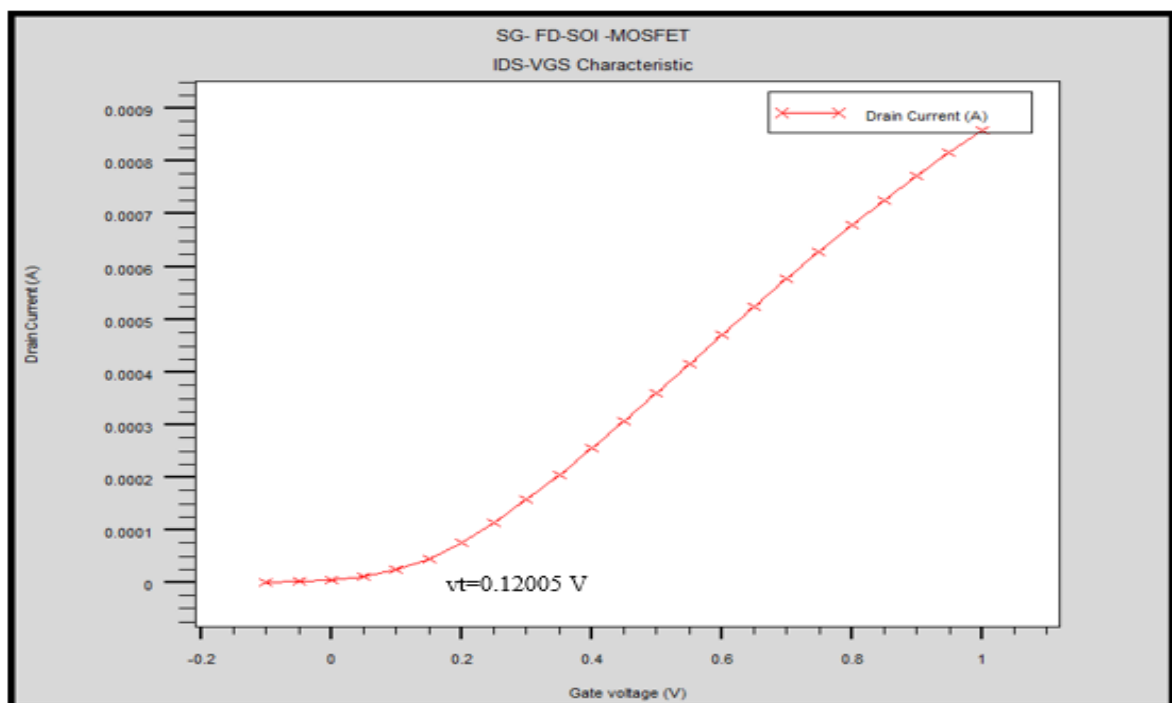
### III.7.2. Caractéristique de transfert $I_{DS}-V_{GS}$

La tension de seuil est donnée par la relation suivante :

$$V_{th} = \varphi_{ms} + 2\varphi_f + \frac{Q_D}{C_{OX}} + \frac{Q_{SS}}{C_{OX}} + V_{in} \quad (\text{III.6})$$

Où  $\Phi_{ms}$  : représente la différence de travail entre le métal de la grille et le semiconducteur,  $\Phi_f$  : est le potentiel de Fermi,  $Q_D$  : est la charge de déplétion dans le canal,  $C_{OX}$  : est la capacité de l'oxyde de la grille et  $Q_{SS}$  : représente la charge dans le diélectrique de grille [4].

La figure III.6 illustre la caractéristique  $I_{DS}-V_{GS}$  du transistor SG-FD-SOI-NMOSFET. que nous avons obtenu lors de nos simulations avec une tension de polarisation  $V_{DS} = 0.1$  V et la tension  $V_{GS} = 0$  à 1 V avec  $V_{step} = 0,1$ V. Nous pouvons remarquer que notre transistor est passant à partir d'une tension de seuil  $v_t=0.12005$  V.



*Figure III.6 : Caractéristique  $I_{DS}-V_{GS}$  du transistor SG-FD-SOI-NMOSFET.*

### III.7.3. Caractéristiques de sortie $I_{DS}-V_{DS}$

La caractéristique ( $I_{DS}-V_{DS}$ ) pour différentes polarisations de grille ( $V_{GS}$ ) de la structure SG-FD-SOI-NMOSFET est illustrée dans la figure III.7. À partir des résultats de cette simulation nous observons que les tensions de grille plus élevées fournissent un courant de drain plus élevé.

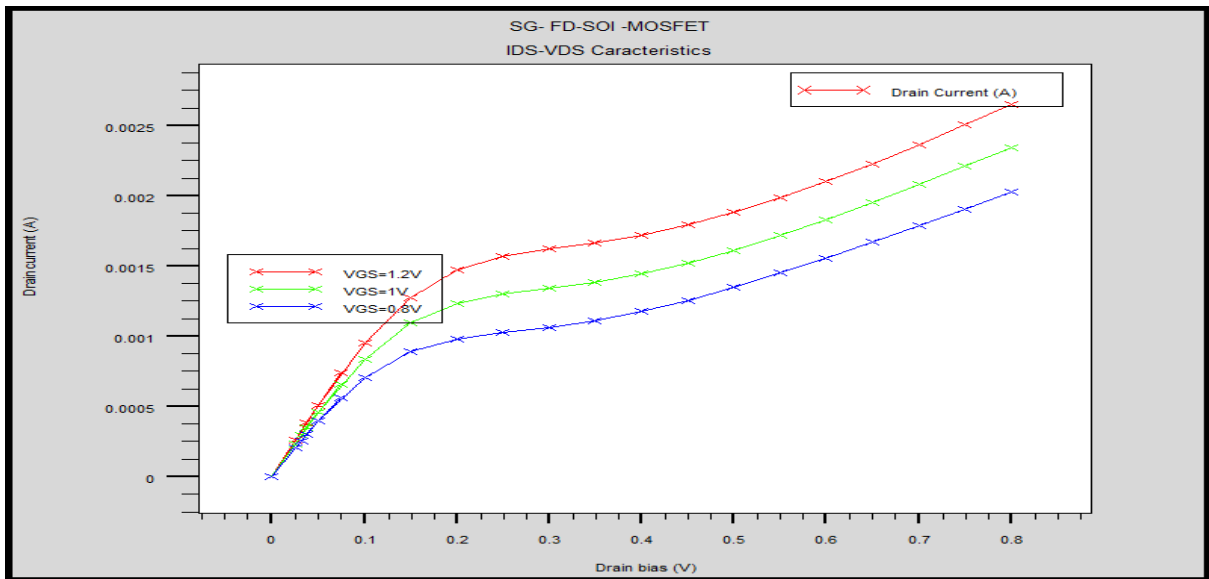


Figure III.7 : Caractéristiques  $I_{DS}$ - $V_{DS}$  du transistor SG-FD-SOI-NMOSFET.

### III.7.4. La pente sous le seuil

La pente sous le seuil (SS) est un paramètre caractéristique du régime faible inversion, il caractérise la vitesse de commutation du dispositif et est défini comme étant égale à l'inverse de la pente sous le seuil (S) « subthreshold Swing », elle est définie à partir des caractéristiques logarithmiques de la courbe ( $I_D$ - $V_G$ ), cette pente doit être la plus faible possible pour activer ou désactiver rapidement le transistor [5], la pente sous le seuil est donnée par:

$$SS(mV/Decade) = \frac{dV_{GS}}{d(\log I_{DS})} \quad (III.7)$$

La figure III.8 montre la caractéristique courant-tension ( $I_{DS}$ - $V_{DS}$ ) dans l'échelle logarithmique pour le dispositif SG-FD-SOI-MOSFET pour une tension de polarisation  $V_{DS} = 0.1V$ .

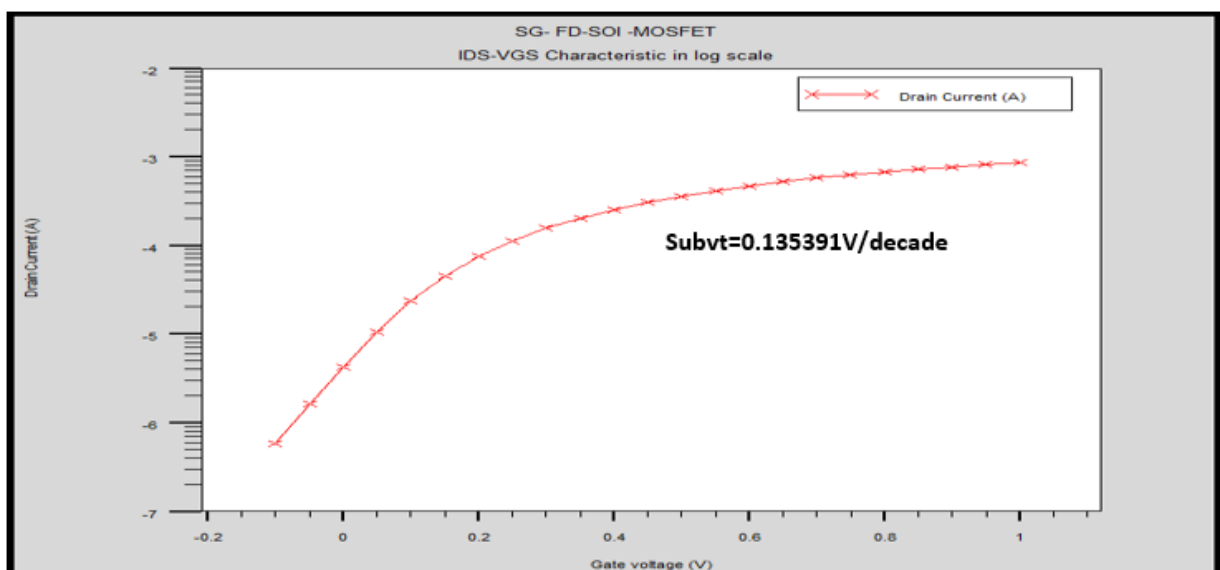


Figure III.8 : Caractéristiques  $I_{DS}$ - $V_{GS}$  subthreshold tension du transistor SG-FD-SOI-NMOSFET.



Il ressort clairement à partir de la figure III.8 que La pente sous le seuil (SS) correspond à la structure du transistor SG-FD-SOI-NMOSFET  $SS = 135,391$  mV/decade.

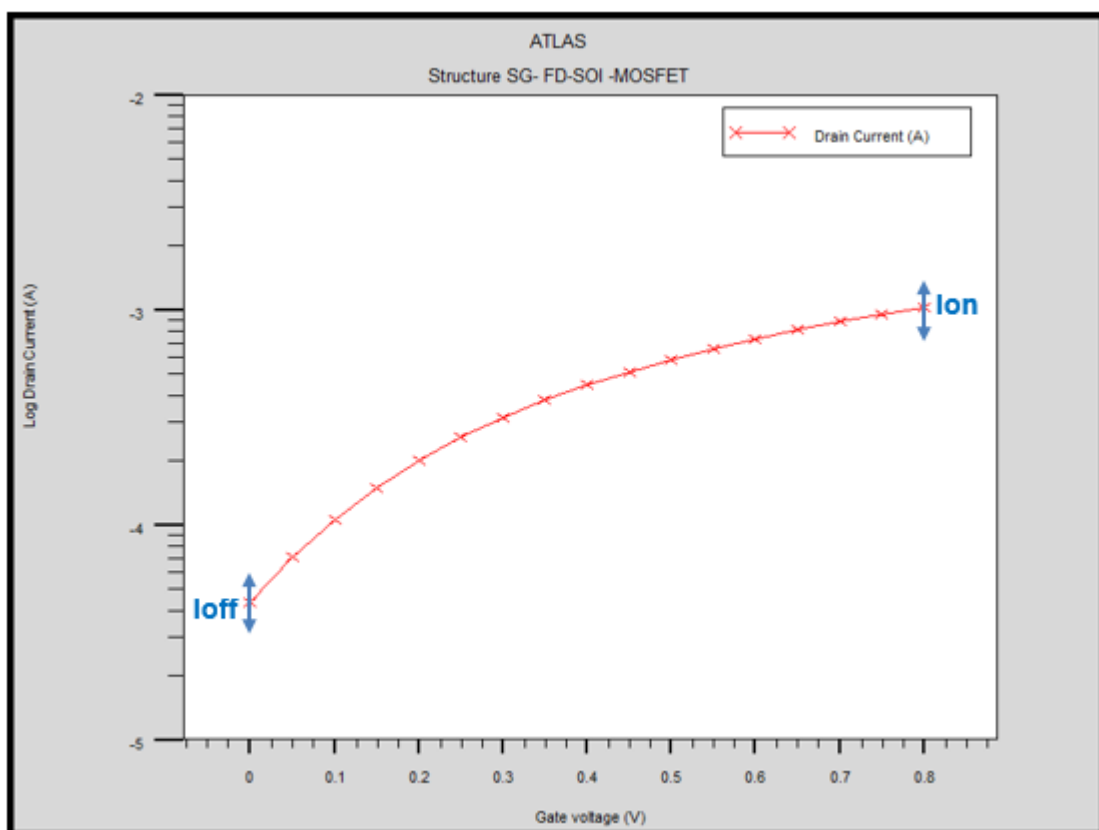
### III.7.5. Le courant de fuite $I_{off}$

Un des plus grands défis auxquels sont confrontés les transistors MOSFET à l'échelle nanométrique c'est l'augmentation de courant de fuite  $I_{off}$ .

Le courant à l'état bloqué du transistor ( $I_{off}$ ) correspond au courant du drain lorsque la tension de grille est nulle ( $V_{GS} = 0V$ ), ce courant pose un problème important pour les applications de faible puissance, de nombreux facteurs peuvent influencer le courant  $I_{off}$  tels que : la tension de seuil, la pente sous seuil, et les dimensions physiques de canal [6] [7] le courant  $I_{off}$  est donné par l'équation suivante [8]:

$$I_{off} = 100 \frac{W}{L} 10^{\frac{-V_{th}}{SS}} \quad (III.8)$$

Le courant de fuite a été calculé pour une polarisation de drain ( $V_{DS} = 0.8V$ ) et pour une polarisation grille ( $V_{GS} = 0V$ ).



**Figure III.9:** La caractéristique ( $I_{DS}-V_{GS}$ ) en échelle logarithmique du transistor SG-FD-SOI-NMOSFET.

À partir de la figure III.9, nous constatons que le courant de fuite ( $I_{off}$ ) atteint la valeur de  $I_{off}=4.3261 e^{-05}A$ .

### III.7.6. Le courant dans l'état ON

C'est un courant circulant entre la source et le drain, lorsque le transistor est à l'état passant, il est défini comme la valeur maximale de courant de drain ( $I_{DS}$ ) [6].

La figure III.9 montre aussi que la plus grande valeur du courant à l'état ON ( $I_{on} = 1.0257 \text{ e}^{-03} \text{ A}$ ) est obtenue pour le dispositif SG-FD-SOI-NMOSFET.

### III.7.7. Le rapport $I_{on} / I_{off}$ des structures simulées

Un transistor est un commutateur contrôlé électriquement. Un bon transistor doit pouvoir communiquer avec des éléments distants d'un circuit intégré. Le courant dans l'état ON du transistor  $I_{on}$  doit être le plus grand possible pour charger les éléments du circuit rapidement. Dans l'état OFF, un transistor doit avoir un courant de fuite  $I_{off}$  le plus faible possible pour éviter la dissipation d'énergie et le chauffage.

Le ratio  $I_{on}/I_{off}$  est une bonne mesure de la versatilité d'un transistor, pour évaluer et comparer plusieurs dispositifs entre eux, on peut utiliser le tracé de mérite  $I_{on}/I_{off}$  qui représente le logarithme du courant de fuite  $I_{off}$  en fonction du courant de conduction  $I_{on}$ . De génération en génération, on cherche à avoir un rapport  $I_{on}/I_{off}$  le plus élevé possible.

Le rapport  $I_{on}/I_{off}$  est le rapport entre les valeurs maximale et minimale du courant de drain pour un  $V_{DS}$  donné en régime de saturation.  $I_{off}$  est le courant de drain à  $V_{GS}=0$ .

Le rapport  $I_{on}/I_{off}$  a été calculé pour une polarisation de drain ( $V_{DS} = 0.8 \text{ V}$ ) et pour une polarisation grille  $V_{GS}$  varie de 0V à 0.8 V.

$I_{on}/I_{off}$  atteint  $0.2371 \text{ e}^{+02}$  pour le transistor SG-FD-SOI-NMOSFET.

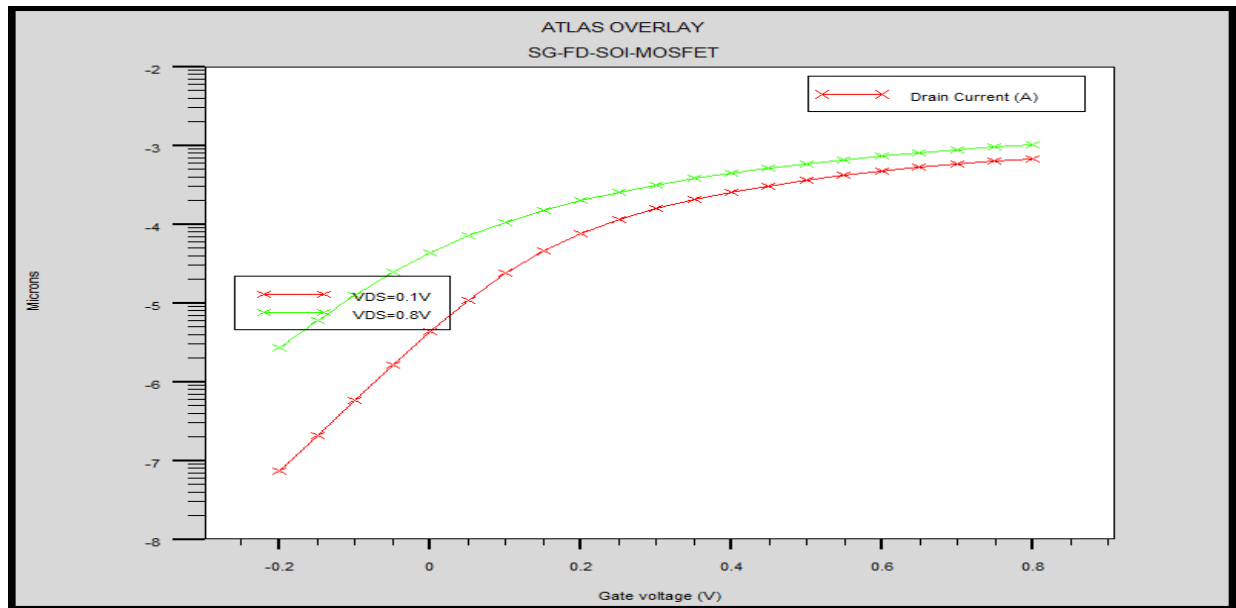
### III.7.8. Le DIBL : l'abaissement de la barrière de potentiel induit par le drain

Le DIBL (Drain-Induced Barrier Lowering) est alors attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la jonction source/canal.

L'abaissement de la barrière de potentiel, dû aux effets de canal court entre la source et le drain est la cause d'une diminution de la tension de seuil mais aussi d'une augmentation du courant de fuite  $I_{off}$ , il est obtenu en effectuant la différence sur la tension de seuil pour deux tensions de drain, une première très faible ( $V_{DS1}=0.1 \text{ V}$ ) et une seconde assez élevée ( $V_{DS2}=0.8 \text{ V}$ ) tel que :

$$DIBL = \frac{V_{th|V_{DS2}} - V_{th|V_{DS1}}}{V_{DS2} - V_{DS1}} \quad (\text{III.9})$$

La figure III.10, présente la caractéristique de transfert ( $I_{DS}-V_{GS}$ ) dans l'échelle logarithmique pour les polarisations de drain  $V_{DS} = 0,1 \text{ V}$  et  $V_{DS} = 0,8 \text{ V}$ .



*Figure III.10 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET.*

À partir de la caractéristique à l'échelle logarithmique pour les deux polarisations de la tension de drain  $V_{DS} = -0.1$  V et  $V_{DS} = 0.8$  V dans la structure proposée (figure III.10), nous pouvons extraire la valeur de  $DIBL = 157.21$  mV/V.

Le Tableau III.3, résume les résultats de simulation du transistor SG-FD-SOI-NMOSFET.

Paramètres	SG-FD-SOI-N MOSFET.
<b>V<sub>th</sub> [V]</b>	0.12005 V
<b>Subvt[V/decade]</b>	0.135391
<b>I<sub>on</sub> [A]</b>	$1.0257 e^{-03}$
<b>I<sub>off</sub> [A]</b>	$4.3261 e^{-05}$
<b>I<sub>on</sub> /I<sub>off</sub></b>	$0.2371 e^{+02}$
<b>DIBL [mV/V]</b>	157.21

*Tableau III.3 : Résultats de simulation du transistor SG-FD-SOI-NMOSFET.*

### III.8. Transistor SG-FD-SOI-NMOSFET à base de matériaux innovants

L'amélioration des performances des transistors imposée par les recommandations de la Roadmap ITRS, requiert une réduction des dimensions de ces transistors. En particulier, l'épaisseur d'oxyde de silicium prévue pour les prochaines générations ne devra pas dépasser le nanomètre pour conserver un couplage capacitif correct entre la grille et le canal d'inversion. Mais cette réduction drastique de l'épaisseur n'est pas sans conséquence sur le fonctionnement du transistor : augmentation des courants parasites de grille, réduction de la mobilité des porteurs du canal par interaction avec les charges de déplétion dans la grille...

Pour pallier à ces limitations, l'une des solutions envisagées est de remplacer l'empilement de grille conventionnel Poly-Si/SiO<sub>2</sub> par un empilement de type grille métallique/diélectrique de forte permittivité ("high-k" en anglais).

L'intérêt d'intégrer ces matériaux alternatifs est double : d'une part, l'utilisation d'un métal comme matériau de grille supprime l'effet de déplétion qui induit des charges à l'interface Poly-Si/SiO<sub>2</sub>. Parmi les matériaux de grille envisagés en remplacement, on peut citer TiN, W, WN ou TaN qui sont les plus étudiés à l'heure actuelle. D'autre part, l'intégration d'un matériau à forte permittivité, c'est à dire de constants diélectriques supérieurs à celle de SiO<sub>2</sub>, permet d'augmenter l'épaisseur physique de diélectrique (donc la diminution du courant de fuite tunnel) tout en maintenant la même capacité d'oxyde générale. Il est donc aujourd'hui convenu de ne plus parler d'épaisseur d'oxyde  $T_{ox}$  mais d'épaisseur équivalente d'oxyde ou EOT (Equivalent Oxide thickness) définit pour deux couches de matériaux quelconques ( $M_1$  et  $M_2$ ) par:

$$EOT = T_{M1} \frac{\epsilon_{SiO2}}{\epsilon_{M1}} + T_{M2} \frac{\epsilon_{SiO2}}{\epsilon_{M2}} \quad (\text{III.10})$$

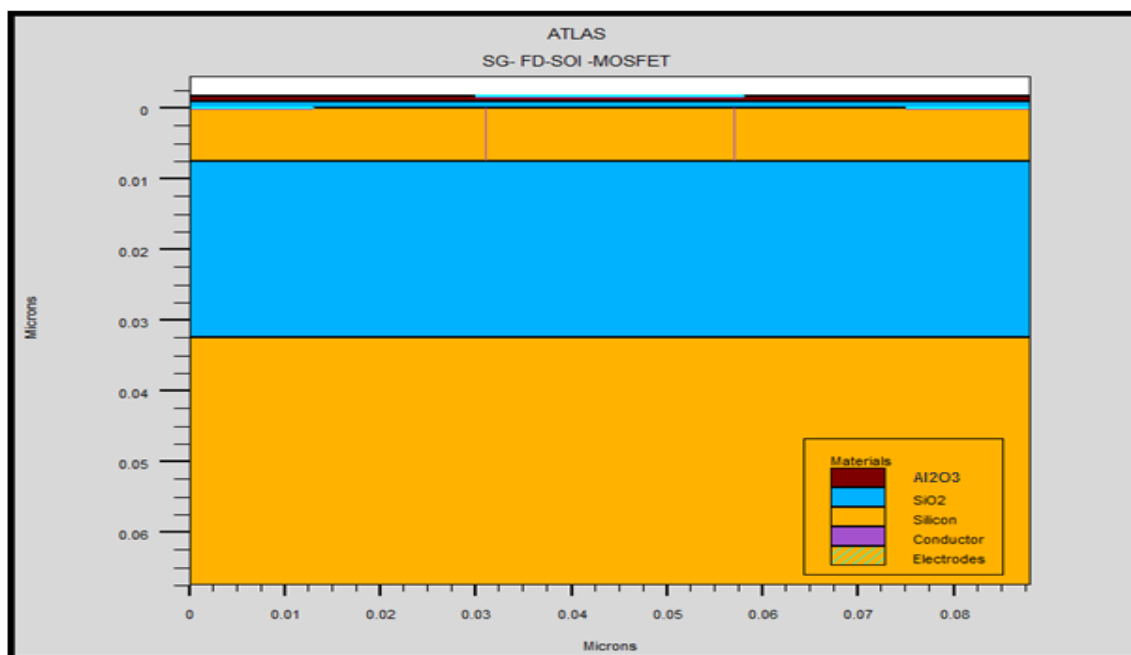
Où  $T_{M1}$  et  $T_{M2}$  sont les épaisseurs des matériaux d'oxydes  $M_1$  et  $M_2$  et  $\epsilon_{M1}$  et  $\epsilon_{M2}$  sont leurs permittivités respectives.

Parmi les matériaux high-k qui sont actuellement les plus prometteurs, ainsi que leurs permittivités diélectriques sont référencées dans le Tableau III.4.

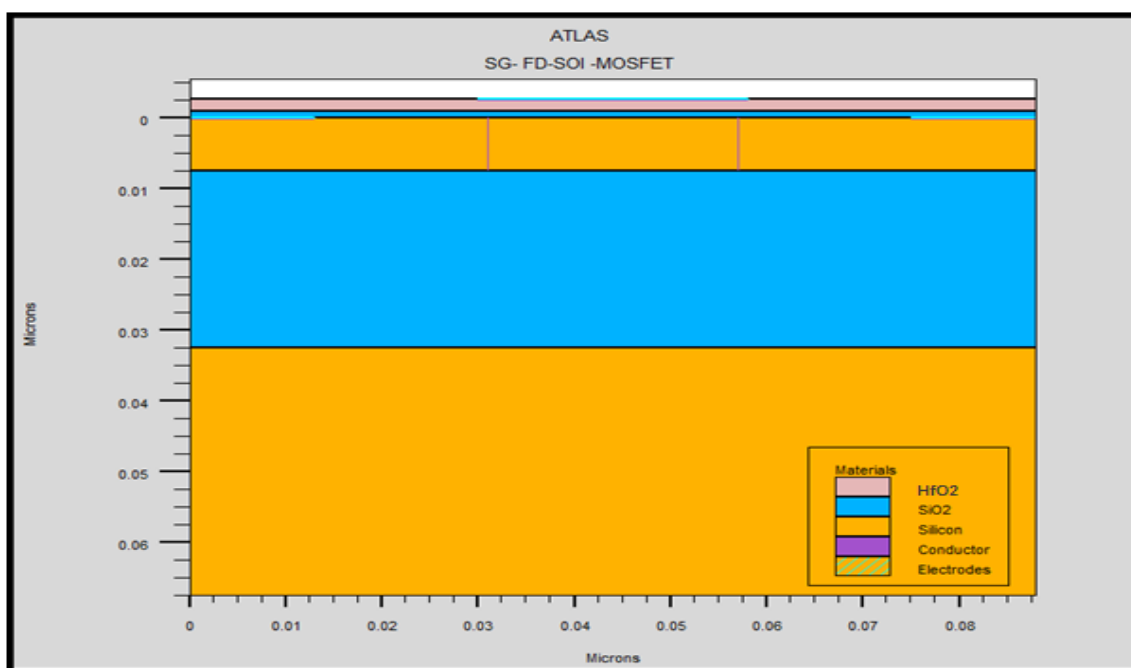
**Tableau III.4:** Matériaux high-k qui sont actuellement les plus prometteurs, ainsi que leurs permittivités diélectriques

Matériau utilisé	Constante diélectrique relative
HfO <sub>2</sub>	20
Al <sub>2</sub> O <sub>3</sub>	9
Y <sub>2</sub> O <sub>3</sub>	15
La <sub>2</sub> O <sub>3</sub>	30
ZrO <sub>2</sub>	25

Dans cette partie, nous intéressons à la structure SG-FD-SOI-NMOSFET simulée dans la première partie mais nous avons remplacé l'empilement de grille Poly-Si/SiO<sub>2</sub> par un empilement de type grille métallique (le nitrure de titane TiN)/diélectrique de forte permittivité: TiN/ Al<sub>2</sub>O<sub>3</sub> (k ~ 9)/ SiO<sub>2</sub>, TiN/ HfO<sub>2</sub> (k ~ 20)/ SiO<sub>2</sub> et TiN/ La<sub>2</sub>O<sub>3</sub> (k ~ 30) /SiO<sub>2</sub>. Les Figures III.11, III.12 et III.13 illustrent la structure 2D du transistor SG-FD-SOI-NMOSFET simulée pour trois types d'empilement TiN/ Al<sub>2</sub>O<sub>3</sub>/ SiO<sub>2</sub>, TiN/ HfO<sub>2</sub>/ SiO<sub>2</sub> et TiN/ La<sub>2</sub>O<sub>3</sub> /SiO<sub>2</sub> et avec un EOT (Equivalent Oxide thickness) = 1.2nm.



*Figure III.11 : Structure 2D du SG-FD-SOI-NMOSFET avec un empilement TiN / 1nm Al<sub>2</sub>O<sub>3</sub> / 0.8nm SiO<sub>2</sub>.*



*Figure III.12 : Structure 2D du SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO<sub>2</sub> / 0.8nm SiO<sub>2</sub>.*

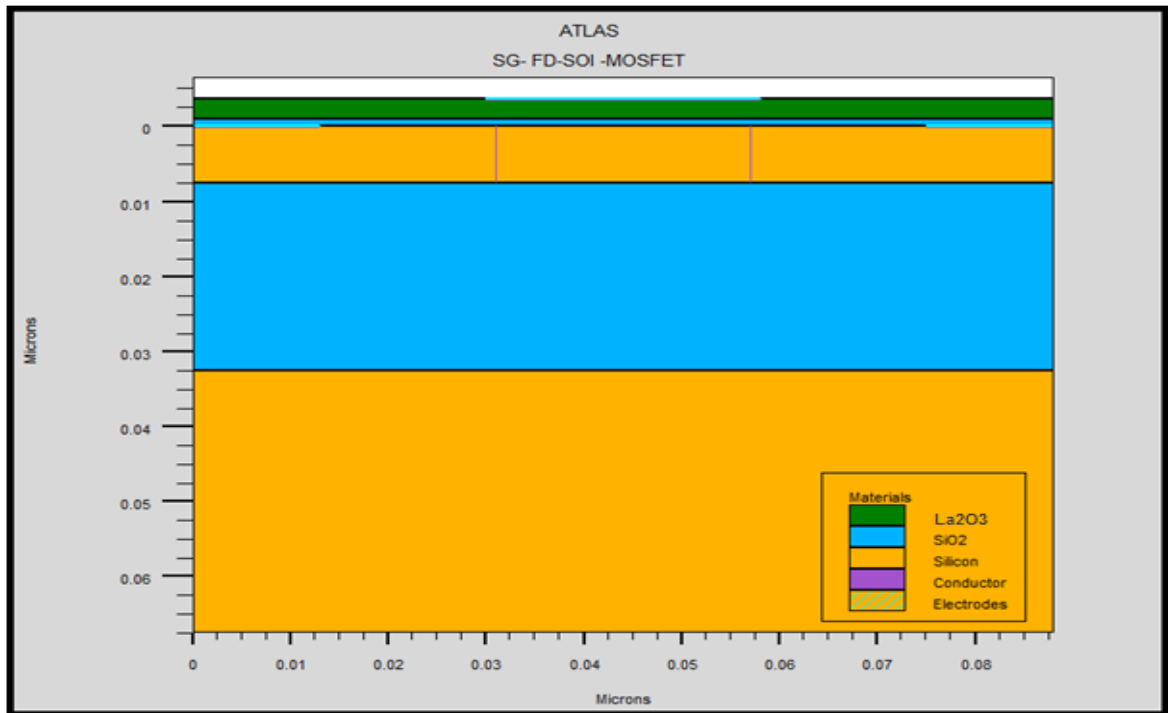


Figure III.13 : Structure 2D du SG-FD-SOI-NMOSFET avec un empilement TiN / 3nm La<sub>2</sub>O<sub>3</sub>/0.8nm SiO<sub>2</sub>.

### III.8.1. L'impact d'intégration des matériaux à high-k dans la grille sur la tension de seuil

Les résultats de simulation de la tension de seuil ( $V_{th}$ ) pour différents matériaux High-k de la grille ( $Al_2O_3$ ,  $HfO_2$  et  $La_2O_3$ ) sont présentés dans les figures : III.14 III.15 et III.16, nous pouvons donc observer la valeur de la tension de seuil ( $V_{th}$ ) pour chaque matériau.

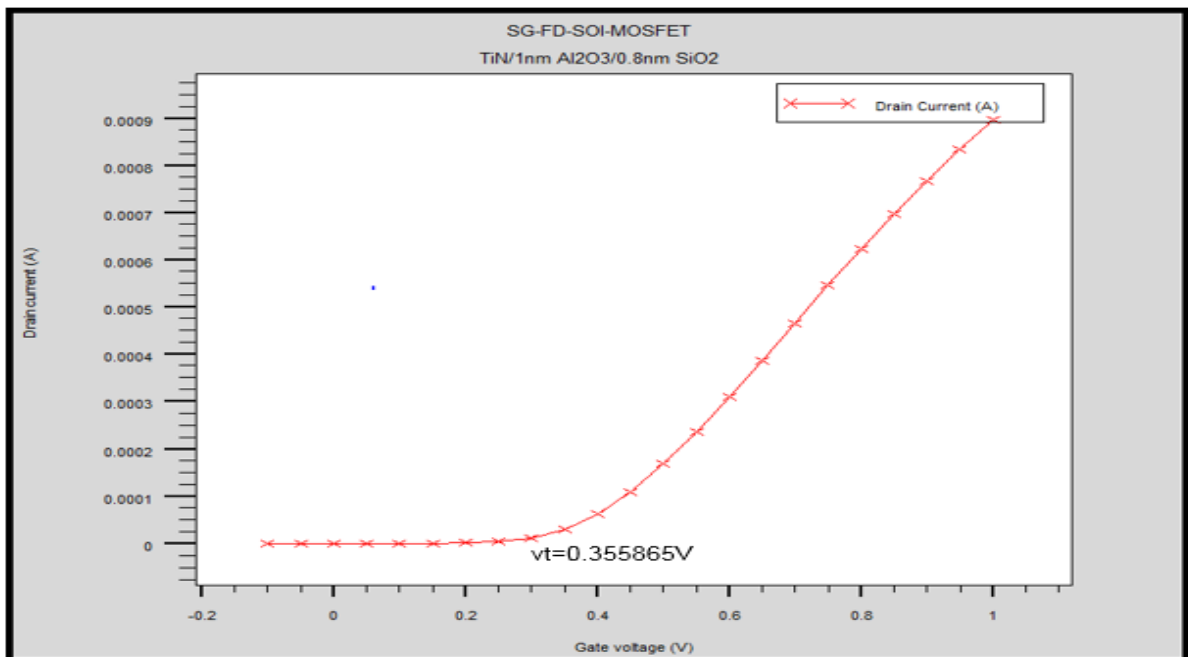
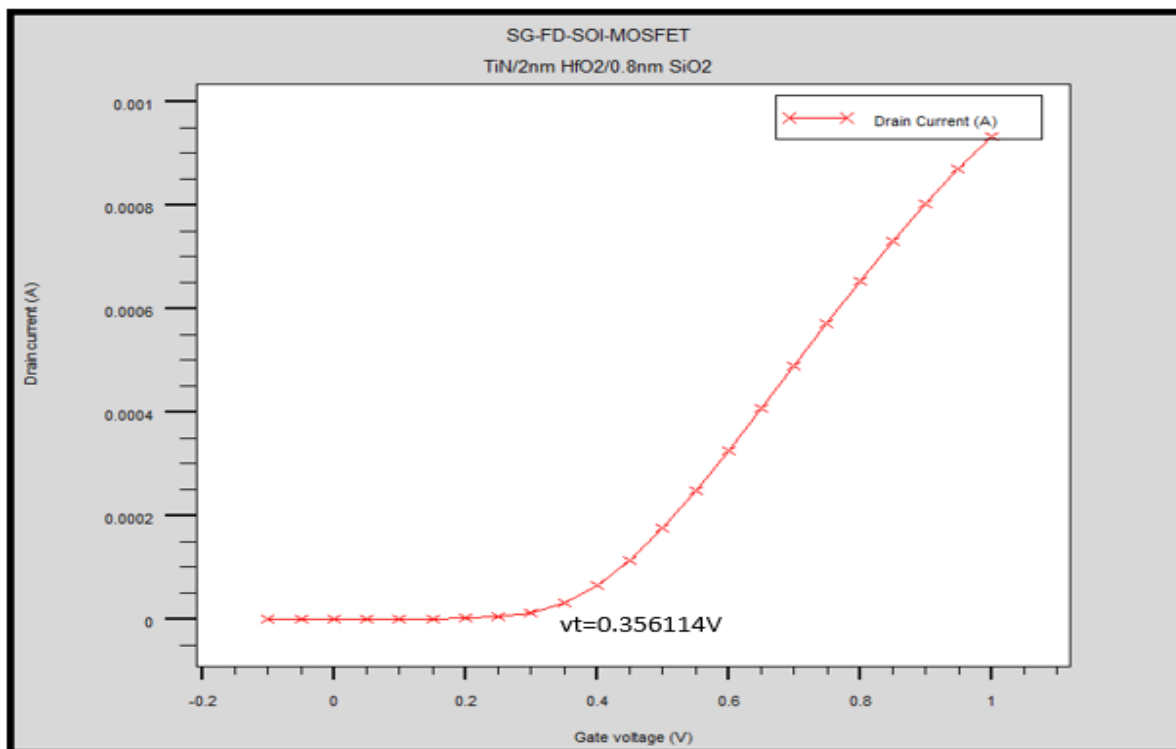
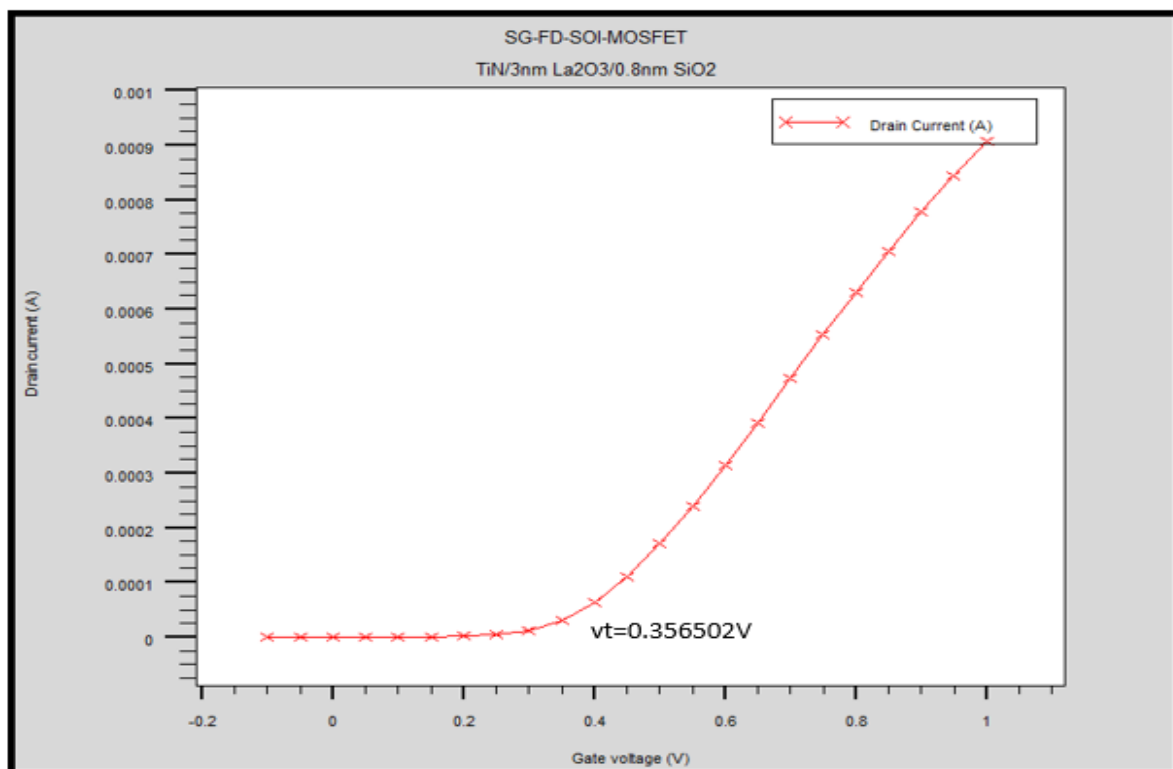


Figure III.14 : Caractéristiques  $I_{DS}-V_{GS}$  du transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 1nm  $Al_2O_3$  / 0.8nm SiO<sub>2</sub>.



**Figure III.15 :** Caractéristiques  $I_{DS}-V_{GS}$  du transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO<sub>2</sub>/0.8nm SiO<sub>2</sub>.



**Figure III.16:** Caractéristiques  $I_{DS}-V_{GS}$  du transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 3nm La<sub>2</sub>O<sub>3</sub>/0.8nm SiO<sub>2</sub>.

Nous pouvons observer que la tension de seuil ( $V_{th}$ ) augmente avec l'augmentation de la permittivité des matériaux de diélectriques, elle atteint : 0.355865 V avec l'empilement TiN / 1nm  $Al_2O_3$  ( $k=10$ ) /0.8nm  $SiO_2$ , 0.35614 V avec l'empilement TiN / 2nm  $HfO_2$ ( $k=20$ ) /0.8nm  $SiO_2$  et 0.356502 V avec l'empilement TiN / 3nm  $La_2O_3$ ( $k=30$ ) /0.8nm  $SiO_2$ .

### III.8.2. L'impact d'intégration des matériaux à high-k dans la grille sur la pente sous le seuil

Nous allons analyser l'effet d'insertion des matériaux à haute permittivité  $k$  sur la pente sous seuil (SS). Les figure : III.17, III.18 et III.19, montrent la variation de la pente sous seuil pour différents matériaux ( $Al_2O_3$ ,  $HfO_2$  et  $La_2O_3$ ).

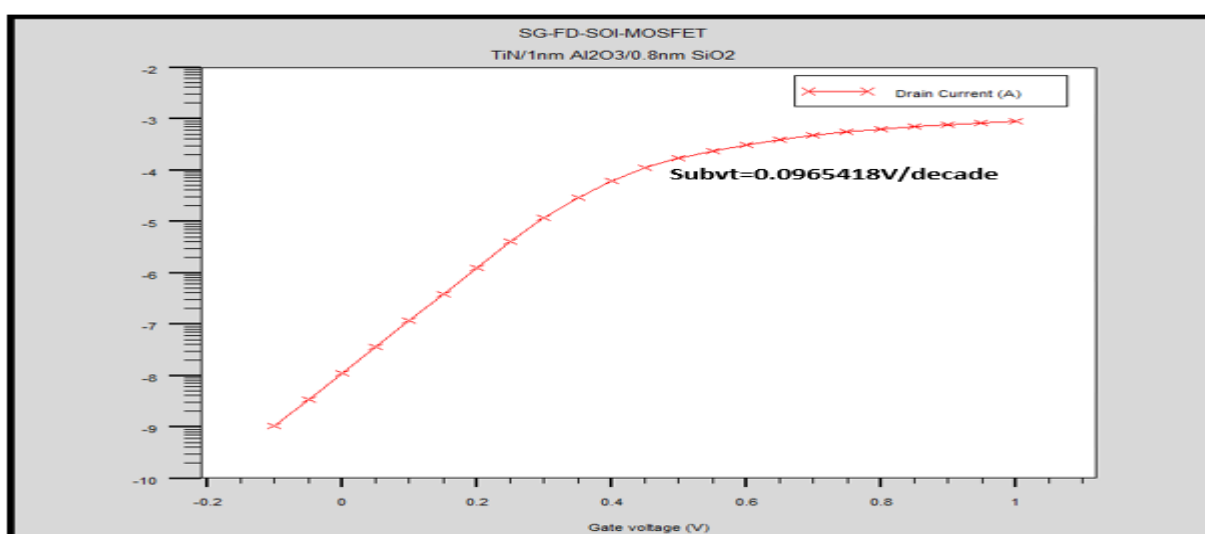


Figure III.17 : Caractéristiques  $I_{DS}$ - $V_{GS}$  subthreshold tension du transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 1nm  $Al_2O_3$  / 0.8nm  $SiO_2$ .

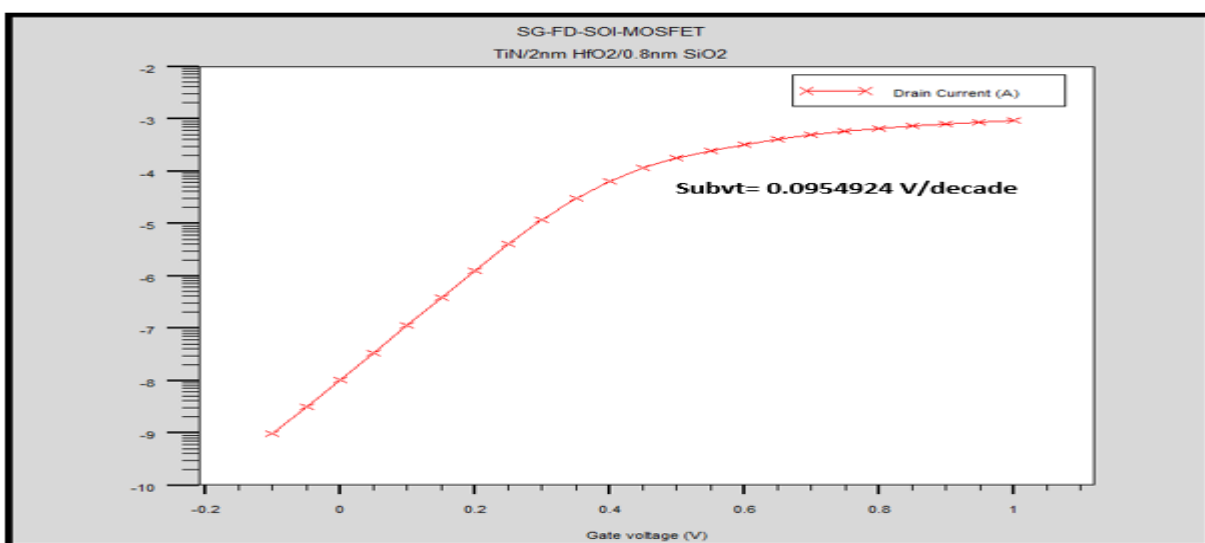
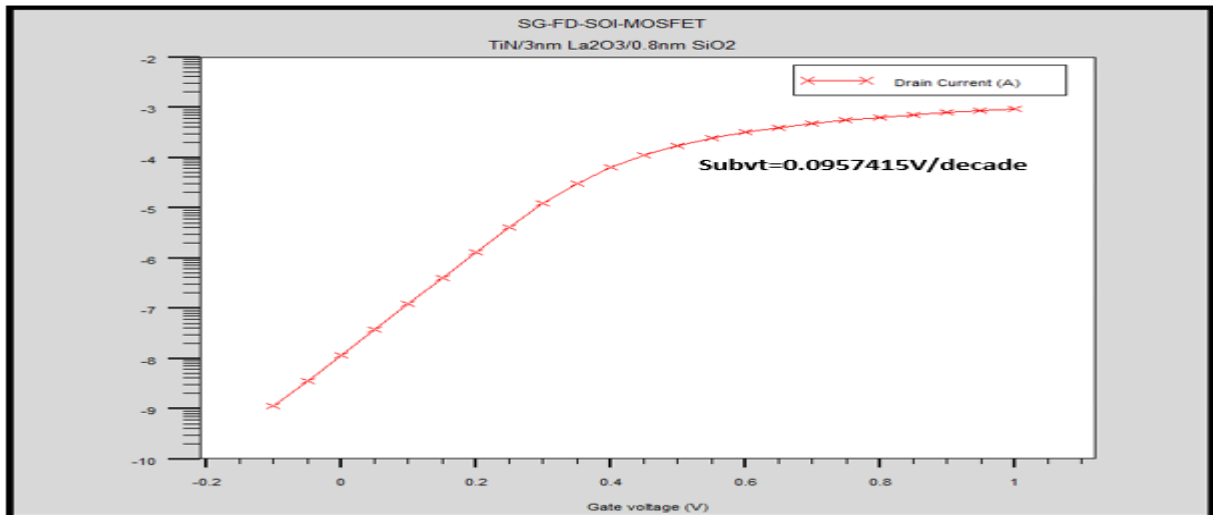


Figure III.18 : Caractéristiques  $I_{DS}$ - $V_{GS}$  subthreshold tension du transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 2nm  $HfO_2$  / 0.8nm  $SiO_2$ .



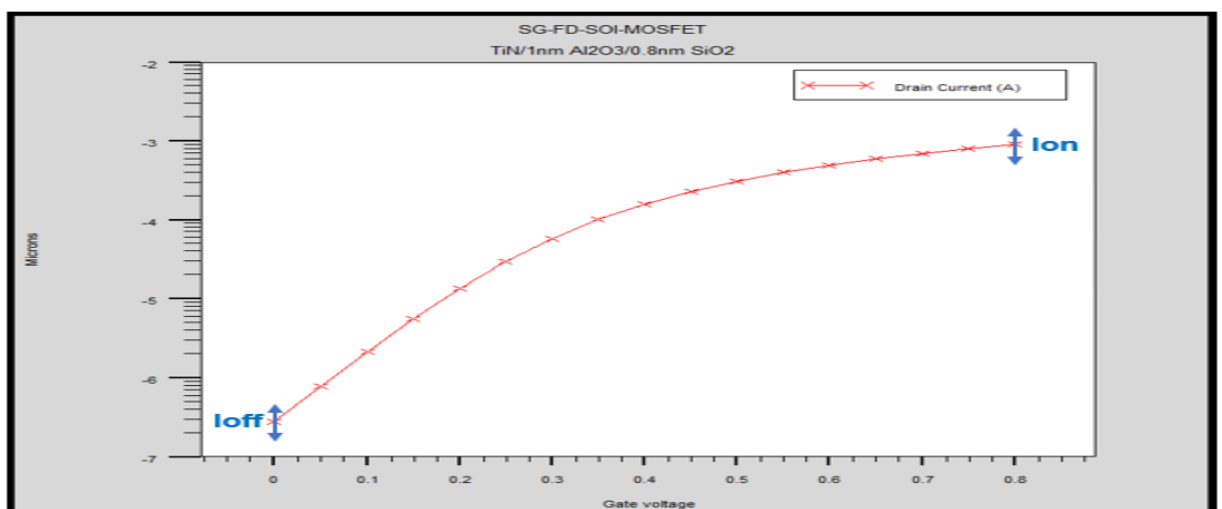


**Figure III.19 :** Caractéristiques  $I_{DS}-V_{GS}$  subthreshold tension du transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 3nm  $La_2O_3$ /0.8nm  $SiO_2$ .

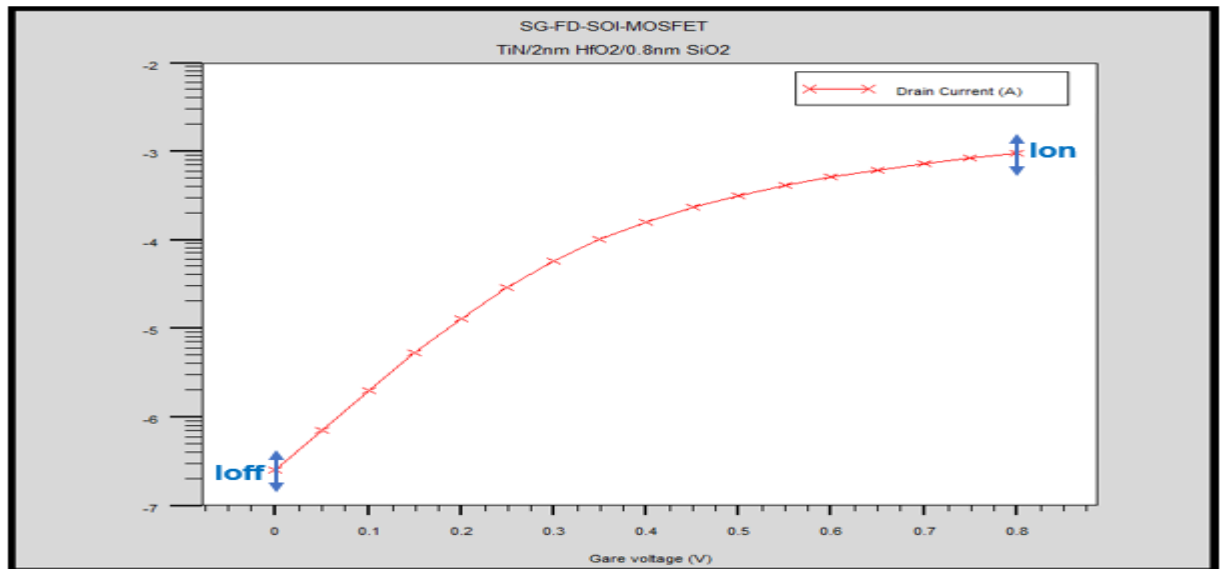
Nous constatons à partir des résultats de simulations obtenus que la valeur de la pente sous seuil (SS) est élevée pour le transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 1nm  $Al_2O_3$  ( $k=10$ ) /0.8nm  $SiO_2$ , par contre une meilleure valeur a été obtenue  $SS = 95,4924$  mV/decade pour le transistor SG-FD-SOI-NMOSFET avec un empilement : TiN / 2nm  $HfO_2$ ( $k=20$ ) /0.8nm  $SiO_2$ , donc ce matériau fournit une capacité très élevée, ce qui permet de rendre le dispositif plus rapide.

### III.8.3. L'impact d'intégration des matériaux à high-k dans la grille sur le courant sur le courant $I_{on}$ , $I_{off}$

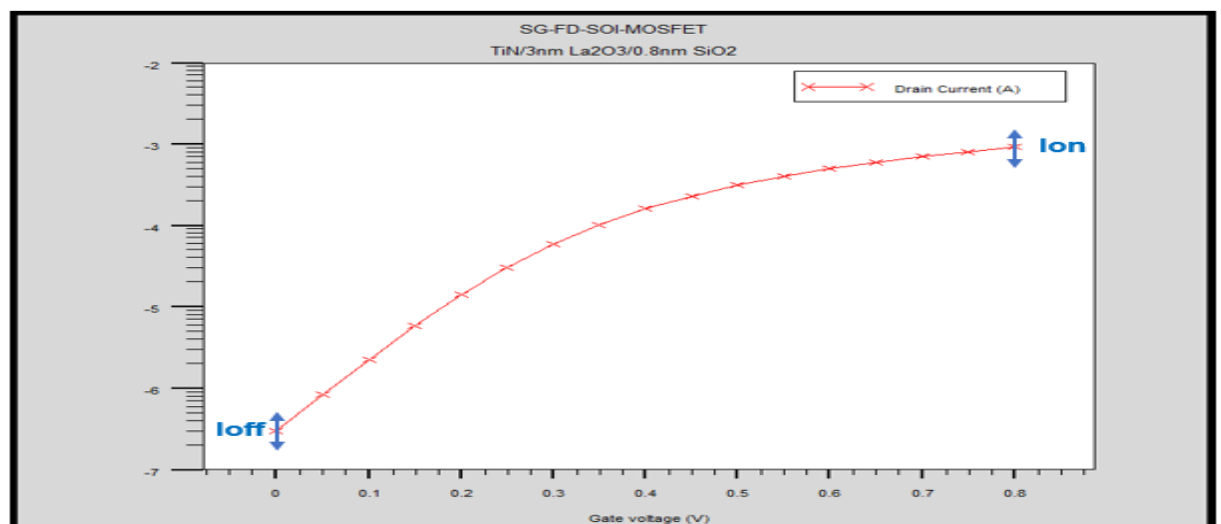
Les figures III.20, III.21 et III.22 montrent l'impact de la variation de plusieurs matériaux à permittivités différentes ( $Al_2O_3$ ,  $HfO_2$  et  $La_2O_3$ ) sur les courants  $I_{on}$ ,  $I_{off}$  et sur le rapport  $I_{on}/I_{off}$ .



**Figure III.20:** Courant  $I_{off}$ - $I_{on}$  dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 1nm  $Al_2O_3$  /0.8nm  $SiO_2$



**Figure III.21:** Courant  $I_{off}$ - $I_{on}$  dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO<sub>2</sub>/0.8nm SiO<sub>2</sub>.



**Figure III.22:** Courant  $I_{off}$ - $I_{on}$  dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 3nm La<sub>2</sub>O<sub>3</sub>/0.8nm SiO<sub>2</sub>.

Les résultats de simulations montrent une amélioration du courant  $I_{on}$  dans le transistor SG-FD-SOI-NMOSFET avec l'empilement TiN / 3nm La<sub>2</sub>O<sub>3</sub>/0.8nm SiO<sub>2</sub> ( $I_{on}=9.6371 \text{ e}^{-4} \text{ A}$ ) par rapport à l'empilement TiN / 2nm HfO<sub>2</sub>/0.8nm SiO<sub>2</sub> ( $I_{on}=9.4698 \text{ e}^{-4} \text{ A}$ ) et TiN / 1nm Al<sub>2</sub>O<sub>3</sub> /0.8nm SiO<sub>2</sub> ( $I_{on}=9.1118 \text{ e}^{-4} \text{ A}$ ).

Le courant  $I_{on}$  a été calculé pour une polarisation de drain ( $V_{DS}= 0.8\text{V}$ ) et pour une polarisation grille ( $V_{GS}=0.8 \text{ V}$ ).

D'autre part, le courant  $I_{off}$  diminue à une valeur égale à  $2.4856 \text{ e}^{-7} \text{ A}$ , cette valeur correspond au transistor SG-FD-SOI-NMOSFET avec l'empilement TiN / 2nm HfO<sub>2</sub>/0.8nm SiO<sub>2</sub>, le courant  $I_{off}$  atteint une valeur égale à  $2.7723 \text{ e}^{-7} \text{ A}$  pour le transistor SG-FD-SOI-NMOSFET

avec l'empilement TiN / 3nm La<sub>2</sub>O<sub>3</sub>/0.8nm SiO<sub>2</sub> et une valeur égale à **2.5752 e<sup>-7</sup>A** avec l'empilement TiN / 1nm Al<sub>2</sub>O<sub>3</sub> /0.8nm SiO<sub>2</sub>.

De plus, la valeur maximale du rapport Ion/Ioff qui est égal à 3.8099×e<sup>+3</sup> est aussi obtenue pour le transistor SG-FD-SOI-NMOSFET avec l'empilement TiN / 2nm HfO<sub>2</sub>/0.8nm SiO<sub>2</sub>, donc l'utilisation de ce matériau (HfO<sub>2</sub>) permet d'obtenir de bons résultats pour augmenter les performances de dispositif.

#### III.8.4. L'impact d'intégration des matériaux à high-k dans la grille sur le DIBL: l'abaissement de la barrière de potentiel induit par le drain

Le DIBL est obtenu en effectuant la différence sur la tension de seuil pour deux tensions de drain, une première très faible (V<sub>DS</sub>=0.1V) et une seconde assez élevé (V<sub>DS</sub>=0.8V).

Les figures III.23, III.24 et III.25 montrent la variation du DIBL pour différents matériaux diélectriques (Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub> et La<sub>2</sub>O<sub>3</sub>).

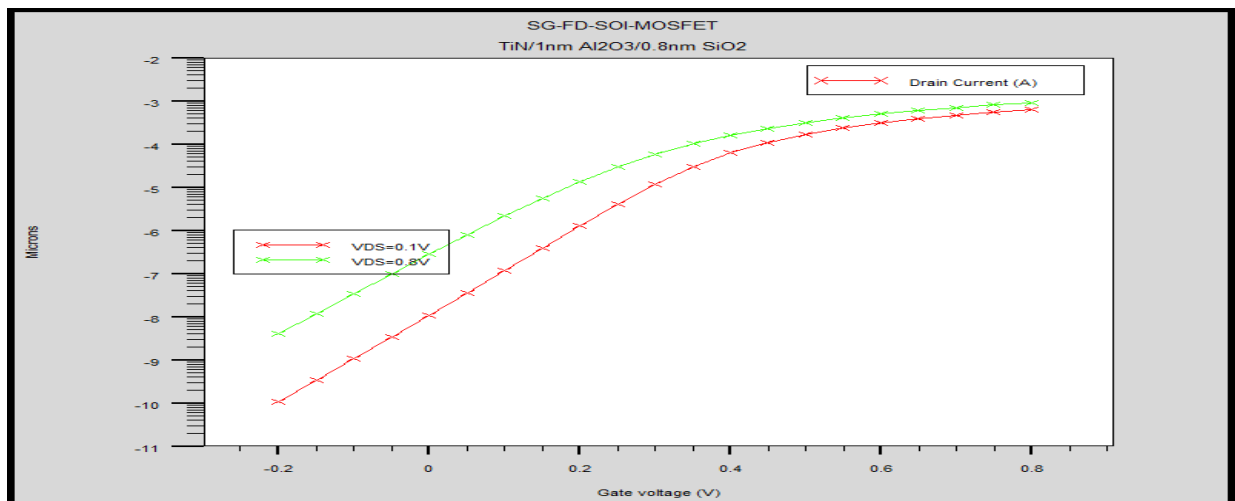


Figure III.23 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 1nm Al<sub>2</sub>O<sub>3</sub> /0.8nm SiO<sub>2</sub>

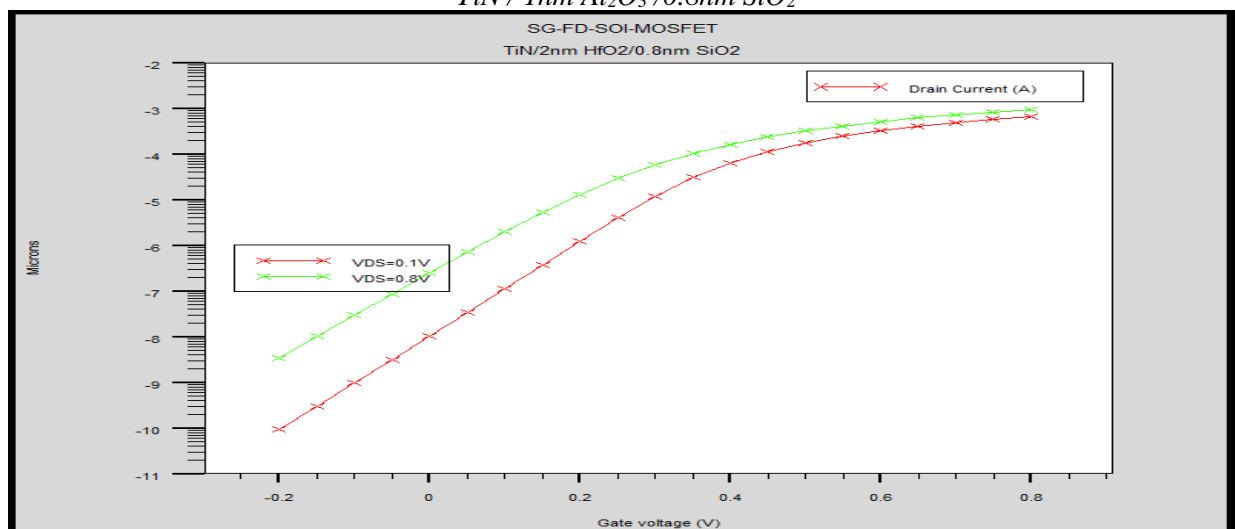
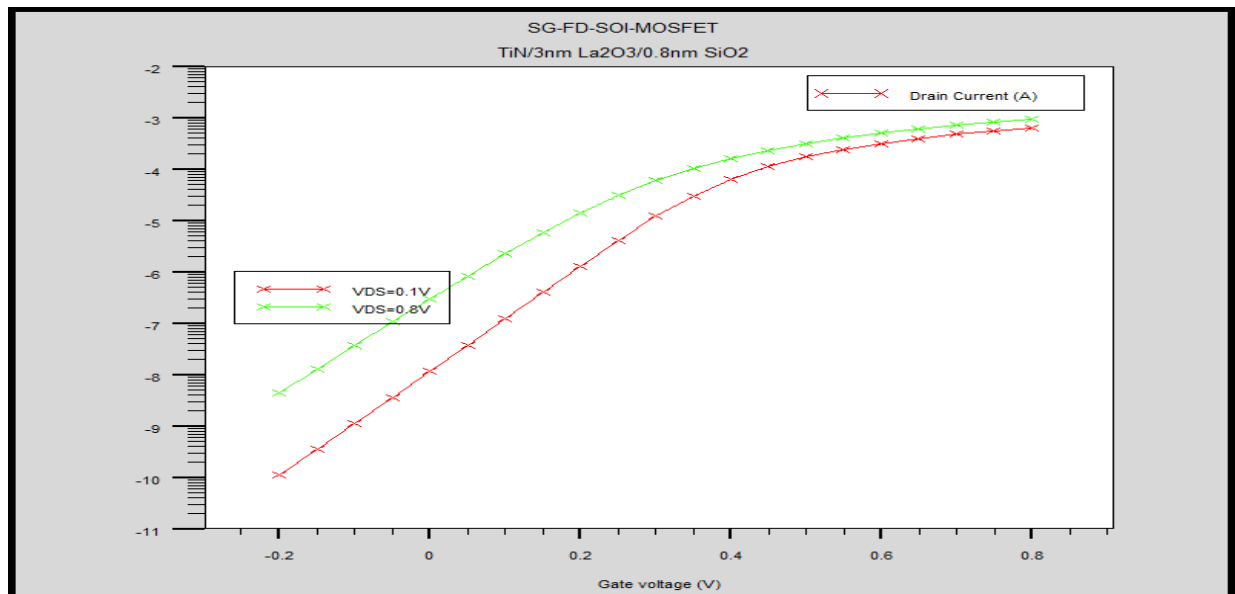


Figure III.24 : L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 2nm HfO<sub>2</sub>/0.8nm SiO<sub>2</sub>.



**Figure III.25 :** L'effet DIBL dans le transistor SG-FD-SOI-NMOSFET avec un empilement TiN / 3nm  $\text{La}_2\text{O}_3$ /0.8nm  $\text{SiO}_2$ .

Le DIBL diminue à une valeur égale à **80.72 mV/V**, cette valeur correspond au transistor SG-FD-SOI-NMOSFET avec l'empilement TiN / 2nm  $\text{HfO}_2$ /0.8nm  $\text{SiO}_2$ , le Le DIBL atteint une valeur égale à **95 mV/V** pour le transistor SG-FD-SOI-NMOSFET avec l'empilement TiN / 3nm  $\text{La}_2\text{O}_3$ /0.8nm  $\text{SiO}_2$  et une valeur égale **108.38mV/V** avec l'empilement TiN / 1nm  $\text{Al}_2\text{O}_3$  /0.8nm  $\text{SiO}_2$ .

**Tableau III.6**

Résultats de Simulations du transistor SG-FD-SOI-NMOSFET avec high-k diélectriques

Paramètres de simulations	TiN /1nm $\text{Al}_2\text{O}_3$ /0.8nm $\text{SiO}_2$	TiN /2nm $\text{HfO}_2$ /0.8nm $\text{SiO}_2$	TiN / 3n m $\text{La}_2\text{O}_3$ /0.8nm $\text{SiO}_2$
Vth [V]	0.355865	0.356114	0.356502
Subvt[V/decade]	0.0965418	0.0954924	0.0957415
Ion [A]	$9.1118 \text{ e}^{-4}$	$9.4698 \text{ e}^{-4}$	$9.6371 \text{ e}^{-4}$
Leakage current Ioff [A]	$2.7723 \text{ e}^{-7}$	$2.4856 \text{ e}^{-7}$	$2.5752 \text{ e}^{-7}$
Ion/Ioff ratio	$2.29\text{e}^{+3}$	$3.8099\text{e}^{+3}$	$3.7423\text{e}^{+3}$
DIBL [mV/V]	108.38	80.72	95

Le transistor SG-FD-SOI-NMOSFET avec le diélectrique  $\text{HfO}_2$  donne le meilleur rapport Ion / Ioff par rapport aux diélectriques :  $\text{Al}_2\text{O}_3$  et  $\text{La}_2\text{O}_3$ . Par conséquent, de meilleures

performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille  $\text{HfO}_2$ .

Les résultats de simulations obtenus montrent que le transistor SG-FD-SOI-NMOSFET avec l'empilement  $\text{TiN} / 2 \text{ nm HfO}_2 / 0.8 \text{ nm SiO}_2$  a entraîné une amélioration des effets canaux courts SCE, en particulier le DIBL réduit le courant de fuite  $I_{\text{off}}$  réduit et le rapport  $I_{\text{on}} / I_{\text{off}}$  augmente par rapport au transistor SG-FD-SOI-NMOSFET avec l'empilement  $\text{TiN} / 1 \text{ nm Al}_2\text{O}_3 / 0.8 \text{ nm SiO}_2$  et par rapport au transistor SG-FD-SOI-NMOSFET avec l'empilement  $\text{TiN} / 3 \text{ nm La}_2\text{O}_3 / 0.8 \text{ nm SiO}_2$ .

### III.9. Conclusion

Le transistor SG-FD-SOI-MOSFET, est l'un des plus importants dispositifs compatibles pour réduire les effets de canal court SCE.

Nous avons présenté dans ce chapitre tous les résultats de simulation que nous avons obtenue suite à la conception d'une structure SG-FD-SOI-MOSFET.

Après avoir brièvement présenté l'outil de simulation numérique que nous avons utilisé : SILVACO, nous avons présenté les résultats de simulation de la structure SG-FD-SOI NMOSFET que nous avons obtenus grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD.

Ces simulations nous a permis d'extraire leur caractéristiques physiques et électriques ainsi d'examiner leurs performances

Pour des épaisseurs d'oxyde inférieures à 2nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. Cet effet, d'origine quantique, modifie les caractéristiques électriques du transistor MOSFET. En particulier, l'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde.

L'utilisation d'isolants de valeur de permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse.

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein du polysilicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde. Il se crée donc une capacité parasite dans la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. Ce phénomène de déplétion de

grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre également une plus grande flexibilité sur l'ajustement de la tension de seuil des dispositifs.

Dans la deuxième partie de ce chapitre, nous sommes intéressés à la structure SG-FD-SOI-MOSFET dans laquelle nous avons remplacé l'empilement de grille Poly-Si/SiO<sub>2</sub> simulé dans la première partie par un empilement de type grille métallique (le nitrure de titane TiN )/diélectrique de forte permittivité: TiN/ Al<sub>2</sub>O<sub>3</sub> (k ~ 9)/ SiO<sub>2</sub>, TiN/ HfO<sub>2</sub> (k ~ 20)/ SiO<sub>2</sub> et TiN/ La<sub>2</sub>O<sub>3</sub> (k ~ 30) /SiO<sub>2</sub> .

Le transistor SG-FD-SOI-MOSFET avec le diélectrique HfO<sub>2</sub> donne le meilleur rapport  $I_{on} / I_{off}$  par rapport aux diélectriques : Al<sub>2</sub>O<sub>3</sub> et La<sub>2</sub>O<sub>3</sub>. Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille le HfO<sub>2</sub>.

Les résultats de simulations obtenus montrent que le transistor SG-FD-SOI-MOSFET avec l'empilement TiN / 2 nm HfO<sub>2</sub> / 0.8 nm SiO<sub>2</sub> a entraîné une amélioration des effets canaux courts SCE, en particulier DIBL, courant de fuite  $I_{off}$  et le rapport  $I_{on} / I_{off}$ .

**Bibliographie**

- [1] S. International, Atlas User's Manual Device Simulation Software (Silvaco Int., Santa Clara), 2012, [Online]. Available:  
[https://www.academia.edu/37940297/ATLAS\\_Users\\_Manual\\_Device\\_simulation\\_software](https://www.academia.edu/37940297/ATLAS_Users_Manual_Device_simulation_software).
- [2] N. Mordi, Simulation, modélisation et caractérisations électriques des transistors HEMT's à base de composés III-V nitrurés, thèse de doctorat, Université Djillali Liabes de Sidi Bel Abbes, 2018.
- [3] <http://www.silvaco.com/>
- [4] R. Kumar et R. Mehra, Impact Analysis of DGMOSFET using High-k Dielectric material, *Int. J. Eng. Trends and Technol. (IJETT)*, vol. 34, no. 4, pp. 179-183, 2016, doi: 10.14445/22315381/ijett-v34p237.
- [5] Y. Nidhi Ratiram et A. Chawla, Performance Comparison of FD-SOI MOSFET with Different Gate Dielectric at 32nm Technology *IJESC*, vol. 6, no. 5, 2016, doi: 10.4010/2016.1462.
- [6] H. H. Radamson, X. He, Q. Zhang, et al., Miniaturization of CMOS, *Micromachines*, vol. 10, no 5, pp. 293, doi: 10.3390 /mi10050293, 2019.
- [7] D. Ranka, A. K. Rana, R. K Yadav, et al., Performance Analysis of FD-SOI MOSFET with Different Gate Spacer Dielectric, *Int. J. of Comput. Appl.*, vol.18, no. 5, pp. 22- 27, 2011, doi: 10.5120/2280-2952.
- [8] M. Zareiee et A. Orouji, A. Superior electrical characteristics of novel nanoscale MOSFET with embedded tunnel diode, *Superlattices Microstruct.*, vol. 101, pp. 57-67, 2017, doi: 10.1016/j.spmi.2016.11.022.

*Conclusion générale  
et perspectives*



## **Conclusion générale et perspectives**

La technologie MOS sur substrat massif a joué un rôle essentiel lors de l'évolution de la microélectronique.

La réduction régulière de la taille des transistors menant à des structures nanométriques dans lesquels les effets parasites sont devenus de plus en plus importants font que ces transistors sur bulk ne remplissent plus leur rôle quand on réduit leurs dimensions. Le nombre de défis à relever actuellement pour lutter contre les effets canaux courts dans générations futures de transistors MOSFET sur substrat massif est particulièrement impressionnant. Afin de minimiser ces effets il est devenu indispensable d'envisager le développement de nouvelles architectures. Une des solutions et non la moindre consiste à remplacer ces transistors conventionnels par des transistors MOS sur substrat SOI, ce qui devrait permettre de poursuivre cette évolution. De ce fait, le travail présenté dans cette étude a été consacré à l'étude des performances d'une structure MOSFET sur SOI.

Le premier chapitre a ainsi permis de retracer l'historique du transistor MOS et de comprendre les différentes problématiques engendrées par sa miniaturisation. Nous avons évoqué ensuite les solutions technologiques possibles pour répondre à ces problèmes, expose ainsi la technologie SOI « Silicon On Insulator » avec ses solutions émergentes.

Dans un second chapitre, nous avons présenté l'architecture du dispositif SOI-MOSFET et les domaines d'applications, puis nous avons étudié le procédé de fabrication des plaquettes SOI qui sont envisagées comme des candidats susceptibles de réussir l'intégration de composants de dimensions de l'ordre de nanomètres.

Nous avons ensuite comparé la technologie SOI avec la technologie sur silicium massif dont les effets parasites deviennent prépondérants pour les longueurs de grilles submicronique et en limitent ses performances.

La technologie SOI offre l'opportunité d'intégrer des dispositifs présentant de hautes performances et/ou des éléments innovants qui peuvent repousser les frontières d'intégration des technologies CMOS sur substrat massif.

Ensuite, nous nous sommes intéressés aux propriétés physiques et électriques des transistors MOSFET SOI, aussi bien sur des substrats totalement désertés FD-SOI-MOSFET que partiellement désertés PD-SOI-MOSFET.

FDSOI est une nouvelle forme de technologie qui peut aider l'industrie de fabrication de semiconducteurs à faire face au grand obstacle.

Le processus FDSOI est une innovation technologique qui garantira le maintien de l'efficacité.

Les avantages du FDSOI permettent aux concepteurs et aux fabricants de créer des produits véritablement innovants et révolutionnaires et créer de nouveaux.

Dans le chapitre 3, Nous avons dans un premier temps présenté l'outil de simulation numérique du dispositif et process SILVACO-TCAD puis nous avons présenté les résultats de simulation de la structure SG-FD-SOI NMOSFET nanométriques que nous avons obtenus grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD.

Ces simulations nous a permis d'extraire leur caractéristiques physiques et électriques ainsi d'examiner leurs performances.

Dans la deuxième partie de ce chapitre, nous sommes intéressés à la structure SG-FD-SOI-N MOSFET dans laquelle nous avons remplacé l'empilement de grille Poly-Si/SiO<sub>2</sub> simulé dans la première partie par un empilement de type grille métallique (le nitrure de titane TiN )/diélectrique de forte permittivité: TiN/ Al<sub>2</sub>O<sub>3</sub> (k ~ 9)/ SiO<sub>2</sub>, TiN/ HfO<sub>2</sub> (k ~ 20)/ SiO<sub>2</sub> et TiN/ La<sub>2</sub>O<sub>3</sub> (k ~ 30) /SiO<sub>2</sub> .

Le transistor SG-FD-SOI-N MOSFET avec le diélectrique HfO<sub>2</sub> donne le meilleur rapport Ion / Ioff par rapport aux diélectriques : Al<sub>2</sub>O<sub>3</sub> et La<sub>2</sub>O<sub>3</sub>. Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille le HfO<sub>2</sub>.

Les résultats de simulations obtenus montrent que le transistor SG-FD-SOI-N MOSFET avec l'empilement TiN / 2 nm HfO<sub>2</sub> / 0.8 nm SiO<sub>2</sub> a entraîné une amélioration des effets canaux courts SCE, en particulier DIBL, courant de fuite Ioff et le rapport Ion / Ioff par rapport au transistor SG-FD-SOI-N MOSFET avec l'empilement TiN / 1 nm Al<sub>2</sub>O<sub>3</sub> /0.8nm SiO<sub>2</sub> et par rapport au transistor SG-FD-SOI-N MOSFET avec l'empilement TiN / 3nm La<sub>2</sub>O<sub>3</sub> /0.8nm SiO<sub>2</sub>.

L'amélioration des performances des transistors reste l'objectif le plus difficile de la communauté microélectronique. De cette raison, Il est aussi recommandé de poursuivre les recherches pour étudier l'effet de l'introduction de nouveaux matériaux (sauf le silicium) dans la structure proposée de SG-FD-SOI-N MOSFET tels que :

- ✚ Le carbure de silicium (SiC), SiGe ou le Ge pur dans le canal du SG-FD-SOI-N MOSFET pour plus de mobilité et une meilleure compatibilité avec l'évolution des nœuds technologiques.
- ✚ Le composite (InAs/InGaAs) ou (InGaAs) dans le canal du SG-FD-SOI-N MOSFET pour le développement et de l'amélioration des performances de ce dispositif dans les applications à faible consommation.

- ✚ Le double métal (DM) dans la grille de SG-FD-SOI-N MOSFET pour fournir une fréquence de coupure plus élevée et d'améliorer les performances.

## Résumé

La technologie MOS sur substrat massif a joué un rôle essentiel lors de l'évolution de la microélectronique. La réduction régulière de la taille des transistors conduit aujourd'hui à des dispositifs nanométriques dans lesquels les effets physiques parasites, autrefois sans importance, se trouvent grandement amplifiés et vont aboutir à la fin de la technologie MOS sur substrat massif dans moins d'une dizaine d'années. La technologie MOS sur substrat SOI devrait permettre de poursuivre cette évolution.

Nous avons pu dans ce manuscrit présenter brièvement les transistors MOS sur substrat massif ainsi que les problèmes engendrés par la miniaturisation, nous avons arboré ensuite la technologie SOI qui est actuellement la plus utilisée pour les dispositifs nanométriques, cette partie nous a permis d'introduire l'architecture du dispositif SOI-MOSFET, la technique de réalisation des substrats SOI, et d'énumérer ses avantages par rapport aux technologies MOS sur substrat massif, nous avons alors présenté les deux variantes des SOI MOSFET à savoir les SOI MOSFET partiellement désertés ou totalement désertés. Le processus FDSOI est une innovation technologique qui garantira le maintien de l'efficacité.

Les avantages du FDSOI permettent aux concepteurs et aux fabricants de créer des produits véritablement innovants et révolutionnaires et créer de nouveaux

Ce travail a été achevé par la présentation de résultats de simulation de la structure SG-FD-SOI NMOSFET que nous avons obtenus grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD.

Ces simulations nous a permis d'extraire leur caractéristiques physiques et électriques ainsi d'examiner leurs performances.

Le transistor SG-FD-SOI NMOSFET avec le diélectrique  $\text{HfO}_2$  donne le meilleur rapport Ion / Ioff par rapport aux diélectriques :  $\text{Al}_2\text{O}_3$  et  $\text{La}_2\text{O}_3$ . Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille  $\text{HfO}_2$ .

**Mots clés :** transistors MOSFET, technologie SOI ; FD SOI MOSFET, PD SOI MOSFET, effets canaux courts, High-k diélectriques, Silvaco Software

## Abstract

MOS Technology on massive substrate played an essential role during the evolution of micro-electronics. The regular reduction of transistors size leads today to nanometric devices in which the parasitic physical effects, previously with no importance, are nowadays basically amplified and will lead at the end of MOS on massive substrate technology. SOI MOSFET technology allows continuing this evolution.

In this manuscript we briefly present MOSFET transistors and problems generated by the miniaturization, we presented then Silicon One Insulator technology which is currently used nanometers devices, this part allow us to introduce the architecture of the SOI-MOSFET device, the technique for producing SOI substrates, and to enumerate its advantages compared to MOS on massive substrate technology, then we presented the two variants of SOI MOSFETs, fully depleted SOI MOSFETs and partially depleted SOI MOSFETs.

he FDSOI process is a innovation technology that will ensure that efficiency is maintained.

The benefits of FDSOI allow designers and manufacturers to create truly innovative and revolutionary products and create new.

This work was completed by the presentation of simulation results of the SG-FD-SOI NMOSFET structure that we obtained through the use of DevEdit and Atlas modules SILVACO-TCAD software.

These simulations allowed us to extracted of their physical and electrical characteristics as well to review their performance.

The SG-FD-SOI NMOSFET with the dielectric  $\text{HfO}_2$  gives the best Ion / Ioff ratio compared to dielectric:  $\text{Al}_2\text{O}_3$  and  $\text{La}_2\text{O}_3$ .

Therefore, better device performance can be obtained using as  $\text{HfO}_2$  gate dielectric.

**Key words:** MOSFET transistors, SOI technology, FD SOI MOSFET, PD SOI MOSFET, short Chanel effect, High-k dielectric, Silvaco Software

## المخلص:

لعبت التكنولوجيا MOS على الركيزة الصلبة دورا مهما خلال تطور الالكترونيات الدقيقة . إن الانخفاض المستمر في حجم الترانزستورات يؤدي إلى الحصول على أجهزة دقيقة التي تكثر فيها الآثار الفيزيائية الطفيلية هذه العوامل ستؤدي إلى نهاية التكنولوجيا MOS على الركيزة الصلبة في أقل من عقد من الزمن، التكنولوجيا MOS على الركيزة SOI بإمكانها مواصلة هذا التطور.

خلال هذه المذكرة قمنا بتقديم الترانزستور MOS على الركيزة الصلبة بالإضافة إلى المشاكل الناجمة عن تصغيره ثم تطرقنا إلى التكنولوجيا MOS على الركيزة SOI التي تعد حاليا الأكثر استخداما للأجهزة الدقيقة. في هذا الجزء عرضنا التكنولوجيا SOI MOS ، الطريقة الخاصة بصناعة الركيزة SOI، مزاياها بالنسبة للتكنولوجيا MOS على الركيزة الصلبة ثم قدمنا الترانزستورات

FD SOIMOSFET و PD SOIMOSFET.

لتكنولوجيا FDSOI هي ابتكار تقني يضمن الحفاظ على الكفاءة حيث يتيح مزايا FDSOI للمصممين والمصنعين ابتكار منتجات مبتكرة وثرورية حقاً وابتكار منتجات جديدة .

من خلال هذا العمل قدمنا نتائج محاكاة الترانزستور SG-FD-SOI NMOSFET الذي حصلنا عليه من خلال استخدام الحديتي ب DevEdit و Atlas لبرنامج SILVACO-TCAD.

سمحت لنا هذه المحاكاة باستخراج الخصائص الفيزيائية والكهربائية للترانزستور SG-FD-SOI NMOSFET بالإضافة إلى مراجعته أدائه. الترانزستور SG-FD-SOI NMOSFET مع استخدام العازل  $\text{HfO}_2$ ، أعطى أفضل معامل Ion/Ioff بالنسبة للعوازل الأخرى  $\text{Al}_2\text{O}_3$  و  $\text{La}_2\text{O}_3$ . ولذلك، يمكن الحصول على أفضل أداء الجهاز باستخدام  $\text{HfO}_2$  كبوابة عازلة.

**مفاتيح البحث :** الترانزستور MOSFET، التكنولوجيا SOI، اثرات canaux courts ، SOI MOSFET multi-grille ، عوازل البوابة ذات السماحية العالية High-k diélectriques ، البرنامج SILVACO TCAD