

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي والبحث العلمي

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

جامعة أبي بكر بلقايد - تلمسان -

Université Aboubakr Belkaïd – Tlemcen –

Faculté de TECHNOLOGIE



MEMOIRE

Présenté pour l'obtention du **diplôme** de **MASTER**

En : Télécommunications

Spécialité : Systèmes des Télécommunications

Par :

CHENNOUF Dounia

Sujet

**Etude et conception d'un synthétiseur de fréquences en bande X
pour les satellites d'observation de la Terre LEO**

Soutenu publiquement, le **27 / 06 / 2022**, devant le jury composé de :

IRID Sidi Mohammed Hadj	Maître de Conférences -A	Univ. Tlemcen	Président
KAMECHE Samir	Professeur	Univ. Tlemcen	Encadreur
BOUSALAH Fayza	Maître de Conférences A	Univ. Tlemcen	Examinatrice

A mes parents,
A toute la famille...

Remerciements

Nous remercions, tout d'abord "Allah", notre créateur, de nous avoir donné le courage, la volonté, la force et de la patience durant toutes ces années écoulées d'études, d'entamer et d'achever ce mémoire dans les bonnes conditions.

Je remercie vivement mon encadreur, monsieur "**Samir KAMECHE**", Professeur à l'université de Tlemcen, d'avoir encadré ce travail avec ses énormes compétences et ses grandes qualités humaines, merci pour l'acuité de ses critiques, ses recommandations de perfectionniste et ses conseils éclairés ainsi pour sa disponibilité, sa gentillesse et toute l'assistance qu'il m'a rapportée au cours de cette recherche.

Je remercie également tous les membres de ma famille notamment mes chers parents pour les sacrifices qu'ils ont faits pour que j'achève mes études avec excellence.

Je tiens à adresser mes amples remerciements et le grand respect aux membres de jury : Monsieur **IRID Sidi Mohamed Hadj**, Maître de conférences classe A à l'université de Tlemcen pour avoir accepté de présider le jury de ce Mémoire, et Madame **BOUSALAH Fayza**, Maître de conférences A, en tant qu'examinatrice, d'avoir accepté l'évaluation de ce travail, pour toutes leurs remarques et critiques signalées. Mes remerciements s'adressent également à tous les professeurs, les enseignants, intervenants et toutes les personnes à tous les niveaux qui par leurs paroles, leurs écrits, leurs conseils et leurs critiques ont guidé mes réflexions et ont accepté de me rencontrer et de répondre à mes questions et ont contribué à bien pour terminer mes recherches et pour l'ensemble du savoir que nous avons acquis grâce à eux durant mes études.

Enfin, j'adresse toutes mes sympathies à tous mes collègues et mes amis, qui ont toujours été là pour moi, pour leur soutien inconditionnel et leurs encouragements qui ont été d'une

grande ampleur et pour tous les moments agréables. Un grand merci pour tous ceux qui ont contribué de près ou de loin pour la réalisation de ce mémoire. À toutes ces personnes, je présente mes remerciements, mon respect et ma gratitude.

Résumé

La demande croissante pour les systèmes de communication des satellites a considérablement élargi le besoin en algorithmes au niveau système efficace et précis lorsqu'il s'agit des circuits de communication RF. Le respect des spécifications techniques des futurs systèmes nécessite des efforts importants dans les technologies de circuits intégrés, circuits RF et des algorithmes de conception. L'augmentation du nombre de fonctions électroniques à intégrer dans le système RF d'un satellite est accompagnée par l'augmentation de la consommation électrique et l'amélioration de la vitesse de commutation. Les concepteurs de circuits deviennent très exigeants de savoir une méthodologie de conception qui comprend l'exploration efficace des architectures niveau système avant l'implémentation des circuits détaillés.

L'objectif de ce projet de master consiste en l'étude et la conception d'un synthétiseur de fréquence à division entière à base de PLL opérant sur la bande-X [8-12] GHz pour les satellites d'observation. La simulation a été faite à l'aide du logiciel de conception ADIsimPLL.

Mots clés : PLL, Bande X, Satellite, Transmetteur, synthétiseur de fréquences, ADIsimPLL.

Summary

The growing demand for satellite communication systems has greatly expanded the need for algorithms at the efficient and accurate system level when it comes to RF communication circuits. Meeting the technical specifications of future systems requires significant efforts in the technologies of integrated circuits, RF circuits and design algorithms. The increase in the number of electronic functions to be integrated into a satellite's RF system is accompanied by increased power consumption and improved switching speed. Circuit designers are becoming very demanding to know a design methodology that includes the efficient exploration of system-level architectures before the implementation of detailed circuits.

The objective of this project consists of the study and design of a PLL-based integer division frequency synthesizer operating on the X-band [8-12] GHz for observation satellites purposes. During this work the simulation was based on ADIsimPLL design software.

Keywords: PLL, X Band, LEO Orbit, Satellite, Transmitter, frequency synthesizer, ADIsimPLL

Table des matières

Dédicace.....	i
Remerciements.....	ii
Résumé.....	iv
Summary.....	v
Table des matières.....	vi
Sigles et abréviation	x
Liste des figures.....	xiii
Liste des tableaux.....	xv
Introduction Générale.....	2

Chapitre I : Communication par satellite

I.1 Introduction.....	5
I.2 L'évolution des satellites.....	5
I.3 Principes de base sur la communication par satellite	6
I.3.1 Définition d'un satellite	6
I.3.1.1 Les satellites passifs	7
I.3.1.2 Les satellites actifs.....	7
I.3.2 Fiche d'identité d'un satellite.....	7
I.3.2.1 Constitution d'un satellite.....	7
• La charge utile.....	8
• La plate-forme.....	8
I.3.2.2 Durée de vie.....	9
I.3.2.3 La masse	9
I.3.3 Les avantages de la communication par satellites.....	10
I.3.4 Les services offerts par satellite	10
• Le service fixe par satellite (FSS).....	10
• Le service mobile par satellite (MSS).....	11
• Le service radiodiffusion par satellite (BSS)	11
I.4 Transmission du signal.....	11
I.4.1 Les différentes bandes de fréquences.....	11
• La bande X.....	12
I.4.2 Les techniques d'accès aux canaux satellitaires.....	13
I.4.2.1 Les techniques d'accès fixes ou FAMA	13

• FDMA: (Frequency Division Multiple Access).....	13
• TDMA: (Time Division Multiple Access).....	14
• CDMA : (Code Division Multiple Access).....	15
I.4.2.2 Les techniques d'accès aléatoires	15
• La technique ALOH.....	15
• ALOHA en tranche	16
• ALOHA avec réservation	16
I.5 Les orbites de satellite.....	16
I.5.1 Définition	16
I.5.2 Orbite elliptique	16
• Orbite haute (HEO) (High Earth-Orbit).....	17
I.5.3 Orbite circulaire	17
• Orbites géostationnaires (GEO) (Géostationnaire –Earth- Orbit).....	17
• Orbites moyennes (MEO) (Medium Earth-Orbit)	18
• Orbites basses (LEO) (Low Earth -Orbit).....	18
I.6 Les types des satellites	18
• Satellites d'observation.....	18
I.7 Liaison satellitaire d'observation	19
I.7.1 Architecture d'un système d'observation par satellite	19
• Segment spatial	19
• Segment terrien	19
I.7.2 Fonctionnement des satellites d'observation	20
I.7.2.1 Le satellite	20
I.7.2.2 Blocs d'émission et réception.....	21
• Le bloc émetteur	21
• Le bloc récepteur.....	22
I.8 Architecture d'une chaîne de réception front-end dans la bande X	22
I.9 Conclusion	24

Chapitre II : Théorie des synthétiseurs de fréquences à base de PLL

II.1 Introduction	26
II.2 L'invention de la boucle à verrouillage de phase	26
II.3 Généralités sur les PLLs	27
II.3.1 Définition	27
II.4 La synthèse de fréquences	27
II.4.1 Caractéristiques basiques des synthétiseurs de fréquences	28
II.4.1.1 Plage de verrouillage	28
II.4.1.2 Plage d'accrochage.....	28

II.4.1.3 Pas de synthèse.....	29
II.4.1.4 Pureté spectrale.....	29
II.4.1.5 Temps d'accrochage.....	29
II.4.1.6 Consommation/Surface.....	29
II.4.1.7 Autres caractéristiques.....	30
II.4.2 Différents types de synthétiseurs de fréquences.....	30
II.4.3 Synthétiseur de de fréquences à division entière.....	30
II.4.4 Description des éléments constitutifs de la PLL numérique.....	32
II.4.4.1 La source de référence.....	32
• Oscillateur à quartz.....	32
II.4.4.2 Le Comparateur de phase-fréquence (PFD).....	33
II.4.4.3 La pompe de Charge (CP).....	36
II.4.4.4 Le filtre de boucle (LF).....	37
• Choix de type et l'ordre du filtre.....	38
II.4.4.5 Diviseurs de fréquence (M) et (N).....	38
II.4.4.6 L'Oscillateur Contrôlé en Tension (VCO).....	39
II.5 Modélisation de la PLL verrouillée.....	41
II.5.1 Stabilité.....	41
II.5.2 Modèle linéaire.....	41
II.5.3 Expression des fonctions de transfert de système.....	42
II.6 Elaboration et évaluation des performances.....	43
II.7 Analyse du bruit de phase dans le synthétiseur de fréquences.....	49
II.7.1 Les sources de bruit standard et les techniques d'analyse.....	49
II.7.2 Bruit du cristal de référence.....	50
II.7.3 Bruit de détecteur de phase.....	51
II.7.4 Bruit dans le VCO.....	51
II.7.5 Bruits générés par les résistances.....	51
II.7.5.1 Bruit produit par $R2$	53
II.7.5.2 Bruit produit par $R3$	53
II.7.6 Raies latérales de référence (reference spurs).....	54
II.7.7 Bruit de phase total.....	54
II.8 Conclusion.....	54

Chapitre III : Résultats des simulations d'un synthétiseur de fréquences dans la bande-X

III.1 Introduction.....	56
III.2 Présentation de logiciel de simulation ADIsimPLL.....	56
III.3 Simulation d'un synthétiseur à division entière de fréquence en bande-X.....	57
III.4 Choix des paramètres de conception du circuit.....	58
III.5 Détermination de la marge de phase et la bande de boucle.....	59

III.6 L'étude du courant de fuite tolérable par le synthétiseur.....	60
III.7 Calcul du filtre	61
III.8 Les réponses fréquentielles de la boucle	62
III.8.1 Réponse de la fonction de transfert du gain en boucle ouverte.....	62
III.8.2 Réponse de la fonction de transfert du gain en boucle fermée.....	63
III.8.3 Analyse du bruit de phase à la sortie du synthétiseur de fréquence	64
III.8.4 La réponse de l'erreur de la boucle.....	64
III.8.5 Leakage spurs (raies de référence).....	65
III.9 Les réponses temporelles de la boucle.....	65
III.9.1 Réponse transitoire du système	65
III.9.2 Réponse de la fréquence d'erreur du système.....	66
III.9.3 Réponse de la phase d'erreur du système	66
III.10 Conclusion.....	67
<u>Bibliographie</u>	<u>72</u>

A

APLL Analogic Phase Locked Loop

B

BB Base Band

BSS Broadcasting Satellite Service

C

CAN Convertisseur Analogique Numérique

CDMA Code Division Multiple Access

CP Charge Pump

D

DC Direct Current

DDS Direct Digital Synthesis

F

FAMA Fixed Assignment Multiple Access

FDMA Code Division Multiple Access

FSS Fixed Satellite Service

G

GPS Global Positioning System

GEO Geostationary Earth Orbit

H

HEO High Earth Orbit

I

IEEE	Institute of E lectrical and E lectronics E ngineers
IF	Intermediate Frequency

L

LEO	L ow E arth O rbital
LNA	L ow N oise A mplifier
LO	L ocal O scillator

M

MEO	M edium E arth O rbital
MIC	M odulation I mpulsions C odage
MSS	M obile S atellite S ervices

P

PFD	P hase F requency D etector
PLL	P hase L ocked L oop

Q

QoS	Q uality of S ervice
-----	------------------------------------

R

RF	R adio F requency
RR	R adio R egulations

T

TCXO	T emperature C ompensated C rystal O scillator
TDMA	T ime D ivision M ultiple A ccess
TWT	T ravelling W ave T ube

U

UIT **Union International Telecommunication**

V

VCO **Voltage Controlled Oscillator**

VSAT **Very Small Aperture Terminal**

Liste des Figures

Chapitre I

Figure I.1. L'évolution des satellites artificiels.....	6
Figure I.2. Schéma d'un système de transmission par satellite.....	6
Figure I.3. Principe de fonctionnement des satellites passifs et actifs.....	7
Figure I.4. Structure d'un satellite.....	8
Figure I.5. Durée de vie réelle des satellites artificiels en fonction de l'altitude.....	9
Figure I.6. La division du monde selon l'UIT.....	12
Figure I.7. Technique d'accès FDMA.....	14
Figure I.8. Technique d'accès TDMA.....	14
Figure I.9. Technique d'accès CDMA.....	15
Figure I.10. Représentation de l'apogée, périgée et l'inclinaison de l'orbite.....	17
Figure I.11. Les différentes orbites circulaires.....	17
Figure I.12. Composantes d'un système d'observations par satellite.....	19
Figure I.13. Le module des antennes de réception et d'émission d'un satellite.....	20
Figure I.14. Les schémas de répéteur générateur et répéteur transparent du satellite.....	21
Figure I.15. Présente les composants essentiels d'un bloc émetteur.....	21
Figure I.16. Le bloc récepteur.....	22
Figure I.17. Le schéma fonctionnel du récepteur front-end.....	23

Chapitre II

Figure II.1. Structure générique d'un transmetteur/récepteur RF.....	28
Figure II.2. Plage de capture et la plage de verrouillage.....	28
Figure II.3. Influence du bruit et des raies parasites sur le spectre d'un signal réel.....	29
Figure II.4. Synthétiseur de fréquences classique à base de PLL.....	31
Figure II.5. Comparateur de phase classique avec retard.....	33
Figure II.6. Diagramme d'état de la PFD.....	34
Figure II.7. Chronogrammes des signaux UP et DOWN (F_{ref} en phase avec F_{outN}).....	34
Figure II.8. Chronogrammes des signaux UP et DOWN (F_{ref} en avance de phase sur F_{outN}).....	35
Figure II.9. Chronogrammes des signaux UP et DOWN (F_{outN} en avance de phase sur F_{ref}).....	35

Figure II.10. Caractéristique du détecteur de phase et de fréquence à bascules D.	36
Figure II.11. Schéma de principe de la pompe de charge.	36
Figure II.12. Fonctionnement de la pompe de charge.	37
Figure II.13. Synthétiseur de fréquences avec un pré-diviseur.	39
Figure II.14. Schéma de fonctionnement du diviseur programmable par N.	39
Figure II.15. Pente caractéristique d'un VCO.	40
Figure II.16. Modèle d'un oscillateur à résonateur LC dans le régime permanent.	41
Figure II.17. Modèle linéaire de la PLL.	42
Figure II.18. Filtre de deuxième ordre.	44
Figure II.19. Tracé de Bode de la réponse de boucle ouverte.	45
Figure II.20. Filtre de boucle de troisième ordre combiné avec la pompe de charge.	47
Figure II.21. Modèle de PLL avec les différentes sources de bruits.	49
Figure II.22. Modèle de bruit pour R2.	52
Figure II.23. Modèle de bruit pour R3.	52

Chapitre III

Figure III.1. Interface graphique du logiciel ADIsimPLL.	57
Figure III.2. Le bloc fonctionnel de l'ADF4108.	58
Figure III.3 Schéma du Synthétiseur de fréquences conçu pour générer la bande-X.	62
Figure III.4. Réponse de la fonction de transfert du gain en boucle ouverte.	63
Figure III.5. Réponse de la fonction de transfert du gain en boucle fermée.	63
Figure III.6. Le bruit de phase de chaque composant de la PLL.	64
Figure III.7. Réponse d'erreur de la boucle	64
Figure III.8. Réponse des raies parasites.	65
Figure III.9. Réponse temporelle de la PLL.	65
Figure III.10. L'erreur de fréquence de la PLL.	66
Figure III.11. L'erreur de phase à la sortie du VCO.	66

Liste des Tableaux

Chapitre I

Tableau I-1. Classement des satellites par rapport à son poids.....	10
Tableau I-2. Bandes des fréquences et services associés.....	12

Chapitre II

Tableau II-1 Différents types de synthèses de fréquences.....	30
--	----

Chapitre III

Tableau III-1 Paramètres de conception.....	58
Tableau III-2 Réponse du temps et des raies de références en fonction de la variation de la marge de phase et la bande de boucle.....	59
Tableau III-3 Réponse du temps de verrouillage et des raies de référence pour diverses valeurs du courant de fuite.....	61
Tableau III-4 Composants du filtre de boucle.....	62

Introduction Générale

Le besoin de communiquer sur de longues distances et le désir d'observer la terre, de comprendre son travail, de suivre son évolution et d'anticiper les phénomènes violents, ont donné naissance au satellite artificiel. À cet égard les transmissions par satellite font désormais partie intégrante du monde, ils ont permis de surmonter tous les obstacles terrestres, ils assurent la communication dans des zones dépourvues d'infrastructure de communication terrestre, une solution de secours pour les entreprises, un moyen de diffusion d'information comme par exemple la télévision et bien d'autres applications

La croissance phénoménale de ces systèmes satellitaires exige, de plusieurs têtes RF pour le changement de fréquence afin d'exercer ses fonctions, cependant cette technique ne présente pas une solution optimale vu la grande surface occupée pour l'implémentation, le poids et le coût. De ce fait la solution proposée est la fabrication d'une tête RF capable de répondre à toutes les spécifications fréquentielles des applications visées. Autrement dit, développer des circuits qui pourraient générer plusieurs fréquences à partir d'une seule fréquence. Cela donne l'idée de la conception d'un synthétiseur de fréquences qui sera utilisé comme un oscillateur local pour la translation de fréquence et de sélectionner le canal souhaité. Généralement la fréquence de l'oscillateur local est synthétisée par une boucle à verrouillage de phase ' Phase Locked Loop (PLL)' qui doit être capable répondre aux exigences de la stabilité.

Problématique :

L'objectif de ce projet de master consiste en l'étude et en la conception d'un synthétiseur de fréquence à division entière opérant en bande X pour les systèmes de communication par satellite. En tenant compte d'améliorer les caractéristiques qui définissent les performances des synthétiseurs ; l'optimisation de la bande de boucle et de la marge de phase est nécessaire, afin d'obtenir un temps d'accrochage réduit et un faible de gain des raies de références (Reference spurs).

Afin de traiter ce sujet et répondre à la problématique évoquée ; un plan de recherche a été établi. Il consiste tout d'abord de comprendre les communications satellitaires et ses principes de fonctionnement, et par la suite nous allons mener des études sur la chaîne de réception RF de satellite, en particulièrement sur les composants des synthétiseurs de fréquences.

Le manuscrit de ce mémoire est composé de trois chapitres :

Dans le premier chapitre nous allons présenter une description générale de la théorie du satellite et les communications satellitaires. On présente aussi les diverses catégories d'orbites, les bandes des fréquences et les services des télécommunications, etc. On termine par l'étude détaillée d'une

architecture d'un système de réception pour laquelle nous détaillons les différents modules qui le constituent ainsi que leurs spécifications.

Le deuxième chapitre, se focalise sur la conception architecturale de la boucle de verrouillage de phase et les blocs constituant ce circuit, par la suite, nous allons présenter les caractéristiques qui définissent les performances des synthétiseurs suivi d'une analyse précise sur le bruit de phase qui influe sur l'erreur et la stabilité de la PLL.

Le troisième chapitre, sera consacré aux résultats de simulation. La PLL qui représente le cœur du synthétiseur sera analysée en détail afin de déduire les paramètres du circuit qui répondent aux exigences de la stabilité (entre l'obtention d'un temps d'établissement court et d'une raie de parasites réduit).

Enfin, la conclusion générale permettra de tirer le bilan des travaux effectués avec une synthèse des résultats des choix effectués pour la conception et la modélisation du synthétiseur de fréquences en bande X et une ouverture vers des travaux futurs.

Chapitre I

Communication par satellite

I.1 Introduction

L'utilisation des communications par satellite est devenue la caractéristique principale d'une société moderne. Depuis que l'Union soviétique a mis en orbite en 1957 le premier satellite artificiel SPOUTNIK [1], [2], les liaisons hertziennes par satellites sont devenues un support de communication universel incontournable, en raison de leur capacité de couverture, qui permet de couvrir des grandes zones, souvent difficiles, voire impossible d'accès, de leur facilité d'installation et de leur coût réduit par rapport aux solutions câblées.

Les satellites ont permis de couvrir des secteurs variés de services tels que l'observation de la terre, la météorologie, la photographie (optique ou radar), les applications militaires, le positionnement (GPS, GLONASS, Galileo...), et bien d'autres applications.

Dans ce chapitre, nous allons présenter des généralités sur les satellites (ses constitutions, les services qu'ils offrent), les orbites, ainsi que les différentes bandes utilisées en se basant sur l'architecture de récepteur dans la bande X.

I.2 L'évolution des satellites

Vers la fin des années 50, les communications téléphoniques et télégraphiques internationales restent très difficiles car les câbles sous-marins ont une capacité de transmission très limitée. Alors, ils ont commencé à réfléchir sur des solutions alternatives qui sont indépendantes des câbles, et donc le projet de satellite a commencé.

L'URSS était les premiers qui ont inventé le premier satellite artificiel SPOUTNIK 1. Il est mis en orbite le 4 octobre 1957. Le 3 novembre 1957, SPOUTNIK 2 est lancé avec à son bord la chienne Laïka et le 15 mai 1958, c'est le lancement de SPOUTNIK 3 [3].

Le 18 décembre 1958, les américains mis sur orbite le satellite SCORE. Sa durée d'activité était de 34 jours.

En 1962, TELSTAR 1 et RELAY diffusant des Etats Unis vers l'Europe quelques transmissions de télévision, l'importance des télécommunications transatlantiques est mise à jour au grand public. Avec TELSTAR 1 des communications téléphoniques étaient possibles entre Andover (Etats Unis), Goonhilly Downs (Grande Bretagne) et Pleumeur Bodou (France).

Le 6 avril 1965, le satellite EARLY BIRD est lancé et c'est ainsi, il marque l'apparition du réseau commercial de télécommunications internationales par satellite. INTELSAT est créée en 1964 sous l'impulsion d'une société privée, il groupe aujourd'hui plus de 132 pays se partageant les services des satellites du réseau [3], [4]. La figure I.1 représente l'évolution des satellites artificiels.

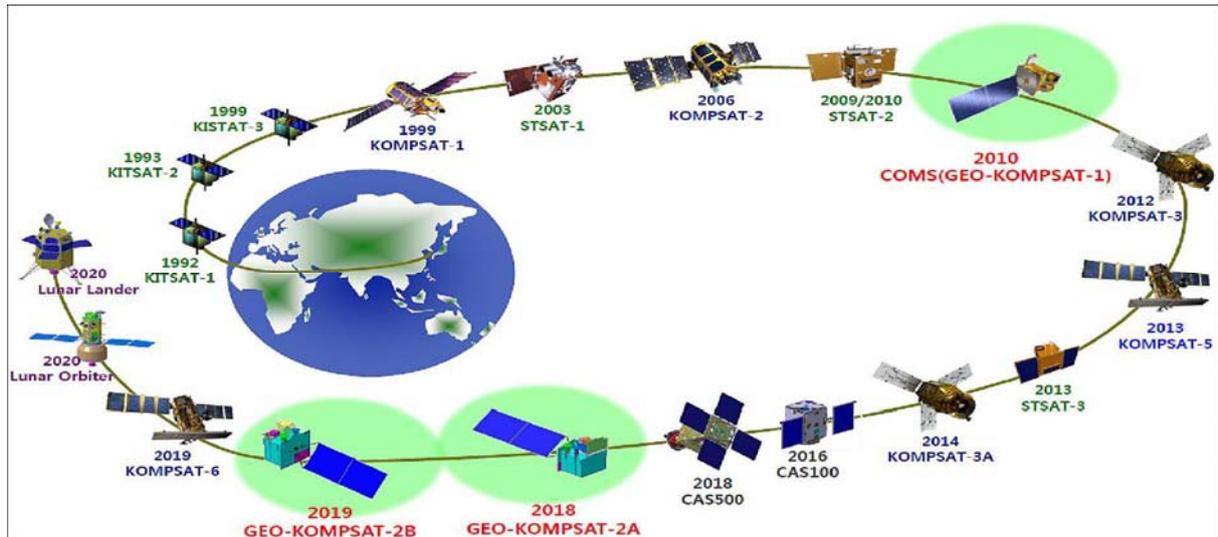


Figure I.1. L'évolution des satellites artificiels.

I.3 Principes de base sur la communication par satellite

I.3.1 Définition d'un satellite

Un élément-clé dans les télécommunications spatiales est le satellite défini par le Règlement des Radiocommunications (RR) de l'UIT comme suit : « Corps qui tourne autour d'un autre corps de masse prépondérante et dont le mouvement est principalement déterminé, d'une façon permanente, par la force d'attraction de ce dernier » [5].

Un satellite artificiel est un système de transport spatial émetteur/récepteur sans fil, fabriqué par l'homme et envoyé dans l'espace à l'aide d'un lanceur pour objectif d'effectuer un relais entre deux stations. Ces stations sont soit deux stations terrestres, soit un satellite et une station terrestre. La figure I.2 illustre un exemple de liaison montante (de la station terrestre au satellite) et descendante (du satellite à la station terrestre) [6].

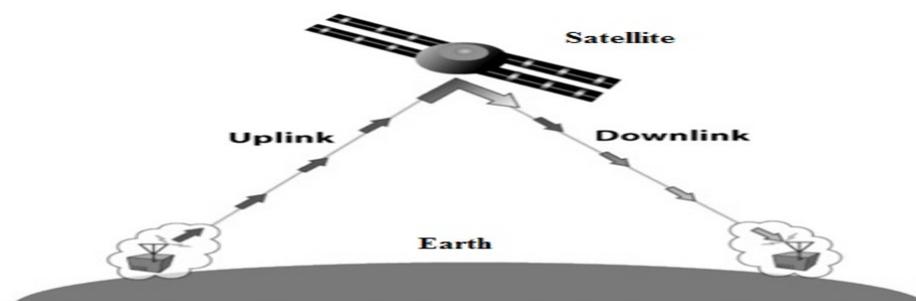


Figure I.2. Schéma d'un système de transmission par satellite.

Ces satellites peuvent être utilisés pour une variété de services tel que (les télécommunications, l'observation de la terre, le positionnement...), ces satellites permettent d'assurer une couverture terrestre presque totale.

On peut distinguer deux types de satellites, les satellites actifs et les satellites passifs [7].

I.3.1.1 Les satellites passifs

Les premiers satellites de communication étaient des satellites passifs, et leur fonction était de refléter l'énergie reçue, c'est-à-dire de refléter les signaux envoyés par la station au sol, et ces signaux étaient réfléchis par le satellite dans toutes les directions, de sorte qu'ils pouvaient être reçus n'importe où dans le monde. Ces satellites ont une capacité très limitée, car ils nécessitent de puissants émetteurs et de grandes antennes au sol.

I.3.1.2 Les satellites actifs

Les satellites actifs sont les plus utilisés aujourd'hui, ils sont constitués d'un véhicule sur lequel sont installées les antennes, les répéteurs qui ont pour rôle de recevoir le signal émis par l'antenne et les retransmettent vers la terre après amplification et changement de fréquence (pour éviter les interférences) du signal pour le retransmettre dans une zone précise du globe.

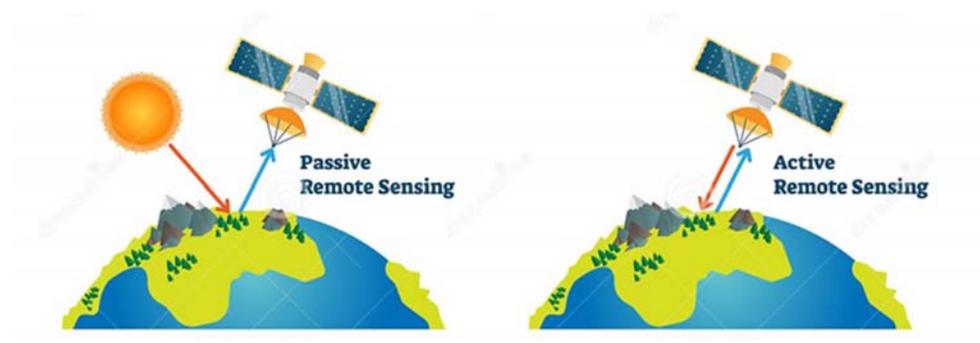


Figure I.3. Principe de fonctionnement des satellites passifs et actifs.

I.3.2 Fiche d'identité d'un satellite

I.3.2.1 Constitution d'un satellite

L'architecture du satellite résulte des objectifs définis par la mission et des contraintes particulières liées à son évolution dans l'Espace [8]. La figure I.4 résume la constitution d'un satellite. Un satellite est constitué de deux sous-ensembles :

- La charge utile qui regroupe les instruments nécessaires pour remplir la mission : antennes et amplificateurs pour un satellite de télécommunications, instrument d'optique pour l'observation de la terre, etc.

- La plate-forme, ou module de service, qui supporte la charge utile et qui lui fournit les ressources dont elle a besoin pour son fonctionnement (électricité...), maintient le satellite sur son orbite selon l'orientation demandée et assure la liaison avec les stations à terre.

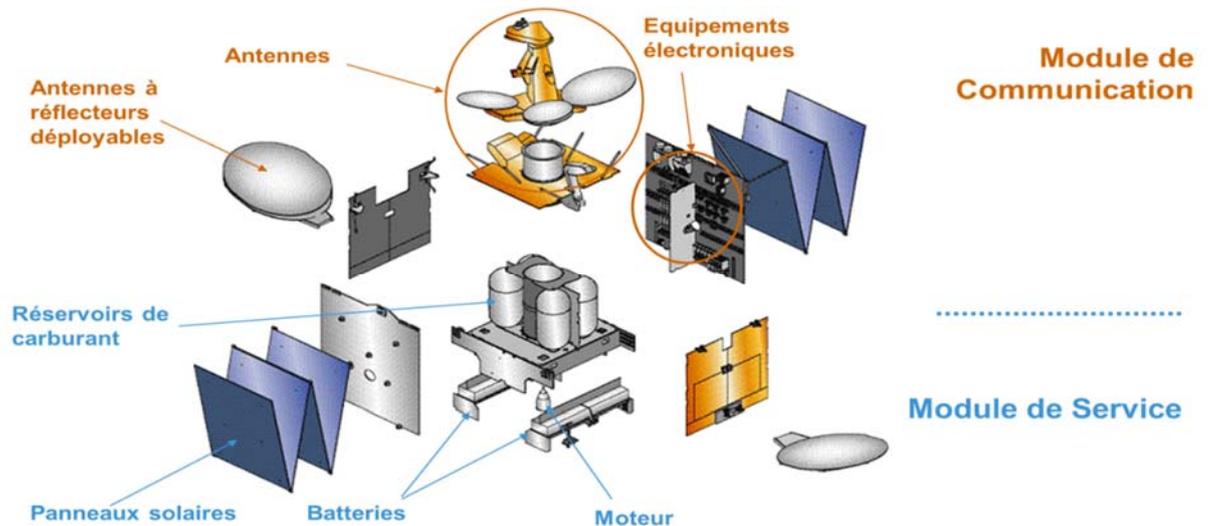


Figure I.4. Structure d'un satellite.

- **La charge utile**

La charge utile d'un satellite comporte :

- Les antennes de réception et d'émission qui définissent les zones de couverture des satellites. Elles ont pour rôle principal la réception des signaux provenant de la terre et l'émission des signaux en direction de la terre.
 - L'ensemble des équipements électroniques assurant la transmission des signaux, ils sont composés des modems (modulateur-démodulateur) et routeurs.
 - Le transpondeur (répéteur) est un réémetteur dont la fonction de retransmettre les signaux reçus issue d'une station terrienne émettrice vers la station terrienne réceptrice et avant de la retransmettre d'abord l'amplifie et la convertit à la bande de fréquence adéquate pour la liaison descendante. Dans un satellite, on peut en avoir plusieurs répéteurs et chacun possède un ensemble des canaux et chaque canal ayant une gamme de fréquence déterminée.
- Pour un satellite d'observation, la charge utile est composée de caméras digitales et de capteurs d'image pour prendre des clichés de la surface de la terre.

- **La plate-forme**

Une plate-forme ou « bus » comprenant un module de service qui regroupe les composants essentiels du satellite pour assurant les fonctions suivantes :

- Alimentation en énergie : pour leur fonctionnement, les satellites ont besoin d'énergie solaire qui est captée par les panneaux solaires et la convertir en énergie électrique, ainsi des batteries

pour le stockage et un système de distribution qui transmet l'énergie électrique à chaque instrument ;

- Commande d'orientation : c'est le processeur du satellite ;
- Le contrôle d'altitude et d'orbite et les équipements de propulsion : qui permet au satellite d'être orienté, toujours, dans la bonne direction ;
- Les équipements de poursuite, de télémétrie et de télécommande TT&C : permettant de relayer les informations ou bien transmettre de nouvelles instructions entre le satellite et la terre (transmettre des images, des données enregistrées...) ;
- Le contrôle thermique : ce système de contrôle de la température utilisé pour protéger les équipements électroniques du satellite des dommages dus à l'environnement spatial.

I.3.2.2 Durée de vie

La durée de vie d'un satellite dépend du type de sa mission et aussi son orbite. Durant sa conception, une procédure de fin de vie est implémentée selon son régime orbital. Les LEO ont une durée de vie moins que les GEO.

En général, les satellites de télécommunications sont conçus pour durer une quinzaine d'années, tandis qu'un satellite d'observation, est conçu pour une durée de vie de 5 ans. La fin de vie d'un satellite est souvent dépendante de l'épuisement de ses ergols qui lui permettent de maintenir son orbite sur une trajectoire bien définie et d'en contrôler ses instruments. Aussi, les batteries sont vulnérables qui peuvent être épuisées par des cycles de charge/décharge répétés [9].

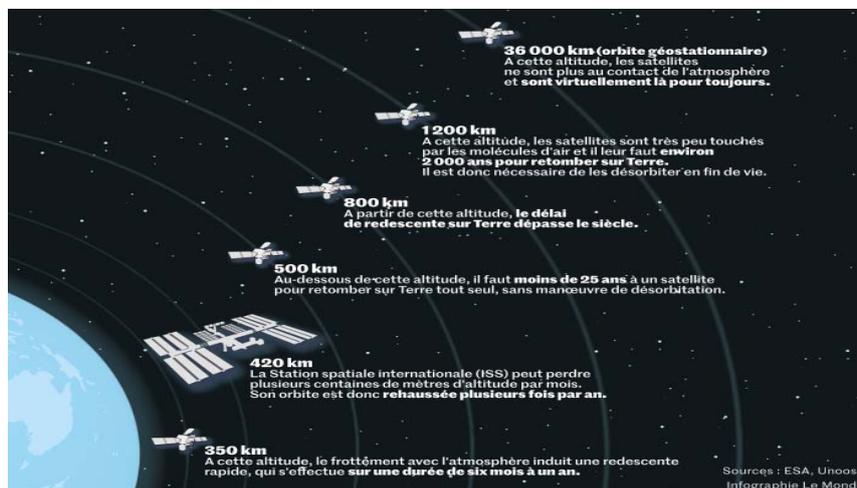


Figure I.5. Durée de vie réelle des satellites artificiels en fonction de l'altitude.

I.3.2.3 La masse

Selon le type de mission des satellites, on peut les regrouper en 7 catégories, allant du plus grand au plus petit. Le tableau ci-dessous montre le classement des satellites par rapport à son poids [10].

Satellite	Grand	Moyen	Petit	Mini	Micro	Nano	Pico
Poids	Plus de 3 Tonne	1 à 3 Tonne	500 à 1000 Kg	100 à 500 Kg	10 à 100 Kg	1 à 10 Kg	Inférieur à 1 Kg

Tableau I-1. Classement des satellites par rapport à son poids.

I.3.3 Les avantages de la communication par satellites

On peut citer les avantages les plus importants des satellites de communication :

- Une zone de couverture très large : cette propriété est parmi les principaux avantages comparant avec les réseaux terrestres.
- Une bande passante large : elle permet des vitesses de transmission élevées et une grande capacité de transmission.
- Flexibilité géographique : les réseaux satellitaires ne dépendent pas des lieux et leurs caractéristiques. Ils offrent plusieurs choix de routes et peuvent donc atteindre des endroits isolés sans nécessité d'un réseau terrestre existant.
- Immunité contre les catastrophes naturelles : les réseaux satellitaires sont plus immunisés contre les catastrophes naturelles tel que les tremblements de terre, les intempéries, les vents de sable, les inondations...etc.
- L'indépendance : les satellites sont indépendants vis-à-vis les infrastructures terrestres. Ils peuvent fournir des services aux utilisateurs finaux sans passer par une interface terrestre.
- Coût : les réseaux satellitaires sont caractérisés par leur faible coût d'exploitation une fois le satellite est lancé, l'ajout des stations terrestres ne nécessitent pas une infrastructure complexe et coûteuse, ainsi, le coût de construction d'une station de réception au sol est assez faible.
- Simplicité de l'installation des stations terriennes.

Par conséquent, du fait de la nature de diffusion associée à des services uniformes offerts dans la zone de couverture et à l'installation simple de stations au sol, les satellites restent le moyen le plus adéquat pour assurer des liaisons entre tous les points du globe avec un minimum d'installations terrestres.

I.3.4 Les services offerts par satellite

Selon les services offerts, on peut classer les satellites. On distinguera ainsi les services fixes par satellite (FSS), les services mobiles par satellite (MSS) et enfin les services radiodiffusion par satellite.

- **Le service fixe par satellite (FSS)**

Cette catégorie de services désignée par FSS (Fixed Satellite Services) possède la plus grande part du marché des communications. C'est un service de communications satellitaires entre stations

terrestres situées en des points fixes bien déterminés. Le service FSS est utilisé pour la transmission de la vidéo, de la voix, et des données. Par ailleurs, il comprend les liaisons de connexion, c'est-à-dire les liaisons radioélectriques entre une station terrienne située en un point fixe déterminé et une station spatiale. Les satellites du FSS sont équipés de répéteurs puissants qui peuvent fournir directement au grand public des services de radiodiffusion.

- **Le service mobile par satellite (MSS)**

Les services mobiles MSS (Mobile Satellite Services) répondent à un besoin de communication de n'importe quel endroit, n'importe quand avec n'importe qui. C'est un service entre des stations terriennes mobiles et une ou plusieurs stations spatiales, ou entre des stations spatiales utilisées par ce service. On distingue trois classes des services mobiles par satellite, notamment le service avec station mobile terrestre, le service maritime avec des stations à bord et le service aéronautique avec des stations à bord.

- **Le service radiodiffusion par satellite (BSS)**

Le service de radiocommunication BSS (Broadcast Satellite Services) où les signaux transmis ou retransmis par les stations spatiales sont reçus directement par le grand public.

I.4 Transmission du signal

I.4.1 Les différentes bandes de fréquences

La fréquence d'exploitation est peut-être le principal facteur déterminant dans la conception et la performance d'une liaison de communication par satellite. La longueur d'onde du signal du trajet en espace libre est le principal paramètre qui détermine les effets d'interaction de l'atmosphère et les dégradations du trajet de la liaison qui en résultent. En outre, pour éviter un chaos total dans le ciel concepteur de systèmes par satellite doit respecter les contraintes des réglementations internationales et nationales relatives au choix de la fréquence de fonctionnement du trajet en espace libre. Cette réglementation est essentielle parce que la bande utilisée ne doit pas coïncider avec d'autres bandes prioritaires et provoquer des interférences.

Il existe une répartition géographique en 3 régions [11] comme illustré sur la figure I.6.



Figure I.6. La division du monde selon l'UIT.

- **La région 1** : Europe, Moyen-Orient, Russie et Afrique ;
- **La région 2** : Amérique ;
- **La région 3** : Asie, Australie et Océanie.

Les bandes de fréquences qui doivent être utilisées par la communication satellitaire sont le plus souvent comprises entre 1 et 30 GHz. Cette plage est divisée en sous bandes désignées par des lettres comme suit [12] :

Bande	Fréquence (GHz)	Services
Services mobiles par satellite (MSS)		
L	1-2	Diffusion audio, Radiolocalisation
S	2-4	Navigation mobile
Services fixes par satellite (FSS)		
C	4-8	Radiodiffusion
X	8-12	Militaire
Ku	12-18	Diffusion vidéo
Ka	27-40	Diffusion audio
Services de radiodiffusion par satellite (BSS)		
K	18-27	Observations astronomiques, radars
Onde mm	>40	Inter satellite

Tableau I.2. Les bandes des fréquences et services associés.

- **La bande X**

La bande X est la désignation d'une bande de fréquences dans la région radio micro-ondes du spectre électromagnétique. Dans certains cas, comme dans l'ingénierie des communications, la gamme de fréquences de la bande X est plutôt indéfiniment fixée à environ 7,0-11,2 GHz. Dans l'ingénierie radar, la gamme de fréquences est spécifiée par l'institut des ingénieurs électriques et électroniques

(IEEE) à 8,0-12,0 GHz. La bande X est utilisée pour le radar, les communications par satellite et réseaux informatiques sans fil.

Les sous-bandes de fréquences radar en bande X sont utilisées dans les institutions civiles, militaires et gouvernementales pour la surveillance météorologique, le contrôle du trafic aérien, le contrôle du trafic maritime, le suivi de la défense et la détection de la vitesse des véhicules pour les forces de l'ordre [13].

I.4.2 Les techniques d'accès aux canaux satellitaires

Les stations au sol communiquent entre elles par l'intermédiaire d'équipements satellitaires. Lorsque l'une d'elles souhaite émettre un signal, elle doit pouvoir le faire indépendamment des autres stations qui pourraient le souhaiter. L'accès aux satellites et aux chaînes satellitaires par plusieurs opérateurs implique la mise en œuvre d'une technologie spécifique appelée technique d'accès multiple. La mise en œuvre de ces techniques dépend du fait que le satellite possède un seul faisceau (satellite mono-faisceau) ou plusieurs (satellites multifaisceaux). Des politiques d'accès au canal satellite sont en place, permettant à plusieurs utilisateurs d'accéder au même canal de transmission et maximisant l'utilisation des transpondeurs en garantissant d'éventuelles interférences. C'est pourquoi, il est souhaitable de mettre en œuvre des techniques de partage des ressources spatiales communes [14].

On distingue deux grands groupes de techniques d'accès : les techniques d'accès déterministes ou fixes et les techniques aléatoires. Chaque technique a ses propres avantages et une technique peut s'avérer plus appropriée que les autres dans certains cas.

I.4.2.1 Les techniques d'accès fixes ou FAMA

Elles regroupent le FDMA (Frequency Division Multiple Access), le TDMA (Time Division Multiple Access) et le CDMA (Code Division Multiple Access) [15].

- **FDMA: (Frequency Division Multiple Access)**

La FDMA est une technique, consiste à réserver une fréquence porteuse par terminal de façon à ce qu'à moment donné, les terminaux peuvent transmettre simultanément sur différentes fréquences sans interférences. La figure I.7 montre clairement cette technique. Parmi les applications utilisant cette méthode, se trouvent la téléphonie, les systèmes VSAT, et les terminaux mobiles. Le FDMA n'est pas essentiellement utilisé dans LEOS, mais il représente une partie d'accès puisque dans toute technique d'accès, la bande passante est partagée en des sous-bandes où on utilise une répartition de temps ou de code.

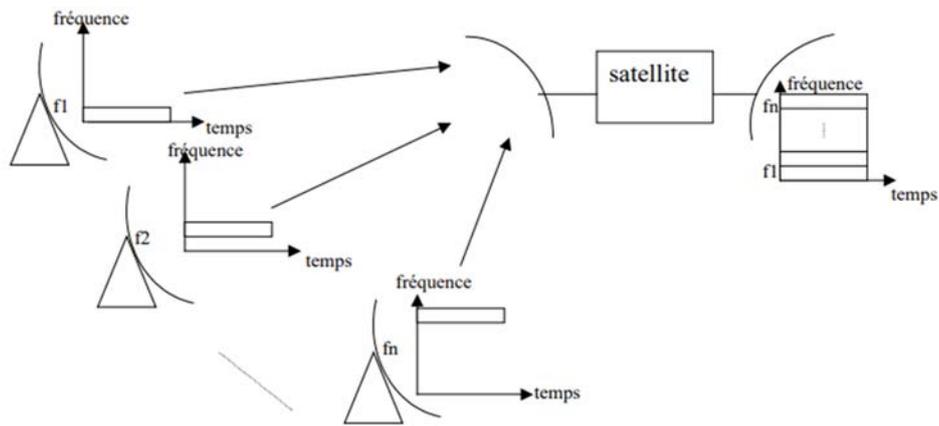


Figure I.7. Technique d'accès FDMA.

Cette technique offre, en termes d'avantages : modulation à faible débit, faible complexité, bonne gestion des ressources de transmission en cas de faible trafic. Ses principaux inconvénients résident dans le fait que si une ou plusieurs liaisons sont inutilisées, on perd les bandes correspondantes.

- **TDMA: (Time Division Multiple Access)**

Dans cette technique, le canal est fragmenté en plusieurs tranches horaires. Autrement dit, le principe est de découper le temps et de le partager entre plusieurs utilisateurs. Ainsi, chaque utilisateur envoie sur un intervalle de temps en utilisant toute la bande passante. Les données envoyées par chaque utilisateur sont groupées en rafales pour être envoyées sur des intervalles de temps appelés slots. Le canal se comporte donc comme la succession des slots remplis par des rafales venant des différents utilisateurs. Si un intervalle de temps a une durée de T_s , le canal peut contenir n slots, l'ensemble des n slots d'un canal est appelé une trame. Alors la durée d'une trame est $T_f = n \times T_s$. La figure I.8 représente la technique d'accès TDMA.

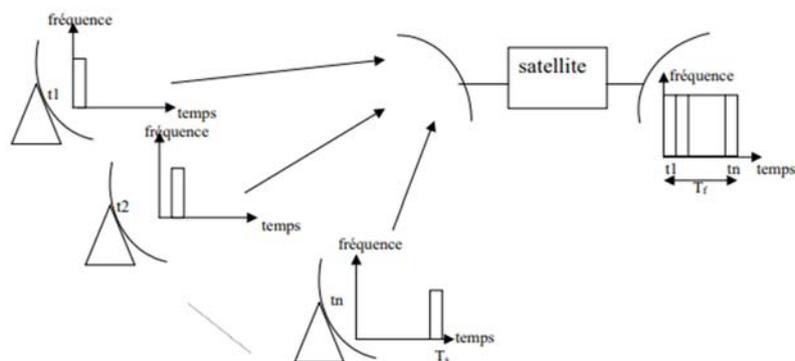


Figure I.8. Technique d'accès TDMA.

Les avantages de cette technique sont : une souplesse de modification sur le débit transmis, un coût réduit de la station de base, et ses inconvénients est que les stations ont un nombre fixe

de slots alloués, qu'elles aient des données à transmettre ou pas. Un réseau utilisant cette méthode est constitué par les systèmes VSAT.

- **CDMA : (Code Division Multiple Access)**

Le CDMA est un schéma de codage dans lequel plusieurs canaux sont indépendamment codés pour être transmis sur un seul canal à large bande. Ceci veut dire qu'il y a interférence entre les différents utilisateurs, mais chaque utilisateur envoie sa propre signature avec ses informations. Comme illustré sur la figure I.9.

Dans certains systèmes de communication, le CDMA est utilisé comme méthode d'accès qui permet aux porteuses de différentes stations d'utiliser le même support de transmission en utilisant une bande passante plus large que les porteuses individuelles. A la réception, chaque porteuse peut être distinguée des autres au moyen d'un code de modulation spécifique, permettant ainsi la réception de signaux qui se chevauchent à l'origine en fréquence et en temps. Cette technique est fondée sur l'utilisation des codes d'accès orthogonaux étant surtout utilisée dans les communications militaires.

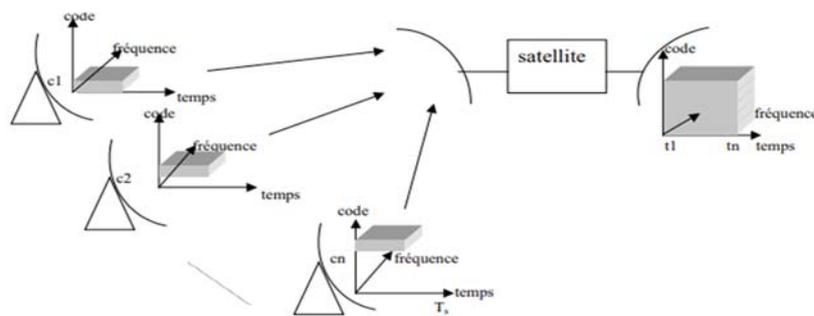


Figure I.9. Technique d'accès CDMA.

Ses avantages résident dans : sa résistance aux interférences, sa confidentialité (faible probabilité d'interception), sa faible consommation en puissance ; toutefois, le débit utilisé par utilisateur reste faible par rapport à la largeur de bande occupée.

I.4.2.2 Les techniques d'accès aléatoires

Ces techniques permettent l'utilisation du canal à n'importe quel moment. S'il y a collision avec un autre utilisateur, différents algorithmes sont appliqués. Les paquets perdus seront retransmis ultérieurement après un temps tiré de façon aléatoire pour éviter au maximum de nouvelles collisions. On distingue les politiques d'accès suivants :

- **La technique ALOH**

Qui permet aux stations d'émettre de façon inconditionnelle, des paquets dès qu'ils sont en leur possession, il n'y a pas d'écoute du support avant la transmission. Dans le cas d'une collision, la station va retransmettre les paquets après un délai aléatoire.

- **ALOHA en tranche**

L'idée de cette méthode est de découper le temps en tranches correspondant chacune au temps de transmission d'un paquet. Les émissions sont alors synchronisées en début de tranche.

- **ALOHA avec réservation**

C'est une méthode basée sur la notion de probabilité. Si une station commence à émettre un paquet, il y a de fortes chances qu'elle en émette un autre immédiatement. Ce raisonnement va mener à l'idée de réserver plusieurs tranches de temps à une station qui commence à émettre. De plus, s'il y a collision, celle-ci s'effectue sur un intervalle complet et non sur une partie.

Parmi les différentes techniques auparavant, CDMA présente des meilleurs avantages dans le contexte satellitaire, parce que l'atténuation des signaux d'un faisceau voisin doit être 2 à 3dB pour CDMA, comparé à 18dB pour TDMA ou FDMA. Aussi, en CDMA, une augmentation d'utilisateurs génère une plus grande interférence et par suite une légère dégradation de la QoS.

I.5 Les orbites de satellite

I.5.1 Définition

Selon le Règlement des Radiocommunications (RR) de l'UIT, l'orbite est définie comme suit : « Trajectoire que décrit, par rapport à un système de référence spécifié, ou autre corps spatial, par extension, trajectoire que décrit le centre de gravité d'un corps spatial soumis aux forces d'origine naturelle » [5].

Les satellites utilisent la force gravitationnelle de notre planète afin de se maintenir à une position et à une distance déterminée de la terre, autrement dit des trajectoires spécifiques à mouvement périodique. Les satellites peuvent se situer sur plusieurs types d'orbites en fonction de leur altitude. En effet, on distingue deux types de trajectoire chacune ayant des caractéristiques différentes.

I.5.2 Orbite elliptique

Ce type ayant une vitesse très variable en fonction de l'endroit où ils se placent sur l'ellipse. Par conséquent, ils n'occupent pas une position fixe par rapport à la terre. En effet, plus un satellite est loin de la terre, plus sa vitesse est faible. Ainsi, ils sont caractérisés par l'inclinaison et deux points appelés l'apogée (le point le plus haut du satellite auquel sa vitesse est la plus lente) et le périégée (le point le plus bas du satellite auquel sa vitesse est la plus rapide), comme illustré par la figure I.10 [11].

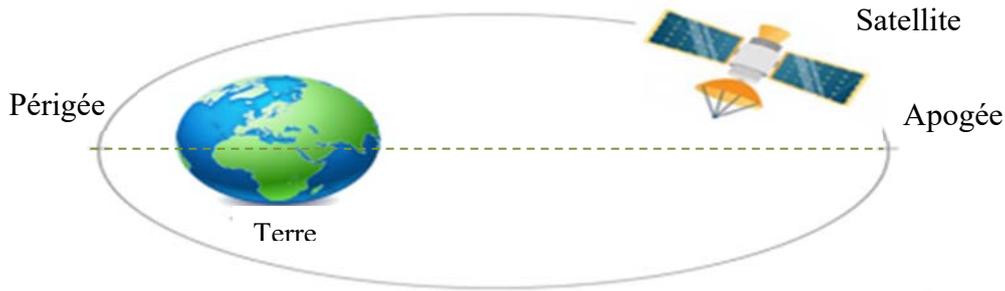


Figure I.10. Représentation de l'apogée, périgée et l'inclinaison de l'orbite.

Parmi les orbites elliptiques, on distingue :

- **Orbite haute (HEO) (High Earth-Orbit)**

Cette orbite est aussi nommée Molnya, utilisée par la Russie à partir de 1965, possède typiquement un périgée à environ 500 Km d'altitude et un apogée aux environ de 50000 Km. Sa période est de 11 h 58 mn et a une inclinaison de $63^{\circ}.4$ afin de pouvoir communiquer avec des zones de l'hémisphère nord.

I.5.3 Orbite circulaire

Le satellite d'une orbite circulaire est toujours à la même distance par rapport à la terre et à une vitesse constante, donc la notion de périgée et d'apogée n'existe plus. Il existe plusieurs orbites circulaires, chacune correspondant à une inclinaison par rapport au plan orbital. On peut aussi classer ces orbites selon leur altitude, c'est-à-dire la distance qui sépare cette orbite de la surface de la terre, dans ce cas, on distingue trois types comme illustré sur la figure I.11 [11].

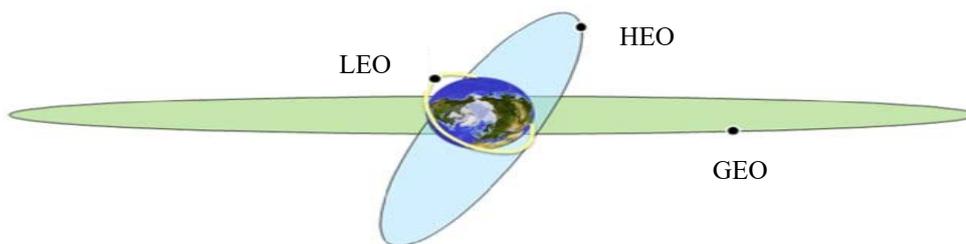


Figure I.11. Les différentes orbites circulaires.

- **Orbites géostationnaires (GEO) (Géostationnaire –Earth- Orbit)**

Ce type est situé dans le plan équatorial à une altitude de 35786 Km inclinée à environ 0° par rapport à l'équateur et dont la période de révolution égale à celle de la rotation de la terre sur elle-même. Un satellite géostationnaire apparaît donc comme immobile pour un observateur terrestre. La position de cette orbite permet aux satellites d'avoir une grande couverture qui vaut à peu près un hémisphère ce qui permet de réaliser des communications de très longues distances.

- **Orbites moyennes (MEO) (Medium Earth-Orbit)**

C'est l'orbite inclinée à 50° par rapport à l'équateur, il correspond à des satellites évoluant en orbite moyen, se situant entre 2000 et 35000 Kms et son temps aller-retour de l'onde radio égale presque à 100 ms. Leur période d'orbite est de l'ordre de 6 h.

- **Orbites basses (LEO) (Low Earth -Orbit)**

Il correspond à des satellites évoluant en orbite basse, située entre 200 et 2000 km environ, avec une inclinaison par rapport à l'équateur dépendant de la mission du satellite, notre projet est focalisé sur cette orbite car parmi les avantages de ce système ; le temps de propagation est très court, typiquement 10 ms pour un satellite à 1500 km d'altitude, cet avantage fait d'excellents candidats pour l'utilisation des applications en temps réel avec une meilleure performance, ainsi l'atténuation due à la propagation faible, ce qui permet d'utiliser des terminaux à faible puissance.

I.6 Les types des satellites

Après avoir fait la distinction entre les différents types d'orbite empruntée par le satellite, nous pouvons différencier les satellites par leur mission en deux grandes familles : satellites scientifiques et satellites d'applications.

- **Les satellites scientifiques** : ce type de satellite est placé en orbite basse, ils sont dédiés à la recherche scientifique, telle que la télédétection, l'étude de l'espace...Etc.
- **Les satellites d'applications** : concernant ce type, il existe plusieurs applications, comme télécommunications, météorologique, positionnement, observation... Dans notre étude, nous allons nous concentrer sur les satellites d'observation.

- **Satellites d'observation**

Les satellites d'observations sont une des systèmes primordiaux de la technologie spatiale. En effet, il est utilisé pour effectuer des observations géophysiques et géographiques de la terre depuis l'orbite terrestre, il est placé dans la zone LEO qui est entre la fin de l'atmosphère et la première ceinture de radiations de Van Allen. Avoir recours à des satellites à orbite basse permet de réduire la puissance nécessaire à la transmission vers ces derniers depuis le sol.

Cette catégorie de satellite est utilisée à des fins telles que la météorologie, la géodésie, l'inventaire des ressources naturelles, l'étude et la modélisation du climat, la prévention des catastrophes naturelles et le suivi, la reconnaissance militaire, ... Les satellites d'observation de la terre ont des caractéristiques très variables pour répondre à ces différents besoins : ils se distinguent notamment par leur résolution plus ou moins élevée, les instruments qu'ils embarquent (radar, instrument multi-spectral, instrument optique, ...), leur orbite et la taille. Ils peuvent être mis en œuvre pour répondre à des besoins scientifiques (structure de la terre, modélisation climatique, ...) ou recueillir des données pour des usages opérationnels civils ou militaires [16].

I.7 Liaison satellitaire d'observation

I.7.1 Architecture d'un système d'observation par satellite

L'observation de la terre depuis l'espace exige un système complexe composé d'un segment spatial pour les observations et d'un segment terrien pour la gestion du segment spatial et le traitement des données d'observation qui sont représentées dans la figure I.12 [17].

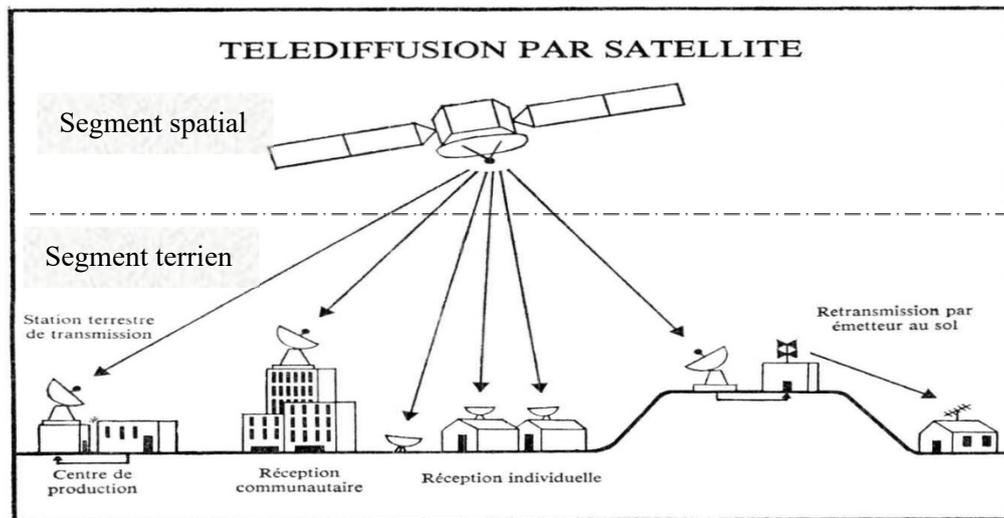


Figure I.12. Composantes d'un système d'observations par satellite.

- **Segment spatial**

Celui-ci est constitué principalement du satellite et de l'ensemble des stations de poursuite, les outils de communication qui reçoivent les commandes et transmettent les données d'observation au sol, du centre de contrôle du satellite, où sont décidées tous les fonctionnements traitant du maintien à poste et de la vérification des fonctions vitales du satellite.

- **Segment terrien**

Pour communiquer avec le satellite, il faut disposer au sol d'équipements plus ou moins complexes dont l'ensemble constitue une station terrienne, le plus souvent raccordée aux terminaux des usagers par un réseau terrestre et de stations mobiles, il est constitué de :

- a) La station centrale de commande des satellites et d'acquisition de données à l'échelle du globe ;
- b) Les stations périphériques d'acquisition des données ;
- c) Les centres de contrôle des missions et des opérations ;
- d) Les centres de traitement et d'archivage des données ;
- e) Les systèmes de distribution des données et des produits.

Bien que les stations jouant le même rôle, se distinguent par leurs tailles, qui varient en fonction du volume du trafic à acheminer et du type de trafic. Certaines stations sont à la fois émettrices et réceptrices tandis que d'autres sont uniquement réceptrices.

I.7.2 Fonctionnement des satellites d'observation

Ces satellites reposent sur la détection et la mesure par leurs capteurs du flux de rayonnement électromagnétique en provenance de la zone observée. On interprète ensuite les données par des stations terriennes en tenant compte des lois physiques suivantes [18] :

- Plus la longueur d'onde est courte, plus la température de l'objet est élevée (Formule de Planck : $\text{Énergie} = 6,626 \times 10^{-34} * \text{fréquence}$).
- Chaque objet étudié (plante, maison, surface d'eau ou masse d'air) émet ou réfléchit du rayonnement à différentes longueurs d'onde et intensités selon son état (composition chimique).

Pour assurer la complémentarité des mesures, les scientifiques utilisent plusieurs capteurs spécialisés dans une longueur d'onde particulière pour étudier un même phénomène terrestre.

I.7.2.1 Le satellite

Le principe du satellite est de palier à l'affaiblissement du signal qu'il reçoit, et de le régénérer pour le transmettre amplifié sur différentes fréquences vers la station terrienne réceptrice. En réalité, il doit simplement les régénérer pour permettre à la station terrienne de les recevoir convenablement.

L'émetteur/récepteur posé sur ce satellite va transmettre automatiquement des signaux quand il reçoit des signaux des émetteurs sur sol, et sont réémis sur une fréquence différente, en général plus basse. Ce changement de fréquence entre antennes de réception et d'émission est assuré par des appareils appelés répéteurs (transpondeur) figure I.13. Le répéteur est une unité de traitement du signal utilisant un des amplificateurs de haute puissance. Le répéteur traite une plage de fréquences bien déterminée (connue sous le terme : largeur de bande) centrée sur une fréquence appelée la porteuse avec une polarisation bien déterminée du signal reçu.

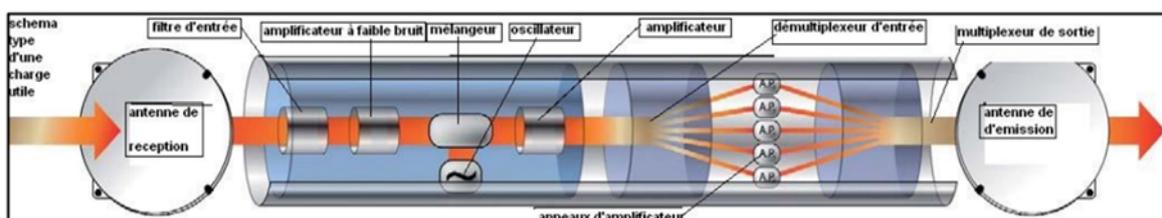


Figure I.13. Le module des antennes de réception et d'émission d'un satellite.

Le répéteur opère des changements de fréquences et de polarisation entre la réception et la réémission du signal venant de la station terrestre. La fréquence en montant Uplink est toujours supérieure à celle en descendant Downlink avec un écart égal.

Plusieurs répéteurs peuvent être installés dans un satellite, chacun peut supporter un ou plusieurs canaux de communication. Pour le répéteur générateur, les signaux en mode de base sont disponibles à la sortie du démodulateur et qui seront utilisés pour moduler la porteuse de la liaison

Downlink. Le schéma ci-dessous (I.14) illustre la différence entre un répéteur d'un satellite régénérateur et transparent. Ainsi, la modulation d'une nouvelle porteuse est obtenue par le changement de la fréquence de la liaison Uplink vers Downlink dans un satellite transparent, et cela, en la mélangeant avec l'oscillateur radiofréquences.

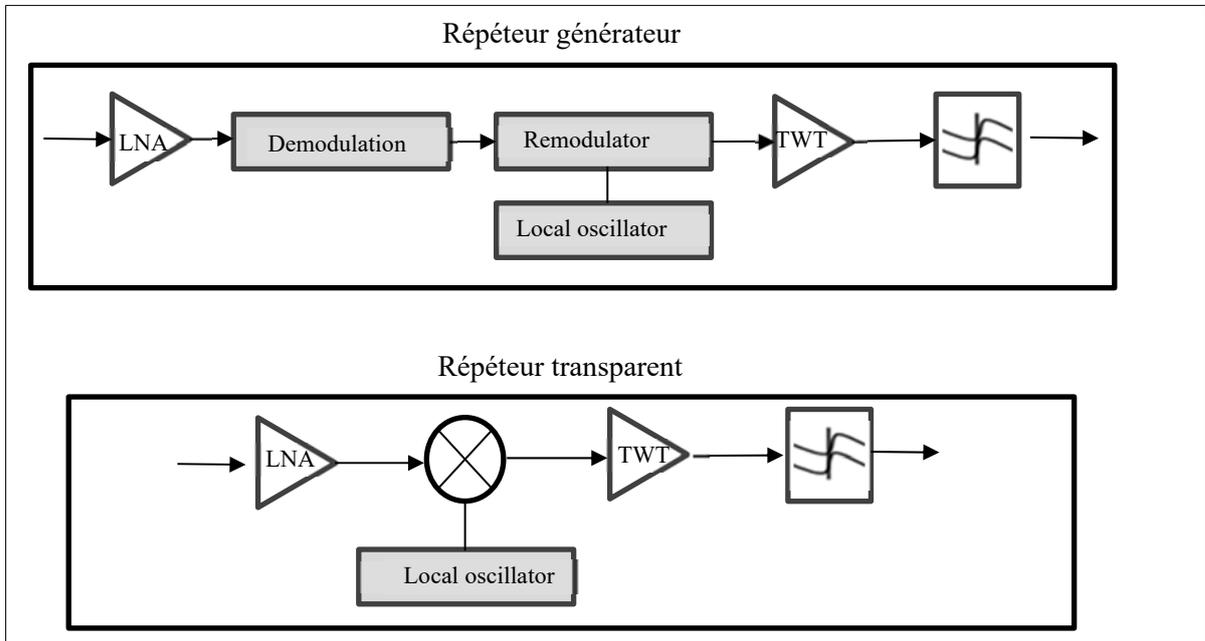


Figure I.14. Les schémas de répéteur régénérateur et répéteur transparent du satellite.

I.7.2.2 Blocs d'émission et réception

- Le bloc émetteur

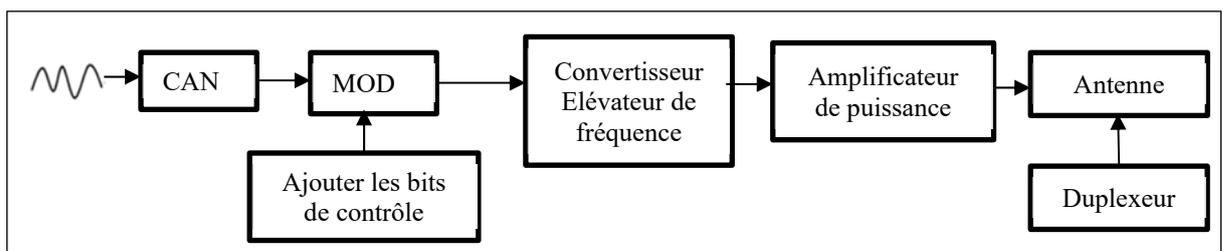


Figure I.15. Présente les composants essentiels d'un bloc émetteur.

Les signaux à transmettre reçus en bande de base passent par un CAN qui convertit l'information analogique en numérique et la regroupe en sous-ensembles de MIC. Ces derniers seront modulés sous une porteuse ou un signal « porteur » de fréquence intermédiaire (F_i). L'onde porteuse du signal à transmettre sera élevée à la fréquence qui lui est assignée sur le trajet montant terre-satellite (environ 8 GHz : bande X). Cette opération est réalisée par un convertisseur (encore appelé équipement de transposition). Avant d'être rayonnée par l'antenne, la porteuse est amplifiée par un amplificateur de puissance, et puis elle passe par un guide d'onde et sera envoyée grâce à une antenne.

- **Le bloc récepteur**

La figure I.16 présente les composants essentiels d'un bloc récepteur.

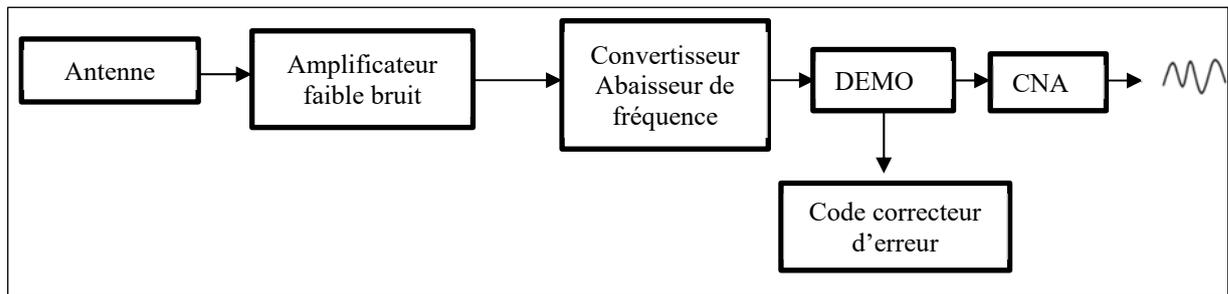


Figure I.16. Le bloc récepteur.

À la réception ; l'antenne capte les porteuses émises par le satellite à des fréquences d'environ 10 GHz (bande X). Ces ondes porteuses, ainsi reçues sont amplifiées avec un minimum de bruit rapporté par des amplificateurs à faible bruit. Elles sont ensuite abaissées en fréquence par le convertisseur de réception qui délivre des porteuses en fréquence intermédiaire. Les porteuses en fréquence intermédiaire sont filtrées puis démodulées afin d'obtenir les signaux en bande de base.

I.8 Architecture d'une chaîne de réception front-end dans la bande X

La bande X est une bande en général utilisée pour le système d'observation, car elle utilise des signaux de courte longueur d'onde permettant la détection d'objets avec une précision submillimétrique. Elle peut également traverser de nombreuses matières tout en maintenant des performances élevées malgré des conditions environnementales difficiles, comme la pluie, le brouillard, la poussière et la neige.

Pour détecter et recevoir les informations provenant de ce système, il faut relier un récepteur front-end au satellite. La figure I.17 présente les composants essentiels d'un récepteur front-end.

L'architecture de récepteur front end radio fréquence, est composée par deux sections à savoir RF (radio fréquence) et BB (bande de base). L'antenne, le filtrage RF, l'amplification à faible bruit (LNA) et la conversion de fréquence (mélangeur) sont réalisés dans la partie RF. Alors que dans la partie bande de base, on se limite au filtrage du canal et au contrôle automatique de gain. Un CAN (Convertisseur Analogique Numérique) est utilisé en sortie de la section bande de base pour assurer la conversion analogique numérique [19].

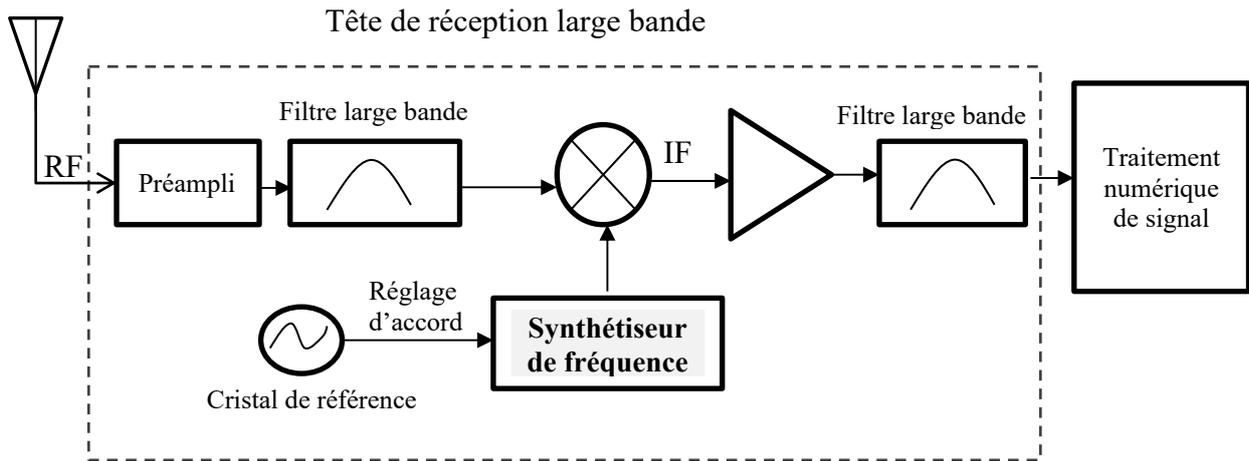


Figure I.17. Le schéma fonctionnel du récepteur front-end.

- **Antenne** : elle sert pour la communication à grande distance. Son rôle est de capter les signaux propageant dans l'espace. Elle transforme les ondes électromagnétiques des signaux en courant électrique.
- **Préamplificateur** : puisque la puissance des signaux reçus au sol est très faible, il est nécessaire donc d'ajouter un préamplificateur afin d'avoir le signal souhaité sans ajouter de distorsion ou de bruit.
- **Mixeur (oscillateur local)** : Il représente l'élément principal de la tête RF. Il joue le rôle de générateur de fréquence porteuse nécessaire pour assurer l'opération de translation vers des fréquences plus hautes ou plus basses selon le besoin du traitement suivant.
- **Convertisseur analogique /numérique** : Elle est la partie finale de front-end ; il est responsable de la conversion analogique vers un signal numérique. Plusieurs éléments caractérisent le convertisseur tels que le nombre bits, la fréquence maximum d'échantillonnage, la largeur de bande de signal d'entrée.
- **Synthétiseur de fréquences** : Le rôle du synthétiseur de fréquences est de fournir le signal d'oscillateur local avec la plus grande précision possible vers la chaîne d'émission/réception d'un système radiofréquence afin de réaliser la conversion de fréquence. Il existe plusieurs façons pour synthétiser des fréquences : le double mixage, la synthèse numérique directe (DDS), les boucles à verrouillage de phase... Ces différentes méthodes de synthèses de fréquences présentent des avantages et inconvénients., ainsi que le choix de ses qualités dépend de plusieurs paramètres, tels que la complexité, le temps de commutation, la taille de pas de fréquence, les performances de bruit de phase et la sortie parasite. Dans ce mémoire nous allons nous intéresser plus particulièrement au synthétiseur de fréquences indirect, plus connue sous le nom de synthétiseur de fréquences à boucle à verrouillage de phase (PLL), qui génère la fréquence de sortie en utilisant un système de contre réaction qui est moins complexe et produit un faible bruit de phase et de faibles niveaux des spurs.

I.9 Conclusion

Nous avons présenté dans ce chapitre une étude générale sur les satellites, et en particulier les satellites d'observation. Nous avons mis aussi en évidence les avantages par rapport à d'autres médias de transmission d'informations. De plus, nous avons présenté les différents services qu'ils peuvent offrir, l'opération de la mise en orbite, les différentes méthodes d'accès, ainsi que les différentes composantes d'un lien satellite. Nous nous sommes concentrés surtout sur le récepteur front-end dans la bande X [8-12] GHz. Dans le chapitre qui suit, nous allons étudier le concept de synthétiseur de fréquences qui génère la bande de fréquences en question.

Chapitre II

Théorie des synthétiseurs de fréquences à base de PLL

II.1 Introduction

Comme nous l'avons vu précédemment dans le chapitre 1, un système de satellite est composé d'un ensemble des stations terrestres d'émission-réception qui communiquent avec un ou plusieurs satellites placés en rotation autour de la terre. Afin qu'un lien de communication puisse être établi pour capter des stations sur différentes fréquences, les récepteurs doivent sélectionner le circuit approprié qui accorde le canal souhaité. Ils utilisent pour cela un synthétiseur de fréquences qui pourrait générer une ou plusieurs fréquences à partir d'une "fréquence de référence" possédant une haute pureté spectrale. Dans ce chapitre, nous nous intéressons à la synthèse de fréquences par une boucle à verrouillage de phase. Dans un premier temps, nous allons présenter l'essentiel de la théorie des PLLs, puis on présentera une étude détaillée sur la conception d'un synthétiseur de fréquence à division entière, suivie d'une prédiction précise du bruit de phase qui influe sur l'erreur et la stabilité de la PLL.

II.2 L'invention de la boucle à verrouillage de phase

La première observation scientifique du phénomène de synchronisation fut celle de Huygens en 1673, qui observa la synchronisation de deux horloges à pendule [20].

Les premières études systématiques avec une réalisation électronique d'un asservissement de phase semblent être celles d'Appleton en 1922 [21], et de Van der Pol en 1927 [22], qui ont montré que l'on pouvait asservir la phase d'un oscillateur à triode au moyen d'un signal de fréquence légèrement différent.

La première description connue d'une PLL par rétroaction a été publiée par le physicien français Henri de Bellescize en 1932 [23] à propos de la réception synchrone de signaux radio. Bellescize proposait un asservissement de phase dans le but de reconstruire la porteuse d'un signal modulé en amplitude pour opérer à la réception de ce signal. Ce principe de réception dit hétérodyne a été en un premier temps délaissé, car il est trop complexe au profit de la réception synchrone pendant quelques années. La réception hétérodyne est ensuite devenue incontournable avec le besoin d'accroître les performances et avec la réduction des coûts apportée par l'électronique intégrée.

C'est ainsi, que le physicien français Henri de Bellescize, avait proposé un modèle, qui consisterait à utiliser une PLL pour synthétiser le signal de l'oscillateur. Cette solution, a considérablement réduit la dérive de fréquence et amélioré aussi la qualité de la sortie du récepteur [23].

Il a fallu quelques années pour que les PLL deviennent couramment utilisées. En fait, après l'avènement du circuit intégré, cette invention a joué un rôle important dans les systèmes électroniques modernes, tels que ; télécommunications, contrôle, automatisme, mesure... Ces exigences ont inspiré d'énormes avancées dans la maîtrise des PLL et élargi le champ d'application.

II.3 Généralités sur les PLLs

Les boucles à verrouillage de phase (Phase-Locked Loops, or PLL) sont des structures essentielles, non seulement dans le domaine des radiocommunications, mais dans toute l'électronique moderne. Les boucles à verrouillage de phase sont aussi appelées synthétiseur de fréquences, car elles permettent de disposer d'une fréquence stable et précise dont la valeur est définie par les caractéristiques de la boucle. Dans les appareils de transmission professionnels et grand public les PLL sont utilisés pour [24] :

- la génération des porteuses en émission et la génération des oscillateurs locaux en réception ;
- la démodulation des signaux analogiques ou numériques modulés en fréquence ;
- les systèmes de récupération d'horloge en transmission numérique.

II.3.1 Définition

La boucle à verrouillage de phase (Phase Locked Loop) est un montage électronique intégré permettant de générer un signal périodique dont la phase est verrouillée sur celle d'un autre signal. Plus précisément, la PLL est un système bouclé qui réalise un asservissement de la phase instantanée d'un oscillateur local avec la phase instantanée d'un signal extérieur, elle peut aussi asservir une fréquence de sortie sur un multiple de la fréquence d'entrée.

II.4 La synthèse de fréquences

Un synthétiseur de fréquences consiste à générer une gamme de fréquence à partir d'un signal de référence de fréquence stable produite par un oscillateur à cristal.

Les synthétiseurs de fréquences sont généralement utilisés dans les circuits émetteurs et récepteurs radio [25]. Dans les émetteurs, le synthétiseur de fréquences produit la fréquence porteuse qui doit être suffisamment précise pour satisfaire aux exigences légales en matière d'émissions. Dans le côté récepteur, le récepteur superhétérodyne utilise le mélange de fréquence de l'oscillateur local (LO) et le signal de radiofréquence entrant (RF) pour obtenir la fréquence intermédiaire (IF).

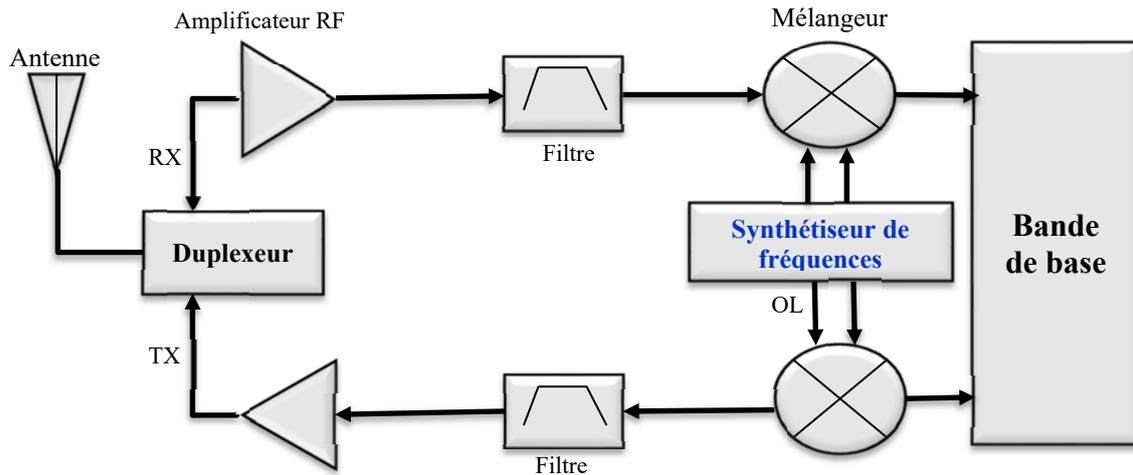


Figure II.1. Structure générique d'un transmetteur/récepteur RF.

II.4.1 Caractéristiques basiques des synthétiseurs de fréquences

Avant d'aborder les différents types de synthétiseurs de fréquences, il faut en énumérer les caractéristiques essentielles.

II.4.1.1 Plage de verrouillage

Elle représente la plage de fréquence dans laquelle la boucle reste accrochée, elle dépend de la largeur de bande du filtre passe-bas et elle augmente en même temps que le gain de boucle. Cette plage est aussi appelée, plage de maintien ou 'tracking range' en anglais.

II.4.1.2 Plage d'accrochage

Appelée aussi Plage de capture ou plage d'acquisition ou acquisition range en anglais, correspond à définir l'étendue de fréquence au voisinage de la fréquence libre du VCO, pour lequel le système peut établir ou acquérir le verrouillage avec le signal d'entrée. Comme il est montré à la figure II.2, elle est toujours inférieure ou égale à la plage de verrouillage et elle dépend principalement de la fréquence de coupure du filtre passe-bas de boucle. Dans notre cas, elle doit couvrir de [8-12] GHz pour la bande X.

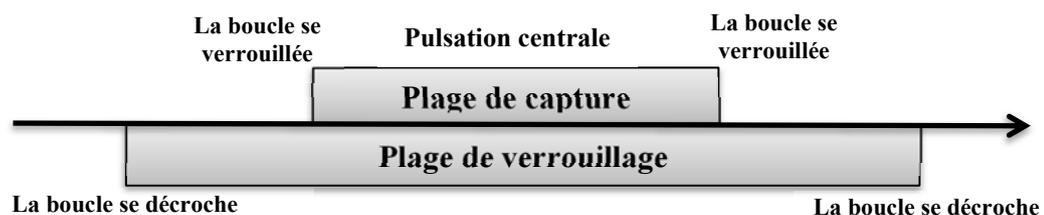


Figure II.2. Plage de capture et la plage de verrouillage.

II.4.1.3 Pas de synthèse

Cette caractéristique correspond à la différence de fréquence entre deux fréquences synthétisées consécutives, il est souhaitable que ce pas soit le plus fin possible afin de répondre aux spécifications de tous les systèmes.

II.4.1.4 Pureté spectrale

C'est un facteur très important dans la qualité de la PLL. En effet, la représentation fréquentielle d'un signal parfait est composé d'une raie idéale (impulsion de Dirac), mais en réalité il existe deux type de perturbations qui viennent dégrader ce spectre (figure II.3) : le bruit de phase qui se caractérise par la variation aléatoire de la phase du signal de sortie qui se traduit par un étalement du spectre autour de la raie spectrale, et les raies parasites (ou spurious) qui incluent toutes les raies, sauf que la raie principale et ses harmoniques contenues dans le spectre. Les causes majeures de ces raies sont les courants de fuites de la pompe de charge [26]. Cette notion nécessite une étude approfondie qui sera présentée dans le chapitre suivant.

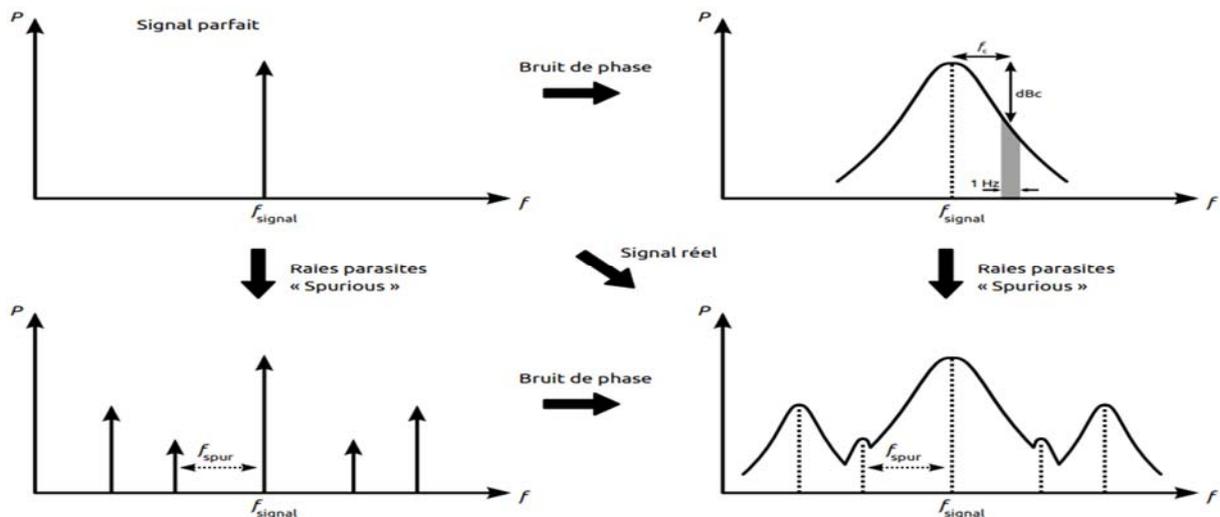


Figure II.3. Influence du bruit et des raies parasites sur le spectre d'un signal réel.

II.4.1.5 Temps d'accrochage

C'est le temps nécessaire que met le synthétiseur pour passer d'une fréquence à une autre, il est également appelé 'temps d'établissement'. On peut rencontrer des temps d'acquisition de quelques millisecondes ou microsecondes.

II.4.1.6 Consommation/Surface

Comme tout circuit intégré, la surface de silicium doit être la plus petite possible pour minimiser le coût global. La technologie d'intégration sur silicium devenant de plus en plus fine, mais également de plus en plus chère [27].

II.4.1.7 Autres caractéristiques

Nous pouvons encore citer [28] :

- Le jitter qui représente la variance temporelle des instants de commutation d'un signal et particulièrement celle de l'horloge ;
- La précision ou tolérance relative ;
- La sensibilité aux perturbations, celles-ci étant dues aux couplages électroniques, aux vibrations, et au bruit généré par les alimentations.

II.4.2 Différents types de synthétiseurs de fréquences

De nombreuses techniques ont été conçues au fil des années afin de synthétiser des fréquences. Le tableau ci-dessous, résume les principales solutions de synthèse de fréquences [29], [30].

Synthèse directe	Synthétiseur analogique direct (DAS)	Oscillateur + mélangeurs + diviseurs + non-linéarités + filtres	
	Synthétiseur numérique direct (DDS)	Accumulateur de phase + CNA	
Synthèse indirecte	Boucle à verrouillage de phase (PLL)	Rapport de division entier	
		Rapport de division fractionnaire	Estimation de phase par CNA
			Gigue de phase aléatoire
			Mise en forme du bruit par $\Sigma\Delta$
			Interpolation de l'erreur de phase
Générateur d'impulsions			
Boucle à verrouillage de délai (DLL)	Multiplication de fréquence par le nombre de délais en série		

Tableau II-1 Différents types de synthèses de fréquences.

Parmi ces différentes méthodes de synthèses de fréquences, qu'on va aborder dans la suite de notre étude, figure le synthétiseur de fréquences indirect à base de la PLL. Ce synthétiseur va être présenté en détail dans le paragraphe suivant.

II.4.3 Synthétiseur de de fréquences à division entière

Ce procédé a été de plus en plus utilisé, grâce à l'arrivée des circuits intégrés. La définition de la synthèse indirecte est liée au fait que, pour multiplier une fréquence, il faut insérer un diviseur dans la chaîne de retour. Comparativement, à ce procédé, la synthèse directe utilise la multiplication en sélectionnant les harmoniques du signal incident. Ce système présente l'avantage d'une grande

simplicité et d'une grande facilité de commande manuelle ou programmée. Il doit générer un signal de fréquence très précise et pour les systèmes transmettant sur plusieurs canaux en variant par pas programmables sur toute la bande de fréquence. Ce pas de synthèse peut avoir, dans certains systèmes, une valeur très faible par rapport à la fréquence de la porteuse. Outre la précision de la fréquence et le pas de synthèse, d'autres spécifications sont définies pour le synthétiseur de fréquences, en particulier le temps d'établissement, le bruit de phase et les raies spectrales parasites [31].

Le schéma fonctionnel ci-dessous montre l'architecture classique d'un synthétiseur de fréquences à division entière utilisant une boucle à verrouillage de phase (PLL) [32].

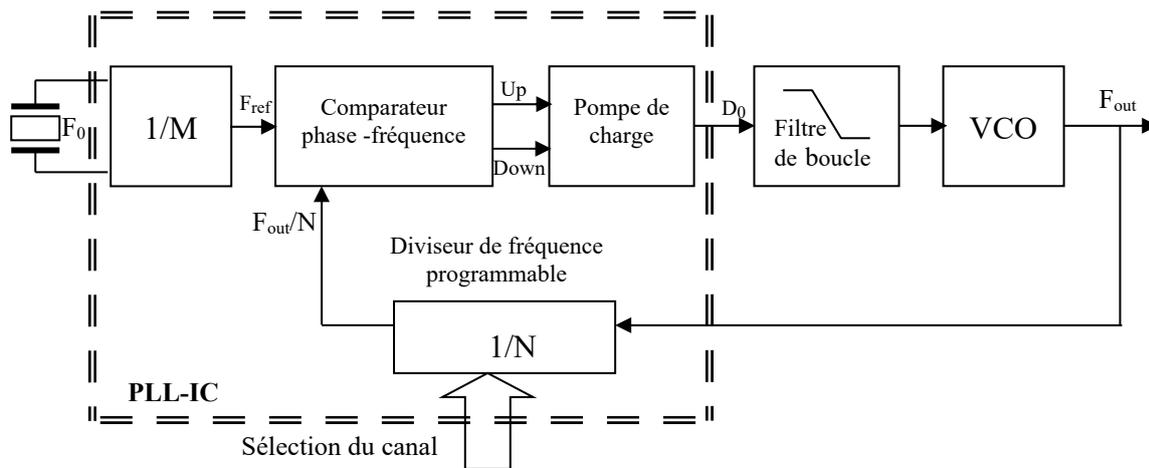


Figure II.4. Synthétiseur de fréquences classique à base de PLL [32].

Ce synthétiseur consiste en un asservissement de la phase et de la fréquence d'un signal de sortie sur la phase et la fréquence d'un signal d'entrée de référence, à un facteur N près, N étant le rang de division de la boucle de retour. Ainsi, lorsque la boucle est verrouillée, la fréquence du signal de sortie F_{out} est proportionnelle à la fréquence du signal d'entrée F_0 suivant la relation,

$$F_{out} = \frac{N}{M} F_0 \quad (\text{II.1})$$

$$\theta_{ref} = \theta_{div} \rightarrow F_{ref} = F_{div} \rightarrow F_{ref} = \frac{F_{out}}{N} \rightarrow \frac{F_0}{M} = \frac{F_{out}}{N} \rightarrow N \frac{F_0}{M} = F_{out} \quad (\text{II.2})$$

Pour réaliser un synthétiseur de fréquences, deux possibilités sont offertes [32] :

- Soit faire varier la fréquence de référence. La plage de variation de la fréquence de sortie est alors égale à la plage de variation de F_{ref} multipliée par N .
- Soit utiliser une fréquence de référence fixe, généralement générée à partir d'un oscillateur à quartz, et faire varier le rapport de division N en utilisant un compteur programmable dans la boucle de retour.

Les synthétiseurs de fréquences fractionnaires utilisent la deuxième solution pour générer toute une plage de fréquence.

Avec ce type de synthétiseur, la valeur de la fréquence de référence F_{ref} est fixée par le pas de fréquence de sortie souhaité.

La fréquence de coupure du filtre de boucle, qui définit la bande passante de la PLL, doit être suffisamment faible pour filtrer les raies parasites résultantes du processus de comparaison (comparateur de phase et pompe de charges). Dans les applications cellulaires actuelles, pour lesquelles le pas de fréquence est de l'ordre de la centaine de kHz, les bandes passantes des PLL à division entière sont faibles et entraînent des temps d'établissement relativement élevés, de l'ordre de plusieurs centaines de microsecondes. Il y a un compromis à faire entre le temps de réponse du synthétiseur de fréquences à division entière et son pas de résolution fréquentielle.

Deux choix s'offrent aux concepteurs [32] :

- Soit la réduction du temps d'accrochage : un meilleur temps d'accrochage est obtenu par un élargissement de la bande passante de la boucle. Pour conserver une atténuation suffisante des raies parasites de comparaison, la fréquence de référence doit être également augmentée ce qui permet d'élargir la bande passante de la PLL et donc d'abaisser ainsi le plancher de bruit de phase. La combinaison d'une bande passante plus large et d'un plancher de bruit de phase plus faible permet d'obtenir un bruit de phase global plus faible. En contrepartie, le pas de fréquence est augmenté en même temps que la fréquence de référence.
- Soit la diminution du pas de fréquence : pour obtenir un faible pas de fréquence, il suffit de diminuer la fréquence de référence. Pour atténuer les raies parasites de comparaison, la bande passante de la boucle doit également être réduite. Ceci engendre une augmentation du temps d'accrochage et une hausse du plancher de bruit de phase. La combinaison de la faible bande passante et du plancher de bruit élevé détériore le bruit de phase global.

II.4.4 Description des éléments constitutifs de la PLL numérique

Afin de mieux appréhender le fonctionnement du système, il est nécessaire d'identifier le rôle de chacun de ses blocs constitutifs et de confronter les différentes solutions envisageables pour les réaliser. Le fonctionnement de chacun d'eux est décrit ci-après.

II.4.4.1 La source de référence

Le signal de référence doit posséder des caractéristiques élevées en termes de stabilité. Il est délivré par un oscillateur à cristal, généralement un quartz. C'est sur cette fréquence de référence que le signal de sortie de la PLL va se synchroniser.

- **Oscillateur à quartz**

Le quartz est une espèce minérale de cristal de silice dont la structure est dissymétrique. Sa compression entraîne un déplacement de ses charges internes (effet piézo-électrique). Sa dissymétrie

induit l'apparition de charge électrique à sa surface. À l'aide d'une contre-réaction, il est possible de créer un mode (mécanique, électrique) oscillant. Ces vibrations que génère le quartz oscillent à une fréquence de résonance qui est déterminée par la coupe et la taille physique du cristal. Plus sa taille diminue, plus la fréquence d'oscillation n'est élevée et ses oscillations sont stables et précises. Donc les performances finales de l'oscillateur dépendent de la qualité du matériau et des procédés de fabrication du résonateur et aussi de la température. Notre étude a porté sur l'oscillateur 'TCXO' qui possède d'excellentes caractéristiques de température de fonctionnement et une faible consommation d'énergie. Ce qui permet d'améliorer la stabilité de la fréquence.

II.4.4.2 Le Comparateur de phase-fréquence (PFD)

Le comparateur de phase est un élément essentiel dans le synthétiseur de fréquences dont l'objectif est de fournir en sortie deux signaux (S_{up} et S_{down}) à la pompe de charge, proportionnels au déphasage entre la phase du signal de référence (F_{ref}) généré par un oscillateur à cristal et la phase du signal à la sortie du diviseur de fréquence (F_{out}/N). Le point important de ce type de comparateur est le suivant : ses signaux de sortie Up et Down dépendent de l'erreur de fréquence de ses signaux d'entrée lorsque la PLL n'est pas verrouillée et de l'erreur de phase dans l'état verrouillé.

Le comparateur de phase peut être réalisé de manière analogique (mélangeur, ...) ou numérique (portes XOR, bascules JK, bascules D...). Dans ce mémoire, nous considérons les comparateurs de phase et de fréquence à base de bascules D, dont le fonctionnement s'appuie sur la détection des fronts des signaux d'entrée. La figure II.5, présente un schéma conventionnel de ce circuit dans lequel nous trouvons deux bascules D ayant pour entrées F_{ref} et F_{out}/N .

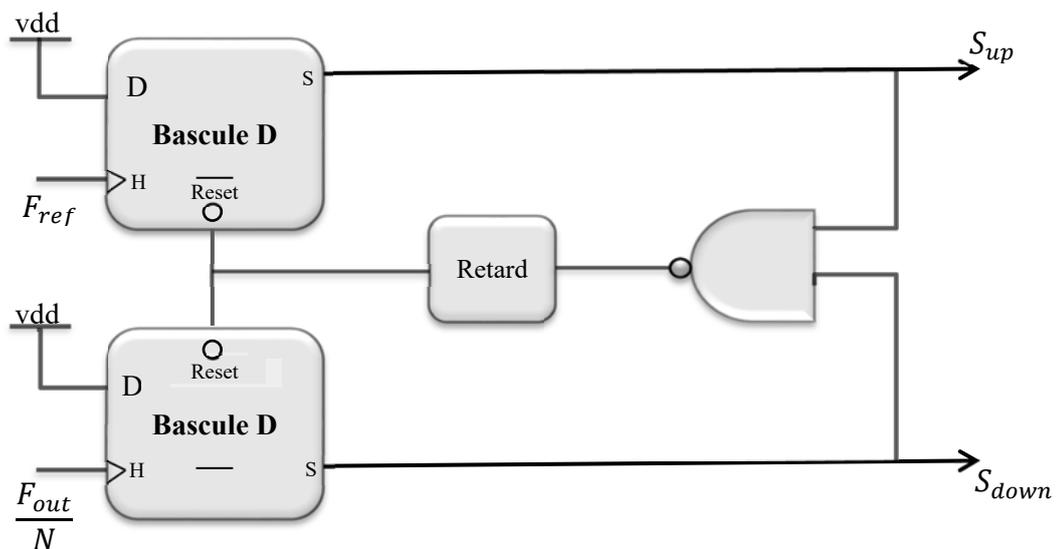


Figure II.5. Comparateur de phase classique avec retard.

Cette topologie permet de donner un signal d'erreur à trois états : l'état nul, l'état d'accélération et l'état de ralentissement, Son mode de fonctionnement est décrit par le diagramme suivant :

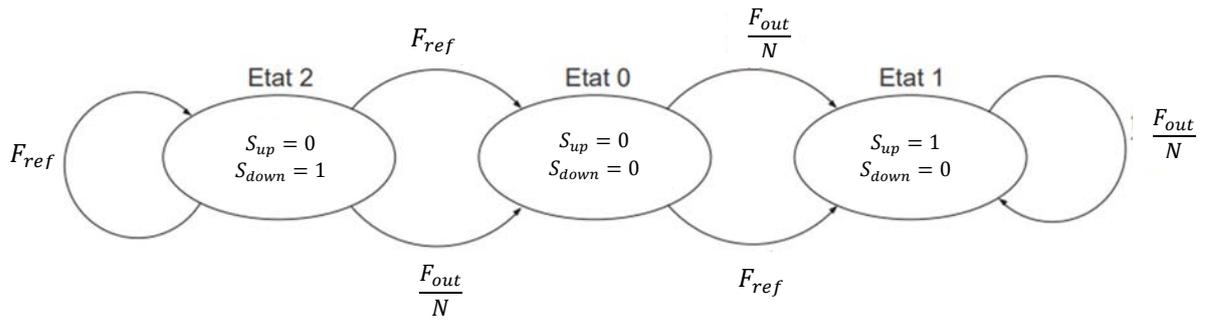


Figure II.6. Diagramme d'état de la PFD.

- Le premier état est l'état nul : il correspond au cas où les signaux de la référence F_{ref} et du VCO à travers le diviseur F_{div} sont en phase (sont synchronisés.). Il n'y a pas d'erreur, S_{up} et S_{down} sont tous les deux au niveau bas.

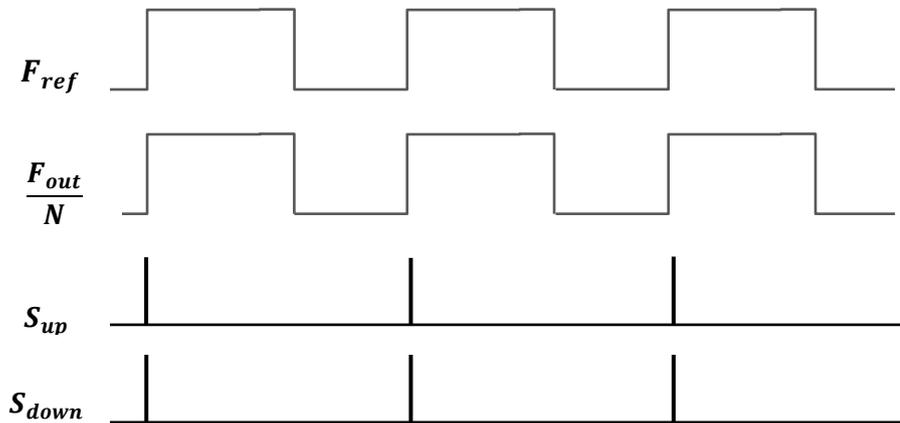


Figure II.7. Chronogrammes des signaux UP et DOWN (F_{ref} en phase avec $\frac{F_{out}}{N}$).

- Le deuxième état est l'accélération (ou état UP) : Lorsque l'entrée F_{ref} est en avance de phase sur l'entrée $\frac{F_{out}}{N}$ alors S_{up} passe à l'état haut pendant une durée correspondante à l'écart de phase et S_{down} est au niveau bas.

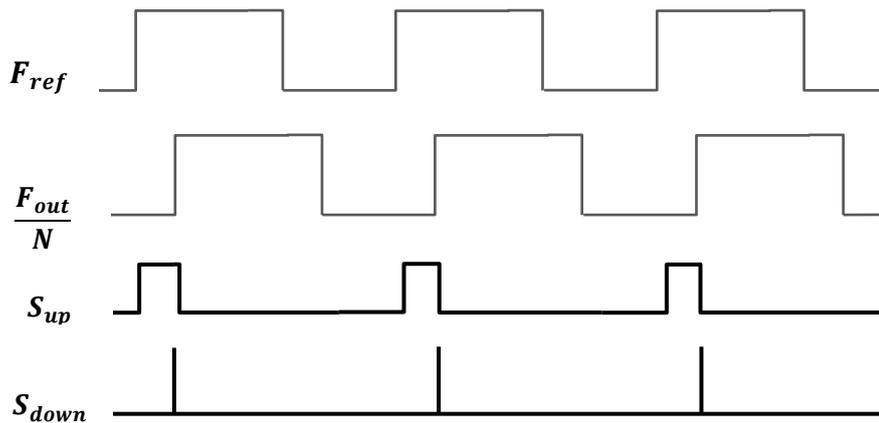


Figure II.8. Chronogrammes des signaux UP et DOWN (F_{ref} en avance de phase sur $\frac{F_{out}}{N}$).

- Le troisième état est le ralentissement (ou état DOWN) : Lorsque F_{ref} est en retard de phase sur $\frac{F_{out}}{N}$ alors S_{down} passe à l'état haut pendant une durée correspondante à l'écart de phase et S_{up} est au niveau bas.

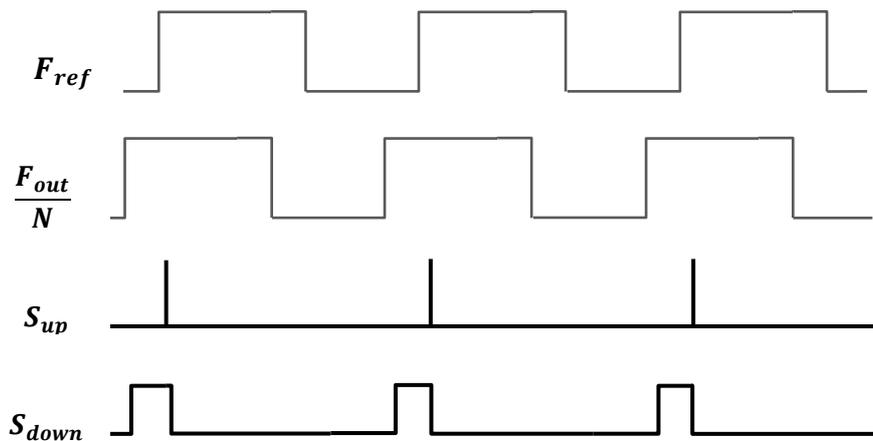


Figure II.9. Chronogrammes des signaux UP et DOWN ($\frac{F_{out}}{N}$ en avance de phase sur F_{ref}).

Lors de la conception des comparateurs de phase et de fréquence, plusieurs phénomènes doivent être pris en compte. Tout d'abord, si l'erreur de phase change rapidement, il peut y avoir perte du verrouillage de la boucle. Ensuite, le problème principal qui peut intervenir sur la qualité du PFD est la zone morte ou (Dead zone, en anglais.), qui correspond au gain nul de la pompe de charge. Ce phénomène se produit lorsque l'erreur de phase entre les deux signaux aux bornes du PFD est très faible, comme illustré par le graphe de la figure II.10. Ce qui donne un comparateur qui n'est pas capable de délivrer un signal d'erreur, la sortie du PFD est altérée, la phase du VCO n'est plus asservie par la boucle et le bruit de phase de la PLL augmente [33]. La correction de phase/fréquence n'est

donc pas assurée dans cette zone. Pour pallier ce problème, une chaîne d'inverseurs est ajoutée, en tant que retard, comme montré ci-avant sur la figure II.5 à la sortie de la porte NAND afin de permettre au PFD d'avoir le temps nécessaire pour prendre la bonne décision.

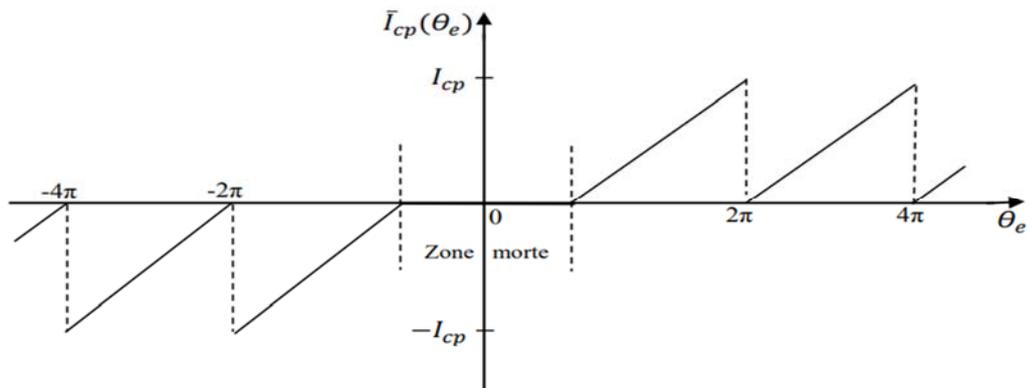


Figure II.10. Caractéristique du détecteur de phase et de fréquence à bascules D.

II.4.4.3 La pompe de Charge (CP)

La pompe de charge (appelée, Charge Pump ‘CP’ en anglais) est un élément indissociable de l'utilisation d'un PFD trois états dans la PLL. En effet, elle permet de convertir les signaux logiques « Up » et « Down » venant du PFD en un courant de correction positif ou négatif dans le filtre de boucle afin de commander l'oscillateur contrôlé en tension (VCO).

Le principe de la pompe de charges, représenté sur la figure II.11, est simple : les signaux S_{up} et S_{down} viennent commander l'ouverture ou la fermeture de deux interrupteurs à transistors T1 et T2 permettant soit d'injecter un courant (I_{source}), soit de prélever un courant (I_{sink}) dans le filtre.

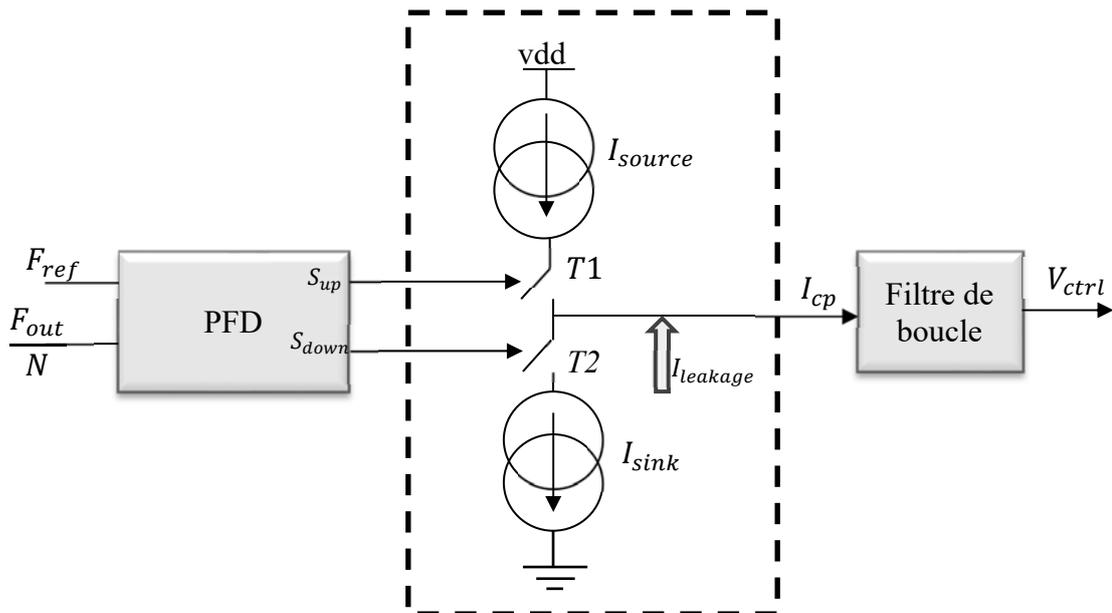


Figure II.11. Schéma de principe de la pompe de charge.

Le schéma fonctionnel de la pompe de charge est illustré dans la figure II.12.

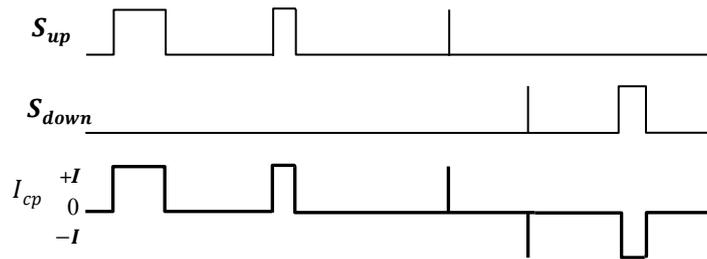


Figure II.12. Fonctionnement de la pompe de charge.

- Quand le signal S_{up} est à l'état haut ($S_{up} = 1$), le commutateur T1 est passant, ce qui permet d'injecter un courant positif à la sortie ($I_{cp} = S_{source}$), qui aura pour effet d'augmenter la tension de sortie du filtre.
- Quand le signal S_{down} est à l'état haut ($S_{down} = 1$), l'interrupteur T2 est fermé, ce qui permet de prélever un courant négatif à la sortie ($I_{cp} = I_{sink}$), qui aura pour effet de réduire la tension de sortie du filtre.
- Enfin, si les deux signaux S_{up} et S_{down} au niveau bas ($S_{down} = S_{up} = 0$), les deux interrupteurs T1 et T2 sont bloqués et ne laissent passer aucun courant ($I_{cp} = 0$).

L'un des problèmes de non-linéarité qui existe dans le circuit de pompe de charge est le courant de fuite, qui peut avoir une influence sur tous les systèmes PLL. Ce courant parasite est dû à la différence de technologie entre le transistor T2 (canal-N) et le transistor T1 (canal-P), où la mobilité des électrons est supérieure à celle des trous.

Le décalage de phase, dû au courant de fuite, est généralement négligeable, mais les pics de référence (reference spurs) par le courant de fuite sont éventuellement importants dans les synthétiseurs de fréquence [34]. Ainsi, pour le bon fonctionnement de la PLL, la théorie rapportée par la référence [35], stipule que le courant de fuite, doit être inférieur à un dixième du courant de la pompe de charge

$$I_{Leak} < \frac{I_{cp}}{10} \quad (\text{II.3})$$

II.4.4.4 Le filtre de boucle (LF)

Le signal de sortie de l'ensemble du « PFD-CP » est constitué d'une composante continue DC et d'un certain nombre de termes alternatifs AC, générés par le signal d'erreur, qui doit être minimisés par un filtrage passe-bas, afin de ne laisser passer que la composante DC qui servira à piloter le VCO. Plus précisément, le rôle du filtre de boucle consiste à filtrer les harmoniques (les impulsions de courant) générés par la pompe de charge et les convertir en une tension de contrôle filtrée servant à fixer la fréquence d'oscillation du VCO [36].

D'une manière générale, le filtre de boucle est un élément de réglage dont le choix (synthèse) est effectué afin :

- d'assurer les performances de l'asservissement : bande passante, amortissement, etc...
- d'atténuer le plus possible les produits indésirables issus du comparateur de phase.

- **Choix de type et l'ordre du filtre**

Plusieurs critères sont à prendre en compte pour déterminer le type de filtre (actif ou passif) et l'ordre à utiliser. Concernant le type, l'utilisation de filtres actifs est mieux indiquée dans les PLL à basses fréquences, mais pas pour les applications nécessitant de hautes fréquences (où un bruit additif important est généré par les amplificateurs opérationnels et qui a pour conséquence de nuire aux performances de la dynamique du système). À cause de cet inconvénient, notre choix s'est porté sur les filtres passifs passe-bas qui permettent d'obtenir un circuit simple qui utilise principalement des résistances et des condensateurs. Quant à l'ordre du filtre, il est notamment conditionné par les caractéristiques de la PLL en termes de stabilité, temps d'établissement, et bruit de phase. Il est préférable d'utiliser un filtre possédant une sélectivité élevée afin de réduire l'amplitude des raies parasites, ce qui implique l'utilisation d'un filtre d'ordre élevé

II.4.4.5 Diviseurs de fréquence (M) et (N)

La division de fréquence représente un outil essentiel dans les synthétiseurs de fréquences afin de garantir la génération de toutes les fréquences porteuses dans une large bande de fréquence. Cependant, un diviseur de fréquence est un circuit qui divise la fréquence du signal d'entrée dans un rapport entier déterminé. Généralement, c'est un circuit de nature numérique utilisant des bascules et des multiplexeurs.

Comme nous l'avons vu précédemment sur la figure II.4, il existe deux blocs de diviseur de fréquence. Le premier diviseur est celui suivant le cristal de référence, dont le facteur M est généralement fixe et dont, la mise en œuvre est simple du fait des fréquences relativement réduites des oscillateurs à quartz (de l'ordre de quelques centaines de kilo Hertz à quelques dizaines de Méga Hertz) [37]. Le deuxième diviseur est placé dans la chaîne de retour de la PLL, sa mise en œuvre est plus complexe du fait des fréquences de sortie élevées et de la variabilité du facteur N. En effet, si l'on considère une fréquence d'oscillation du VCO de plusieurs Giga Hertz, il est nécessaire de réaliser un premier abaissement de cette fréquence avant de pouvoir attaquer les blocs numériques généralement limités à quelques centaines de Méga Hertz. Pour cela, on ajoute un pré-diviseur (appelé aussi prescaler) à taux de division commutant entre les valeurs P et (P+1), comme illustré dans la figure suivante. En logique rapide ce diviseur est placé en sortie du VCO.

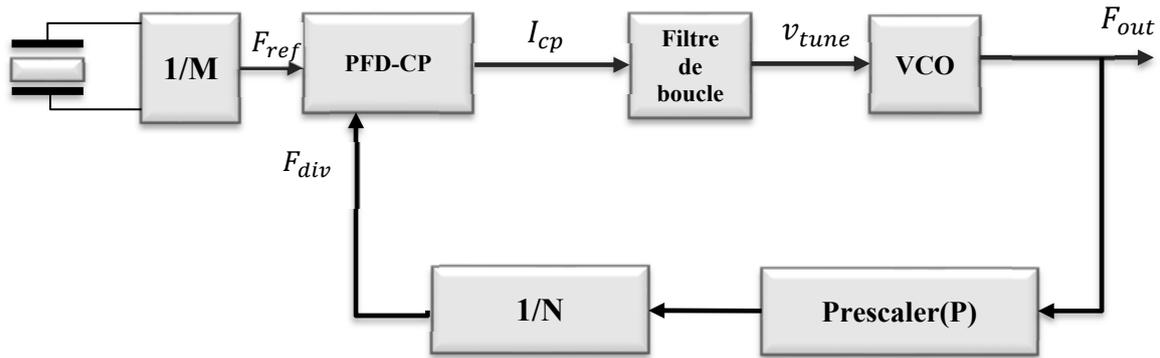


Figure II.13. Synthétiseur de fréquences avec un pré-diviseur.

Son mode de fonctionnement comme exposé dans la figure II.14 est le suivant : la sortie du pré-diviseur est divisée par les compteurs A et B. A l'état initial, les deux compteurs A et B sont chargés à leur valeur initiale a et b (avec $a > b$), le facteur du pré-diviseur est $P + 1$. Chaque fois que le VCO aura effectué $P + 1$ périodes, les compteurs A et B vont être décrétementés de 1. Quand B arrive à 0, le VCO a donc effectué $b.(P + 1)$ cycles, le compteur A est chargé par une valeur égale à $(a - b)$ et le pré-diviseur est alors commuté sur le facteur V . Le VCO va encore générer $(a - b).P$ impulsions avant que A n'ait décompté jusqu'à 0. A cet instant, A et B sont rechargés à leurs valeurs initiales et le cycle complet est répété. Durant un cycle, le facteur de division de l'ensemble est donc égal à [37] :

$$N = b.(P + 1) + (a - b).P = a.P + b \quad (\text{II.4})$$

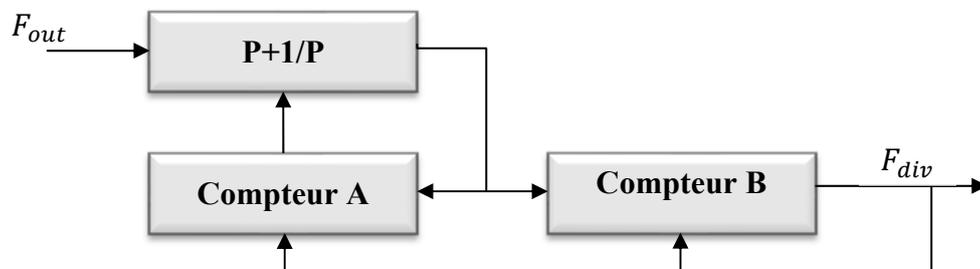


Figure II.14. Schéma de fonctionnement du diviseur programmable par N.

II.4.4.6 L'Oscillateur Contrôlé en Tension (VCO)

Un oscillateur est un circuit qui délivre un signal périodique de fréquence propre F_0 en absence du signal d'entrée. L'oscillateur contrôlé en tension OCT (ou Voltage Controlled Oscillator VCO) représente le cœur de la PLL, il permet de générer un signal de sortie dont la fréquence fluctue en fonction de la tension appliquée à son entrée. D'une manière générale, en appliquant une tension à l'entrée de l'oscillateur (la sortie du filtre passe bas), la fréquence de sortie du VCO varie proportionnellement à cette tension, comme indiqué sur la figure II.15.

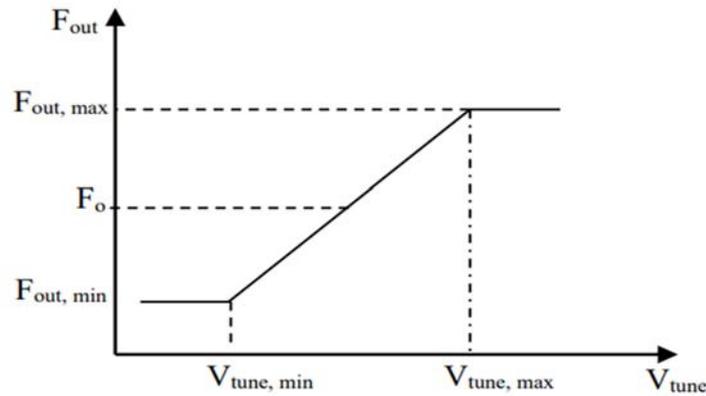


Figure II.15. Pente caractéristique d'un VCO.

Cela peut être exprimé par l'expression suivante :

$$F_{out} = F_0 + K_{vco} \cdot V_{tune} , \quad (II.5)$$

où ;

F_{out} : La fréquence de sortie,

V_{tune} : La tension de contrôle du VCO,

F_0 : La fréquence libre du VCO au repos ($V_{tune} = 0$),

K_{vco} : Le gain du VCO, il est exprimé en Hz/V, et est donné par la pente de la caractéristique

$$F_{out} = f(V_{tune})$$

Soit :

$$K_{vco} = 2\pi \frac{\Delta F_{out}}{\Delta V_{tune}} \quad [Hz/V], \quad (II.6)$$

où :

$$\Delta F_{out} = F_{out,max} - F_{out,min} \quad (II.7)$$

est l'écart entre les fréquences extrêmes fournies par le VCO, appelé aussi « plage de fréquence du VCO », et :

$$\Delta V_{tune} = V_{tune,max} - V_{tune,min} \quad (II.8)$$

est l'écart entre les tensions, permettant de générer ces fréquences.

Si la fréquence du VCO est initialement plus basse que la référence d'entrée, la sortie du comparateur de phase sera une tension positive. Cette tension, filtrée, commande alors le VCO pour augmenter sa fréquence jusqu'à ce que cette dernière et sa phase épousent parfaitement celles de la référence d'entrée. À l'inverse, la tension de sortie du comparateur décroît et commande une diminution de fréquence de la part du VCO [32].

Dans la littérature, on trouve beaucoup de structures différentes pour réaliser des oscillateurs. Pour résumer, il existe trois grandes familles d'oscillateurs : les oscillateurs à relaxation utilisés pour des applications basses fréquences, les oscillateurs en anneaux et les oscillateurs à résonateurs ; ces

deux derniers étant largement utilisés pour les applications RF. Dans notre cas, l'objectif du tout intégré à faible coût et faible bruit, nous oriente directement vers les VCO à résonateurs intégrés LC, constitués d'inductances et de capacités, et regroupés de ce fait sous l'appellation « oscillateurs LC-résonateur », et d'une résistance négative qui vient compenser les pertes énergétiques du résonateur tel que l'illustre la figure II.16. La fréquence d'oscillation du VCO est alors ajustée à l'aide d'un condensateur variable, appelé varactor, qui est inséré dans le résonateur LC. La valeur de la capacité de ce varactor, et donc de la fréquence d'oscillation, est contrôlée par la tension de contrôle V_{CTRL} générée par le filtre de boucle.

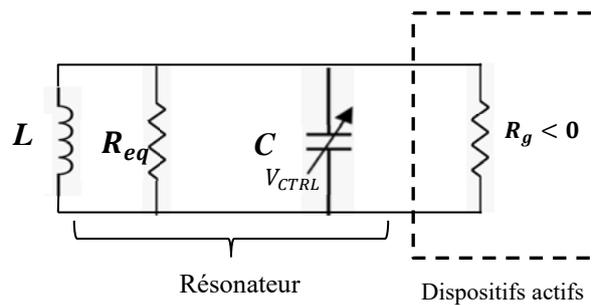


Figure II.16. Modèle d'un oscillateur à résonateur LC dans le régime permanent.

II.5 Modélisation de la PLL verrouillée

II.5.1 Stabilité

Il existe plusieurs moyens d'assurer la stabilité d'un système. La méthode la plus simple est de réaliser une simulation temporelle et de vérifier si la boucle se verrouille. Cependant, ceci implique des temps de simulation très importants. De ce fait, la stabilité de la PLL s'étudie en linéarisant les équations qui régissent le fonctionnement des différents blocs, puis en y appliquant les critères de stabilité. Ces critères permettent de prévoir la stabilité du système en boucle fermée à partir de l'étude en boucle ouverte.

II.5.2 Modèle linéaire

Comme expliqué auparavant, pour déterminer les performances ainsi que la bonne convergence du système très rapidement, il convient de considérer son modèle linéaire. Ce modèle linéaire est développé dans le domaine de LAPLACE. Ainsi, ce modèle a un domaine de validation restreint aux faibles variations de l'erreur de phase $\theta_e = \theta_{ref} - \theta_{div}$ dans la boucle d'asservissement. Ceci exprime que les variations des grandeurs autour des points de fonctionnement des différents éléments constitutifs de la boucle ont des amplitudes suffisamment faibles, donc il est

intéressant de noter que cette modélisation n'est valide que pour une PLL verrouillée et pour une bande passante faible. Pour assurer la validité de la linéarisation faite pour ce modèle de Laplace ainsi qu'une première condition sur la stabilité du système, la limite de la bande passante est définie comme suite :

$$Bp \leq \frac{F_{ref}}{10} \quad (II.9)$$

Le diagramme bloc du modèle linéarisé du synthétiseur de fréquences est illustré à la figure II.17.

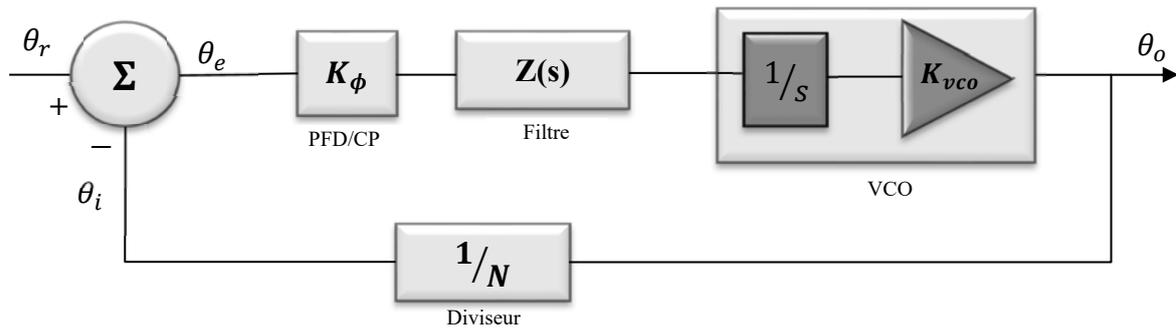


Figure II.17. Modèle linéaire de la PLL.

Dans ce modèle, l'ensemble du PFD-CP est représenté par la valeur du courant moyen (le gain K_ϕ) qui s'exprime en fonction de l'erreur de phase par :

$$I_{PFD} = K_\phi \cdot \theta_e \quad (II.10)$$

Par la suite, le filtre de boucle est défini par sa fonction de transfert $Z(s)$, qui relie la tension de contrôle V_{CTRL} au courant moyen à la sortie de la CP. Finalement, le VCO quant à lui, est modélisé comme un intégrateur. Sa fonction de transfert peut être représentée dans le domaine des fréquences S par :

$$G_{out}(s) = \frac{K_{vco}}{s}, \quad (II.11)$$

où :

K_{vco} : Un facteur de gain (exprimé en radian/s/V)

II.5.3 Expression des fonctions de transfert de système

En utilisant les résultats obtenus précédemment pour le gain du VCO et le gain de la combinaison « PFD-CP », on procède à l'expression des fonctions de transfert de ce système.

➤ **Fonction de transfert de la chaîne directe**

La fonction de transfert de la chaîne directe exprime le rapport entre la phase à la sortie sur la phase de la référence en considérant le détecteur de phase, le filtre et le VCO en boucle ouvert.

$$G(s) = \frac{\theta_o}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{VCO}}{s} \quad (\text{II.12})$$

➤ **Fonction de transfert de la chaîne de retour**

La fonction de transfert de la chaîne de retour est constituée simplement du diviseur de fréquence du VCO.

$$H(s) = \frac{\theta_i}{\theta_o} = \frac{1}{N} \quad (\text{II.13})$$

➤ **Fonction de transfert en boucle ouverte**

La fonction de transfert en boucle ouverte est donnée par la multiplication des deux fonctions précédentes.

$$T(s) = H(s)G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{VCO}}{N \cdot s} \quad (\text{II.14})$$

➤ **Fonction de transfert en boucle fermée**

La fonction de transfert en boucle fermée met en relation la phase $\theta_o(s)$ et la phase $\theta_r(s)$ lorsque le synthétiseur fonctionne en régime établi, est donc donnée par :

$$K(s) = \frac{\theta_o}{\theta_r} = \frac{G(s)}{[1 + H(s)G(s)]} \quad (\text{II.15})$$

II.6 Elaboration et évaluation des performances

Cette partie concerne l'élaboration d'un filtre de boucle passif pour des synthétiseurs de fréquences utilisant un détecteur de phase-fréquence et une pompe de charge. Dans un premier temps, nous pensons réduire l'ordre du filtre pour simplifier sa mise en œuvre. La configuration standard du filtre passif de deuxième ordre placé après la pompe de charge de la PLL est montrée sur la figure II.18. Placé entre la pompe de charge et le VCO, le filtre de boucle contrôle le signal de commande du VCO. Le filtre de boucle est une impédance complexe en parallèle avec l'entrée du VCO. Rappelons que la capacité parallèle C_I est recommandée pour éviter les pas discrets de tension au port du contrôle du VCO dû aux changements instantanés dans le courant de sortie de la pompe de charge. La plage de capture, ou plage d'accrochage (pull-in range), dépend de la bande passante et de l'ordre du filtre de boucle ainsi que du gain de boucle, lui-même fonction du gain du VCO et du détecteur de phase.

Toutefois, il est possible d'assimiler, en première approche, la plage de capture à la bande passante du filtre de boucle. Le rôle de ce filtre est d'assurer la stabilité de la boucle de phase et de filtrer les résidus de la fréquence de comparaison. Le choix du filtre est lié à ces différents paramètres. Plus la fréquence de coupure ne sera basse, meilleure sera l'atténuation des signaux résiduels, mais la boucle sera également beaucoup plus lente à se stabiliser, d'où un temps d'établissement excessif pour un système devant effectuer des sauts de fréquence importants entre l'émission et la réception.

Idéalement, le filtre de boucle devrait être intégré dans le même circuit que le comparateur de phase. En fait ceci se heurte à plusieurs difficultés : le filtre de boucle ne doit pas ajouter de bruit, on a donc intérêt à le réaliser à l'aide de composants passifs plutôt qu'actifs.

D'autre part, une intégration totale du filtre est limitée par le choix des valeurs des composants, les capacités ne pouvant dépasser quelques dizaines de pF . Enfin, un filtre intégré risque d'être parasité par les autres signaux circulant dans le circuit.

Cependant, le filtre de boucle sera différent pour chaque PLL afin qu'il puisse assurer des temps d'accrochage, une stabilité et un filtrage du bruit du détecteur de phase convenables.

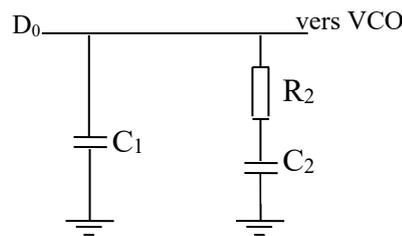


Figure II.18. Filtre de deuxième ordre.

Une méthode de conception du filtre utilise le gain de la boucle ouverte et la marge de phase pour déterminer les valeurs des composants. La localisation du point de déphasage minimum, où le gain de la boucle ouverte est égal à l'unité, assure la stabilité de la boucle (Figure II.19).

La marge de phase ϕ_p est définie comme étant la différence entre 180° et la phase de la fonction de transfert en boucle ouverte à la fréquence ω_p correspondant au gain égal à 0 dB. Pratiquement, la marge de phase est choisie entre 30° et 70° [38].

$$\Delta\phi = 180 - \arg G(j\omega c). H \quad (\text{II.16})$$

Autrement, lorsqu'on choisit une marge de phase plus élevée, il en résulte une très haute stabilité pendant un temps de réponse plus lent de boucle et moins d'atténuation de F_{ref} . Pour cela, un principe de base commun est de commencer la conception par une marge de phase de 45° . Pratiquement, la marge de phase est le retard maximal que le système peut accepter sans qu'il y ait instabilité. Afin d'avoir des performances élevées du système, on a entrepris quelques choix de la marge de phase, l'impact de la marge de phase sur les performances du synthétiseur de fréquences sera discuté en détail dans le chapitre III.

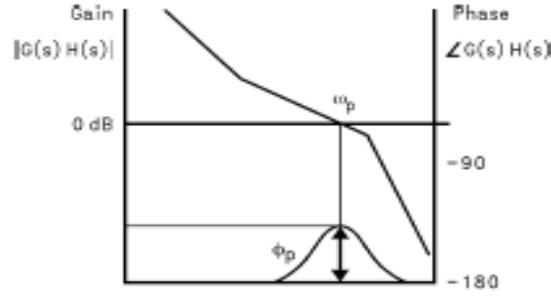


Figure II.19. Tracé de Bode de la réponse de boucle ouverte.

L'impédance du filtre de deuxième ordre présenté sur la figure II.18 est :

$$Z(s) = \frac{s.C_2.R_2 + 1}{s^2C_1.C_2.R_2 + s.C_1 + s.C_2} \quad (\text{II.17})$$

On définit les constantes de temps qui déterminent les fréquences des pôles et des zéros de la fonction de transfert du filtre par :

$$T_1 = R_2 \cdot \frac{C_1.C_2}{C_1 + C_2} \quad (\text{II.18})$$

$$T_2 = R_2.C_2 \quad (\text{II.19})$$

Ainsi le gain en boucle ouverte de la PLL de 3^{ème} ordre peut être calculé en termes de fréquence ω , des constantes de temps du filtre T_1 et T_2 , et des paramètres de conception K_ϕ , K_{VCO} , et N .

$$G(s).H(s)|_{s=j\omega} = \frac{-K_\phi.K_{VCO}(1 + j\omega.T_2)}{\omega^2.C_1.N(1 + j\omega.T_1)} \cdot \frac{T_1}{T_2} \quad (\text{II.20})$$

L'équation (II.20) montre que le terme phase dépendra d'un pôle et d'un zéro comme la marge de phase décrite par l'équation (II.21). La marge de phase disponible est donc proportionnelle au rapport de C_1 et C_2 .

$$\phi(\omega) = \tan^{-1}(\omega.T_2) - \tan^{-1}(\omega.T_1) + 180^\circ \quad (\text{II.21})$$

En mettant la dérivée de la marge de phase égale à zéro comme le montre l'équation (II.22) :

$$\frac{d\phi}{d\omega} = \frac{T_2}{1 + (\omega.T_2)^2} - \frac{T_1}{1 + (\omega.T_1)^2} = 0 \quad (\text{II.22})$$

Le point de fréquence correspondant au point d'inflexion de phase se présente en termes de constantes de temps du filtre T_1 et T_2 . Cette fréquence est donnée par la relation :

$$\omega_p = \frac{1}{\sqrt{T_1.T_2}} \quad (\text{II.23})$$

Pour assurer la stabilité de la boucle, la marge de phase doit être maximale quand l'amplitude du gain en boucle ouverte est égale à 1. L'équation (II.20) donne alors :

$$C_1 = \frac{K_\Phi \cdot K_{VCO} \cdot T_1}{\omega_p^2 \cdot N \cdot T_2} \cdot \left\| \frac{(1 + j\omega_p \cdot T_2)}{(1 + j\omega_p \cdot T_1)} \right\| \quad (\text{II.24})$$

Par conséquent, si la largeur de bande de boucle ω_p et la marge de phase Φ_p sont spécifiées, le système d'équation (II.17) à l'équation (II.24) nous permet de calculer les deux constantes de temps T_1 et T_2 .

Les relations pour calculer T_1 et T_2 sont :

$$T_1 = \frac{\sec \Phi_p - \tan \Phi_p}{\omega_p} \quad (\text{II.25})$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} \quad (\text{II.26})$$

A partir des constantes de temps T_1 et T_2 et la largeur de bande de boucle ω_p , les valeurs pour C_1 , R_2 et C_2 sont données par les relations suivantes :

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\Phi \cdot K_{VCO}}{\omega_p^2 \cdot N} \cdot \sqrt{\frac{1 + (\omega_p \cdot T_2)^2}{1 + (\omega_p \cdot T_1)^2}} \quad (\text{II.27})$$

$$C_2 = C_1 \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{II.28})$$

$$R_2 = \frac{T_2}{C_2} \quad (\text{II.29})$$

Le bruit dans les diviseurs et la pompe de charge à des multiples de la fréquence de référence F_{ref} , peut causer des bandes latérales *FM* non désirées à la sortie *RF*. Dans les communications sans fil, la fréquence de comparaison du détecteur de phase est généralement un multiple de l'espacement entre canaux. Ces bandes latérales peuvent causer du bruit dans les canaux adjacents. Donc un filtrage additionnel de ces pics de référence est souvent nécessaire, cela dépend en fait de la largeur de bande du filtre de boucle [39].

Pour répondre à ces contraintes critiques, l'emplacement d'une résistance en série et une capacité parallèle avant le VCO fournit un pôle passe bas capable de mieux atténuer les raies non désirées. La configuration recommandée de ce filtre est illustrée sur la figure II.20 [40] [41].

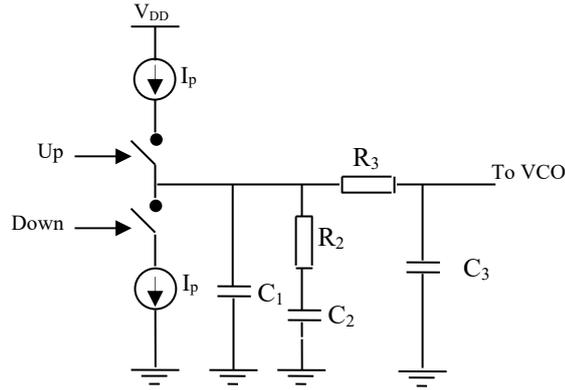


Figure II.20. Filtre de boucle de troisième ordre combiné avec la pompe de charge.

L'atténuation ajoutée par le filtre passe-bas est :

$$ATTEN = 20 \log \left[\left(2 \cdot \pi \cdot F_{ref} \cdot R_3 \cdot C_3 \right)^2 + 1 \right] \quad (\text{II.30})$$

On définit la constante de temps comme suit :

$$T_3 = R_3 \cdot C_3 \quad (\text{II.31})$$

Ainsi en termes d'atténuation des raies de références ajoutées par le pôle passe-bas, nous aurons :

$$T_3 = \sqrt{\frac{10^{\left(\frac{ATTEN}{20}\right)} - 1}{\left(2 \cdot \pi \cdot F_{ref}\right)^2}} \quad (\text{II.32})$$

Afin d'atténuer de manière significative les raies parasites, le pôle additionnel doit être inférieur à la fréquence de référence.

La fonction de transfert de l'impédance du filtre de boucle schématisé sur la figure II.20 est :

$$Z_{fil3} = \frac{Z(s) \left(\frac{1}{C_3 \cdot s} \right)}{Z(s) + R_3 + \left(\frac{1}{C_3 \cdot s} \right)} \quad (\text{II.33})$$

Où $Z(s)$ est la fonction de transfert du filtre de deuxième ordre donnée par l'équation (II.17).

En se basant sur les équations (II.17), (II.18), (II.19), (II.20) et (II.21), Il en résulte l'équation simplifiée suivante de la fonction de transfert de la boucle ouverte :

$$G(s) \cdot H(s) \Big|_{s=j\omega} = \frac{-K_\Phi \cdot K_{VCO} \cdot (1 + j\omega \cdot T_2) \cdot T_1}{\omega^2 \cdot C_1 \cdot N \cdot (1 + j\omega \cdot T_1)} \cdot \frac{1}{T_2 \cdot (1 + j\omega \cdot T_3)} \quad (\text{II.34})$$

$$\Phi(\omega) \propto (1 + \omega \cdot T_2) (1 - \omega \cdot T_1) (1 - \omega \cdot T_3) \quad (\text{II.35})$$

De même pour l'équation (II.26)

$$T_2 = \frac{1}{\omega^2 \cdot (T_1 + T_3)} \quad (\text{II.36})$$

Remplaçant l'équation (II.36) dans l'équation (II.35), on obtient :

$$\Phi(\omega) \propto 2 - \omega^2 \cdot T_1 \cdot T_3 - j\omega \cdot (T_1 + T_3) + \frac{j}{\omega \cdot (T_1 + T_3)} - \frac{j\omega \cdot T_1 + T_3}{(T_1 + T_3)} \quad (\text{II.37})$$

Ainsi

$$\tan \Phi = \frac{-\omega \cdot (T_1 + T_3) - \frac{\omega \cdot T_1 + T_3}{(T_1 + T_3)} + \frac{1}{\omega \cdot (T_1 + T_3)}}{2 - \omega^2 \cdot T_1 \cdot T_3} \quad (\text{II.38})$$

Supposant :

$$\omega^2 \cdot T_1 \cdot T_3 < 2 \quad (\text{II.39})$$

Après calcul, nous obtenons l'équation caractéristique :

$$\omega^2 + \omega \cdot \frac{2 \cdot \tan \Phi \cdot (T_1 + T_2)}{(T_1 + T_3)^2 + T_1 \cdot T_3} - \frac{1}{(T_1 + T_3)^2 + T_1 \cdot T_3} = 0 \quad (\text{II.40})$$

A partir de cette équation, on peut déterminer la fréquence de coupure ω_c .

$$\omega_c = \frac{\tan \phi \cdot (T_1 + T_3)}{(T_1 + T_3)^2 + T_1 \cdot T_3} \left[\sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 \cdot T_3}{[\tan \phi \cdot (T_1 + T_3)]^2}} - 1 \right] \quad (\text{II.41})$$

La capacité C_1 peut être exprimée au moyen de la relation :

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\Phi \cdot K_{VCO}}{\omega_c^2 \cdot N} \cdot \left[\sqrt{\frac{1 + \omega_c^2 \cdot T_2^2}{(1 + \omega_c^2 \cdot T_1^2) \cdot (1 + \omega_c^2 \cdot T_3^2)}} \right] \quad (\text{II.42})$$

De même nous avons pour le filtre de 2^{ème} ordre :

$$C_2 = C_1 \cdot \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{II.43})$$

$$R_2 = \frac{T_2}{C_2} \quad (\text{II.44})$$

Les seules valeurs des composants qui doivent être déterminées concernent le pôle passe-bas supplémentaire. Puisque ces valeurs sont déterminées à partir des équations (II.30) et (II.31), elles sont

quelque peu arbitraires. Toutefois il n'est pas prudent d'avoir une capacité C_3 de valeur égale ou supérieure à celles des autres capacités, du fait que le principe de base pour de telles applications est de choisir $C_3 \leq C_1/10$ [42] [39] autrement la constante du temps T_3 agira sur les autres pôles primaires du filtre. De même, on choisit la valeur de R_3 au moins deux fois la valeur de R_2 [39]. Le choix de C_3 dépend aussi de la capacité d'entrée de la diode varicap du VCO qui s'ajoutera en parallèle.

II.7 Analyse du bruit de phase dans le synthétiseur de fréquences

Dans les systèmes de communications sans fil modernes, les caractéristiques de bruit de phase du synthétiseur de fréquences jouent un rôle critique dans les performances du système. Un bruit de phase plus important que celui désiré peut causer la dégradation des performances du système en réduisant le rapport signal/bruit, en augmentant la puissance du canal adjacent et en réduisant le rejet de ce canal adjacent [43]. Tandis que de nombreux facteurs affectant le bruit de phase dans les synthétiseurs de fréquences à base de PLL sont bien compris, les concepteurs négligent souvent d'autres facteurs additionnels. Négliger ces facteurs additionnels peut causer la dégradation des performances du système, quand une analyse plus complète peut apporter des solutions plus élégantes [43]. Le but de cette partie est de présenter les différentes sources du bruit dans une PLL programmable (TCXO, détecteur de phase, diviseurs, VCO et même les résistances) et les différents modèles permettant de tenir compte de leurs effets sur le signal de sortie et sa pureté spectrale.

II.7.1 Les sources de bruit standard et les techniques d'analyse

La figure II.21 illustre un modèle représentant la PLL et expose les différentes sources du bruit existantes dans le système.

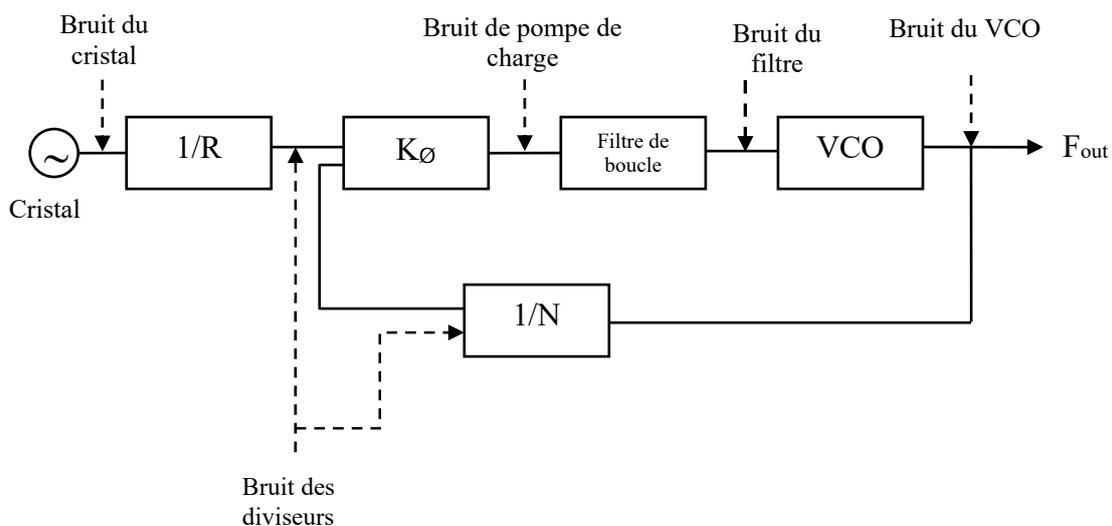


Figure II.21. Modèle de PLL avec les différentes sources de bruits.

Reprenons les fonctions de transfert en boucle ouverte $T(s)$ et fermée $K(s)$ définies auparavant, respectivement par les équations (II.14) et (II.15)

$$T(s) = H(s)G(s) = \frac{K_\phi \cdot Z(s) \cdot K_{VCO}}{N \cdot s}$$

$$K(s) = \frac{G(s)}{[1 + H(s)G(s)]}$$

La fonction de transfert de la boucle ouverte peut être réécrite en introduisant la fonction de transfert de détecteur de phase $G_{pd}(s)$ [44] donnée par

$$G_{pd}(f) = \frac{1 - \exp\left(-2 \cdot j \cdot \pi \cdot \frac{f}{f_{ref}}\right)}{j \cdot 2 \cdot \pi \cdot f} \quad (II.45)$$

II.7.2 Bruit du cristal de référence

Le bruit dans un oscillateur de référence est amplifié dans la boucle par le gain de la fonction de transfert de la boucle fermée. Une approximation simple pour cette source de bruit due au cristal de référence peut se faire comme pour n'importe quel oscillateur où il est inversement proportionnel à la fréquence excentrée [45] [46].

Des approximations d'ordres supérieurs peuvent être employées mais l'expérience a montré que l'approximation $1/f$ est un point de départ intéressant [43].

Si un TCXO est employé, les données du bruit de phase devraient être obtenues du fabricant de sorte que les valeurs de référence puissent être employées avec les modèles.

Le bruit dans un oscillateur de référence, $N_{tcxo}(f)$, à la sortie du synthétiseur est exprimé au moyen de la relation [45].

$$N_{tcxo}(f) = \frac{10^{\left(\frac{N_{tcxo_ref}}{20}\right)}}{f} \cdot (K(f) \cdot \frac{1}{R}) \quad (II.46)$$

R est un rapport de division de la fréquence de référence, N_{tcxo_ref} est le bruit de référence donné par le constructeur et f_{tcxo_ref} est la fréquence excentrée (offset) pour laquelle le bruit de référence est spécifié.

La boucle se comporte donc vis-à-vis du cristal comme un filtre passe-bas en atténuant son bruit pour les fréquences supérieures à la fréquence de coupure de la fonction de filtrage réalisée, le bruit proche porteuse n'est par contre pas filtré.

II.7.3 Bruit de détecteur de phase

Le bruit de phase dans ce cas, représente la qualité du bruit interne du détecteur de phase-fréquence et des diviseurs de fréquence dans la PLL. Ce bruit est aussi modélisé en fonction de la fréquence et de la valeur spécifique du bruit (bruit de référence) donné par le fabricant du circuit intégré (synthétiseur). Le niveau réel de bruit du détecteur de phase se dégrade proportionnellement à $10 \log \left(\frac{F_{ref}}{1Hz} \right)$. Le bruit dans le détecteur de phase $N_{pd}(f)$ à la sortie du synthétiseur est exprimé au moyen de la relation [43].

$$N_{pd}(f) = 10 \frac{N_{pd_ref} + 10 \log \left(\frac{f_{ref}}{1Hz} \right)}{20} \cdot K(f) \quad (II.47)$$

N_{pd_ref} est le bruit de référence donné par le constructeur.

II.7.4 Bruit dans le VCO

Il est très connu que dans un oscillateur à transistor FET, la principale source de bruit est une source basse fréquence qui module le signal micro-onde par l'intermédiaire de l'impédance non linéaire du transistor.

Dans ce travail, nous employons une simple approximation permettant d'écrire que le bruit est inversement proportionnel à la fréquence excentrée (offset) de la fréquence centrale. Ce bruit $N_{vco}(f)$ dans le VCO, à la sortie du synthétiseur, est exprimé au moyen de la relation [43].

$$N_{vco}(f) = \frac{10 \left(\frac{N_{vco_ref}}{20} \right)}{\frac{f}{f_{vco_ref}}} \times \left[\frac{1}{1+K(f)} \right] \quad (II.48)$$

Où N_{VCO_ref} est le bruit de référence donné par le constructeur et f_{vco_ref} est la fréquence offset pour laquelle le bruit de référence est spécifié.

II.7.5 Bruits générés par les résistances

Il est important de se rendre compte que dans un système de ce type, le bruit généré par les résistances du filtre passe-bas peut affecter l'entrée du VCO même si la PLL n'était pas reliée (fermée).

Les résistances et les dispositifs actifs tels que les amplificateurs opérationnels produisent des tensions du bruit. Dans le cas d'un amplificateur opérationnel, le bruit devrait être spécifié. Dans le cas d'une résistance, cette tension du bruit est définie par le bruit thermique produit par la résistance. On rappelle que le bruit thermique produit par une résistance s'écrit :

$$V_{Noise}(R) = \sqrt{4.T_0.K.R.B} \quad (II.49)$$

T_0 est la température ambiante égale à 300K, K est la constante de Boltzmann, R est la résistance et B est la bande passante.

Les figures II.22 et II.23 illustrent respectivement les modèles du bruit pour les résistances R_2 et R_3 comme étant des sources équivalentes de tension de bruit qui apparaît en série avec chaque résistance [39], [40].

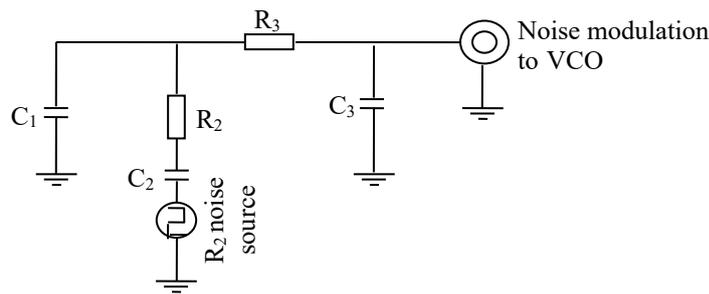


Figure II.22. Modèle de bruit pour R2.

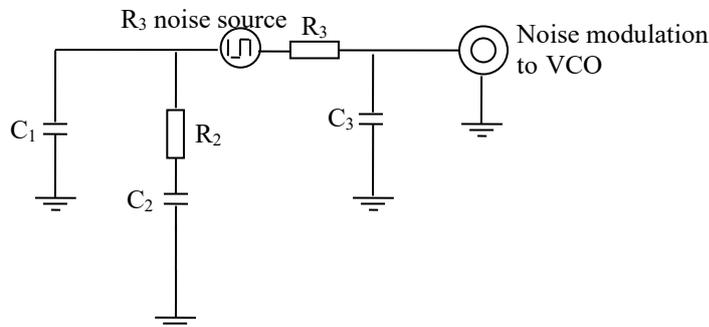


Figure II.23. Modèle de bruit pour R3.

Puisque les sources de bruit sont non corrélées, chaque résistance est analysée séparément et les effets sont ajoutés ultérieurement. La dérivation de la tension réelle de bruit contre la fréquence à l'entrée au port d'accord du VCO est une question d'analyse de base du circuit en utilisant les modèles des figures II.22 et II.23.

II.7.5.1 Bruit produit par R2

On définit les équations d'impédances :

$$Z_{R2_1}(f) = R_2 + \frac{1}{2\pi \cdot f \cdot j \cdot C_2} ; \quad R_2 \text{ en série avec } C_2 \quad (\text{II.50})$$

$$Z_{R2_2}(f) = \frac{1}{2\pi \cdot f \cdot j \cdot C_1} ; \quad \text{Impédance de } C_1 \quad (\text{II.51})$$

$$Z_{R2_3}(f) = R_3 ; \quad (\text{II.52})$$

$$Z_{R2_4}(f) = \frac{1}{2\pi \cdot f \cdot j \cdot C_3} ; \quad \text{Impédance de } C_3 \quad (\text{II.53})$$

$$Z_{R2_5}(f) = \frac{Z_{R2_2}(f) \cdot [Z_{R2_3}(f) + Z_{R2_4}(f)]}{Z_{R2_2}(f) + [Z_{R2_3}(f) + Z_{R2_4}(f)]} ; \quad (\text{II.54})$$

$$V_{noise_R2}(f) = V_{noise}(R_2) \cdot \frac{Z_{R2_5}(f)}{Z_{R2_1}(f) + Z_{R2_5}(f)} \cdot \frac{Z_{R2_4}(f)}{Z_{R2_3}(f) + Z_{R2_4}(f)} \quad (\text{II.55})$$

II.7.5.2 Bruit produit par R3

On définit les équations d'impédance :

$$Z_{R3_1}(f) = \frac{\frac{1}{2\pi \cdot f \cdot j \cdot C_1} \cdot (R_2 + \frac{1}{2\pi \cdot f \cdot j \cdot C_2})}{R_2 + \frac{1}{2\pi \cdot f \cdot j \cdot C_1} + \frac{1}{2\pi \cdot f \cdot j \cdot C_2}} + R_3 ; \quad (\text{II.56})$$

$$Z_{R3_2}(f) = \frac{1}{2\pi \cdot f \cdot j \cdot C_3} ; \quad \text{Impédance de } C_3 \quad (\text{II.57})$$

$$V_{noise_R3}(f) = V_{noise}(R_3) \cdot \frac{Z_{R3_2}(f)}{Z_{R3_1}(f) + Z_{R3_2}(f)} ; \quad (\text{II.58})$$

On note aussi que les résistances présentent aussi un effet considérable sur la modulation de fréquence au niveau du VCO. L'indice de modulation en fonction de la fréquence pour chaque résistance peut être exprimé au moyen des relations suivantes [47].

$$m_{R2}(f) = \frac{\sqrt{2} \cdot V_{noise_R2}(f) K_{VCO}}{f} \quad (\text{II.59})$$

$$m_{R3}(f) = \frac{\sqrt{2} \cdot V_{noise_R3}(f) K_{VCO}}{f} \quad (\text{II.60})$$

Finalement le bruit de phase ajouté à la sortie de la PLL par chaque résistance est donné par les équations suivantes [47].

$$N_{R_2}(f) = \frac{m_{R_2}(f)}{2} \left| \frac{1}{1+T(f)} \right| \quad (\text{II.61})$$

$$N_{R_3}(f) = \frac{m_{R_3}(f)}{2} \left| \frac{1}{1+T(f)} \right| \quad (\text{II.62})$$

II.7.6 Raies latérales de référence (reference spurs)

Il est très connu aujourd'hui que les bandes latérales de référence et les parasites sur la sortie jouent un rôle très important dans la détermination des caractéristiques du bruit dans une PLL. Ces raies de référence non désirées apparaissent aux multiples de fréquence de comparaison et qui peuvent être transportées avec la fréquence centrale dans un émetteur RF à travers le mélangeur. La puissance de ces raies de référence est exprimée au moyen de la relation suivante [45].

$$Spur_{Gain}(F_{Spur}) = 20 \log \left[\frac{K_{VCO} Z(s) K_{\phi}}{s} \right] \quad (\text{II.63})$$

F_{Spur} est une fréquence supposée multiple de la fréquence de comparaison.

II.7.7 Bruit de phase total

Le bruit total est composé par les bruits de VCO , $TCXO$, détecteur de phase, les résistances et les raies de référence. Ce bruit total peut être calculé par :

$$N_{Total}(f) = \sqrt{\left(|N_{VCO}(f)| \right)^2 + \left(|N_{TCXO}(f)| \right)^2 + \left(|N_{pd}(f)| \right)^2 + \left(|N_{R_2}(f)| \right)^2 + \left(|N_{R_3}(f)| \right)^2 + \left(|Spur_{Gain}(f)| \right)^2} \quad (\text{II.64})$$

II.8 Conclusion

Dans ce chapitre, nous avons présenté une brève description des principes fondamentaux de la boucle à verrouillage de phase (PLL), nous nous sommes intéressés à l'utilisation de ce type de circuit sur les synthétiseurs de fréquences à division entière, ce qui nous permet de déterminer les critères de conception liés à notre étude. Nous avons également rappelé les caractéristiques qui améliorent les performances de cette technique de synthèse. Comme, nous avons procédé à une analyse détaillée de l'architecture de ses blocs internes (comparateur de phases, pompe de charges, filtre de boucle, diviseurs de fréquence). Finalement, une estimation du bruit de phase de l'ensemble est faite sur la base de la linéarisation dans le domaine des fréquences.

Chapitre III

Résultats des simulations d'un synthétiseur de fréquences dans la bande-X

III.1 Introduction

La théorie précédente nous a permis de développer une simulation introduite sous le logiciel industriel ADIsimPLL afin de comprendre le fonctionnement de chaque étage du synthétiseur de fréquences et pour visualiser les différents signaux de sortie. Cette partie décrit les résultats de simulation et de conception d'un synthétiseur de fréquences indirect à division entière destiné pour les applications des communications satellitaires en bande X. Nous discutons également les effets du bruit de phase dans chaque composant constituant le circuit et des raies de référence sur les performances du système. Nous établirons notre étude en se basant sur le synthétiseur de fréquence ADF4108 d'*Analog Devices*.

III.2 Présentation de logiciel de simulation ADIsimPLL

Analog Devices 'ADI' est une compagnie internationale spécialisée dans le développement et la commercialisation des semi-conducteurs. Nous pouvons accéder à son site internet à partir d'un simple URL 'www.analog.com'. Dans sa page, elle met à disposition le téléchargement du logiciel 'ADIsimPLL' qui permet la conception, l'analyse et la simulation des synthétiseurs de fréquences à PLL.

L'outil de conception ADIsimPLL est un outil complet et facile utilisé pour la conception et la simulation, de synthétiseur à base de PLL. Tous les effets non linéaires clés qui peuvent avoir une influence sur les performances du PLL peuvent être simulés, y compris le bruit de phase, les spurs et l'impulsion anti-backlash. La famille de synthétiseurs ADF4xxx peut servir une gamme d'applications telles que les stations de base sans fil, le réseau local, les téléphones mobiles et les PDA (Personal Digital Assistant), l'accès sans fil à large bande, l'équipement industriel, l'instrumentation et l'équipement de test, le satellite, le sonar et le CATV. L'outil de conception ADIsimPLL d'Analog Devices offre un support pour les synthétiseurs les plus récents de l'entreprise, y compris le nouveau PLL ADF4351 hautement intégré pour la station de base et les applications générales et le récepteur large bande intégré ADRF6850 pour les applications satellitaires [48]. Ce logiciel est toujours en cours de développement par des ingénieurs en vue d'optimiser les conceptions rendant plus rapide et plus facile à atteindre des objectifs visés pour des différentes applications. La figure III.1 représente l'interface graphique du logiciel ADIsimPLL.

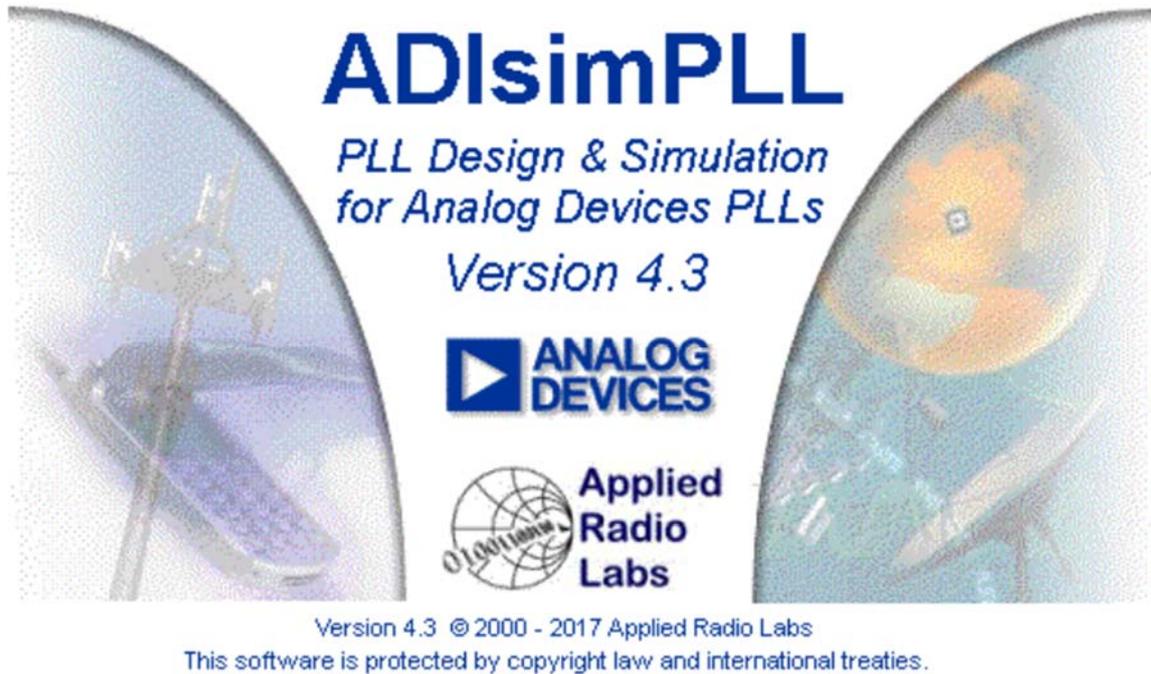


Figure III.1. Interface graphique du logiciel ADIsimPLL.

III.3 Simulation d'un synthétiseur à division entière de fréquence en bande-X

Dans ce mémoire, pour simuler le modèle du synthétiseur de fréquence à base de PLL nous avons utilisé le logiciel ADIsimPLL dans sa version 4.30, car il permet de construire rapidement un schéma bloc, en reliant entre eux des modèles basiques prédéfinis, de simuler le comportement du système, d'évaluer ses performances et d'affiner la conception, et le chip que nous avons choisi dans notre étude pour réaliser la boucle à verrouillage de phase est l'ADF4108. Ce composant est capable de générer et de contrôler un signal très stable de faible bruit dans la gamme des fréquences exceptionnellement large [0 – 8 GHz] [49].

Le synthétiseur de fréquences ADF4108 utilisé pour réaliser des oscillateurs locaux dans les systèmes up-conversion et down-conversion de récepteurs ou émetteurs des stations satellitaires. Il se compose un détecteur de phase numérique (PFD) à faible niveau de bruit, une pompe de charge haute précision, un diviseur de référence programmable, un compteur A, R et B, et un prescaler ($P / P + 1$). Il est possible de mettre en œuvre un synthétiseur complet en utilisant la PLL avec un filtre de boucle externe et un oscillateur commandé en tension (VCO). La PLL peut être utilisée pour commander des oscillateurs VCO hyperfréquences externes via un filtre de boucle. La figure représente le schéma bloc de l'ADF4108.

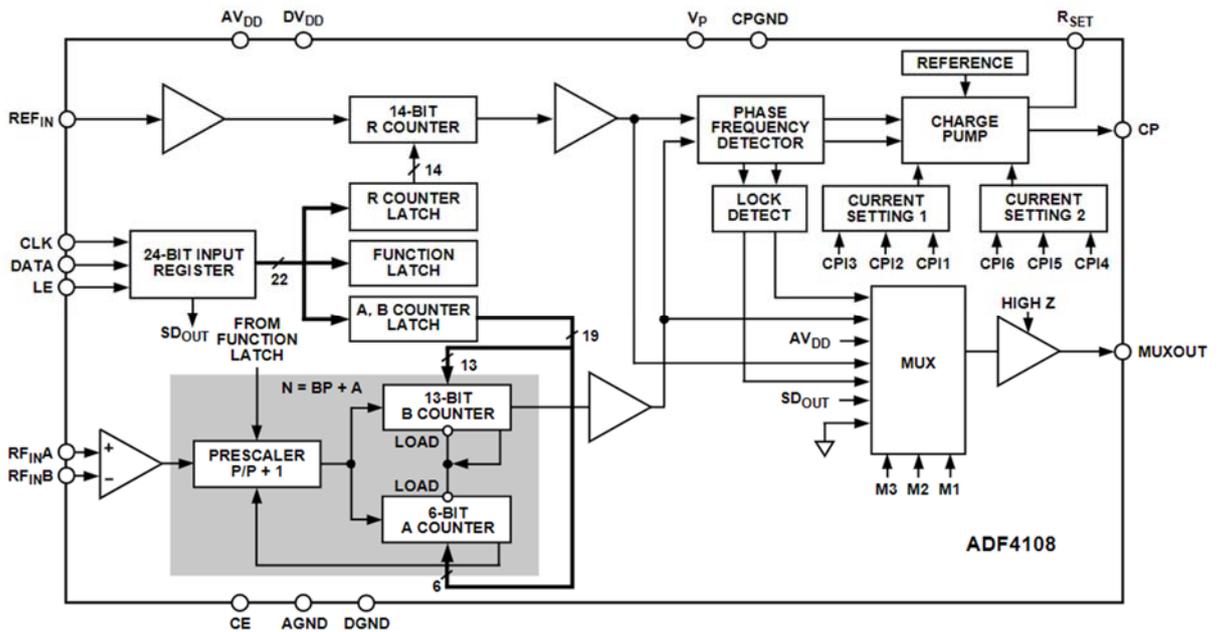


Figure III.2. Le bloc fonctionnel de l'ADF4108.

III.4 Choix des paramètres de conception du circuit

Pour un synthétiseur de fréquence opérant en bande X [8-12] GHz et dont la fréquence de sortie $F_{out} = 9,8$ GHz, les paramètres les plus importants pour réaliser la conception du filtre de troisième ordre sont les suivants :

Les paramètres de conception	
La fréquence de l'oscillateur de référence F_0	10 MHz
La fréquence de comparaison F_{ref}	500 kHz
Le pas entre les canaux	1 MHz
Le pré-diviseur (P)	2
Le gain du VCO K_{vco}	1.60 GHz/V
Le courant de la pompe de charge I_{cp}	5 mA
Diviseur R	$\frac{10MHz}{0.5MHz} = 20$
Diviseur principal N	$\frac{9800MHz}{1MHz} = 9800$

Tableau III.1. Les paramètres de la conception.

Après avoir déterminé chaque paramètre constituant le circuit, maintenant nous allons spécifier la valeur optimale de la marge de phase, la bande de boucle et le courant de fuite qui repose sur des conditions qui peuvent influencer sur la stabilité de l'ensemble du système bouclé. Comme nous l'avons indiqué auparavant, la bande passante de la boucle ne peut dépasser environ 1/10 de la fréquence de référence, la marge de phase peut être choisie entre $\Delta\varphi \in]0, 90^\circ[$ et le courant de fuite est limité à ($I_{Leak} < \frac{I_{cp}}{10}$). Afin de valider ces conditions, dans un premier temps, nous allons introduire la valeur de courant de fuite à InA et simuler plusieurs valeurs de la bande de boucle et de la marge de phase. De même après confirmation de notre choix sur les valeurs de l'ensemble des paramètres nécessaires, nous allons procéder à l'analyse de l'intensité maximale du courant de fuite généré par la pompe de charge.

III.5 Détermination de la marge de phase et la bande de boucle

Dans cette partie, la largeur de bande de boucle est choisie à $1/10^{\text{ème}}$, $1/20^{\text{ème}}$, $1/50^{\text{ème}}$ et $1/100^{\text{ème}}$ de la fréquence de référence, ce qui correspond respectivement à 50 kHz, 25 kHz, 10 kHz et 5 kHz. Concernant la marge de phase, nous allons évaluer de 10 à 80 degrés avec un pas de 5. Puis nous analysons le temps de réponse ainsi que le gain des trois premières raies de références. Les principaux résultats obtenus sont rapportés dans le tableau III.2.

Marge de phase (Degré)	La bande de boucle ω_p (kHz)															
	$\frac{F_{ref}}{10} = 50\text{kHz}$				$\frac{F_{ref}}{20} = 25\text{kHz}$				$\frac{F_{ref}}{50} = 10\text{kHz}$				$\frac{F_{ref}}{100} = 5\text{kHz}$			
	Temps de réponse (μs)	Raies de références (dBc) @			Temps de réponse (μs)	Raies de références (dBc) @			Temps de réponse (μs)	Raies de références (dBc) @			Temps de réponse (μs)	Raies de références (dBc) @		
		500	1000	1500		500	1000	1500		50	100	150		50	100	150
10	363.05	-73	-89	-99	815.09	-89	-106	-117	1460	-112	-130	-140	4279	-130	-148	-158
15	241.19	-72	-88	-98	558.92	-88	-105	-116	966.93	-111	-129	-140	3064	-129	-147	-158
20	177	-71	-87	-97	406.05	-87	-104	-115	722.86	-110	-128	-139	2358	-128	-146	-157
25	136.29	-70	-86	-96	317.19	-86	-104	-114	450.86	-109	-127	-138	1972	-127	-145	-156
30	106.31	-70	-85	-95	254.03	-85	-103	-113	385.65	-108	-126	-137	1714	-126	-144	-155
35	88.08	-69	-84	-94	196.55	-84	-102	-112	365.16	-107	-125	-136	1531	-125	-143	-154
40	79.40	-68	-83	-93	175.13	-83	-101	-111	322.31	-106	-124	-135	1525	-124	-142	-153
45	64.28	-67	-82	-92	137.46	-82	-100	-110	263.62	-105	-123	-134	1494	-123	-141	-152
50	71.14	-65	-81	-91	164.88	-81	-98	-109	260.82	-104	-122	-133	1563	-122	-140	-151
55	79.17	-64	-80	-90	217.51	-80	-97	-107	353.98	-103	-121	-131	1876	-121	-139	-149
60	109.14	-63	-78	-88	286.45	-78	-95	-106	486.26	-101	-119	-129	2537	-119	-137	-147
65	160.89	-61	-76	-86	381	-76	-93	-104	643.68	-99	-117	-127	3273	-117	-135	-145
70	242.60	-59	-74	-83	531.9	-74	-91	-101	896.13	-96	-114	-125	4530	-114	-132	-143
75	388.22	-57	-71	-80	840.24	-71	-87	-97	1411	-93	-110	-121	7030	-110	-128	-139
80	912.82	-56	-67	-75	1830	-67	-82	-91	3020	-87	-104	-114	15000	-104	-122	-132

Tableau III.2. Réponse du temps et des raies de références en fonction de la variation de la marge de phase et la bande de boucle.

- **Interprétation du tableau**

Les résultats de simulation obtenus de l'effet de la variation de la marge de phase et de la bande de boucle sur le temps de réponse et les spurs montrent que :

➤ **à propos de temps de réponse**

Nous remarquons que, quel que soit la valeur de la bande de boucle, pour une marge de phase très faible ou très élevée (les valeurs extrêmes), la boucle met plus de temps pour se verrouiller, et pour une marge de phase qui tourne autour de 45° le temps de réponse est réduit et devenu très acceptable. Il est de 64.28 μs , 137.46 μs , 263.62 μs et 1494 μs , respectivement à ω_p égale à, 50 kHz, 25 kHz, 10 kHz et 5kHz. Ainsi, la largeur de la bande de boucle est inversement proportionnelle au temps de réponse, donc la valeur de 50 kHz la plus élevée de la bande de boucle et la valeur de 45° de la marge de phase, représentent le meilleur choix pour le temps de verrouillage de boucle.

➤ **à propos des raies de références**

Les raies de références sont inversement proportionnelles à la marge de phase, et directement proportionnelles à la largeur de la bande de boucle. Il est de -56dBc, -67dBc et -75dBc à des multiples de la fréquence de comparaison (pour $\omega_p=50\text{kHz}$ et une marge de phase= 80°), puis commence à diminuer jusqu'à -130dBc, 148dBc et -158dBc pour les trois premières raies de références (pour $\omega_p=5\text{kHz}$ et une marge de phase= 10°).

En bref, la diminution de la marge de phase s'avère le meilleur choix pour réduire des spurs, mais ce choix peut avoir une dégradation importante du temps de verrouillage de la boucle. Par ailleurs, l'augmentation de la bande de boucle, peut améliorer le temps de verrouillage de la PLL mais ceci au détriment d'un niveau de raies parasites élevé, en effet au moment où un problème est résolu, un autre en est créé. Donc pour assurer un meilleur compromis entre le temps de verrouillage et les raies de références qui qualifient la stabilité de boucle et la performance du synthétiseur en bande X, nous allons supposer que la marge de phase à 45° et la valeur qui tourne autour de 25 kHz de la bande de boucle sont des bons points pour établir notre conception.

III.6 L'étude du courant de fuite tolérable par le synthétiseur

L'étude de la partie précédente nous a permis de spécifier le choix optimal de la bande de boucle et la marge de phase avec un courant de fuite généré par la pompe de charge à 1nA, ce courant de fuite est connu aussi sous le nom leakage, qui se manifeste à des multiples de la fréquence de références, et ce qui permet de dégrader les performances du synthétiseur.

Afin de voir l'influence de courant de fuite sur la stabilité de la boucle, nous allons maintenant établir une simulation en variant le leakage tout en respectant la condition ($I_{Leak} < \frac{I_{cp}}{10}$) avec $\omega_p=25$ kHz et une marge de phase= 45° , et nous analysons sa réponse par rapport à son temps de réponse ainsi que le gain des cinq premières raies de références à une distance de 500kHz, 1MHz, 1.5MHz, 2MHz et 2.5MHz.

Rappelons que, le courant de la pompe de charge (I_{cp}) est de 5 mA. Donc, pour assurer la stabilité du système, le courant de fuite doit être inférieur à 500 μA . En se basant sur ces critères, nous

allons analyser ce paramètre de $I_{cp}/5000000$ jusqu'à $I_{cp}/10$. Les résultats sont présentés dans le tableau III.3.

Courant de fuite μA	Temps de réponse (μs)	Raies de référence (dBc) @				
		500kHz	1000kHz	1500kHz	2000kHz	2500kHz
0.001	137.46	-82	-100	-110	-117	-123
0.005	137.46	-68	-86	-96	-103	-109
0.01	137.46	-62	-80	-90	-97	-103
0.05	137.46	-48	-66	-76	-83	-89
0.1	137.77	-42	-60	-70	-77	-83
0.5	137.77	-28	-46	-56	-63	-69
1	137.77	-22	-40	-50	-57	-63
5	138.64	-8.3	-26	-36	-43	-49
10	∞	-2.3	-20	-30	-37	-43
50	∞	12	-5.6	-16	-23	-29
100	∞	18	-0.41	-10	-17	-23
500	∞	32	14	4	-3	-9.24

Tableau III.3. Réponse du temps de verrouillage et des raies de référence pour diverses valeurs du courant de fuite.

- **Interprétation du tableau**

D'après les résultats obtenus de l'analyse du courant de fuite dans le tableau, nous constatons que pour un courant de fuite d'une valeur trop élevée ($I_{Leak} = 10 \mu\text{A}$) le système génère des raies de références d'amplitude importante de l'ordre de -2.3dBc, -20dBc, -30dBc, -37dBc et -43dBc respectivement pour des excentrations de 500kHz, 1MHz, 1.5MHz, 2MHz et 2.5MHz. Pour cette valeur de courant de fuite, le temps de réponse ne peut être déterminé ce qui conduit une instabilité de boucle. Par contre, lorsque le courant de fuite est inférieur ou égale à $5 \mu\text{A}$, la réponse de la PLL devenue plus rapide, les spurs sont atténués de manière considérable jusqu'à -82dBc, -100dBc, -110dBc, -117dBc et -123dBc, obtenus pour un courant de fuite de 1nA, ce qui donne une meilleure performance du système.

Finalement, afin d'assurer un bon compromis entre la stabilité et le temps de réponse du système en tolérant une intensité importante du courant de fuite généré par la pompe de charge, nous avons décidé de réaliser notre conception en introduisant un leakage de 10nA.

III.7 Calcul du filtre

Le choix de la fréquence de référence de coupure du filtre résulte d'un compromis entre le bruit de phase du signal produit par le synthétiseur et sa pureté spectrale (niveau des raies parasites espacées de la fréquence de référence). Les valeurs des composants du filtre du 3^{ème} ordre issues de calcul pour une marge de phase de 45° et une largeur de boucle de 25 kHz sont montrées sur tableau III.4 que l'on approchera sans grand inconvénient par les valeurs normalisées.

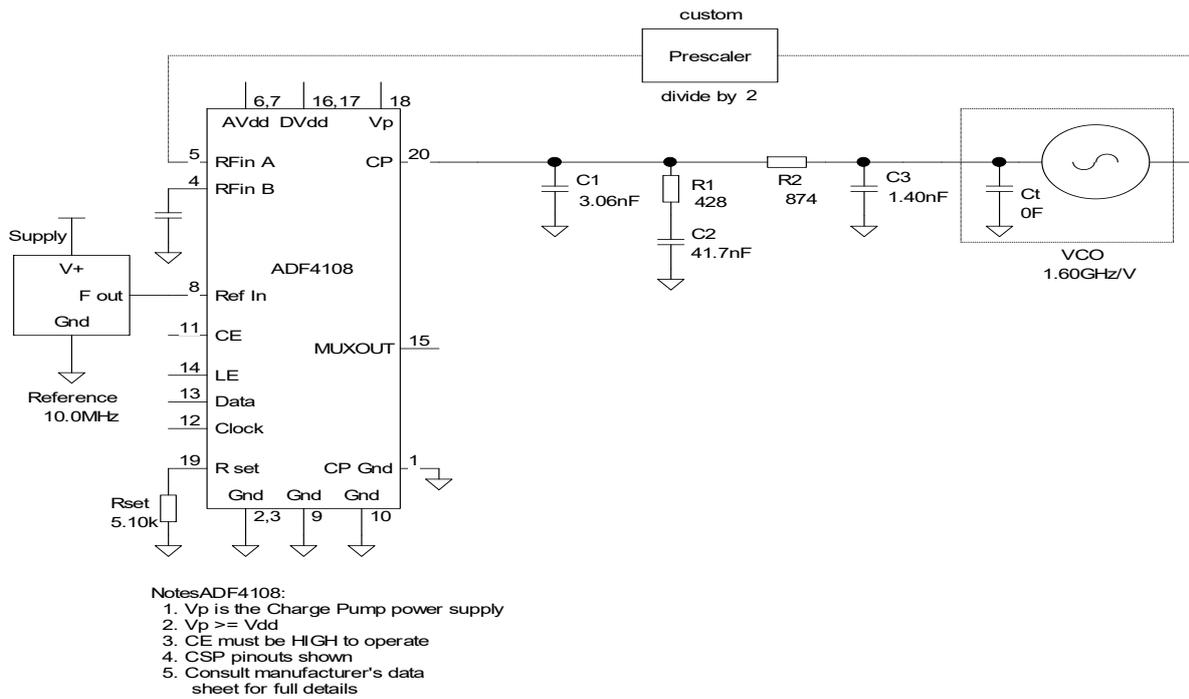


Figure III.3 Schéma du Synthétiseur de fréquences conçu pour générer la bande-X.

Capacités du filtre	Résistances du filtre
$C_1 = 3.06nF$	$R_1 = 428 \Omega$
$C_2 = 41.7nF$	$R_2 = 874 \Omega$
$C_3 = 1.4nF$	

Tableau III.4. Composants du filtre de boucle.

III.8 Les réponses fréquentielles de la boucle

En introduisant les différents paramètres que nous avons calculé auparavant, pour simuler un synthétiseur de fréquences dédiée aux systèmes en bande-X sur ADIsimPLL, on trouve les différentes réponses fréquentielles détaillées dans les paragraphes suivants.

III.8.1 Réponse de la fonction de transfert du gain en boucle ouverte

La figure III.4 représente le tracé caractérisant la fonction de transfert du gain en boucle ouverte, qui est aussi appelé ‘tracé de la marge de phase’. Comme nous pouvons le constater, il y a deux courbes en rouge et en bleu qui correspondent respectivement au gain et la phase. À partir au point où le gain égal à 0 dB, c’est-à-dire la phase est à son maximum, nous avons pu déterminer la fréquence spécifiée à bande de boucle qui est 25kHz. Si nous nous référons à la formule (II.16) nous pouvons aussi de déterminer la marge de phase qui correspond à 44.8 degrés (180°-135.02°).

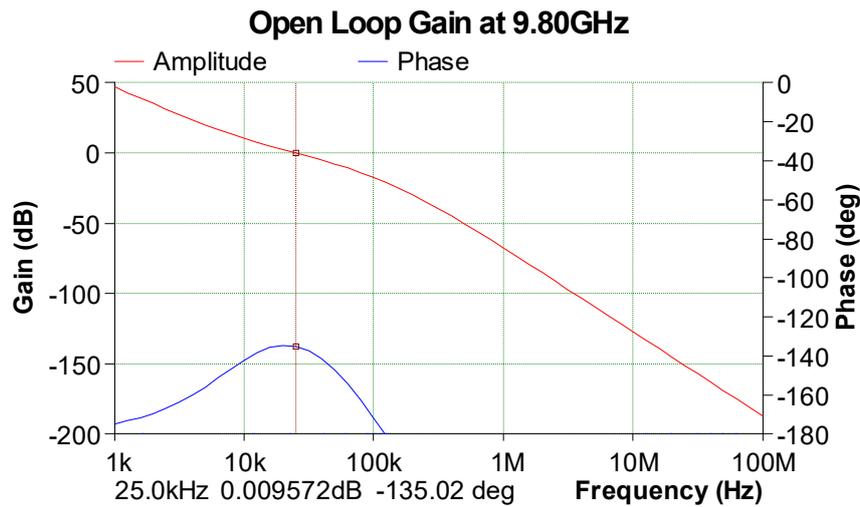


Figure III.4. Réponse de la fonction de transfert du gain en boucle ouverte.

III.8.2 Réponse de la fonction de transfert du gain en boucle fermée

La figure III.5, représente l'amplitude et la phase de la fonction de transfert en boucle fermée. Dans la largeur de bande de boucle du synthétiseur, le gain est très grand en amplitude, ce qui provoque par conséquent une augmentation du niveau du bruit de l'oscillateur de référence. Ce gain est constant jusqu'à ce qu'il atteigne la largeur de bande de la boucle (25 kHz), ensuite il chute rapidement. Cette fonction représente aussi le gain du bruit dans la bande passante limitée par une fréquence de coupure et l'atténuation de ce bruit au-dessus de cette fréquence. Le gain dans la bande passante de la boucle vient en grande partie du rapport de division N de la boucle. Toutefois, il est nécessaire de noter qu'autour de cette même fréquence (bande de boucle), un pic variant en amplitude est remarqué, il est de l'ordre de 2.31dB.

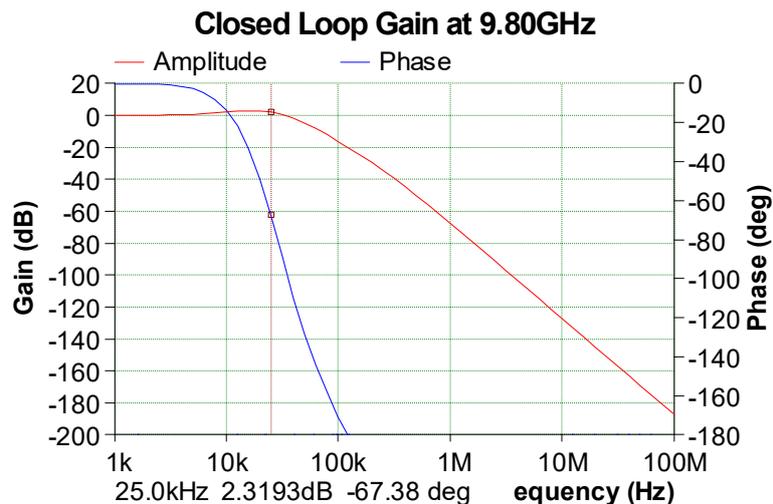


Figure III.5. Réponse de la fonction de transfert du gain en boucle fermée.

III.8.3 Analyse du bruit de phase à la sortie du synthétiseur de fréquence

La figure III.6 illustre respectivement le bruit de phase pour chaque composant (VCO, l'oscillateur de référence, chip, filtre de boucle et le bruit total). Les résultats montrent qu'à l'intérieur de la largeur de bande de boucle (1 Hz- 25 kHz), le niveau du bruit de l'oscillateur de référence est plus important du fait que le gain de la fonction de transfert en boucle fermée est élevé dans cette bande.

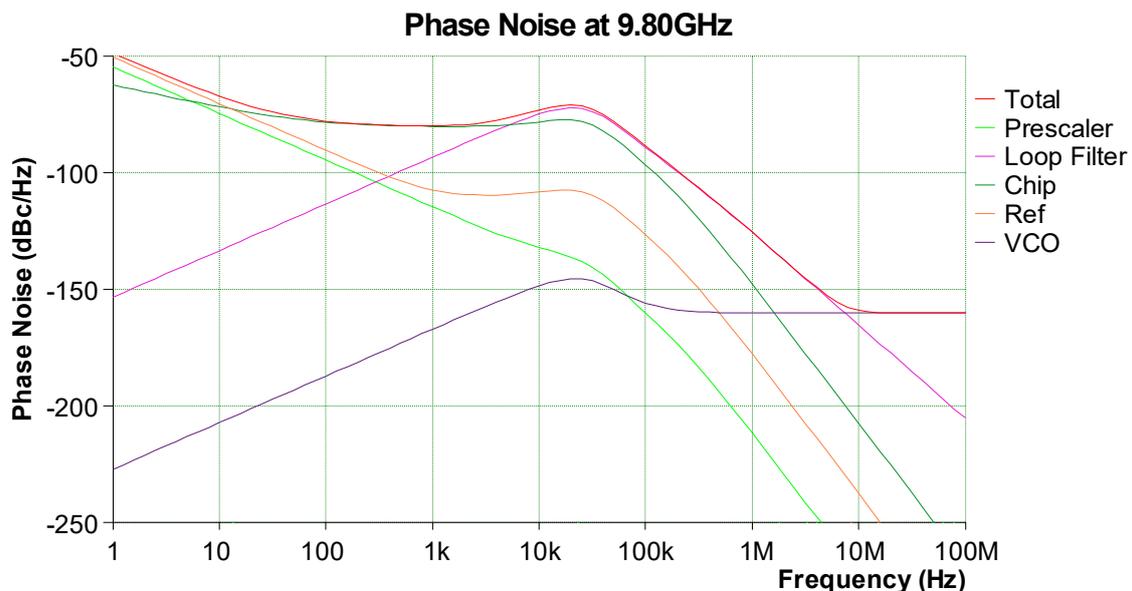


Figure III.6. Le bruit de phase de chaque composant de la PLL.

III.8.4 La réponse de l'erreur de la boucle

Dans le but de démontrer que le bruit du VCO est hautement filtré par la PLL (courbe en rouge), en provoquant la réjection du bruit de phase ou erreur de phase dans la bande de boucle, la figure III.7 expose la réponse de l'erreur de la boucle. Cette fonction est obtenue par association entre les réponses de la boucle ouverte et fermée.

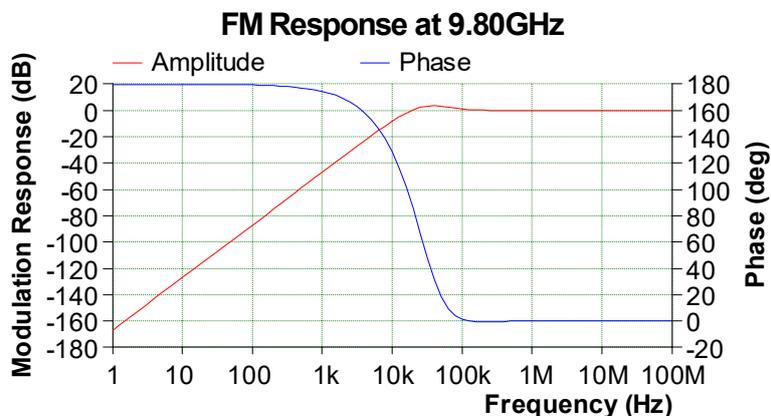


Figure III.7. Réponse d'erreur de la boucle

III.8.5 Leakage spurs (raies de référence)

La figure III.8 illustre les raies de référence générées à des multiples de la fréquence de comparaison. Le courant de fuite (leakage current) de la pompe de charge que nous avons introduit dans la simulation est de 10nA. Les résultats obtenus montrent les trois premières raies de références : -62dBc, -80dBc et -90dBc situent respectivement à des multiples de la fréquence de comparaison de 500kHz, 1 MHz et 1.5MHz. Effectivement, le niveau des raies parasites élevé est dû à la forte intensité du courant de fuite que le synthétiseur est capable d'accorder et tolérer sans qu'il y ait une dégradation importante de ses performances.

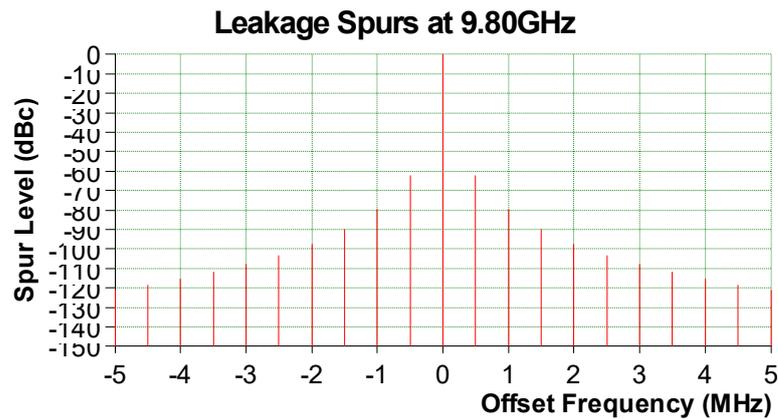


Figure III.8. Réponse des raies parasites.

III.9 Les réponses temporelles de la boucle

III.9.1 Réponse transitoire du système

La figure III.9 présente une analyse complète de la réponse temporelle de la PLL, pour commuter entre deux fréquences différentes. Ce temps est mesuré depuis le début de l'action de commutation de fréquence au temps de la nouvelle fréquence. La figure III.9 montre que le temps d'établissement pour commuter de 8 GHz à 12 GHz est de l'ordre de 137.46µs. Comme on s'y attendait, le temps de commutation trouvé est très satisfaisant pour les communications satellitaires.

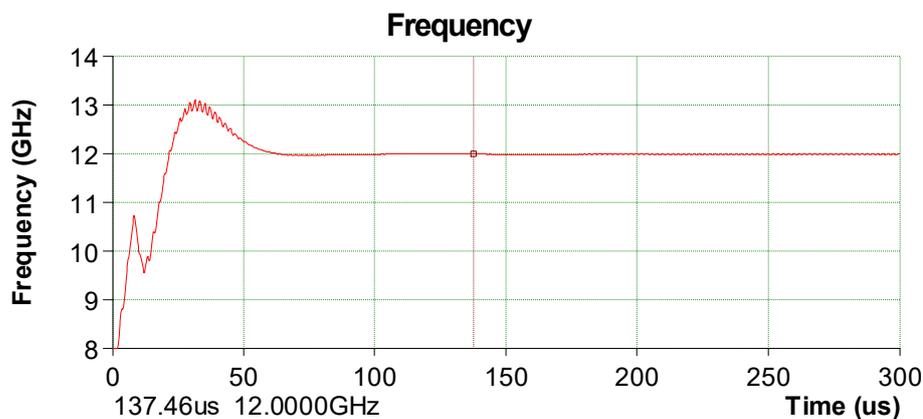


Figure III.9. Réponse temporelle de la PLL.

III.9.2 Réponse de la fréquence d'erreur du système

La figure III.10 montre l'erreur de fréquence de la PLL dans des conditions transitoires. Autrement dit, si la PLL est verrouillée à une fréquence F_1 et est commandée à l'instant ($T = 0$) pour accéder à une autre fréquence F_2 , l'erreur de fréquence $|F(t) - F_2|$ peut être ainsi déterminée à travers le graphique ci-dessous. Les résultats obtenus montrent que la fréquence d'erreur de sortie, qu'est de l'ordre de 44.183kHz à 137.46 μ s (temps de stabilisation).

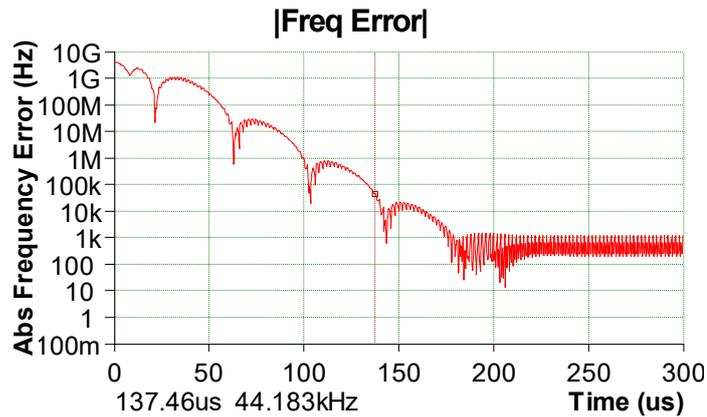


Figure III.10. L'erreur de fréquence de la PLL.

III.9.3 Réponse de la phase d'erreur du système

La figure III.11 montre l'erreur de phase à la sortie de la PLL dans des conditions transitoires. Ceci est l'erreur de phase à la sortie du VCO, et non pas le détecteur de phase. Les résultats obtenus, indiquent que la phase d'erreur du système, est d'environ de 100.74° à 137.46 μ s (temps de réponse de la boucle).

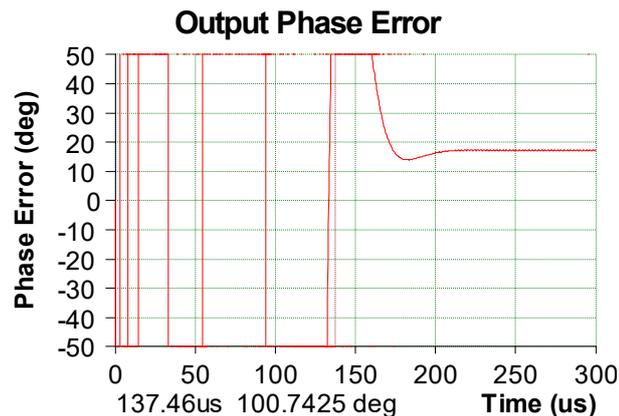


Figure III.11. L'erreur de phase à la sortie du VCO.

III.10 Conclusion

Dans ce chapitre, nous avons présenté les résultats d'une conception précise d'un synthétiseur de fréquences indirect à division entière opérant dans la bande [8-12] GHz pour les communications satellitaires. Cette étude nous a permis d'établir analytiquement la réponse en termes de bruit de phase de la PLL en fonction des différentes contributions mises en jeu.

Nous avons pris en considération l'effet de la marge de phase, la largeur de bande de boucle et le courant de fuite sur le temps de verrouillage, bruit de phase et son influence sur la pureté spectrale du signal de sortie. Le signal de sortie obtenu est d'une densité de bruit de -80 dBc à 1 MHz, un temps de verrouillage de 137.46 μ s pour un saut de fréquence de 4 GHz. Ces caractéristiques montrent bien l'importance de ce circuit dans les systèmes satellitaires.

Conclusion Générale

Les travaux de master présentés dans ce manuscrit décrivent la conception et l'optimisation des synthétiseurs hyperfréquences nécessaires pour des émetteurs-récepteurs opérants dans la bande X. Plus précisément, nous nous sommes penchés, dans ce mémoire, sur la conception d'un synthétiseur de fréquences indirect à division entière capable de traiter la bande de fréquences [8-12] GHz nécessaires pour les communications satellitaires.

La synthèse de fréquences est une fonction largement utilisée dans les émetteurs-récepteurs radios. En générale, la fonction synthèse de fréquences est réalisée à l'aide d'une boucle à verrouillage de phase. La synthèse de fréquences est une fonction clé dans les systèmes de radiocommunication dont le rôle est de fournir des signaux périodiques. Elle consiste à générer à partir d'un signal fourni par un oscillateur de référence, un signal de fréquence différente. La stabilité de fréquence de l'oscillateur de référence est alors transférée au signal synthétisé.

La contribution principale de ce travail est l'optimisation d'une très simple architecture de synthétiseur de fréquences tout en minimisant le nombre de blocs la constituant mais avec des caractéristiques d'un système à hautes performances pour les systèmes satellitaires en bande X. Cette architecture est capable de répondre aux contraintes imposées à un récepteur radiofréquence. Les performances théoriques de l'architecture conçue sont validées par des simulations au niveau système sous les environnements ADIsimPLL fourni par *Analog Devices*.

Pour notre application, nous avons analysé le synthétiseur de fréquence ADF4108 afin de comprendre son mécanisme de fonctionnement dans la bande X. Le signal de sortie obtenu a une densité de bruit de -62dBc, -80dBc et -90dBc respectivement à une excentration de 0.5 MHz, 1 MHz et 1.5 MHz de la fréquence centrale. Le temps de verrouillage obtenu après une simulation transitoire est de l'ordre de 137.46 μ s pour un saut de fréquence de 4 GHz. Ces caractéristiques montrent bien l'importance de ce circuit dans les systèmes de communications satellitaires modernes.

D'après les différentes simulations, on conclut que la marge de phase et la largeur bande de boucle influencent sur les performances de PLL (le temps de réponse, les niveaux de spurs, le bruit de phase, la stabilité du système, et le jitter). Afin de garantir des meilleures performances pour le système conçu, les valeurs optimales résultantes de la marge de phase et la largeur bande de la boucle sont respectivement 45° et 25 kHz.

Les résultats encourageants obtenus lors de ce mémoire ouvrent la voie pour d'autres projets. En guise de perspectives, les points suivants sont à envisager :

- Dans ce travail, la validation expérimentale du modèle proposé n'était pas possible en raison de la non-disponibilité des composants sur le marché national. Cependant, à l'avenir, nous aimerions tester et mettre en œuvre le système en question.
- L'étude et le développement d'autres structures de pompe de charge ayant un faible courant de fuite afin d'améliorer les performances du système.

Bibliographie

Bibliographie

- [1] M. C. J. Donald M. Jansky, Communication satellites in the geostationary orbit /., Publié : Norwood, MA : Artech House , cop. , 1987..
- [2] R.-C. Houzée., Les antennes. Tome 2, L'électronique de l'antenne les paraboles, volume 1 vol of 9782100041206., DUNOD, 2e édition edition, 1998..
- [3] A. C. Clarke, "Extra terrestrial relays : can rocket stations give world wide radio coverage ?", Wireless World,, Les Etates Unis,, 1945..
- [4] D. -J. WHALE, "NASA: Communications Satellites:Making the Global Village Possible",, <https://history.nasa.gov/satcomhistory.html>,, 30 Novembre 2010..
- [5] R.-. S. VIII, "Termes techniques relatifs à l'espace",, 1.179..
- [6] H. T. A. M. a. S. A. Y. Abe, "Frequency Resource Allocation for Satellite",, Edition 2018.
- [7] David J. Whalen, "Communications Satellites: Making the Global Village Possible",, sur NASA History Division, NASA, (consulté le 6 mars 2016),.
- [8] H. .Battrick, "Rapport Annuel 2005", Agence spatiale européenne, Noordwijk, Pays-bas, , 2006..
- [9] CNES vol.1 Généralités et contraintes de développement, op. cit., p. 416-417..
- [10] (en) Centre de recherche Ames de la NASA, "Small Spacecraft Technology" - State of the Art, NASA,, octobre 2021, 428 p..
- [11] DANIEL MINOLI, "INNOVATIONS IN SATELLITE COMMUNICATIONS AND SATELLITE TECHNOLOGY", ,Edition 1, 2015.
- [12] M. RAZANI, "Information, communication and space technology",, Edition 1,2012..
- [13] Christian Wolff, 'band-X', <https://www.radartutorial.eu/07.waves/Ondes..>
- [14] O. RINGAR, " Utilisation des techniques avancées d'Emission/Réception multi-antennes pour une transmission optique large bande",, 2015..
- [15] Jeremy LAINE et Philippe VIGNERON, Télécommunications numériques, le CDMA ,, 2000-2001.
- [16] Rainer Sandau · Hans-Peter Röser ·Arnoldo Valenzuela, Small Satellite Missions for Earth Observation,, Edition, 2010.
- [17] O. m. m. (OMM), "Guide des instruments et des méthodes d'observation Volume IV – Observations spatiales",, Édition 2018..

- [18] "Applications-des-satellites", <https://www.techno-science.net/glossaire-definition>.
- [19] S. D. e. M. L. Dorra AYADI, "Spécification d'un Récepteur Radio Fréquence Dédié au Standard IEEE 802.16", – TUNISIA, March 22-26, 2009,.
- [20] John Herivel, "*Christiaan Huygens*", Edition Apr 7, 2018.
- [21] E. V.Appleton, "*Automatic synchronization of triode oscillators, part iii.*", Dans Proc.Cambridge Phil. Soc., tome 21, pp. 231–248. 1922.
- [22] P. M. B.van der Pol, "*Forced oscillators in a circuit with non-linear resistance. (reception with reactive triode)*", tome 3, pp. 64–80, 1927..
- [23] H. B. Electr., "*La réception synchrone.*", , tome 11, pp. 230–240, June 1932.
- [24] Dominique.Paret, "*Electronique appliquée aux hautes fréquences*", 2e édition,, 2008.
- [25] B. RAZAVI, "Challenges in Portable RF Transceiver Design", IEEE Circuits and Devices Magazine, vol 12, pp. 12-25, September 1996..
- [26] Y.-B. K. Y.-J. L. K.-K. Kim, "Phase-locked loop with leakage and power/ground noise compensation in 32 nm technology", , JSTS 7 (2007).
- [27] Vincent Lagareste, "CONTRIBUTION A L'ÉTUDE DE NOUVELLES",, 12 octobre 2006 .
- [28] M. SIÉ, "Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm ", Thèse de doctorat, Université Paul Sabatier de Toulouse,, 2004..
- [29] M. Girard, "Boucles `a Verrouillage de phase ",. McGraw-Hill, 1988..
- [30] R. E.Best, "Phase-Locked Loops ",. McGraw-Hill Book Company, 1976..
- [31] M. T. technologies, "*Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz*".
- [32] Samir.Kameche, "Modélisation des synthétiseurs de fréquences pour les systèmes de télécommunications mobiles ",, Thèse de doctorat, Université de Tlemcen, 2012..
- [33] B. DEAN, PLL Performance, Simulation, and Design. 2017..
- [34] S. K. a. E. B. Z. Berber, " High Tolerance of Charge Pump Leakage Current in Integer-N PLL Frequency Synthesizer for 5G Networks", Simulation Modelling Practice and Theory,, pp. 134-147, Vol 95, September 2019..
- [35] A. 4. software., 2017..
- [36] Louis-François Tanguay, "Synthétiseur de fréquences RF desiné aux dispositifs médicaux implantables",, Edition, 2010..
- [37] V. Cheynet de Beaupré, "Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK pour les Systèmes de Radiocommunication", Thèse de Doctorat, Université d'Aix Marseille 1, 15 Jun 2009.
- [38] William O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design

- Technique for Charge-pump PLL's", National Semiconductor Application Note, AN-1001, July 2001..
- [39] Samir Kameche and M. Feham, "Accurate Optimization of PLL Frequency Synthesizer Performances for Mobile Communications ", Microwave & RF, Vol.51, No.4, PP. 54-60,, USA, April 2012.
- [40] M. F. a. M. K. Samir Kameche, "PLL Synthesizer Tunes DCS1800 Band", Microwave & RF, Vol. 46, No.6, pp. 84-90, June 2007, USA..
- [41] Mücahit Kozak and Eby G. Friedman, "Design and Simulation of Fractional-N PLL Frequency Synthesizers", ISCAS 2004, Vol. IV, pp. 780-783..
- [42] H. MAHMOUDI, WiMAX, la large bande sans fil abordable," Décision Informatique n°594", <http://www.01net.com/Pdf/DIN200405240594025.pdf>, Mai 2004..
- [43] .. L. Lascari, "Accurate Phase Noise Prediction in PLL Synthesizers", Applied Microwave and Wireless, Vol. 12, No. 2, pp. 30-38, 2000.
- [44] Jeff Black, "Design of Wideband Frequency synthesizer", RF Design, May 1988..
- [45] M. F. a. M. K. Samir Kameche, "Simulating and Designing a PLL Frequency Synthesizer for GSM Communications", High Frequency Electronics, Vol. 7, No.12, pp. 36-41, December 2008..
- [46] Kyoohyun Lim and al, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization", IEEE Journal of Solid-State Circuits, Vol. 35, No. 6, June 2000, pp. 807-815..
- [47] National Semiconductor, "LMX2306/LMX2316/LMK2326 PLLatinum™ low Power Frequency Synthesizer for RF Personal Communications", March 2004..
- [48] ADIsimPLL request for software, https://form.analog.com/form_pages/rfcomms/adisimpll.aspx., 2017..
- [49] Analog Devices, "PLL Frequency Synthesizer", Data Sheet ADF4108, www.analog.com.

Annexe

FEATURES

- 8.0 GHz bandwidth
- 3.2 V to 3.6 V power supply
- Separate charge pump supply (V_P) allows extended tuning voltage in 3.3 V systems
- Programmable, dual modulus prescaler 8/9, 16/17, 32/33, or 64/65
- Programmable charge pump currents
- Programmable antibacklash pulse width
- 3-wire serial interface
- Analog and digital lock detect
- Hardware and software power-down mode
- Loop filter design possible with ADIsimPLL

APPLICATIONS

- Broadband wireless access
- Satellite systems
- Instrumentation
- Wireless LANs
- Base stations for wireless radio

GENERAL DESCRIPTION

The ADF4108 frequency synthesizer can be used to implement local oscillators in the up-conversion and down-conversion sections of wireless receivers and transmitters. It consists of a low noise digital PFD (phase frequency detector), a precision charge pump, a programmable reference divider, programmable A and B counters, and a dual-modulus prescaler ($P/P + 1$). The A (6-bit) and B (13-bit) counters, in conjunction with the dual-modulus prescaler ($P/P + 1$), implement an N divider ($N = BP + A$). In addition, the 14-bit reference counter (R counter), allows selectable REF_{IN} frequencies at the PFD input. A complete phase-locked loop (PLL) can be implemented if the synthesizer is used with an external loop filter and voltage controlled oscillator (VCO). Its very high bandwidth means that frequency doublers can be eliminated in many high frequency systems, simplifying system architecture and reducing cost.

FUNCTIONAL BLOCK DIAGRAM

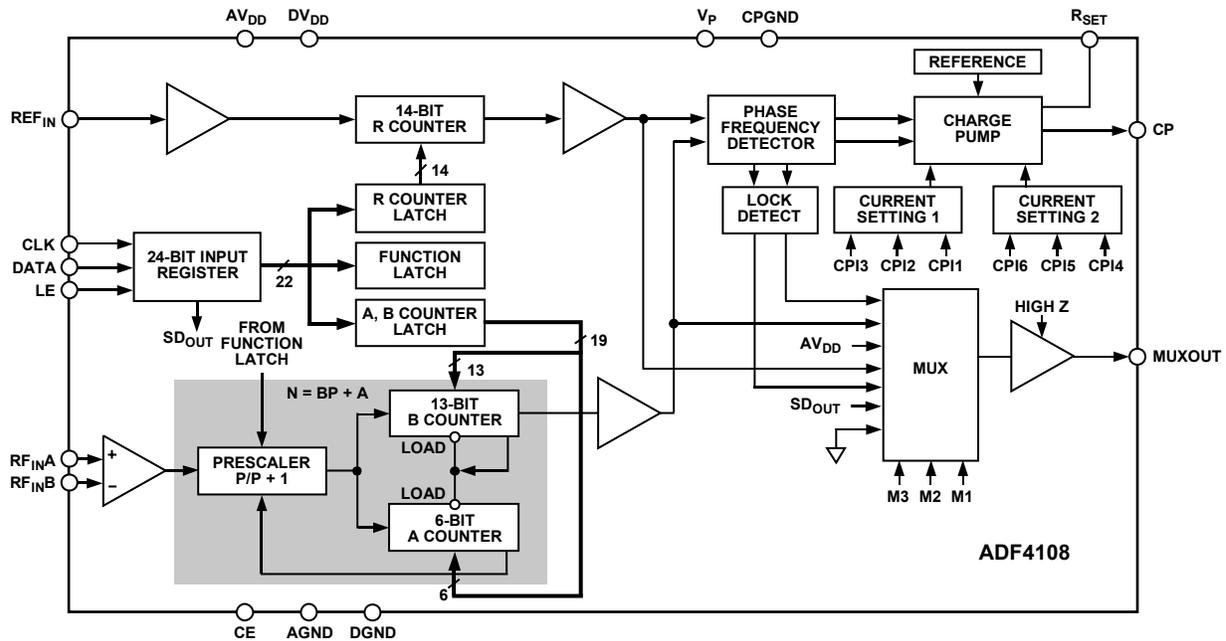


Figure 1.

0815-001

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

TABLE OF CONTENTS

Features	1	Phase Frequency Detector and Charge Pump.....	9
Applications.....	1	MUXOUT and Lock Detect.....	10
General Description	1	Input Shift Register	10
Functional Block Diagram	1	Latch Summary.....	11
Revision History	2	Reference Counter Latch Map.....	12
Specifications.....	3	AB Counter Latch Map	13
Timing Characteristics.....	5	Function Latch Map.....	14
Absolute Maximum Rating	6	Initialization Latch Map	15
ESD Caution.....	6	Function Latch.....	16
Pin Configuration and Function Descriptions.....	7	Initialization Latch	17
Typical Performance Characteristics	8	Power Supply Considerations.....	17
Theory of Operation	9	Interfacing	18
Reference Input Stage.....	9	ADuC812 Interface	18
RF Input Stage.....	9	ADSP-2181 Interface	18
Prescaler (P/P + 1).....	9	PCB Design Guidelines for Chip Scale Package.....	19
A and B Counters	9	Outline Dimensions	20
R Counter	9	Ordering Guide	20

REVISION HISTORY**4/06—Revision 0: Initial Version**

SPECIFICATIONS

$AV_{DD} = DV_{DD} = 3.3 \text{ V} \pm 2\%$, $AV_{DD} \leq V_P \leq 5.5 \text{ V}$, $AGND = DGND = CPGND = 0 \text{ V}$, $R_{SET} = 5.1 \text{ k}\Omega$, dBm referred to 50Ω , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 1.

Parameter	B Version ¹	B Chips ² (Typ)	Unit	Test Conditions/Comments
RF CHARACTERISTICS				
RF Input Frequency (RF_{IN})	1.0/8.0	1.0/8.0	GHz min/max	See Figure 12 for input circuit
RF Input Sensitivity	-5/+5	-5/+5	dBm min/max	For lower frequencies ensure slew rate (SR) > 320 V/ μ s
Maximum Allowable Prescaler Output Frequency ³	300	300	MHz max	P = 8
	325	325	MHz max	P = 16
REF_{IN} CHARACTERISTICS				
REF _{IN} Input Frequency	20/250	20/250	MHz min/max	For f < 20 MHz, ensure SR > 50 V/ μ s
REF _{IN} Input Sensitivity ⁴	0.8/ V_{DD}	0.8/ V_{DD}	V p-p min/max	Biased at $AV_{DD}/2$ ⁵
REF _{IN} Input Capacitance	10	10	pF max	
REF _{IN} Input Current	± 100	± 100	μ A max	
PHASE DETECTOR				
Phase Detector Frequency ⁶	104	104	MHz max	
CHARGE PUMP				
I_{CP} Sink/Source				Programmable; see Figure 19
High Value	5	5	mA typ	With $R_{SET} = 5.1 \text{ k}\Omega$
Low Value	625	625	μ A typ	
Absolute Accuracy	2.5	2.5	% typ	With $R_{SET} = 5.1 \text{ k}\Omega$
R_{SET} Range	3.0/11	3.0/11	k Ω typ	See Figure 19
I_{CP} Three-State Leakage	1	1	nA typ	1 nA typical; $T_A = 25^\circ\text{C}$
Sink and Source Current Matching	2	2	% typ	$0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$
I_{CP} vs. V_{CP}	1.5	1.5	% typ	$0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$
I_{CP} vs. Temperature	2	2	% typ	$V_{CP} = V_P/2$
LOGIC INPUTS				
V_{IH} , Input High Voltage	1.4	1.4	V min	
V_{IL} , Input Low Voltage	0.6	0.6	V max	
I_{INH} , I_{INL} , Input Current	± 1	± 1	μ A max	
C_{IN} , Input Capacitance	10	10	pF max	
LOGIC OUTPUTS				
V_{OH} , Output High Voltage	1.4	1.4	V min	Open-drain output chosen; 1 k Ω pull-up resistor to 1.8 V
V_{OH} , Output High Voltage	$V_{DD} - 0.4$	$V_{DD} - 0.4$	V min	CMOS output chosen
I_{OH}	100	100	μ A max	
V_{OL} , Output Low Voltage	0.4	0.4	V max	$I_{OL} = 500 \mu\text{A}$
POWER SUPPLIES				
AV_{DD}	3.2/3.6	3.2/3.6	V min/V max	
DV_{DD}	AV_{DD}	AV_{DD}		
V_P	$AV_{DD}/5.5$	$AV_{DD}/5.5$	V min/V max	$AV_{DD} \leq V_P \leq 5.5 \text{ V}$
I_{DD} ($AI_{DD} + DI_{DD}$) ⁷	17	17	mA max	15 mA typ
I_P	0.4	0.4	mA max	$T_A = 25^\circ\text{C}$
Power-Down Mode ($AI_{DD} + DI_{DD}$) ⁸	10	10	μ A typ	

ADF4108

Parameter	B Version ¹	B Chips ² (Typ)	Unit	Test Conditions/Comments
NOISE CHARACTERISTICS				
Normalized Phase Noise Floor ⁹	-219	-219	dBc/Hz typ	@ VCO output
Phase Noise Performance ¹⁰ 7900 MHz Output ¹¹	-81	-81	dBc/Hz typ	@ 1 kHz offset and 1 MHz PFD frequency
Spurious Signals 7900 MHz Output ¹¹	-61	-61	dBc typ	@ 1 MHz offset and 1 MHz PFD frequency

¹ Operating temperature range (B version) is -40°C to +85°C.

² The B chip specifications are given as typical values.

³ This is the maximum operating frequency of the CMOS counters. The prescaler value should be chosen to ensure that the RF input is divided down to a frequency that is less than this value.

⁴ $AV_{DD} = DV_{DD} = 3.3\text{ V}$.

⁵ AC coupling ensures $AV_{DD}/2$ bias.

⁶ Guaranteed by design. Sample tested to ensure compliance.

⁷ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = 3.3\text{ V}$; $P = 32$; $RF_{IN} = 8\text{ GHz}$; $f_{PFD} = 200\text{ kHz}$; $REF_{IN} = 10\text{ MHz}$.

⁸ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = 3.3\text{ V}$; $R = 16,383$; $A = 63$; $B = 891$; $P = 32$; $RF_{IN} = 7.0\text{ GHz}$.

⁹ This value can be used to calculate phase noise for any application. Use the formula $-219 + 10 \log(f_{PFD}) + 20 \log N$ to calculate in-band phase noise performance as seen at the VCO output. The value given is the lowest noise mode.

¹⁰ The phase noise is measured with the EVAL-ADF4108EB1 evaluation board, with the Hittite HMC506LP4 VCO. The spectrum analyzer provides the REF_{IN} for the synthesizer ($f_{REFOUT} = 10\text{ MHz}$ @ 0 dBm).

¹¹ $f_{REFIN} = 10\text{ MHz}$; $f_{PFD} = 1\text{ MHz}$; $f_{RF} = 7900\text{ MHz}$; $N = 7900$; loop B/W = 50 kHz, VCO = HMC506LP4, spurs are dominated by the leakage current on the tuning port of the HMC506LP4 VCO.

TIMING CHARACTERISTICS

$AV_{DD} = DV_{DD} = 3.3\text{ V} \pm 2\%$, $AV_{DD} \leq V_P \leq 5.5\text{ V}$, $AGND = DGND = CPGND = 0\text{ V}$, $R_{SET} = 5.1\text{ k}\Omega$, dBm referred to $50\ \Omega$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 2.

Parameter ¹	Limit ² (B Version)	Unit	Test Conditions/Comments
t ₁	10	ns min	DATA to CLOCK setup time
t ₂	10	ns min	DATA to CLOCK hold time
t ₃	25	ns min	CLOCK high duration
t ₄	25	ns min	CLOCK low duration
t ₅	10	ns min	CLOCK to LE setup time
t ₆	20	ns min	LE pulse width

¹ Guaranteed by design but not production tested.

² Operating temperature range (B Version) is -40°C to $+85^\circ\text{C}$.

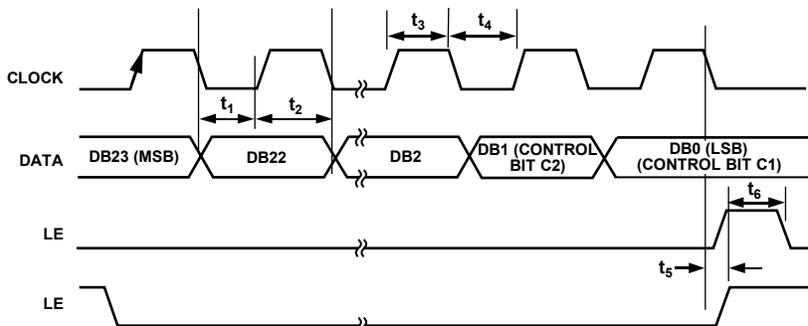


Figure 2. Timing Diagram

06015-002

ABSOLUTE MAXIMUM RATING

T_A = 25°C, unless otherwise noted.

Table 3.

Parameter	Rating
AV _{DD} to GND ¹	–0.3 V to +3.9 V
AV _{DD} to DV _{DD}	–0.3 V to +0.3 V
V _P to GND	–0.3 V to +5.8 V
V _P to AV _{DD}	–0.3 V to +5.8 V
Digital I/O Voltage to GND	–0.3 V to V _{DD} + 0.3 V
Analog I/O Voltage to GND	–0.3 V to V _P + 0.3 V
REFIN, RF _{IN} A, RF _{IN} B to GND	–0.3 V to V _{DD} + 0.3 V
Operating Temperature Range	
Industrial (B Version)	–40°C to +85°C
Storage Temperature Range	–65°C to +125°C
Maximum Junction Temperature	150°C
TSSOP θ _{JA} Thermal Impedance	112°C/W
CSP θ _{JA} Thermal Impedance (Paddle Soldered)	30.4°C/W
Reflow Soldering	
Peak Temperature (60 sec)	260
Time at Peak Temperature	40 sec
Transistor Count	
CMOS	6425
Bipolar	303

¹ GND = AGND = DGND = 0 V.

ESD CAUTION

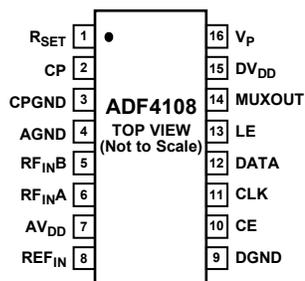
ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although this product features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

This device is a high performance RF integrated circuit with an ESD rating of <2 kV, and it is ESD sensitive. Proper precautions should be taken for handling and assembly.



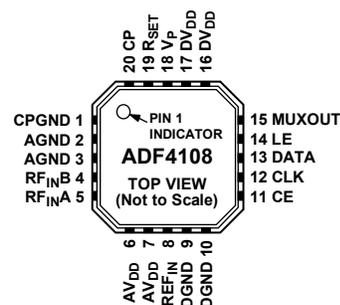
PIN CONFIGURATION AND FUNCTION DESCRIPTIONS



NOTE: TRANSISTOR COUNT 6425 (CMOS), 303 (BIPOLAR).

06015-030

Figure 3. TSSOP Pin Configuration for TSSOP



06015-003

Figure 4. LFCSP_VQ Pin Configuration

Table 4. Pin Function Descriptions

Pin No.		Mnemonic	Description
TSSOP	LFCSP_VQ		
1	19	R _{SET}	Connecting a resistor between this pin and CPGND sets the maximum charge pump output current. The nominal voltage potential at the R _{SET} pin is 0.66 V. The relationship between I _{CP} and R _{SET} is $I_{CP\ MAX} = \frac{25.5}{R_{SET}}$ with R _{SET} = 5.1 kΩ, I _{CP MAX} = 5 mA.
2	20	CP	Charge Pump Output. When enabled, this pin provides ±I _{CP} to the external loop filter, which in turn drives the external VCO.
3	1	CPGND	Charge Pump Ground. This is the ground return path for the charge pump.
4	2, 3	AGND	Analog Ground. This is the ground return path of the prescaler.
5	4	RF _{INB}	Complementary Input to the RF Prescaler. This point must be decoupled to the ground plane with a small bypass capacitor, typically 100 pF. See Figure 12.
6	5	RF _{INA}	Input to the RF Prescaler. This small signal input is ac-coupled to the external VCO.
7	6, 7	AV _{DD}	Analog Power Supply. This voltage may range from 3.2 V to 3.6 V. Decoupling capacitors to the analog ground plane should be placed as close as possible to this pin. AV _{DD} must be the same value as DV _{DD} .
8	8	REF _{IN}	Reference Input. This is a CMOS input with a nominal threshold of V _{DD} /2 and a dc equivalent input resistance of 100 kΩ. See Figure 11. This input can be driven from a TTL or CMOS crystal oscillator or it can be ac-coupled.
9	9, 10	DGND	Digital Ground.
10	11	CE	Chip Enable. A logic low on this pin powers down the device and puts the charge pump output into three-state mode. Taking the pin high will power up the device, depending on the status of the power-down bit, F2.
11	12	CLK	Serial Clock Input. This serial clock is used to clock in the serial data to the registers. The data is latched into the 24-bit shift register on the CLK rising edge. This input is a high impedance CMOS input.
12	13	DATA	Serial Data Input. The serial data is loaded MSB first with the 2 LSBs being the control bits. This input is a high impedance CMOS input.
13	14	LE	Load Enable, CMOS Input. When LE goes high, the data stored in the shift registers is loaded into one of the four latches, the latch being selected using the control bits.
14	15	MUXOUT	This multiplexer output allows either the lock detect, the scaled RF, or the scaled reference frequency to be accessed externally.
15	16, 17	DV _{DD}	Digital Power Supply. This may range from 3.2 V to 3.6 V. Decoupling capacitors to the digital ground plane should be placed as close as possible to this pin. DV _{DD} must be the same value as AV _{DD} .
16	18	V _P	Charge Pump Power Supply. This voltage should be greater than or equal to V _{DD} . In systems where V _{DD} is 3.3 V, it can be set to 5 V and used to drive a VCO with a tuning range of up to 5 V.

TYPICAL PERFORMANCE CHARACTERISTICS

FREQ UNIT: GHz		KEYWORD: R			
PARAM TYPE: s					
DATA FORMAT: MA					
Freq	MAGS11	ANGS11	Freq	MAGS11	ANGS11
0.50000	0.89148	-17.2620	4.30000	0.45555	-159.800
0.60000	0.88133	-20.6919	4.40000	0.46108	-164.916
0.70000	0.87152	-24.5386	4.50000	0.45325	-168.482
0.80000	0.85855	-27.3228	4.60000	0.43054	-173.462
0.90000	0.84911	-31.0638	4.70000	0.45200	-176.637
1.00000	0.83512	-34.8623	4.80000	0.45043	-178.824
1.10000	0.82374	-38.5574	4.90000	0.45282	-174.347
1.20000	0.80871	-41.9093	5.00000	0.44287	-170.237
1.30000	0.79176	-45.6990	5.10000	0.44909	-166.617
1.40000	0.77205	-49.4185	5.20000	0.44294	-162.786
1.50000	0.75696	-52.9898	5.30000	0.44558	-158.756
1.60000	0.74234	-56.2923	5.40000	0.45417	-153.195
1.70000	0.72239	-60.2584	5.50000	0.46038	-147.721
1.80000	0.69919	-63.1446	5.60000	0.47128	-139.750
1.90000	0.67288	-65.6464	5.70000	0.47439	-132.657
2.00000	0.65227	-68.0742	5.80000	0.48604	-125.762
2.10000	0.64758	-71.3530	5.90000	0.50637	-121.110
2.20000	0.62454	-75.5658	6.00000	0.52172	-115.400
2.30000	0.59486	-79.6404	6.10000	0.53342	-107.705
2.40000	0.55532	-82.8246	6.20000	0.53716	-101.572
2.50000	0.52256	-85.2795	6.30000	0.55804	-97.5379
2.60000	0.48754	-85.6298	6.40000	0.56362	-93.0936
2.70000	0.45411	-86.1654	6.50000	0.58365	-89.2227
2.80000	0.45776	-86.4997	6.60000	0.59248	-86.3300
2.90000	0.44859	-88.8080	6.70000	0.61066	-83.0956
3.00000	0.44588	-91.3737	6.80000	0.61930	-80.8843
3.10000	0.43810	-95.4087	6.90000	0.61633	-78.0872
3.20000	0.43269	-99.1282	7.00000	0.61673	-75.3727
3.30000	0.42777	-102.7448	7.10000	0.60597	-73.3456
3.40000	0.42859	-107.167	7.20000	0.58376	-73.5883
3.50000	0.43365	-111.863	7.30000	0.57673	-74.1975
3.60000	0.43849	-117.648	7.40000	0.59157	-76.2136
3.70000	0.44475	-123.856	7.50000	0.60040	-77.1545
3.80000	0.44800	-130.399	7.60000	0.61332	-76.1422
3.90000	0.45223	-136.744	7.70000	0.62927	-74.3359
4.00000	0.45555	-142.766	7.80000	0.63938	-74.0546
4.10000	0.45313	-149.269	7.90000	0.65320	-72.0061
4.20000	0.45622	-154.654	8.00000	0.65804	-69.9926

Figure 5. S Parameter Data for the RF Input

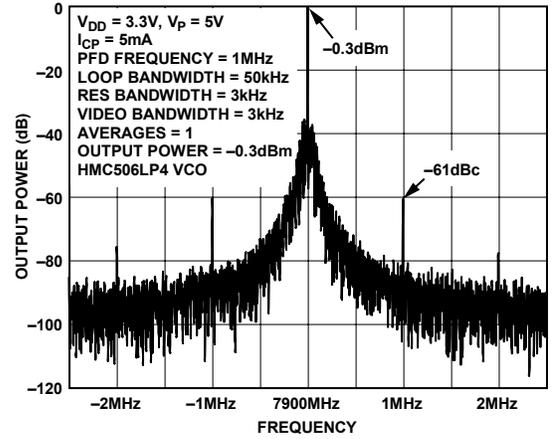


Figure 8. Reference Spurs at 7.9 GHz
Note: The spurs are dominated by the leakage current of the tuning port on the HMC506LP4 VCO. The leakage current was measured to be 27 nA.

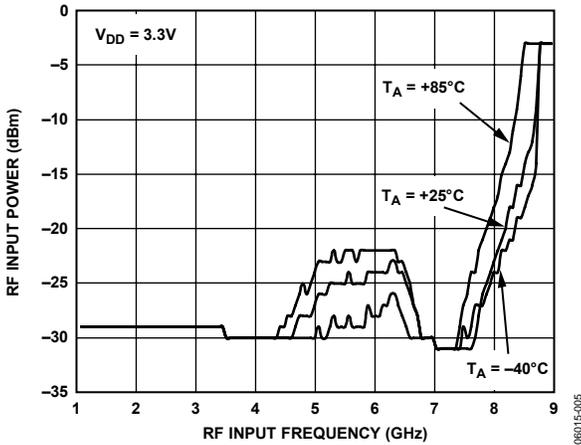


Figure 6. RF Input Sensitivity

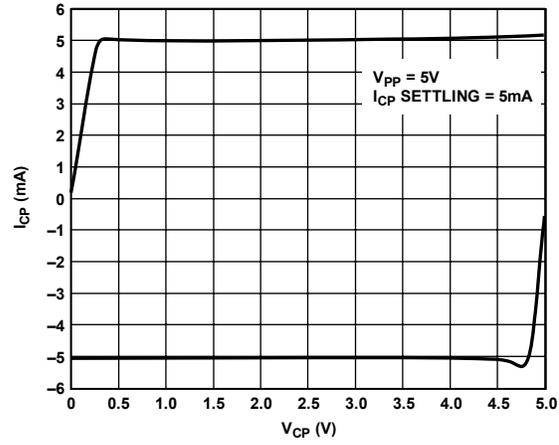


Figure 9. Charge Pump Output Characteristics

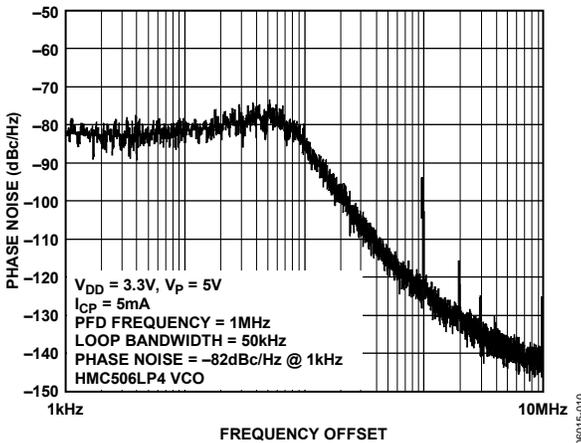


Figure 7. Phase Noise at 7.9 GHz Phase Noise

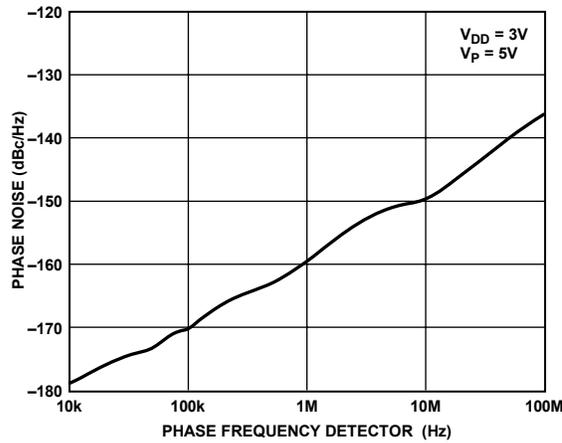


Figure 10. Phase Noise (Referred to CP Output) vs. PFD Frequency

THEORY OF OPERATION

REFERENCE INPUT STAGE

The reference input stage is shown in Figure 11. SW1 and SW2 are normally closed switches. SW3 is normally open. When power-down is initiated, SW3 is closed and SW1 and SW2 are opened. This ensures that there is no loading of the REF_{IN} pin on power-down.

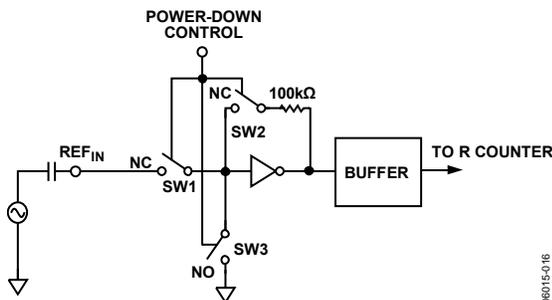


Figure 11. Reference Input Stage

RF INPUT STAGE

The RF input stage is shown in Figure 12. It is followed by a 2-stage limiting amplifier to generate the CML clock levels needed for the prescaler.

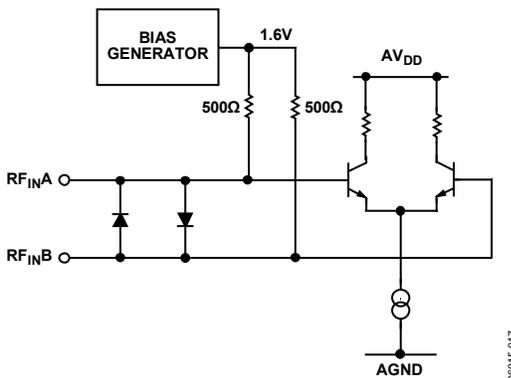


Figure 12. RF Input Stage

PRESCALER (P/P + 1)

The dual-modulus prescaler (P/P + 1), along with the A and B counters, enables the large division ratio, N, to be realized (N = BP + A). The dual-modulus prescaler, operating at CML levels, takes the clock from the RF input stage and divides it down to a manageable frequency for the CMOS A and B counters. The prescaler is programmable. It can be set in software to 8/9, 16/17, 32/33, or 64/65. It is based on a synchronous 4/5 core. A minimum divide ratio is possible for contiguous output frequencies. This minimum is determined by P, the prescaler value, and is given by: (P² - P).

A AND B COUNTERS

The A and B CMOS counters combine with the dual-modulus prescaler to allow a wide ranging division ratio in the PLL

feedback counter. The counters are specified to work when the prescaler output is 300 MHz or less. Thus, with an RF input frequency of 4.0 GHz, a prescaler value of 16/17 is valid but a value of 8/9 is not valid.

Pulse Swallow Function

The A and B counters, in conjunction with the dual-modulus prescaler, make it possible to generate output frequencies that are spaced only by the reference frequency divided by R. The equation for the VCO frequency is as follows:

$$f_{VCO} = [(P \times B) + A] \times \frac{f_{REFIN}}{R}$$

where:

f_{VCO} is the output frequency of external voltage controlled oscillator (VCO).

P is the preset modulus of dual-modulus prescaler (8/9, 16/17, and so on.).

B is the preset divide ratio of binary 13-bit counter (3 to 8191). A is the preset divide ratio of binary 6-bit swallow counter (0 to 63).

f_{REFIN} is the external reference frequency oscillator.

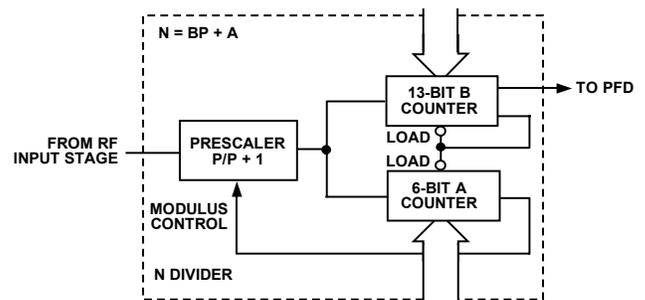


Figure 13. A and B Counters

R COUNTER

The 14-bit R counter allows the input reference frequency to be divided down to produce the reference clock to the phase frequency detector (PFD). Division ratios from 1 to 16,383 are allowed.

PHASE FREQUENCY DETECTOR AND CHARGE PUMP

The phase frequency detector (PFD) takes inputs from the R counter and N counter (N = BP + A) and produces an output proportional to the phase and frequency difference between them. Figure 14 is a simplified schematic. The PFD includes a programmable delay element that controls the width of the antibacklash pulse. This pulse ensures that there is no dead zone in the PFD transfer function and minimizes phase noise and reference spurs. Two bits in the reference counter latch, ABP2 and ABP1, control the width of the pulse. (See Figure 17.)

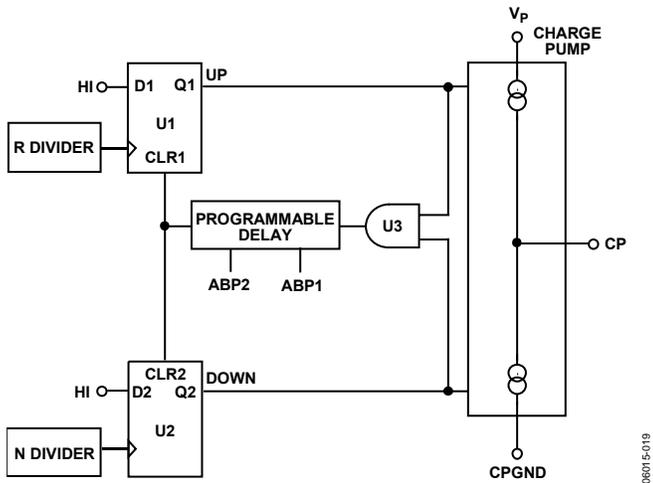


Figure 14. PFD Simplified Schematic and Timing (in Lock)

MUXOUT AND LOCK DETECT

The output multiplexer on the ADF4108 allows the user to access various internal points on the chip. The state of MUXOUT is controlled by M3, M2, and M1 in the function latch. Figure 19 shows the full truth table. Figure 15 shows the MUXOUT section in block diagram form.

Lock Detect

MUXOUT can be programmed for two types of lock detect: digital lock detect and analog lock detect.

Digital lock detect is active high. When the lock detect precision (LDP) bit in the R counter latch is set to 0, digital lock detect is set high when the phase error on three consecutive phase detector (PD) cycles is less than 15 ns. With LDP set to 1, five consecutive cycles of less than 15 ns are required to set the lock detect. It will stay set high until a phase error of greater than 25 ns is detected on any subsequent PD cycle.

The N-channel open-drain analog lock detect should be operated with an external pull-up resistor of 10 kΩ nominal. When lock has been detected, this output will be high with narrow, low-going pulses.

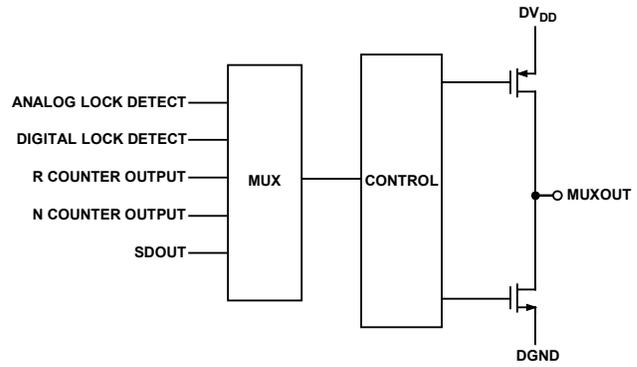


Figure 15. MUXOUT Circuit

INPUT SHIFT REGISTER

The ADF4108 digital section includes a 24-bit input shift register, a 14-bit R counter, and a 19-bit N counter, comprising a 6-bit A counter and a 13-bit B counter. Data is clocked into the 24-bit shift register on each rising edge of CLK. The data is clocked in MSB first. Data is transferred from the shift register to one of four latches on the rising edge of LE. The destination latch is determined by the state of the two control bits (C2, C1) in the shift register. These are the 2 LSBs, DB1 and DB0, as shown in the timing diagram of Figure 2. The truth table for these bits is shown in Table 5.

Figure 16 shows a summary of how the latches are programmed.

Table 5. C2 and C1 Truth Table

Control Bits		Data Latch
C2	C1	
0	0	R counter
0	1	N counter (A and B)
1	0	Function latch (Including prescaler)
1	1	Initialization latch

LATCH SUMMARY

REFERENCE COUNTER LATCH

RESERVED			LOCK DETECT PRECISION	TEST MODE BITS			ANTI- BACKLASH WIDTH		14-BIT REFERENCE COUNTER												CONTROL BITS		
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	0	0	LDP	T2	T1	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

N COUNTER LATCH

RESERVED			CP GAIN	13-BIT B COUNTER												6-BIT A COUNTER						CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	X	G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A6	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

FUNCTION LATCH

PRESCALER VALUE		POWER- DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE- STATE	PD POLARITY	MUXOUT CONTROL			POWER- DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22		DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12					DB11	DB10	DB9			DB8	DB7
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)

INITIALIZATION LATCH

PRESCALER VALUE		POWER- DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE- STATE	PD POLARITY	MUXOUT CONTROL			POWER- DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22		DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12					DB11	DB10	DB9			DB8	DB7
P2	P1	PD2	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (1)

Figure 16. Latch Summary

08015-021

REFERENCE COUNTER LATCH MAP

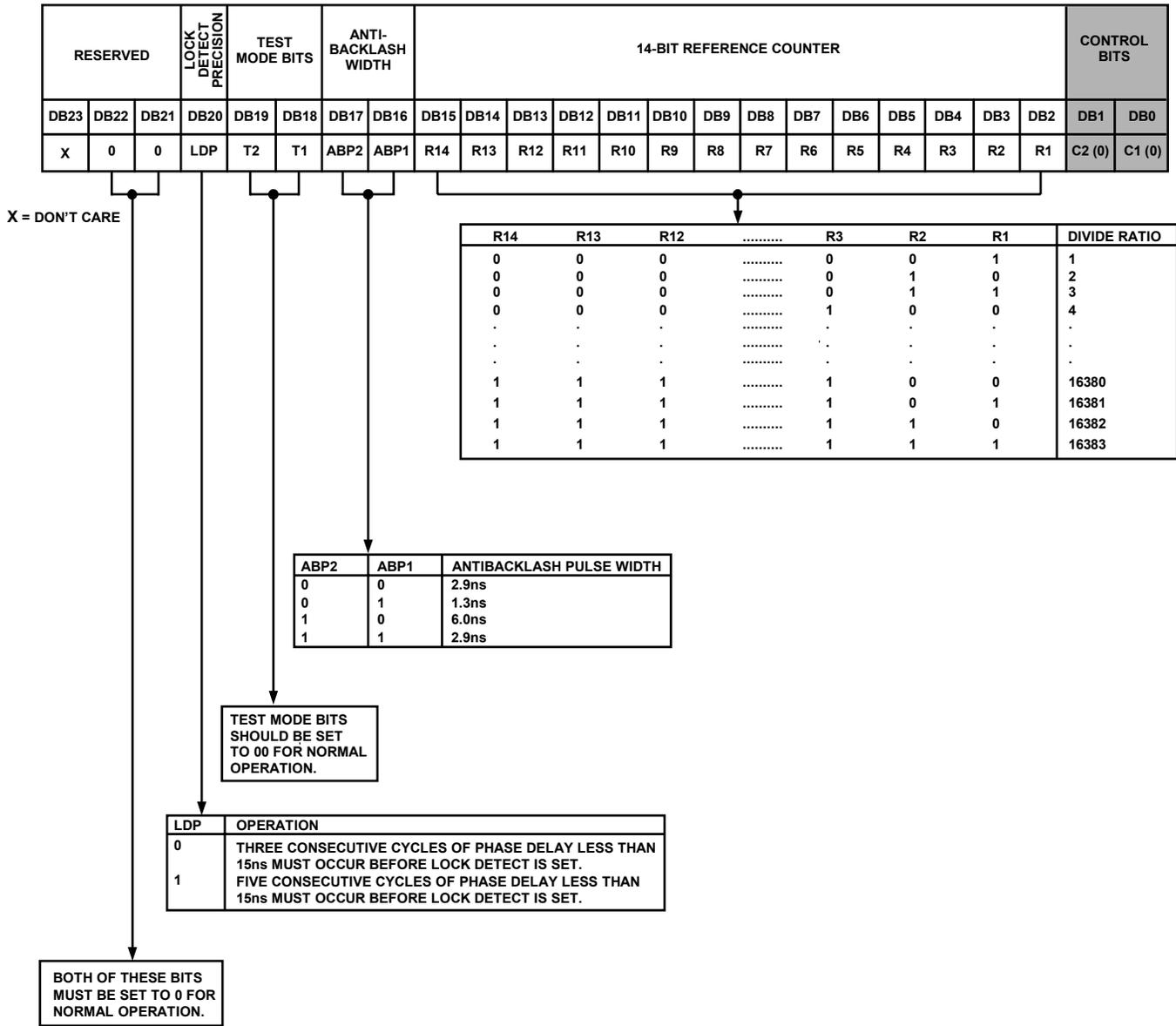


Figure 17. Reference Counter Latch Map

AB COUNTER LATCH MAP

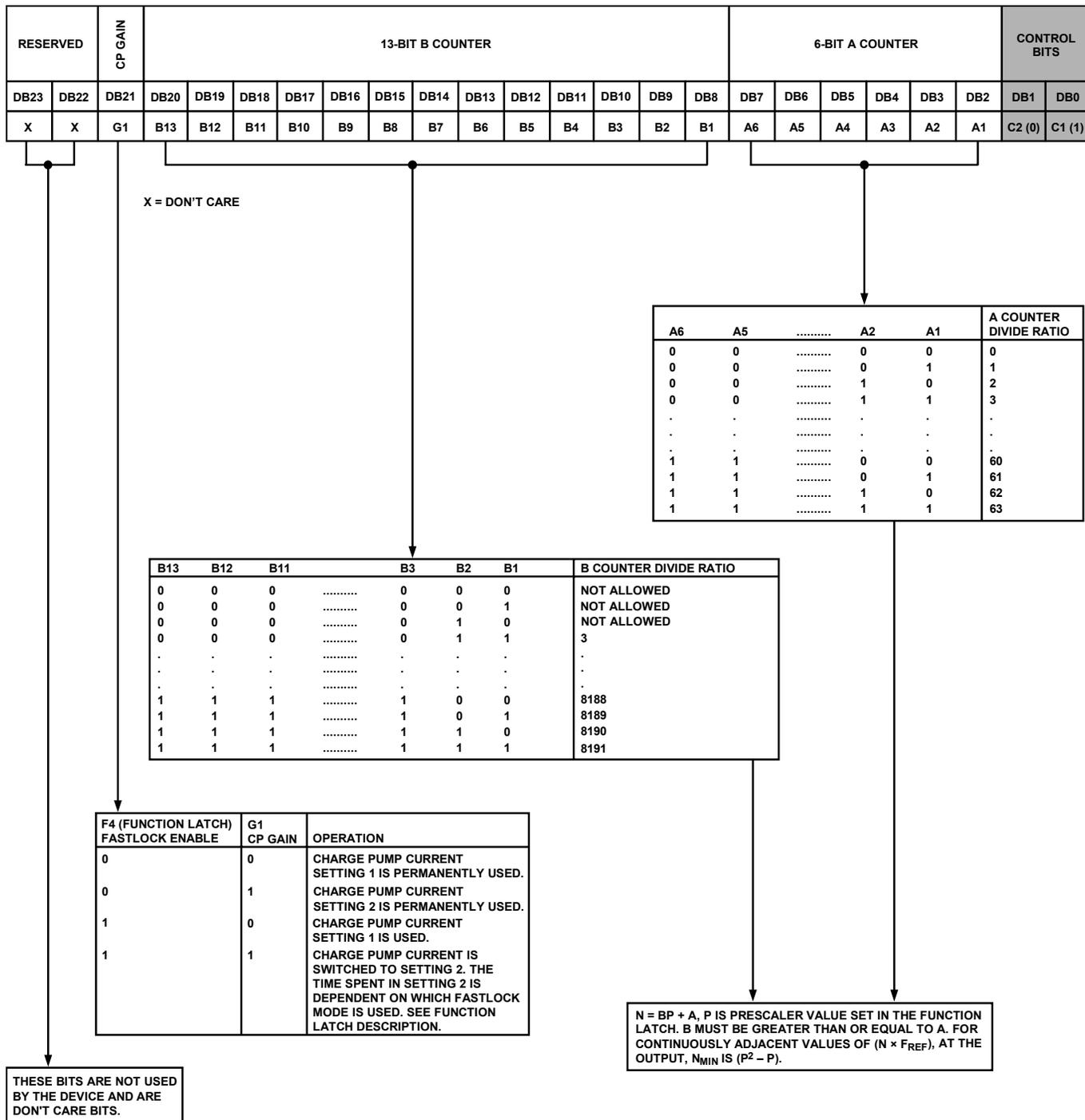


Figure 18. AB Counter Latch Map

FUNCTION LATCH MAP

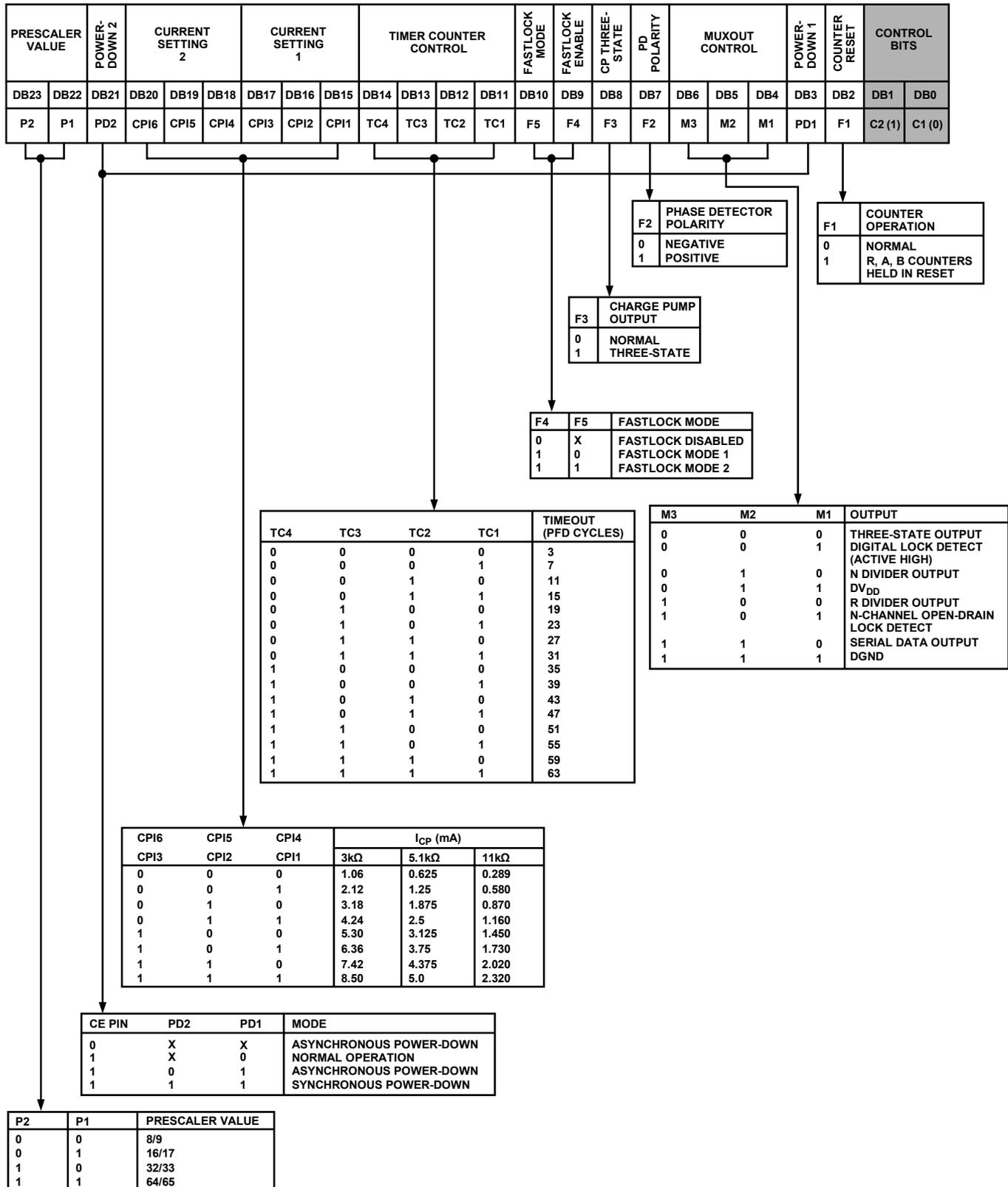


Figure 19. Function Latch Map

INITIALIZATION LATCH MAP

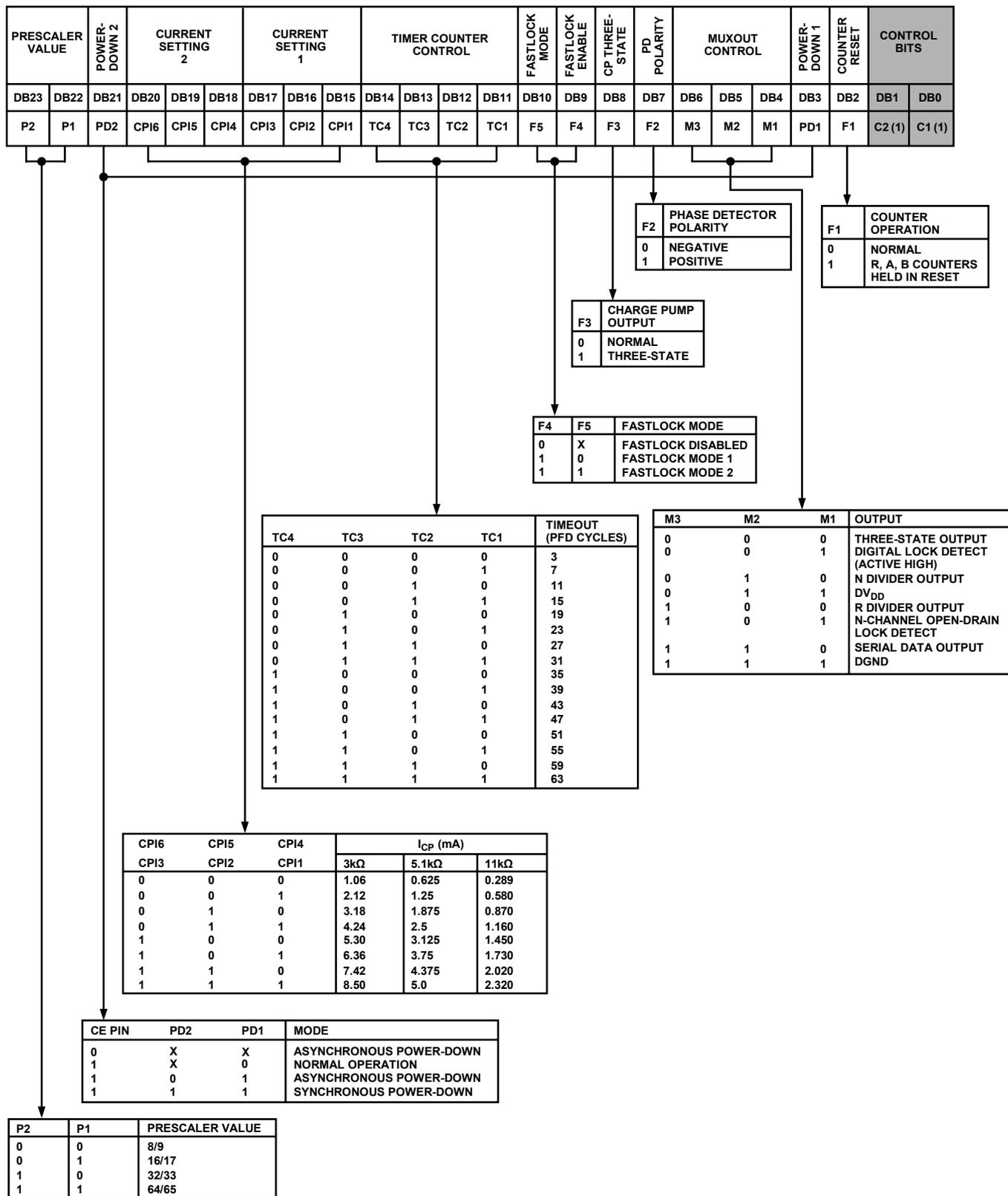


Figure 20. Initialization Latch Map

FUNCTION LATCH

The on-chip function latch is programmed with C2 and C1 set to 1 and 0, respectively. Figure 19 shows the input data format for programming the function latch.

Counter Reset

DB2 (F1) is the counter reset bit. When this bit is 1, the R counter and the AB counters are reset. For normal operation, this bit should be 0. Upon powering up, the F1 bit needs to be disabled (set to 0). Then, the N counter resumes counting in close alignment with the R counter. (The maximum error is one prescaler cycle.)

Power-Down

DB3 (PD1) and DB21 (PD2) provide programmable power-down modes. They are enabled by the CE pin.

When the CE pin is low, the device is immediately disabled regardless of the states of PD2 and PD1.

In the programmed asynchronous power-down, the device powers down immediately after latching a 1 into the PD1 bit, with the condition that PD2 has been loaded with a 0.

In the programmed synchronous power-down, the device power-down is gated by the charge pump to prevent unwanted frequency jumps. Once the power-down is enabled by writing a 1 into PD1 (on condition that a 1 has also been loaded to PD2), then the device will go into power-down on the occurrence of the next charge pump event.

When a power-down is activated (either synchronous or asynchronous mode, including CE pin activated power-down), the following events occur:

- All active dc current paths are removed.
- The R, N, and timeout counters are forced to their load state conditions.
- The charge pump is forced into three-state mode.
- The digital lock detect circuitry is reset.
- The RF_{IN} input is debiased.
- The reference input buffer circuitry is disabled.
- The input register remains active and capable of loading and latching data.

MUXOUT Control

The on-chip multiplexer is controlled by M3, M2, and M1 on the ADF4108. Figure 19 shows the truth table.

Fastlock Enable Bit

DB9 of the function latch is the fastlock enable bit. Fastlock is enabled only when this bit is 1.

Fastlock Mode Bit

DB10 of the function latch is the fastlock mode bit. When

fastlock is enabled, this bit determines which fastlock mode is used. If the fastlock mode bit is 0, then Fastlock Mode 1 is selected; and if the fastlock mode bit is 1, then Fastlock Mode 2 is selected.

Fastlock Mode 1

The charge pump current is switched to the contents of Current Setting 2.

The device enters fastlock by having a 1 written to the CP gain bit in the AB counter latch. The device exits fastlock by having a 0 written to the CP gain bit in the AB counter latch.

Fastlock Mode 2

The charge pump current is switched to the contents of Current Setting 2.

The device enters fastlock by having a 1 written to the CP gain bit in the AB counter latch. The device exits fastlock under the control of the timer counter. After the timeout period determined by the value in TC4:TC1, the CP gain bit in the AB counter latch is automatically reset to 0 and the device reverts to normal mode instead of fastlock. See Figure 19 for the timeout periods.

Timer Counter Control

The user has the option of programming two charge pump currents. The intent is that Current Setting 1 is used when the RF output is stable and the system is in a static state. Current Setting 2 is meant to be used when the system is dynamic and in a state of change (that is, when a new output frequency is programmed).

The normal sequence of events is as follows:

The user initially decides what the preferred charge pump currents are going to be. For example, the choice may be 2.5 mA as Current Setting 1 and 5 mA as Current Setting 2.

At the same time it must be decided how long the secondary current is to stay active before reverting to the primary current. This is controlled by the timer counter control bits, DB14:DB11 (TC4:TC1) in the function latch. The truth table is given in Figure 19.

Now, to program a new output frequency, the user simply programs the AB counter latch with new values for A and B. At the same time, the CP gain bit can be set to 1, which sets the charge pump with the value in CPI6:CPI4 for a period of time determined by TC4–TC1. When this time is up, the charge pump current reverts to the value set by CPI3:CPI1. At the same time, the CP gain bit in the AB counter latch is reset to 0 and is now ready for the next time the user wishes to change the frequency.

Note that there is an enable feature on the timer counter. It is enabled when Fastlock Mode 2 is chosen by setting the fastlock mode bit (DB10) in the function latch to 1.

Charge Pump Currents

CPI3, CPI2, and CPI1 program Current Setting 1 for the charge pump. CPI6, CPI5, and CPI4 program Current Setting 2 for the charge pump. The truth table is given in Figure 19.

Prescaler Value

P2 and P1 in the function latch set the prescaler values. The prescaler value should be chosen so that the prescaler output frequency is always less than or equal to 300 MHz. Thus, with an RF frequency of 4 GHz, a prescaler value of 16/17 is valid but a value of 8/9 is not valid.

PD Polarity

This bit sets the phase detector polarity bit. See Figure 19.

CP Three-State

This bit controls the CP output pin. With the bit set high, the CP output is put into three-state. With the bit set low, the CP output is enabled.

INITIALIZATION LATCH

The initialization latch is programmed when C2 and C1 are set to 1 and 1. This is essentially the same as the function latch (programmed when C2, C1 = 1, 0).

However, when the initialization latch is programmed, an additional internal reset pulse is applied to the R and AB counters. This pulse ensures that the AB counter is at load point when the AB counter data is latched and the device will begin counting in close phase alignment.

If the latch is programmed for synchronous power-down (CE pin is high; PD1 bit is high; PD2 bit is low), the internal pulse also triggers this power-down. The prescaler reference and the oscillator input buffer are unaffected by the internal reset pulse and so close phase alignment is maintained when counting resumes.

When the first AB counter data is latched after initialization, the internal reset pulse is again activated. However, successive AB counter loads after this will not trigger the internal reset pulse.

Device Programming after Initial Power-Up

After initially powering up the device, there are three ways to program the device.

Initialization Latch Method

1. Apply V_{DD} .
2. Program the initialization latch (11 in 2 LSBs of input word). Make sure that the F1 bit is programmed to 0.
3. Next, do a function latch load (10 in 2 LSBs of the control word), making sure that the F1 bit is programmed to a 0.
4. Then do an R load (00 in 2 LSBs).
5. Then do an AB load (01 in 2 LSBs).

When the initialization latch is loaded, the following occurs:

- The function latch contents are loaded.
- An internal pulse resets the R, AB, and timeout counters to load-state conditions and also three-states the charge pump. Note that the prescaler band gap reference and the oscillator input buffer are unaffected by the internal reset pulse, allowing close phase alignment when counting resumes.
- Latching the first AB counter data after the initialization word will activate the same internal reset pulse. Successive AB loads will not trigger the internal reset pulse unless there is another initialization.

CE Pin Method

1. Apply V_{DD} .
2. Bring CE low to put the device into power-down. This is an asynchronous power-down in that it happens immediately.
3. Program the function latch (10).
4. Program the R counter latch (00).
5. Program the AB counter latch (01).
6. Bring CE high to take the device out of power-down. The R and AB counters will now resume counting in close alignment.

Note that after CE goes high, a duration of 1 μ s may be required for the prescaler band gap voltage and oscillator input buffer bias to reach steady state.

CE can be used to power the device up and down to check for channel activity. The input register does not need to be reprogrammed each time the device is disabled and enabled as long as it has been programmed at least once after V_{DD} was initially applied.

Counter Reset Method

1. Apply V_{DD} .
2. Do a function latch load (10 in 2 LSBs). As part of this, load 1 to the F1 bit. This enables the counter reset.
3. Do an R counter load (00 in 2 LSBs).
4. Do an AB counter load (01 in 2 LSBs).
5. Do a function latch load (10 in 2 LSBs). As part of this, load 0 to the F1 bit. This disables the counter reset.

This sequence provides the same close alignment as the initialization method. It offers direct control over the internal reset. Note that counter reset holds the counters at load point and three-states the charge pump, but does not trigger synchronous power-down.

POWER SUPPLY CONSIDERATIONS

The ADF4108 operates over a power supply range of 3.2 V to 3.6 V. The ADP3300ART-3.3 is a low dropout linear regulator from Analog Devices. It outputs 3.3 V with an accuracy of 1.4% and is recommended for use with the ADF4108.

ADF4108

INTERFACING

The ADF4108 has a simple SPI™-compatible serial interface for writing to the device. CLK, DATA, and LE control the data transfer. When LE (Latch Enable) goes high, the 24 bits that have been clocked into the input register on each rising edge of CLK are transferred to the appropriate latch. See Figure 2 for the timing diagram and Table 5 for the latch truth table.

The maximum allowable serial clock rate is 20 MHz. This means that the maximum update rate possible for the device is 833 kHz or one update every 1.2 μs. This is certainly more than adequate for systems that have typical lock times in hundreds of microseconds.

ADuC812 INTERFACE

Figure 21 shows the interface between the ADF4108 and the ADuC812 MicroConverter®. Since the ADuC812 is based on an 8051 core, this interface can be used with any 8051 based microcontroller. The MicroConverter is set up for SPI master mode with CPHA = 0. To initiate the operation, the I/O port driving LE is brought low. Each latch of the ADF4108 needs a 24-bit word. This is accomplished by writing three 8-bit bytes from the MicroConverter to the device. When the third byte has been written, the LE input should be brought high to complete the transfer.

On first applying power to the ADF4108, it needs four writes (one each to the initialization latch, function latch, R counter latch, and N counter latch) for the output to become active.

I/O port lines on the ADuC812 are also used to control power-down (CE input) and to detect lock (MUXOUT configured as lock detect and polled by the port input).

When operating in the mode described, the maximum SCLOCK rate of the ADuC812 is 4 MHz. This means that the maximum rate at which the output frequency can be changed will be 166 kHz.

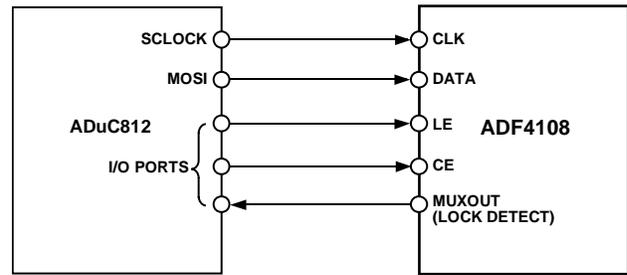


Figure 21. ADuC812 to ADF4108 Interface

ADSP-2181 INTERFACE

Figure 22 shows the interface between the ADF4108 and the ADSP-21xx Digital Signal Processor. The ADF4108 needs a 24-bit serial word for each latch write. The easiest way to accomplish this using the ADSP21xx family is to use the autobuffered transmit mode of operation with alternate framing. This provides a means for transmitting an entire block of serial data before an interrupt is generated. Set up the word length for 8 bits and use three memory locations for each 24-bit word. To program each 24-bit latch, store the three 8-bit bytes, enable the autobuffered mode, and then write to the transmit register of the DSP. This last operation initiates the autobuffer transfer.

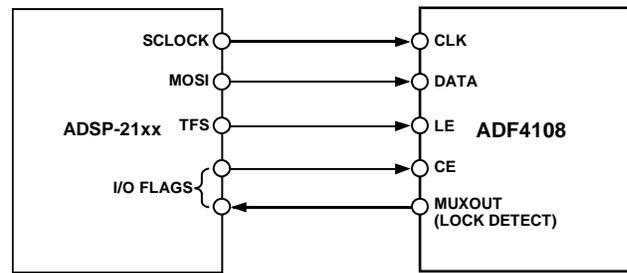


Figure 22. ADSP-21xx to ADF4108 Interface

PCB DESIGN GUIDELINES FOR CHIP SCALE PACKAGE

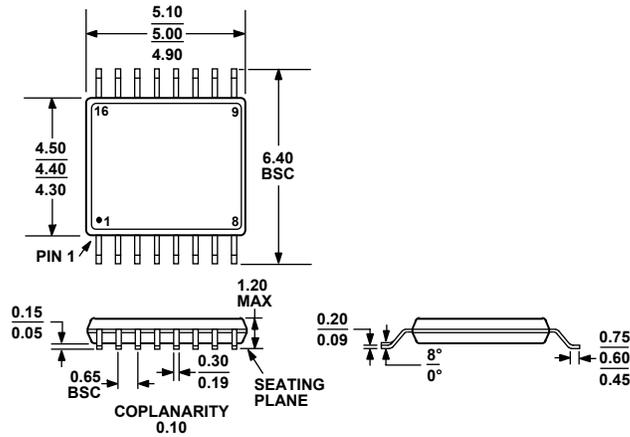
The lands on the chip scale package (CP-20) are rectangular. The printed circuit board pad for these should be 0.1 mm longer than the package land length and 0.05 mm wider than the package land width. The land should be centered on the pad. This will ensure that the solder joint size is maximized. The bottom of the chip scale package has a central thermal pad.

The thermal pad on the printed circuit board should be at least as large as this exposed pad. On the printed circuit board, there should be a clearance of at least 0.25 mm between the thermal pad and the inner edges of the pad pattern. This will ensure that shorting is avoided.

Thermal vias can be used on the printed circuit board thermal pad to improve thermal performance of the package. If vias are used, they should be incorporated in the thermal pad at 1.2 mm pitch grid. The via diameter should be between 0.3 mm and 0.33 mm and the via barrel should be plated with 1 oz. copper to plug the via.

The user should connect the printed circuit board thermal pad to AGND.

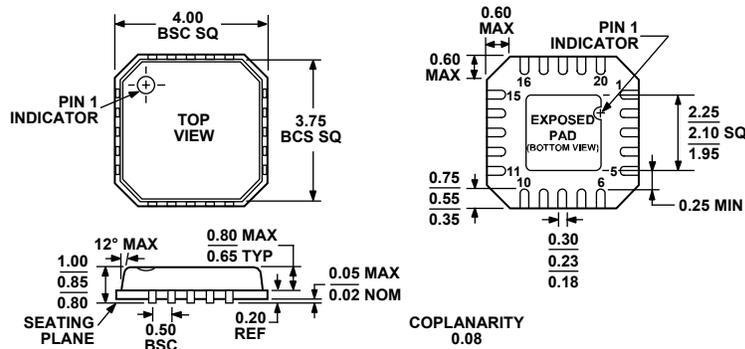
OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-153-AB

Figure 23. 16-Lead Thin Shrink Small Outline Package [TSSOP] (RU-16)

Dimensions shown in millimeters



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

Figure 24. 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ] 4 mm x 4 mm Body, Very Thin Quad (CP-20-1)

Dimensions shown in millimeters

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
ADF4108BRUZ ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADF4108BRUZ-RL ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADF4108BRUZ-RL7 ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADF4108BCPZ ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
ADF4108BCPZ-RL ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
ADF4108BCPZ-RL7 ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-1
EVAL-ADF4108EB1		Evaluation Board	

¹ Z = Pb-free part.

Résumé

La demande croissante pour les systèmes de communication des satellites a considérablement élargi le besoin en algorithmes au niveau système efficace et précis lorsqu'il s'agit des circuits de communication RF. Le respect des spécifications techniques des futurs systèmes nécessite des efforts importants dans les technologies de circuits intégrés, circuits RF et des algorithmes de conception. L'augmentation du nombre de fonctions électroniques à intégrer dans le système RF d'un satellite est accompagnée par l'augmentation de la consommation électrique et l'amélioration de la vitesse de commutation. Les concepteurs de circuits deviennent très exigeants de savoir une méthodologie de conception qui comprend l'exploration efficace des architectures niveau système avant l'implémentation des circuits détaillés.

L'objectif de ce projet de master consiste en l'étude et la conception d'un synthétiseur de fréquence à division entière à base de PLL opérant sur la bande-X [8-12] GHz pour les satellites d'observation. La simulation a été faite à l'aide du logiciel de conception ADIsimPLL.

Mots clés : PLL, Bande X, Satellite, Transmetteur, synthétiseur de fréquences, ADIsimPLL.