

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLICUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
وزارة التعليم العالي و البحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
جامعة أبي بكر بلقايد- تلمسان
Université Aboubakr Belkaïd-Tlemcen
كلية التكنولوجيا
Faculté de TECHNOLOGIE

Département de Génie Electrique et Electronique (GEE)
Filière : ELECTRONIQUE



MASTER INSTRUMENTATION
PROJET DE FIN D'ETUDES

Présenté par : RAHOU Younes & SALHI Ibrahim Adel

Intitulé du Sujet

**ETUDE, SIMULATION et REALISATION d'un TESTEUR de
CIRCUITS INTEGRES**

Soutenu en Novembre 2020, devant le jury composé de :

M ^r BENAHMED Nasreddine	Professeur	Univ. Tlemcen	Président
M ^r LACHACHI Djamel	MCB	Univ. Tlemcen	Encadreur
M ^r MOULAI KHATIR Ahmed Nassim	MCB	Univ. Tlemcen	Examineur

Année Universitaire 2019-2020

REMERCIEMENTS

En tout premier lieu, nous remercions le bon Dieu, tout puissant, de nous avoir donné la force pour survivre, ainsi que l'audace pour dépasser toutes les difficultés au terme de ce travail.

Nous remercions notre encadreur

Mr LACHACHI DJAMAL

Pour les efforts qu'il a déployés, pour nous aider, conseiller, encourager et corriger.

Nous tenons à exprimer nos sincères remerciements à Monsieur le président de jury Pr BENAHMED Nasreddine et à l'examineur Mr MOULAI KHATIR Ahmed Nassim de nous avoir fait l'honneur d'examiner notre travail.

Nous remercions aussi tout le corps enseignant et administratif qui a contribué à notre formation universitaire. Sans oublier tous nos amis.

Dédicaces

Avant tout, je tiens à remercier le bon Dieu, et l'unique qui m'offre le courage et la volonté nécessaire pour affronter les différentes difficultés de la vie.

Je dédie ce modeste travail à :

A ma chère mère

A mon père

Dans le mérite, les sacrifices et la qualité humaine m'ont permis de vivre ce jour

A mes frères et ma sœur

A ma chère famille RAHOU.

Petit ou grand, proche ou lointaine.

A tous mes amis

A Mon binôme IBRAHIM ADEL.

En fin à moi-même et toute la promo du master d'instrumentation

Électronique 2020.

RAHOU YOUNES

Dédicaces

Je dédie ce modeste travail

A mes chers parents

Dans le mérite, les sacrifices et la qualité humaine m'ont
permis de vivre ce jour

Et mes chers frères.

A toute la famille SALHI

Et la famille BOUZINE.

A tous mes amis.

A mon binôme YOUNES.

A tous les collègues de la promo du master d'instrumentation

A tous ceux qui m'ont aidée durant ma vie

Universitaire.

SALHI IBRAHIM ADEL

Liste des abréviations

AOP : **A**mplificateur **O**pérationnel

B.F : **B**asse **F**réquence

C.I : **C**ircuit **I**ntégré

CMOS: **C**omplementary **M**etal **O**xide **S**emiconductor

CPLD: **C**omplex **P**rogrammable **L**ogic **D**evice

FPGA : **F**ield **P**rogrammable **G**ate **A**rray

H.F : **H**aute **F**réquence

Signal H1 : Signal d'**H**orloge **1**

Signal H2 : Signal d'**H**orloge**2**

TTL : **T**ransistor **T**ransistor **L**ogique

Liste des figures

- Figure 01 : Présentation du Circuit Intégré
- Figure 1.1 : Présentation de quelques Circuits Intégrés
- Figure 1.2 : La marge de bruit entre les voltages d'entrée et de sortie.
- Figure 2.1 : Synoptique du montage Testeur de Circuits Intégrés
- Figure 2.2 : Schéma Bloc d'une alimentation stabilisée
- Figure 2.3 : Le Régulateur de tension
- Figure 2.4 : Circuit d'horloge à portes inverseuses
- Figure 2.5 : Charge du condensateur
- Figure 2.6 : Seuil de basculement
- Figure 2.7 : Décharge du condensateur
- Figure 2.8 : Basculement vers le Haut
- Figure 2.9 : Signal d'Horloge
- Figure 2.10 : Représentation de la bascule de Schmitt
- Figure 2.11 : Représentation des portes Trigger de Schmitt.
- Figure 2.12 : Chronogramme de signaux de la bascule de Schmitt.
- Figure 2.13 : Les broches du NE555.
- Figure 2.14 : le circuit électronique interne du NE555
- Figure 2.15 : Structure interne du 741
- Figure 2.16 : Brochage de $\mu A741$
- Figure 2.17: Schéma interne d'un ampli Op du Circuit Intégré LM324
- Figure 2.18: Brochage du LM324
- Figure 2.19: Brochage du CD4017
- Figure 2.20: Brochage du CD4001
- Figure 3.1 : Présentation de l'alimentation
- Figure 3.2 : Réalisation de l'Alimentation sur plaque d'essai
- Figure 3.3 : Schéma du circuit d'horloges1 et 2
- Figure 3.4 : Réalisation des circuits d'horloges 1 et 2 sur plaque d'essai
- Figure 3.5 : visualisation des 2 signaux d'Horloges H1 et H2 sous ISIS-PROTEUS
- Figure 3.6 : signal d'horloge pris par l'oscilloscope
- Figure 3.7 : Circuit du Testeur de C.I à portes logiques à 2 entrées (cas du CD4081 à 4 portes AND)
- Figure 3.8 : Réalisation du Testeur de C.I à portes logiques à 2 entrées sur plaque d'essai (cas du CD4081 à 4 portes AND)
- Figure 3.9 : Signal d'horloge 1
- Figure 3.10 : Signal d'horloge 2
- Figure 3.11 : Séquences d'allumage du CI à portes AND
- Figure 3.12 : Séquences d'allumage du CI à portes NAND
- Figure 3.13 : Séquences d'allumage du CI à portes NOR
- Figure 3.14 : Séquences d'allumage du CI à portes OR

Etude, simulation et réalisation d'un testeur de circuits intégrés

Figure 3.15 : Signal de sortie du CI CD4001 pris par l'oscilloscope sur Isis

Figure 3.16 : Banc de test du CI NE555

Figure 3.17 : Signal de sortie de NE555 sous ISIS-PROTEUS

Figure 3.18 : Réalisation du banc de test du CI NE555 sur la plaque d'essai

Figure 3.19 : Banc de test des CI logiques à portes inverseuses

Signal 3.20 : Signal de sortie du CI à porte inverseuses sous ISIS-PROTEUS

Figure 3.21 : Réalisation du banc de test de CI logiques à portes inverseuses sur plaque d'essai

Figure 3.22 : Banc de Test de L'ampli Op famille du 741

Figure 3.23 : CI μ A741 sur la plaque d'essai

Figure 3.24 : Signal de sortie du μ A741 pris par ISIS-PROTEUS

Figure 3.25 : Simulation du LM324 sous ISIS-PROTEUS

Figure 3.26 : Signal de sortie de LM324 sous ISIS-PROTEUS

Figure 3.27 : Circuit de LM324 sur la plaque d'essai

Figure 3.28 : Montage du C.I CD4017

Figure 3.29 : Signaux et Cycles d'allumage des 4 LED (parmi les 10) du CI CD4017

Figure 3.30 : Schéma globale du testeur de C.I sous ISIS-PROTEUS

Figure 3.31 : Réalisation du testeur de CI sur plaque d'essai avec mise en place de tous les circuits en état de marche

Liste des tableaux

Tableau 1.1: Comparaison entre la technologie TTL et CMOS

Tableau 2.1: Tableau des états du NE555.

Tableau 2.2: Les rôles des pins du circuit intégré 4017

Tableau 2.3: Table de vérité du compteur- décodeur décimal CD4017

Tableau 2.4: Description des pins du Circuit Intégré à portes à 2 entrées AND, OR, NAND, NOR.

Tableau 2.5 : Conditions de fonctionnement recommandées des circuits logiques CMOS

SOMMAIRE

INTRODUCTION GENERALE.....	11
Chapitre1 : GENERALITES SUR LES CIRCUITS INTEGRES.....	14
1.1. Introduction.....	15
1.2. La Famille TTL.....	16
1.3. La Famille CMOS.....	17
Chapitre2 : ETUDE DES ELEMENTS DU MONTAGE.....	19
2.1. Composition du Montage.....	19
2.2. Synoptique du Montage.....	20
2.3. L'Alimentation Stabilisée.....	20
2.3.1. Introduction.....	21
2.3.2. Description de l'alimentation.....	21
2.4. Le Circuit d'Horloge.....	23
2.4.1. Définition d'une horloge.....	23
2.4.2. Principe de Fonctionnement.....	23
2.4.3 Le Trigger de Schmitt	26
2.5. Le Circuit Intégré NE555	29
2.5.1. Présentation du NE555	29
2.5.2. Brochage du NE555.....	29
2.5.3. Principales caractéristiques.....	30
2.5.4. Décomposition fonctionnelle.....	30
2.5.5. Principe de fonctionnement	31
2.6. Les Circuits Intégrés 741.....	32
2.6.1. Définition de l'Amplificateur Opérationnel μ A741	32
2.6.2. Norme industrielle.....	32
2.6.3. Structure et Principe de base du 741.....	33
2.6.4. Brochage de l'AOP μ A741.....	34
2.7. Le Circuit Intégré LM324.....	34
2.7.1. Définition.....	34
2.7.2. Structure interne du LM324.....	34
2.7.3. Applications	35
2.7.4. Brochage du LM324	35
2.8. Le Circuit Intégré CD4017.....	36
2.8.1. Définition du Compteur CD4017.....	36
2.8.2. Modes de fonctionnement.....	37
2.8.3. Brochage.....	37
2.8.4. Table de vérité.....	38
2.9. Les Circuits Intégrés à portes Logiques à 2 entrées.....	39
2.9.1. Tables de Vérité	39
2.9.2. Description des pins des CI à portes à 2 entrées	40
2.9.3. Brochage du CD4001	41
2.9.4. Conditions de fonctionnement recommandées par le constructeur	42
Chapitre3 : SIMULATION ET REALISATION DU TESTEUR DE CIRCUITS INTEGRES.....	43
3.1. Présentation du Logiciel ISIS de PROTEUS.....	44
3.1.1. Définition.....	44
3.1.2. Capture schématique et simulation avec ISIS de PROTEUS.....	44
3.2. Simulation et réalisation de l'alimentation.....	44

Etude, simulation et réalisation d'un testeur de circuits intégrés

3.3. Simulation et réalisation des circuits d'horloges 1 et 2.....	45
3.4. Simulation et réalisation du banc de test de CI à portes logiques à 2 entrées.....	49
3.4.1. Schéma du testeur de circuits à portes logiques à 2 entrées.....	49
3.4.2. Visualisation des signaux.....	50
3.5. Simulation et réalisation du banc de test du Timer NE555.....	51
3.6. Simulation et réalisation du banc de test du ci logique a portes inverseuses.....	54
3.7. Simulation et réalisation du banc de test de l'ampli op 741 et équivalents.....	55
3.8. Simulation et réalisation du banc de test du ci lm324.....	57
3.9. Simulation et réalisation du banc de test du CI compteur décimal CD4017.....	58
3.10. Schéma global du testeur de circuits intégrés.....	60
3.10.1. Simulation du testeur de circuits Intégrés sous ISIS-PROTEUS.....	60
3.10.2. Réalisation sur plaques d'essai du testeur de Circuits Intégrés.....	61
3.10.3. Conclusion et Remarques.....	61
CONCLUSION GENERALE.....	63
BIBLIOGRAPHIE.....	65
ANNEXES.....	68
RESUME.....	78

INTRODUCTION GENERALE

INTRODUCTION GENERALE

L'Electronique, depuis des décennies, a connu une évolution technologique considérable dans le développement des composants électroniques. En effet en parcourant le temps et les générations on peut constater ou observer qu'une simple diode ou triode ou Tétrode,... etc. étaient fabriquées à base de tubes électroniques en verre avec les quelle son pouvait réaliser des appareils par exemples comme les anciennes radios avec lesquelles nos grands-parents écoutaient les informations. Cette technologie à tubes s'est rapidement transformée en technologie à base de Semi-Conducteur.

La technologie basée sur les semi-conducteurs a permis par contre de réduire considérablement le volume d'un composant et ainsi on a réussi dans un premier temps à construire et réaliser un composant tel que Diode ou Transistor dans son boitier ce sont des composants discrets. Cette technologie a permis donc de gagner en volume et en performance des circuits électroniques mais cela n'était pas suffisant lorsqu'il s'agit de réaliser des systèmes assez complexes.

Par ailleurs, l'encombrement de ces composants discrets ne peut pas être réduit indéfiniment car on se heurte à la nécessité de placer le composant dans un boitier muni d'électrodes pour pouvoir le manipuler aisément et l'insérer dans un montage. Aussi est-il vite apparu plus intéressant de fabriquer plusieurs composants sur un même support, avec des liaisons adéquates, pour former un montage complet. Cette technique s'est révélée riche en possibilités et elle a conduit aux Circuits Intégrés (CI).

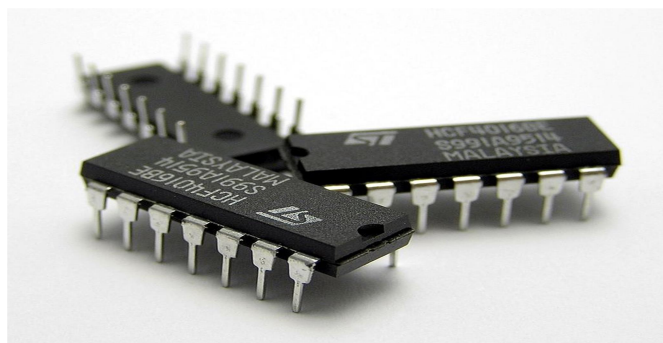


Figure 01 : Présentation du Circuit Intégré

Le Circuit Intégré peut donc avoir des applications très variées, comme un amplificateur opérationnel, ou n'être utilisé que pour une fonction déterminée tel qu'un circuit amplificateur Haute Fréquence où il remplace alors plusieurs étages amplificateurs de conception traditionnelle. On peut aussi intégrer plusieurs fonctions identiques dans un même boitier pour en confectionner un Circuit Intégré logique contenant par exemple plusieurs portes logiques.

Etude, simulation et réalisation d'un testeur de circuits intégrés

Dans le cadre de notre projet de fin d'études nous avons voulu nous rapprocher de ces Circuits Intégrés logiques et de certains autres types de circuits intégrés, tel que l'Amplificateur Opérationnel (AOp) simple, le quadruple AOp, le Timer bien connu sous la référence NE555, et le Compteur décimal ; afin de pouvoir contrôler leur état de marche.

Dans le sens et dans le but de contrôler l'état de fonctionnement de ces types de Circuits Intégrés, qui sont très souvent utilisés dans les laboratoires d'électronique, nous avons étudié, simulé et réalisé (sur plaque d'essai) un dispositif électronique permettant de tester l'état de plusieurs types de circuits intégrés : bon ou mauvais (défaillant).

Car en effet, on ne peut pas détecter à l'œil nu, ni contrôler avec un appareil de mesure classique, l'état d'un Circuit Intégré, dans un lot de composants et surtout aux laboratoires où les Circuits Intégrés ont été manipulés plusieurs fois pendant des séances de travaux pratiques ou des séances de travaux d'avant-projets... Et où ces Circuits Intégrés ont dû subir des contraintes électriques considérables telles que : surtensions, court-circuit, erreurs de montages, inversion du Circuit Intégré sur son support,..., ou parfois un défaut de fabrication. Ainsi, le gain de temps et le service que pourra nous rendre ce type de montage est inestimable, particulièrement lorsque l'étudiant ou l'enseignant se trouve en face d'un montage qui ne marche pas !

Pour expliquer le travail effectué dans notre projet de fin d'études, nous avons présenté au chapitre 1 : des généralités sur les circuits intégrés, avec une étude comparative entre les circuits TTL et CMOS. Dans le deuxième chapitre nous avons fait une étude des différents éléments du montage et notamment sur les circuits intégrés susceptibles de subir un contrôle de leur état de marche. Dans le chapitre 3 nous avons présenté la simulation et la réalisation (sur plaque d'essai) des différents Blocs constituant le Testeur de Circuits Intégrés ainsi que sa réalisation globale sur plaque d'essai. Quelques remarques et une conclusion finale mettront fin à notre travail.

Chapitre 1 :

GENERALITES SUR LES CIRCUITS INTEGRES

1.1. Introduction

Le Circuit Intégré (CI), est un composant dit actif, qui peut contenir (ou intégrer) dans un seul boîtier un certain nombre de composants tels que transistors, diodes, résistances etc...et où le nombre de pattes peut varier de 2 jusqu'à dépasser parfois la centaine (figure 1.1).

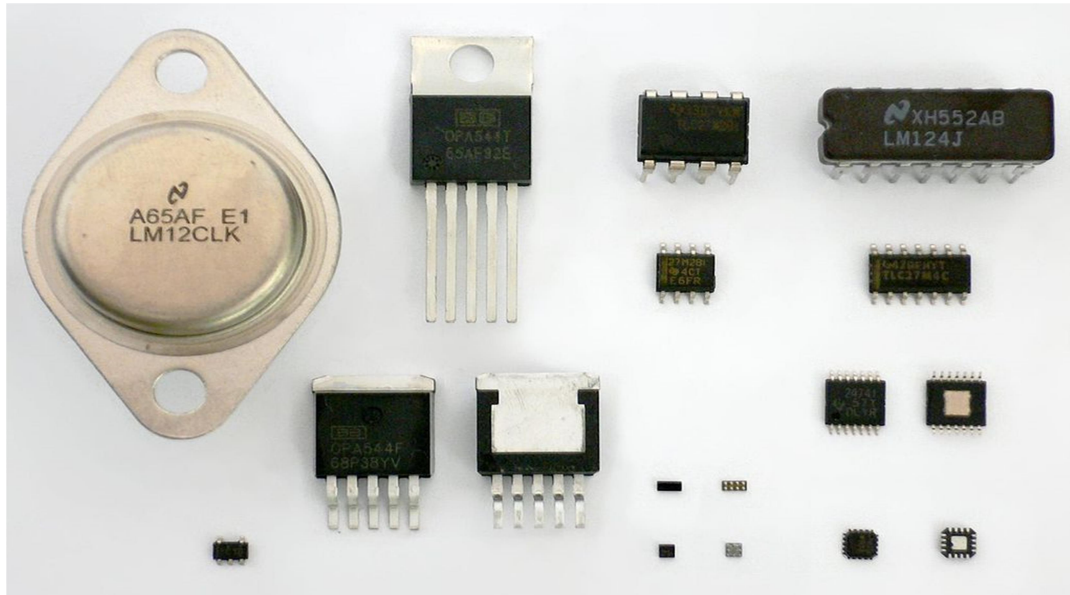


Figure 1.1 : présentation de quelques Circuits Intégrés

On distingue 2 types de circuits Intégrés

Les Circuits Intégrés Linéaires (analogiques) :

Les circuits intégrés analogiques les plus simples peuvent être de simples transistors encapsulés les uns à côté des autres sans liaison entre eux, jusqu'à des assemblages complexes pouvant réunir toutes les fonctions requises pour le fonctionnement d'un appareil dont il est le seul composant.

Ces Circuits Intégrés travaillent avec des tensions pouvant prendre différentes amplitudes : un régulateurs de tension (genre LM7812), un amplificateur opérationnel (exemple LM741), un temporisateur (tel que le NE555), un amplificateur BF (exemple LM386 ou TDA2030) etc....

Les Circuits Intégrés logiques (Numériques) :

Il s'agit du circuit intégré travaillant en tout ou rien, généralement avec des tensions d'entrées et de sorties égales ou proche de leur tension d'alimentation. Exemple de la famille SN74xx ou CD40xx, famille dans lesquelles on trouve des circuits assurant des fonctions très diverses.

Etude, simulation et réalisation d'un testeur de circuits intégrés

Les circuits intégrés numériques les plus simples sont des portes logiques (AND, OR, NAND, NOR, NON), les plus complexes sont les microprocesseurs et les plus denses sont les mémoires. On trouve de nombreux circuits intégrés dédiés à des applications spécifiques (ou ASIC pour Application-spécifique intégrité circuit), notamment pour le traitement du signal (traitement d'image, compression vidéo...) on parle alors de processeur de signal numérique (ou DSP pour Digital Signal Processor). Une famille importante de circuits intégrés est celle des composants de logique programmable (FPGA, CPLD). Ces composants sont amenés à remplacer les portes logiques simples en raison de leur grande densité d'intégration.

Nous allons définir et faire une étude comparative entre les circuits intégrés TTL et CMOS. Ce sont deux familles technologiques utilisées pour les circuits logiques en électronique. [1]

Le terme 'Circuit Logique' permet de traduire le fait qu'un circuit intégré est constitué de portes logiques telles que : AND, OR, NAND, NOR, etc...

1.2. La famille TTL

1.2.1. Définition

Le terme TTL signifie Transistor Transistor Logique. Cette famille TTL a été inventée en 1960. Elle est réalisée avec des transistors bipolaires. (De nos jours, la technologie TTL tend à être remplacée par la technologie CMOS). [1]

1.2.2. Les avantages de la famille TTL

- * Les entrées laissées en 'l'air' ont un état logique à 1 par défaut.
- * Une bonne immunité au bruit.
- * Un temps de propagation faible.

1.2.3. Les inconvénients de la famille TTL

- * L'alimentation doit être précise à 5V +/- 5 % sinon on risque de détruire le circuit.
- * Du fait qu'elle est réalisée avec des transistors bipolaires elle consomme plus de courant par rapport à la famille CMOS. (Car les transistors bipolaires sont commandés en courant).

Remarque : Le nom des circuits de cette famille commencent par 74 suivi d'une ou plusieurs lettres représentant la série et suivi d'un code à 2 ou 3 chiffres représentant le modèle du circuit.

1.3. La famille CMOS

1.3.1. Définition

CMOS est l'abréviation de "Complementary Metal Oxide Semiconductor". Le premier dispositif MOS est apparu en 1960. Son développement a été rendu possible par les progrès réalisés par la technologie TTL. Cette famille est réalisée avec des transistors à effet de champs.

1.3.2. Les avantages de la famille CMOS

* L'alimentation peut aller de 3V à 18V.

*Le courant d'entrée est nul, car elle est réalisée avec des transistors à effet de champs. Les entrées CMOS ont une résistance d'entrée très grande $10^{12}\Omega$. (Cependant il existe une capacité d'entrée de l'ordre de 5pF qui augmente sensiblement la consommation en régime dynamique et limite la fréquence de fonctionnement).

*Une excellente immunité au bruit.

1.3.3. Les inconvénients de la famille CMOS

*La vitesse de commutation est plus faible que pour la technologie TTL.

* Sensibilité aux décharges électrostatiques.

Remarque : Le nom des circuits de cette famille commencent généralement par CD40xx ou HEF40xx ou MC140xx. Les 2 ou 3 derniers chiffres représentent le modèle du circuit.

1.4. Comparaison TTL et CMOS

Sur le tableau1.1 ci-dessous on représente les caractéristiques comparatives entre les familles TTL et CMOS.

	TTL :	CMOS :
Tension d'alimentation :	5V à + ou - 5%	de 3V à 18V
Courant d'entrée	Non négligeable	Nul
Fréquence maximale de fonctionnement	45MHz	16MHz
Appellation	74xxx	4xxx
Transistors utilisés	bipolaires	à effet de champs

Tableau1.1 : Comparaison entre la technologie TTL et CMOS.

Etude, simulation et réalisation d'un testeur de circuits intégrés

La figure 1.1 ci-dessous nous permet de voir les valeurs de tension et courant d'entrées et de sorties spécifiques à chacune des familles utilisées : circuits TTL ou circuits CMOS. [2]

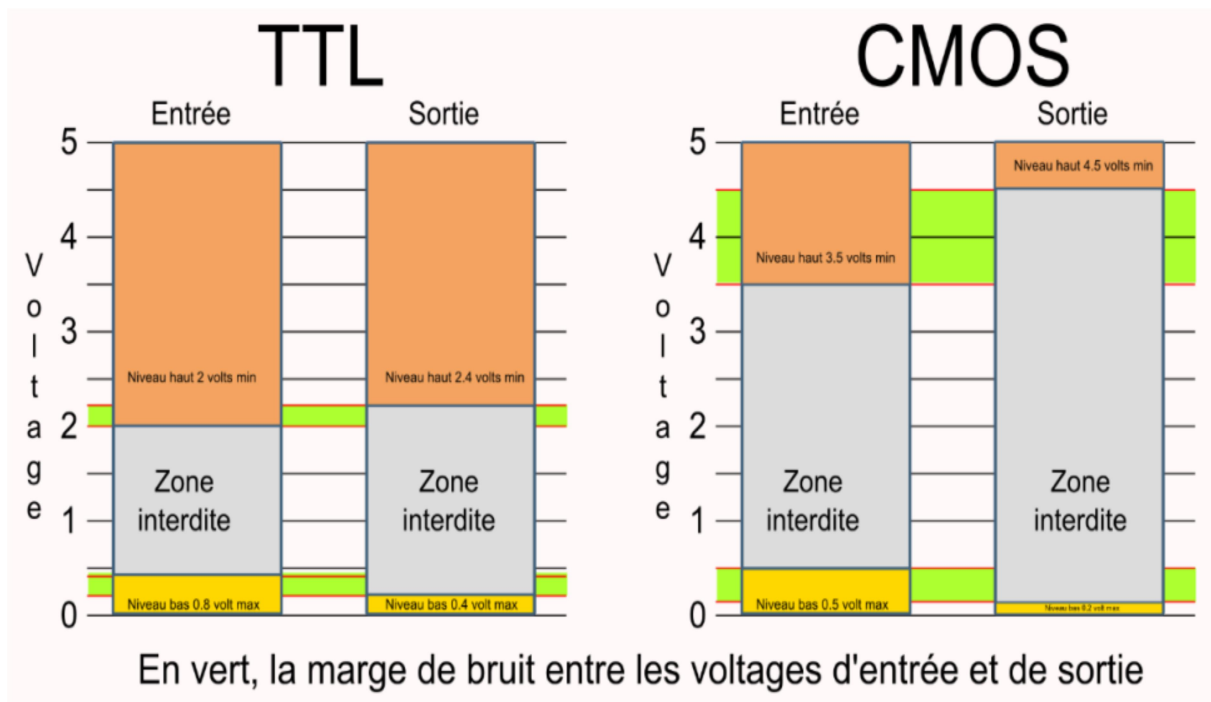


Figure1.2 : La marge de bruit entre les voltages d'entrée et de sortie. [3]

- * Niveau logique haut : les tensions des sorties sont un peu plus grandes que les tensions des entrées.
- * Niveau logique bas : les tensions des sorties sont un peu plus petites que les tensions des entrées.
- * La différence entre les tensions entrée/sortie assure une immunité aux bruits sur les signaux électriques entre les portes logiques.

Chapitre 2 : ETUDE DES ELEMENTS DU MONTAGE

2.1. Composition du Montage

Dans ce deuxième chapitre nous allons étudier les différents éléments constituant les fonctions essentielles du montage : notre dispositif Testeur de Circuits Intégrés est constitué principalement des éléments suivants, et qui constituent des bancs de test indépendants mais tous liés par le bloc d'alimentation d'une part et par les blocs de Circuits d'Horloges d'autre part :

1. Bloc d'Alimentation
2. Bloc circuit d'Horloge 1
3. Bloc circuit d'Horloge 2
4. Circuit de Test de CI à portes logiques à 2 entrées : AND, OR, NAND, NOR.
5. Circuit de Test de CI à portes inverseuses type 4069 ou 4584
6. Circuit de Test du μ A741 ou LM741 (Ampli Op)
7. Circuit de Test du LM324 (Quadruple Ampli Op)
8. Circuit de Test du Timer NE555
9. Circuit de Test du Compteur décimal CD4017

2.2. Synoptique du Montage

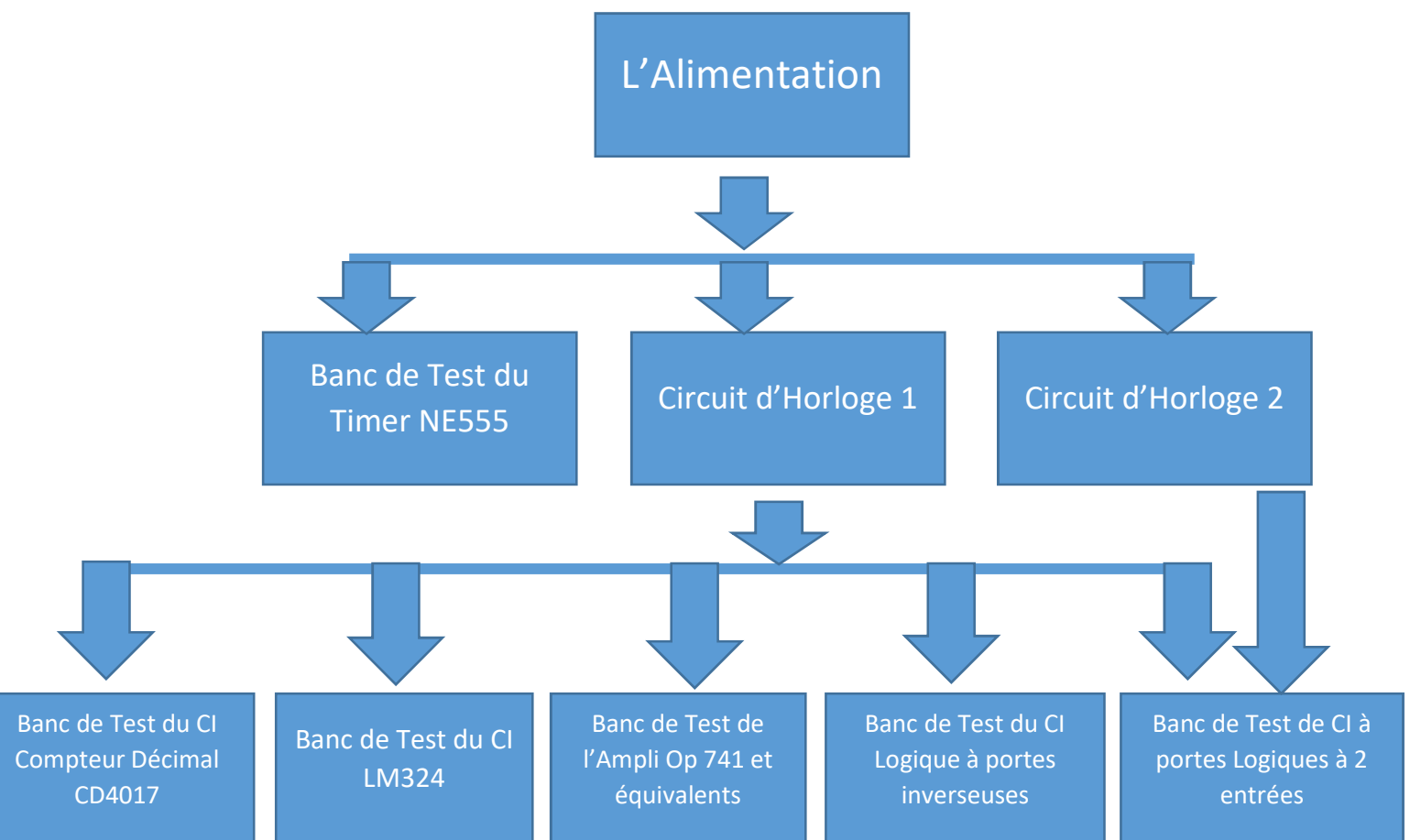


Figure 2.1 : Synoptique du montage Testeur de Circuits Intégrés

2.3. L'alimentation stabilisée

2.3.1. Introduction :

Les Circuits Intégrés ont besoin pour leur fonctionnement d'être alimentés par une tension continue stable et régulée. Ils peuvent aussi être alimentés par une batterie ou une pile pour rendre le dispositif autonome.

Pour alimenter notre circuit testeur de circuits intégrés nous lui avons intégré une alimentation classique stabilisée et régulée, celle-ci permet donc de fournir une tension continue et un courant nécessaire au fonctionnement de tous les éléments du montage.

2.3.2. Description de l'alimentation :

Généralement les alimentations classiques sont construites à partir d'éléments disposés selon la figure 2.2 suivante : [4]

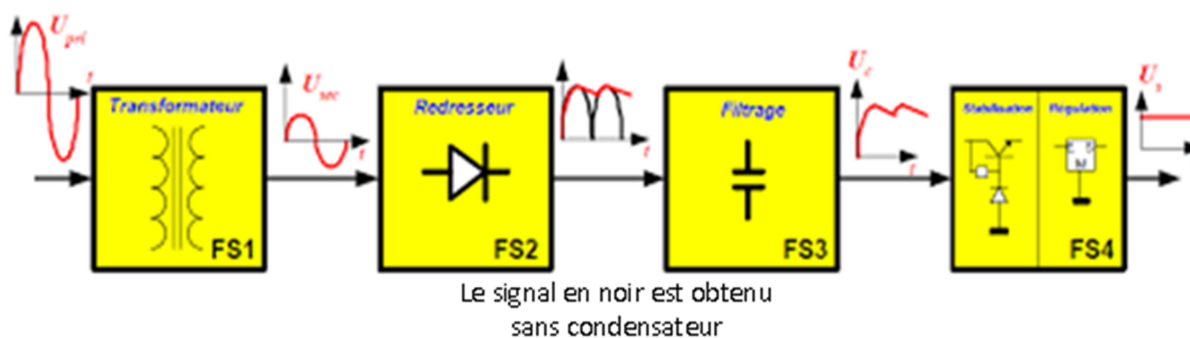


Figure 2.2 : Schéma Bloc d'une alimentation stabilisée

2.3.2.1. Le Transformateur :

Le transformateur permet de transformer généralement une tension alternative haute tension en une tension alternative basse tension, ou inversement. Dans notre cas on utilise un abaisseur de tension de sortie (220V-9V) 50Hz.

2.3.2.2. Le Redressement :

La tension de sortie du transformateur doit être redressée à l'aide d'un pont de diodes qui nous fournit un redressement double alternance.

2.3.2.3. Le Filtrage :

Le filtrage est obtenu par la charge et la décharge du condensateur qui se positionne à la sortie du redresseur. On notera que le redressement double alternance permet de réduire la tension d'ondulation. Et plus la valeur de ce

Etude, simulation et réalisation d'un testeur de circuits intégrés

condensateur est grande et mieux le filtrage est réalisé en obtenant une tension continue à sa sortie assez lisse.

2.3.2.4. La Régulation :

La régulation s'effectue dans notre cas à l'aide d'un Circuit Intégré appelé Régulateur de tension qui permettra de fournir à la sortie une tension continue et stable.

La plupart des régulateurs se présentent sous forme d'un circuit intégré à 3 pattes E(Entrée)/M(Masse)/S(Sortie) ou In(Input)/GND(Ground)/Out(Output).

La figure 2.3 nous illustre un exemple de la disposition d'un régulateur de tension dans un montage d'alimentation. Ainsi le régulateur fournit entre la sortie 'S' et la broche de référence 'M', une tension de sortie constante quel que soit le courant demandé par la charge et quel que soit les variations de la tension issue du lissage (Celle-ci doit néanmoins rester dans des limites acceptables).

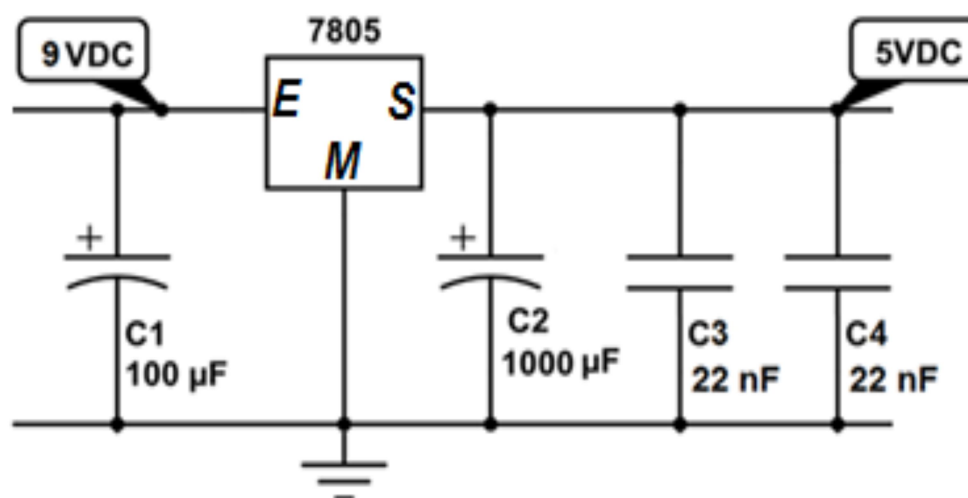


Figure 2.3 : Le Régulateur de tension

Un régulateur de tension est essentiellement caractérisé par :

* V_S : Tension de sortie (exemple 5v pour LM7805)

Etude, simulation et réalisation d'un testeur de circuits intégrés

- * V_{EMax} : tension d'entrée max supportable par le circuit.
- * V_{EMin} : Tension mini d'entrée pour garantir une régulation satisfaisante (V_{EMin} doit être supérieur à $V_S + 3v$).
- * I_{OUT} : courant maximum délivré à la charge.

2.4. Le Circuit d'Horloge :

2.4.1. Définition d'une horloge : [5]

Une horloge est un dispositif fournissant des impulsions, régulièrement espacées, pouvant constituer des signaux de synchronisation ou de mesure. On définit la période T de ce signal, exprimée en secondes, comme l'intervalle de temps entre deux impulsions. On définit également la fréquence f_0 de ce signal, en Hz, comme l'inverse de la période ; définissant le nombre d'oscillations par seconde, telle que :

$$f_0 = \frac{1}{T} \quad (2.1)$$

2.4.2. Principe de Fonctionnement :

Pour comprendre le fonctionnement d'un circuit d'horloge on va prendre l'exemple de la figure 2.4 construit à partir d'un condensateur, d'une résistance et d'une porte inverseuse fonctionnant en Trigger de Schmitt. Ce montage peut aussi s'appeler d'ailleurs le « trigger de schmitt », ou bien « oscillateur astable ».

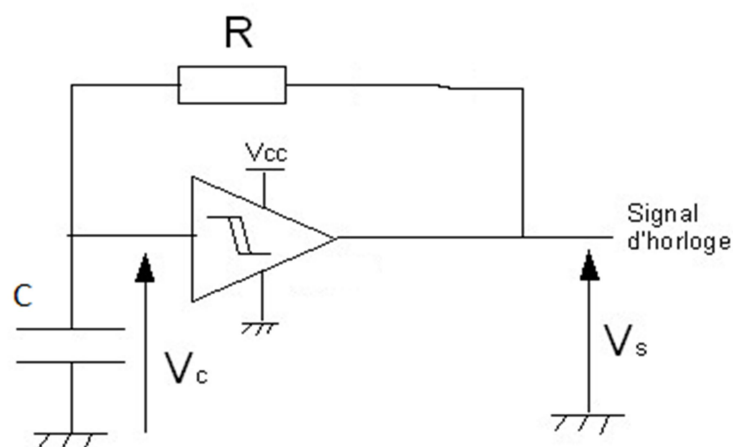


Figure 2.4 : Circuit d'horloge à porte inverseuse

Lors de la mise sous tension, le condensateur est encore déchargé, la sortie du Trigger est à l'état haut. La porte inverseuse possède deux seuils, un seuil supérieur

Etude, simulation et réalisation d'un testeur de circuits intégrés

et un seuil inférieur, lorsque la tension d'entrée de la porte logique dépasse le seuil supérieur, alors sa sortie passe à l'état bas. Lorsque la tension à l'entrée descend en dessous du seuil inférieur, alors la sortie passe à l'état haut.

Juste après la mise sous tension, la sortie de la porte est à l'état haut, il y a donc une tension en sortie (figure 2.5).

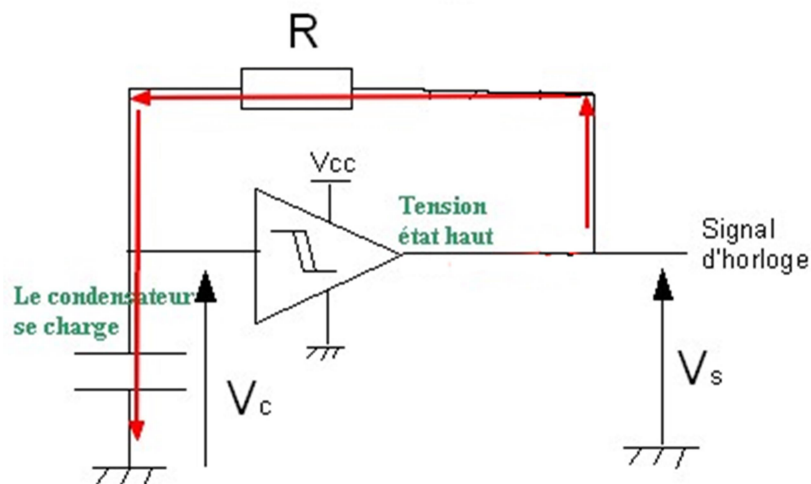


Figure 2.5 : charge du condensateur

Le condensateur se charge sous l'influence du courant qui circule ici en rouge (figure 2.5), jusqu'à ce qu'il dépasse le seuil de basculement de la porte qui met alors sa sortie à 0 (Figure 2.6).

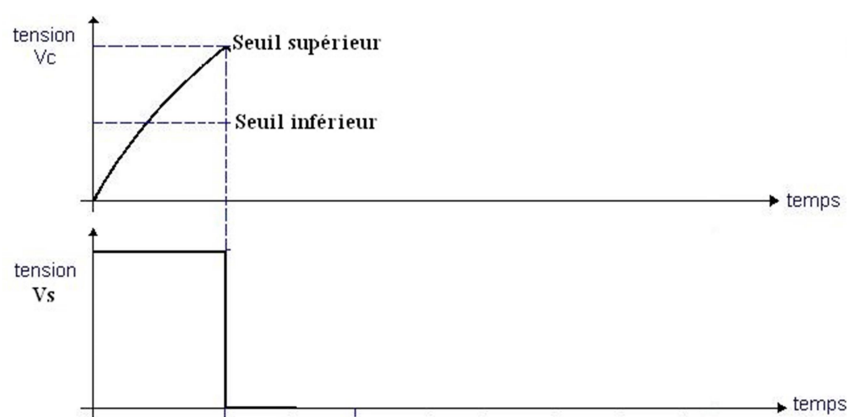


Figure 2.6 : Seuil de basculement

La sortie étant à 0, maintenant, le condensateur va se décharger à travers la résistance R (Figure 2.7)

Etude, simulation et réalisation d'un testeur de circuits intègres

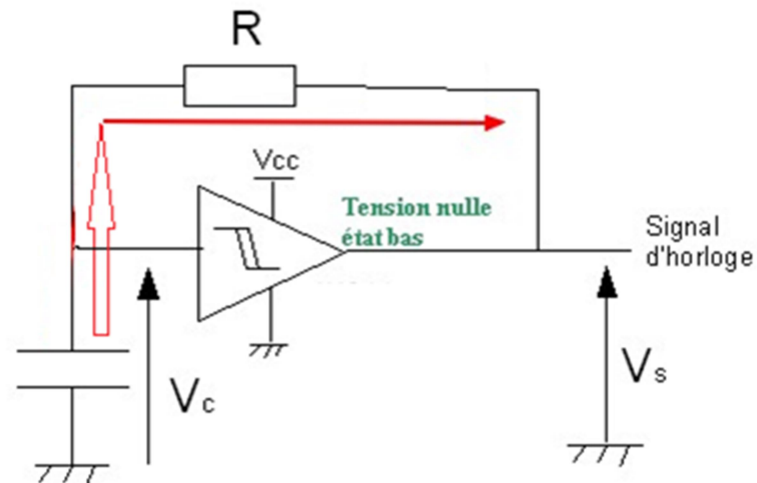


Figure 2.7 : Décharge du condensateur

Le condensateur se décharge dans la résistance jusqu'à ce qu'il atteigne le seuil inférieur de la porte qui met alors sa sortie à l'état haut (Figure 2.8).

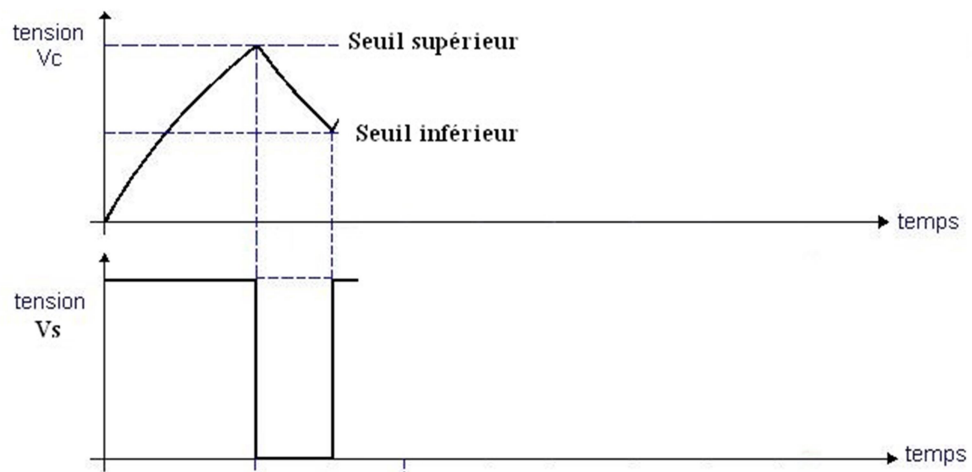


Figure 2.8 : Basculement vers le Haut

On retourne donc comme au début dans la situation où le condensateur se charge jusqu'à atteindre la limite supérieure, le cycle se répète et on obtient donc le signal d'horloge ci-dessous (figure 2.9) :

Etude, simulation et réalisation d'un testeur de circuits intégrés

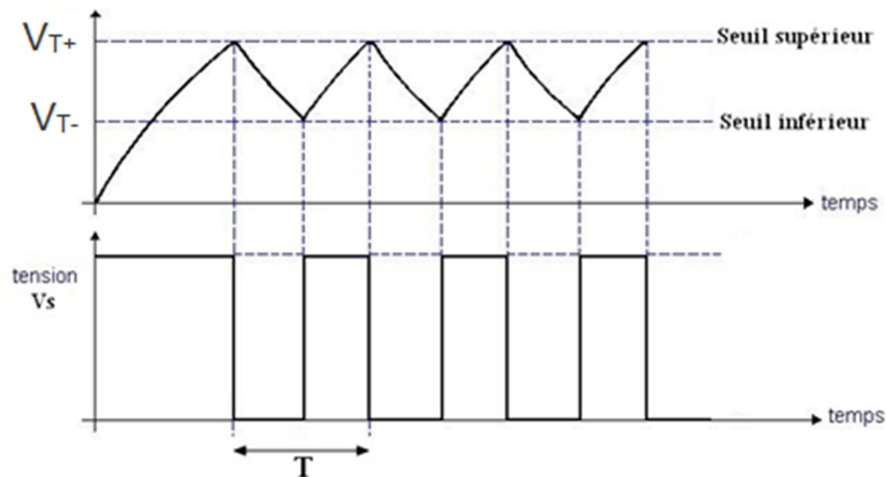


Figure 2.9 : Signal d'Horloge

La fréquence d'horloge dépend des valeurs de R et de C, mais aussi de V_{T+} et V_{T-} qui sont les tensions de seuil (Threshold) correspondant à chaque type de circuit intégré. [19]

Dans le cas du CD4584 [18]: pour $V_{DD} = 10V$

$V_{T+} = 5,3 V$ (tension de Seuil Haut) $V_{T-} = 4,6V$ (tension de Seuil Bas)

Et la fréquence d'horloge est donnée par la relation suivante :

$$f = \frac{1}{t_1+t_2} \quad t_1 = RC \ln \frac{V_{T+}}{V_{T-}} \quad t_2 = RC \ln \frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}} \quad (2.2)$$

$$f = \frac{1}{RC \ln \left[\frac{V_{DD}-V_{T-}}{V_{DD}} \times \frac{V_{T+}}{V_{T-}} \right]} \quad (2.3)$$

Dans le cadre de notre projet le circuit d'horloge est réalisé à l'aide de portes inverseuses logiques fonctionnant en Trigger de Schmitt. La particularité de ce type de déclencheur est qu'il confère aux signaux des fronts montants et descendants bien verticaux ; et en même temps il a aussi pour mission de délivrer à sa sortie des créneaux bien calibrés entre le 0 Volts (niveau bas) et la tension maximale positive correspondant à la tension d'alimentation du circuit intégré (niveau Haut).

2.4.3 Le Trigger de Schmitt :

Une bascule de Schmitt, aussi appelée Trigger de Schmitt ou bascule à seuil, est un circuit logique inventé en 1934 par Otto Schmitt, ingénieur américain. [6]

2.4.3.1. Description :

Le Trigger de Schmitt est un montage appelé aussi bascule à seuil. En effet deux seuils sont créés entre le niveau logique 0 et 1, ainsi quand le signal atteint le seuil haut la sortie du circuit passe à 1 et quand le signal dépasse le seuil bas la sortie passe à 0.

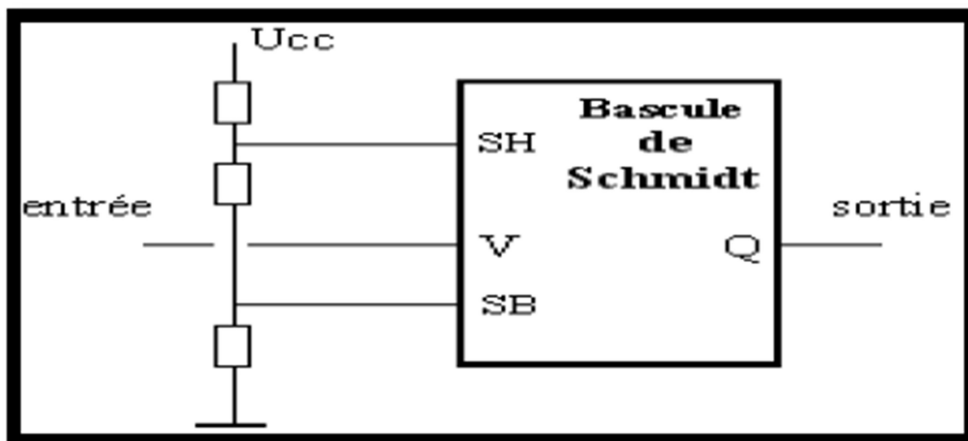


Figure 2.10 : Représentation de la bascule du Schmitt [7]

2.4.3.2. Symboles :

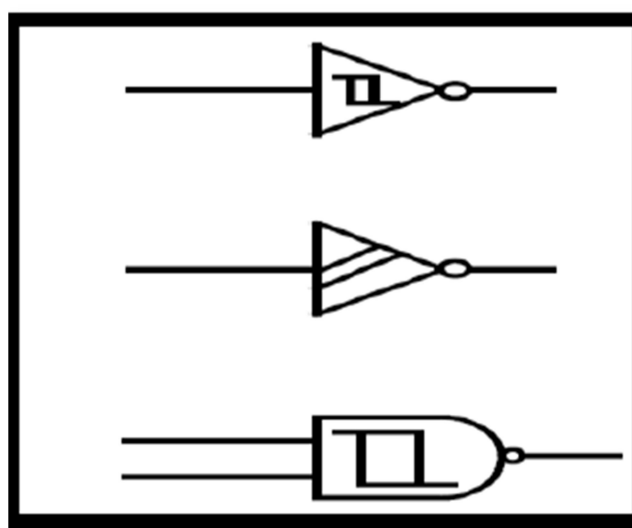


Figure 2.11 : Représentation des portes trigger de Schmitt.[7]

2.4.3.3. Principe de fonctionnement

C'est une bascule à trois entrées V, SB et SH et une sortie Q (figure 2.10). Contrairement aux autres bascules qui sont commandées en appliquant des signaux logiques à leurs entrées, la bascule de Schmitt est conçue pour être pilotée par une tension analogique, c'est-à-dire qui peut prendre n'importe quelle valeur (dans l'intervalle 0 et V_{cc} , pour ne pas dégrader le circuit). Les entrées SB et SH (Seuil Bas, Seuil Haut, ce dernier étant à un potentiel supérieur à SB) sont maintenues à des potentiels fixes ; ceci peut se faire par exemple grâce à un diviseur de tension composé de 3 résistances positionnées en série entre V_{cc} et la masse ; SH et SB sont reliés aux points intermédiaires du diviseur.

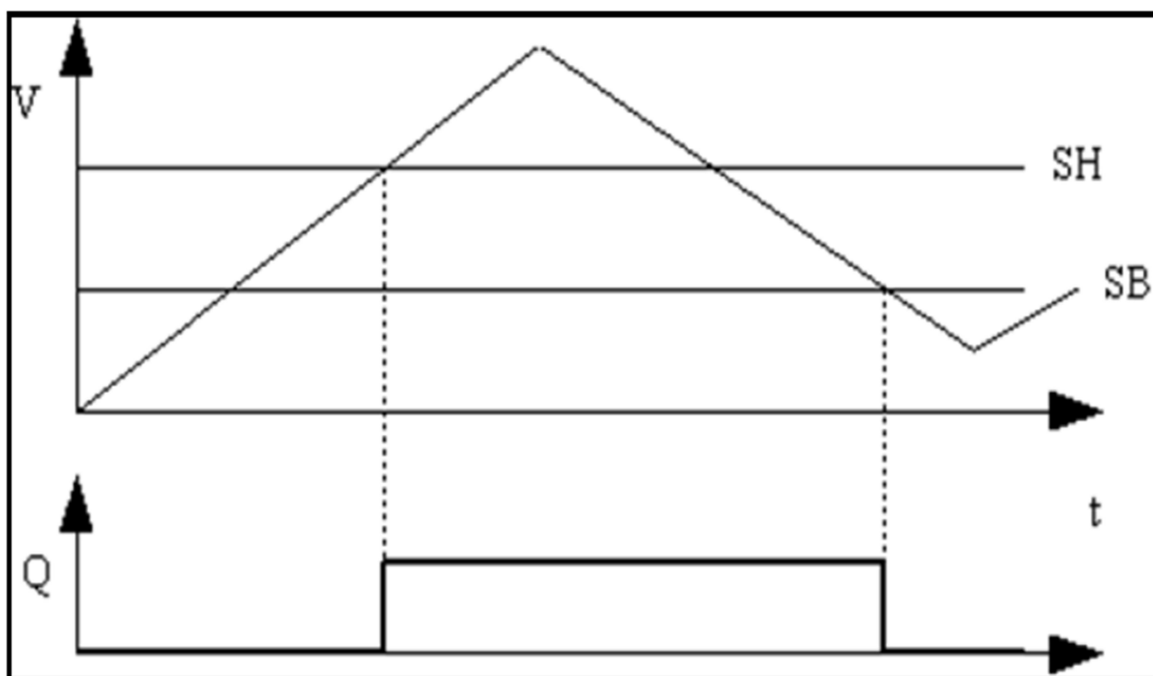


Figure 2.12 : Chronogramme de signaux de la bascule de Schmitt. [7]

*Le fonctionnement est le suivant (figure 2.12) :

- supposons qu'au départ, V soit à 0 ; Q est alors à 0 ;
- lorsque V augmente, Q reste à 0 jusqu'à ce que V dépasse SH (Seuil Haut) ; à ce moment, Q passe à 1 ;
- Q reste à 1 jusqu'au moment où V devient inférieur à SB (Seuil Bas) ; à ce moment, Q passe à 0 ;
- Q reste à 0 jusqu'à ce que V repasse au-dessus de SH.

2.4.3.4. Applications

La principale application de la bascule de Schmitt est la mise en forme de signaux analogiques pour les appliquer à des circuits logiques (par exemple une entrée de compteur).

La bascule de Schmitt peut aussi être utilisée pour :

- débarrasser un signal du bruit ; il suffit que l'écart entre SH et SB soit supérieur à l'amplitude crête-à-crête du signal ;
- réaliser des circuits de contrôle avec hystérésis : thermostats, interrupteurs crépusculaires, maintien du niveau dans une cuve...
- le trigger de Schmitt est l'ancêtre des générateurs de musique, miniaturisé dans les sonneries des montres électroniques, les sonneries des téléphones portables, les jeux électroniques, les alarmes électroniques, les cartes de vœux parlantes, les boîtes à musique et horloges électroniques, etc. Le fameux bip des premiers ordinateurs dans les années 1980 était un signal rectangulaire.

2.5. Le Circuit Intégré NE555 :

2.5.1. Présentation du NE555 : [8] et [9]

Le NE555 est un circuit intégré de 8 pattes, utilisé pour ses fonctions de timer, c'est à dire qu'il est principalement utilisé pour faire des temporisations, des générateurs de signaux carrés, ... tout ce qui se réfère au temps.

Le NE555 est un composant très courant, pas cher et très utilisé dans les circuits électroniques particulièrement dans les montages de manipulations de Travaux pratiques ou de mini projets dans les laboratoires.

2.5.2. Brochage du NE555

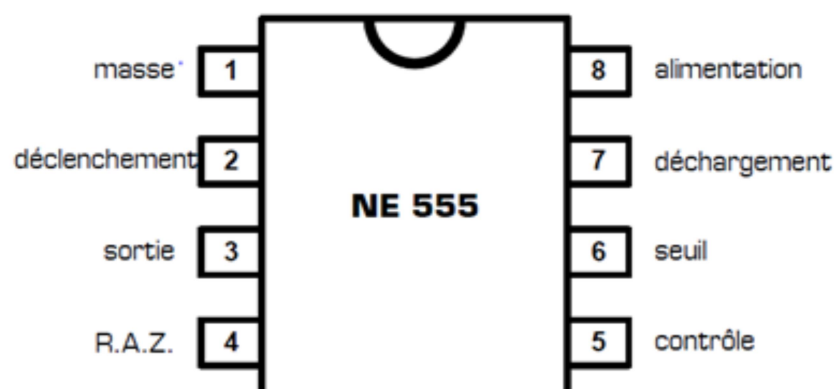


Figure 2.13 : Les broches du NE555. [10]

Etude, simulation et réalisation d'un testeur de circuits intégrés

Comme le montre le brochage sur la Figure 2.13, les 8 bornes du circuit NE 555 sont :

1 - la masse (alimentation 0 V).

2 - entrée de déclenchement (Gâchette, détecte lorsque la tension est inférieure à $1/3$ de VCC).

3 - la sortie principale.

4 - entrée RAZ (Remise A Zéro).

5 - sortie de contrôle (Accès à la référence interne ($2/3$ de VCC)).

6 - entrée de seuil (Signale la fin de la temporisation lorsque la tension dépasse $2/3$ de VCC).

7 - sortie déchargement (servant à décharger le condensateur de temporisation).

8 - alimentation (tension VCC 4.5 à 16V).

2.5.3. Principales caractéristiques :

_ Fréquence maximale : 500KHz

_ Tension d'alimentation : 4,5V à 16V

_ Courant de sortie maximum : 200 mA

_ Compatible TTL

_ Tempo de quelques microsecondes (μ s) à plusieurs heures

_ Stabilité en température : 0.005% / °C

2.5.4. Décomposition fonctionnelle :

Le NE555 est constitué de 4 blocs (figure 2.9) :

1 diviseur résistif (3 résistances de même valeur $R=5K\Omega$)

2 comparateurs

1 bascule RS

En plus de ces 4 blocs, on a un transistor de décharge dont le collecteur est relié à la borne 7 et un inverseur dont la sortie est reliée à la borne 3.

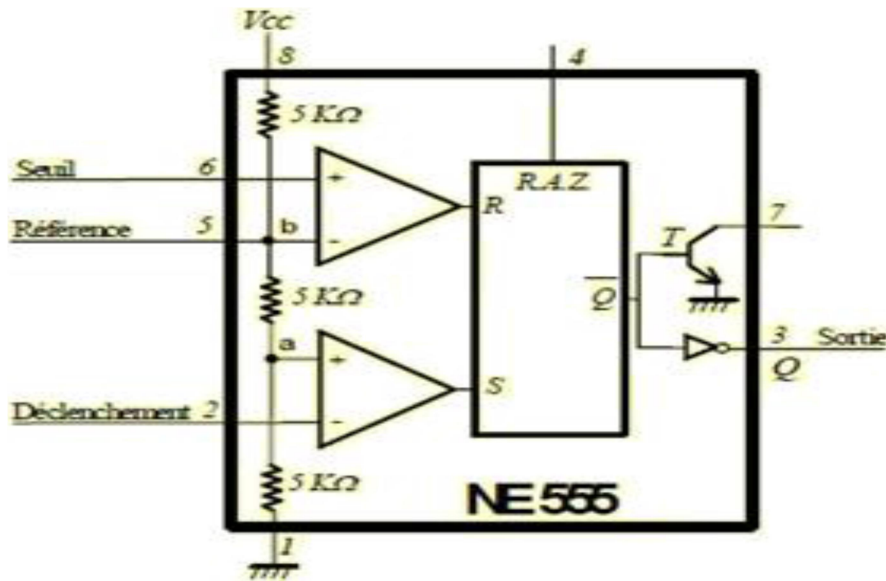


Figure 2.14 : le circuit électronique interne du NE 555.

2.5.5 : Principe de fonctionnement :

L'opération du NE555 peut prendre 4 états différents :

1 - Le signal RESET (RAZ) est à un niveau bas : La bascule est remise à zéro, le transistor de décharge s'active et la sortie reste à un niveau bas. Aucune autre opération n'est possible.

2 - Le signal TRIG (déclenchement) est inférieur à $1/3$ de VCC : la bascule est activée (SET) et la sortie est à un niveau haut, le transistor de décharge est désactivé.

3 - Le signal THRES (seuil) est supérieur à $2/3$ de VCC : la bascule est remise à zéro (RESET) et la sortie est à un niveau bas, le transistor de décharge s'active.

4 - Les signaux THRES et TRIG (seuil et déclenchement) sont respectivement inférieurs à $2/3$ de VCC et supérieurs à $1/3$ de VCC : la bascule conserve son état précédent de même que pour la sortie et le transistor de décharge.

Ces états sont résumés dans le tableau suivant :

RESET	TRIG	THRES	OUT	DISCH
0	X	X	0	Actif
1	$< 1/3 V_{cc}$	X	1	Inactif
1	$> 1/3 V_{cc}$	$> 2/3 V_{cc}$	0	Actif
1	$> 1/3 V_{cc}$	$< 2/3 V_{cc}$	Valeur précédente	

Tableau 2.1 : Tableau des états du NE555. [10]

Le NE555 peut fonctionner selon trois modes :

- Monostable, un seul état stable (signal impulsionnel, passage à 1 ou à 0 après un certain retard).
- Astable, deux états quasi stables (signal d'horloge de période constante)
- Bistable, ou flip flop, deux états stables (passer à 1 ou à 0 à des instants donnés).

2.6. Les Circuits Intégrés 741

2.6.1. Définition de l'Amplificateur Opérationnel $\mu A741$

En 1965 Fairchild Semi-conducteur a sorti les $\mu A709$, les premiers Amplis Op Monolithiques. Largement utilisés et malgré leur succès, cette premier génération présentait de nombreux défauts ; ils ont été suivis par le $\mu A741$ mieux réussi : son faible coût et sa facilité d'utilisation ont fait son énorme succès. D'autres constructeurs ont fabriqué des 741 : Motorola le MC1741, National Semi-conducteur le LM741, ainsi que d'autres équivalents comme le LF359, car leurs fiches techniques donnent les mêmes spécifications ; pour simplifier, on laisse tomber le préfixe et on parle plus simplement du 741.

2.6.2. Norme industrielle :

Le 741 existe en plusieurs modèles identifiés par : 741, 741A, 741C, 741E et 741N. Ils diffèrent par leur gain en tension, leur gamme de température, leur niveau de bruit et d'autres caractéristiques. Le 741C (C pour commercial grade : « qualité grand public ») est le moins cher et le plus répandu. Il possède un gain de tension en boucle ouverte de 100000, une impédance d'entrée de $2M\Omega$ et une impédance de sortie de 75Ω .

2.6.3. Structure et Principe de base du 741 :[11]

L'étage d'entrée est un ampli différentiel (Q_1 et Q_2). La résistance de queue R_2 est remplacée par un transistor bipolaire (Q_{14}) fonctionnant en source de courant. Les transistors Q_{13} et Q_{14} constituent le miroir de courant produisant le courant de queue de Q_1 et Q_2 plutôt que d'utiliser une résistance ordinaire dans le collecteur. Le 741 emploie une charge active (Q_4) qui se comporte comme une source de courant différentiel est beaucoup plus important qu'avec une résistance de charge passive. La base du transistor Q_5 reçoit le signal issu de l'ampli différentiel ; monté en émetteur suiveur, cet étage augmente l'impédance pour ne pas affaiblir la charge de l'ampli différentiel. Le signal de sortie de Q_5 arrive sur le transistor Q_6 . Les diodes Q_7 et Q_8 appartiennent à la polarisation du dernier étage. Q_{11} est la charge active de Q_6 . Les transistors Q_6 et Q_{11} sont montés en étage préamplificateur de grand gain en tension.

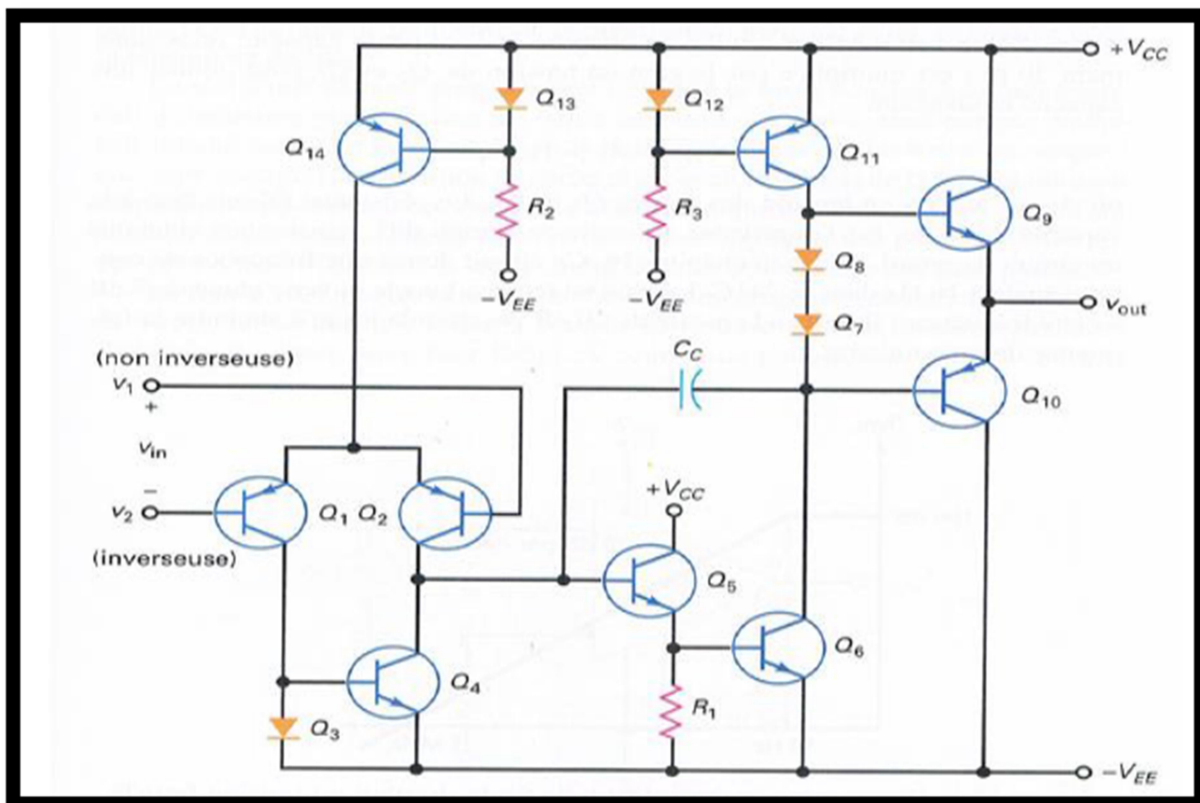


Figure 2.15 : Structure interne du 741

2.6.4. Brochage de l'AOP μ A741 : [12]

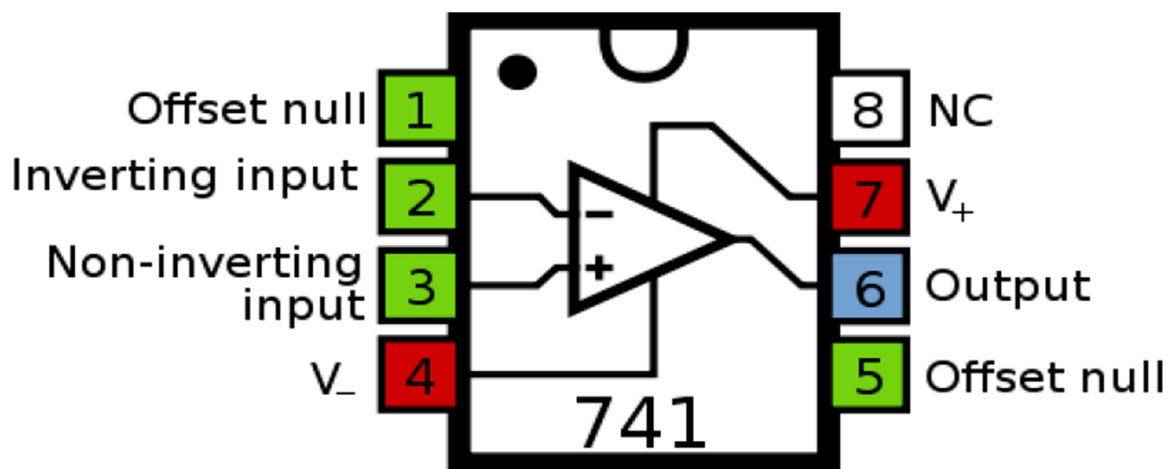


Figure 2.16 : Brochage du μ A741

2.7. Le Circuit Intégré LM324 :

2.7.1. Définition

Les LM124, LM224 et LM324 comportent 4 amplificateurs Opérationnels indépendants à gain élevé, et sont disposés et logés de la même manière dans un seul boîtier ; Ils peuvent donc être contrôlés sur un même support 14 broches.

Le plus connu et le plus utilisé est le LM324. Il est conçu pour fonctionner à partir d'une alimentation simple ou double symétrique sur une vaste plage de tensions allant de 5V à 32V. La température de fonctionnement varie de 0 °C à 70 °C à température ambiante alors que la température maximale de jonction peut atteindre 150 °C.

Délivrant un courant au grand maximum de 60mA (en court-circuit), il est préférable de ne pas se mettre dans cette configuration pour que notre LM324 puisse résister le plus longtemps possible, mais plutôt préférable pour lui de fonctionner autour de 20mA.

2.7.2. Structure interne du LM324:

La structure interne de chaque ampli Op parmi les 4 du circuit LM324 se présente selon la figure 2.12 ci-dessous :

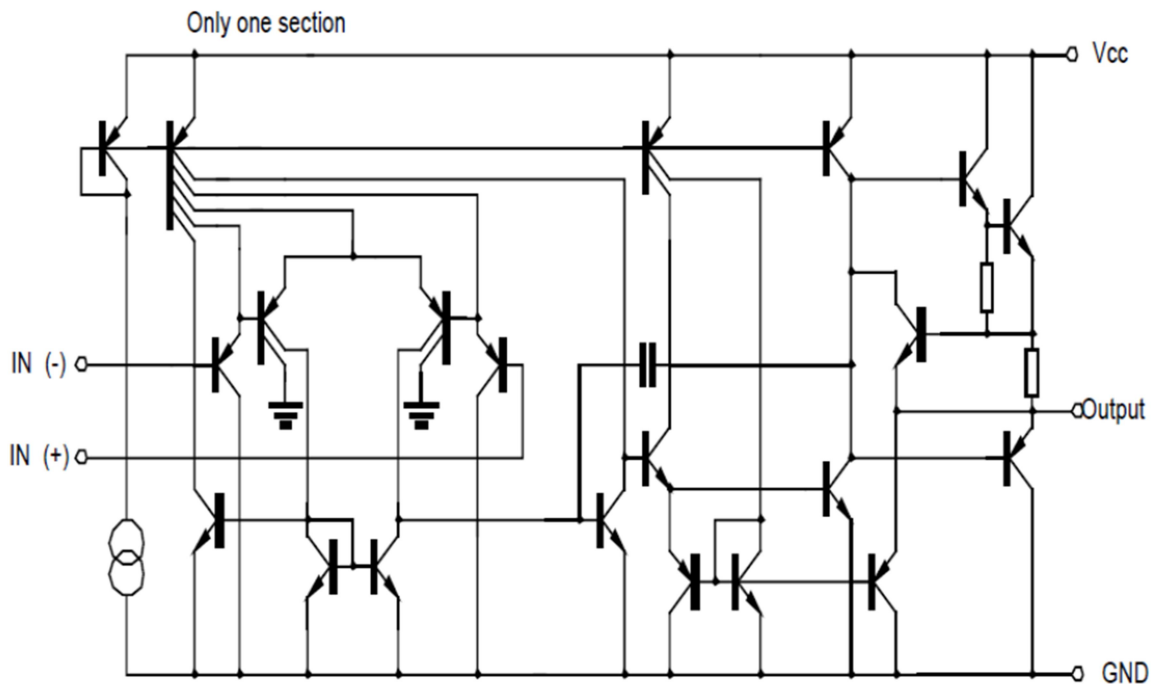


Figure 2.17: Schéma interne d'un ampli Op du Circuit Intégré LM324.

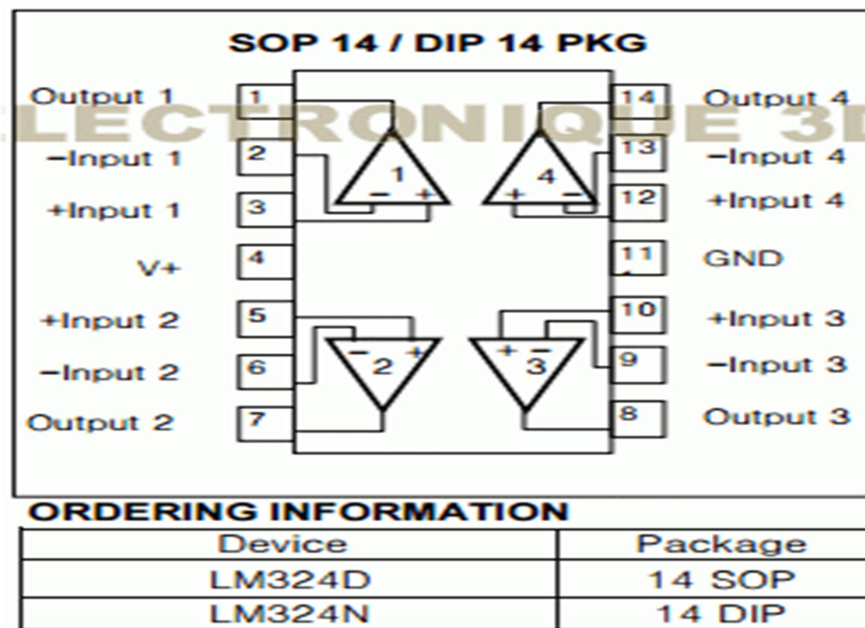
2.7.3. Applications :

Leurs domaines d'application comprennent :

- Intégrateur, différentiateur, additionneur, suiveur de tension, etc.
- Transducteurs Amplificateurs.
- Circuits de filtrage.
- Comparateurs (Contrôle de boucle et régulation).
- Blocs de gain DC.....etc.

2.7.4. Brochage du LM324 :

Le LM324 ainsi que ses circuits équivalents se présentent selon le brochage de la figure ci-dessous. Ils peuvent donc être installés ou prendre place sur le même support de 14 broches prévu pour subir le test de fonctionnement.



Brochage du LM324

Figure 2.18 : Brochage du LM324

2.8. Le Circuit Intégré CD4017 :

2.8.1. Définition du Compteur CD4017 [13]

La plupart d'entre nous sont plus à l'aise avec 1, 2, 3, 4... plutôt que 001, 010, 011, 100. Nous voulons dire que nous aurons besoin d'une sortie codée décimale dans de nombreux cas plutôt que d'une sortie binaire brute. Nous disposons de nombreux circuits intégrés de compteurs mais la plupart d'entre eux produisent des données binaires en sortie. Nous devons à nouveau traiter cette sortie en utilisant des décodeurs ou tout autre circuit afin de la rendre utilisable pour notre application dans la plupart des cas.

Le CD4017 est un circuit de décodage compteur / décimal CMOS qui peut fonctionner immédiatement pour la plupart des applications de comptage. Il possède 3 entrées (Horloge, Validation et Remise à Zéro) et 10 sorties de Q0 à Q9. Il peut compter de zéro à dix et ses sorties sont décodées. Cela économise beaucoup de place sur la carte et le temps nécessaire à la construction des circuits lorsque l'application exige l'utilisation d'un compteur suivi d'un circuit intégré de décodeur. Ce circuit simplifie également la conception et facilite le débogage. [14]

Une seule des sorties peut être active à un instant donné. Les sorties sont activées séquentiellement (c'est-à-dire l'une après l'autre) à chaque signal d'horloge.

2.8.2. Modes de fonctionnement :

Il y a 2 modes de fonctionnement possible :

Incrémentation du compteur sur front montant (mode par défaut).

Incrémentation du compteur sur front descendant. Dans le cas d'un front montant, la broche 13 sert de validation (v). Un niveau bas (0) autorise le comptage tandis qu'un niveau haut (1) bloque le comptage. Un front montant sur la broche 14 (horloge) incrémente le compteur lorsque le signal est validé.

Dans le cas d'un front descendant, le rôle des broches 13 et 14 est inversé. La broche 14 sert de validation (v). Un niveau haut (1) autorise le comptage tandis qu'un niveau bas (0) bloque le comptage. Un front descendant sur la broche 13 (horloge) incrémente le compteur lorsque le signal est validé.

2.8.3. Brochage :

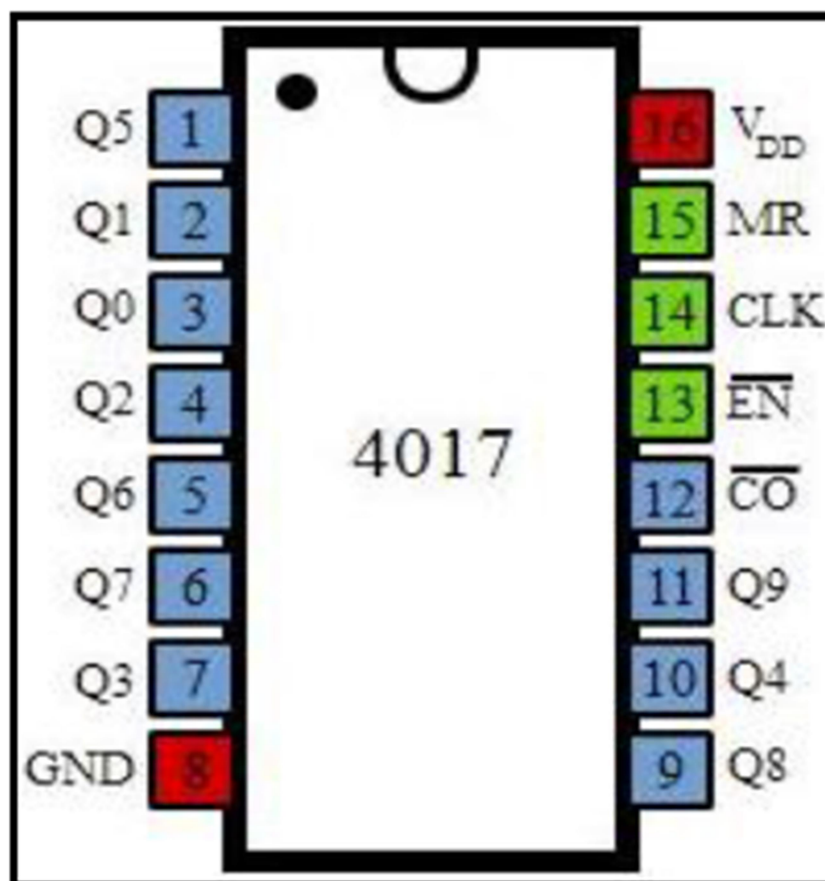


Figure 2.19 : Brochage du CD4017

Etude, simulation et réalisation d'un testeur de circuits intégrés

*Les rôles des pins sont donnés dans le tableau ci-dessous : [15]

Pin 13 CE (Clock Enable)	"0"	Allowed to Count
	"1"	STOP
Pin 14 C (Clock)	"0"	NO Count
	"1"	Count
Pin 15 R (Reset)	"0"	Allowed to Count
	"1"	Clear to "0"

Tableau 2.2 : Les rôles des pins du circuit intégré 4017.

2.8.4. Table de vérité

	H	So	S1	S2	S3	S4	S5	S6	S7	S8	S9
0	┌	1	0	0	0	0	0	0	0	0	0
1	┌	0	1	0	0	0	0	0	0	0	0
2	┌	0	0	1	0	0	0	0	0	0	0
3	┌	0	0	0	1	0	0	0	0	0	0
4	┌	0	0	0	0	1	0	0	0	0	0
5	┌	0	0	0	0	0	1	0	0	0	0
6	┌	0	0	0	0	0	0	1	0	0	0
7	┌	0	0	0	0	0	0	0	1	0	0
8	┌	0	0	0	0	0	0	0	0	1	0
9	┌	0	0	0	0	0	0	0	0	0	1

Tableau 2.3 : table de vérité du compteur- décodeur décimal CD4017

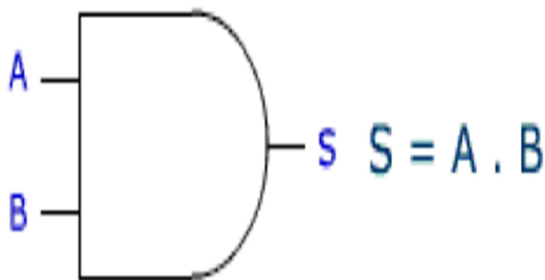
2.9. Les Circuits intégrés à portes logiques à 2 entrées :

Les Circuits Intégrés à portes logiques à 2 entrées (AND, OR, NAND, NOR) sont des circuits CMOS. Bien qu'ils soient différents dans leurs fonctions, ils sont tous construits dans un boîtier ayant 14 pins en DIL (Dual In Line Package), et composés de 4 portes logiques identiques disposées de la même manière à l'intérieur de leur boîtier. Par conséquent ces circuits intégrés pourront subir le test de fonctionnement et s'implanter sur le même support de 14 broches du Testeur de CI sans subir de détérioration.

2.9.1. Tables de Vérité [17]

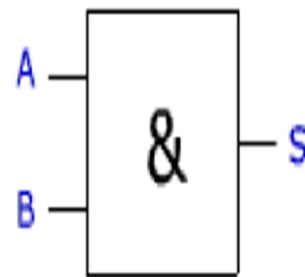
2.9.1.1. Porte AND

Symboles américains

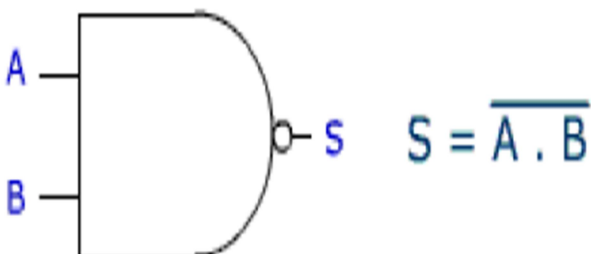


A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

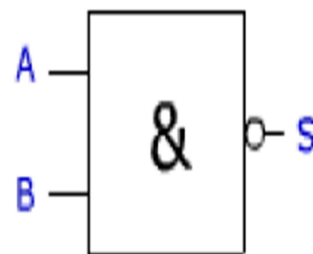
Symboles internationaux



2.9.1.2. Porte NAND



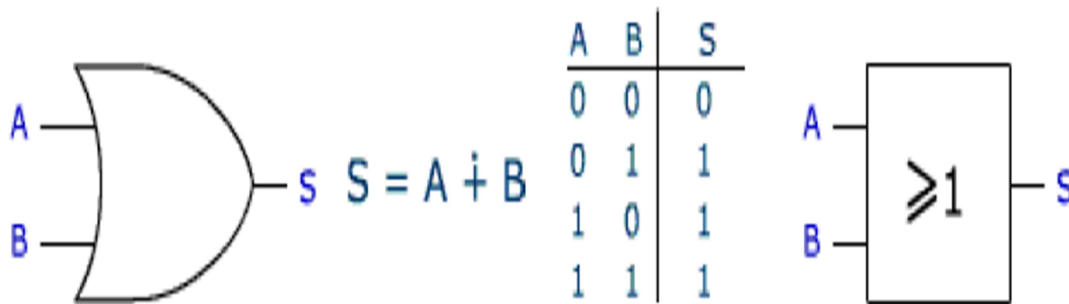
A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



(Symbole américain)

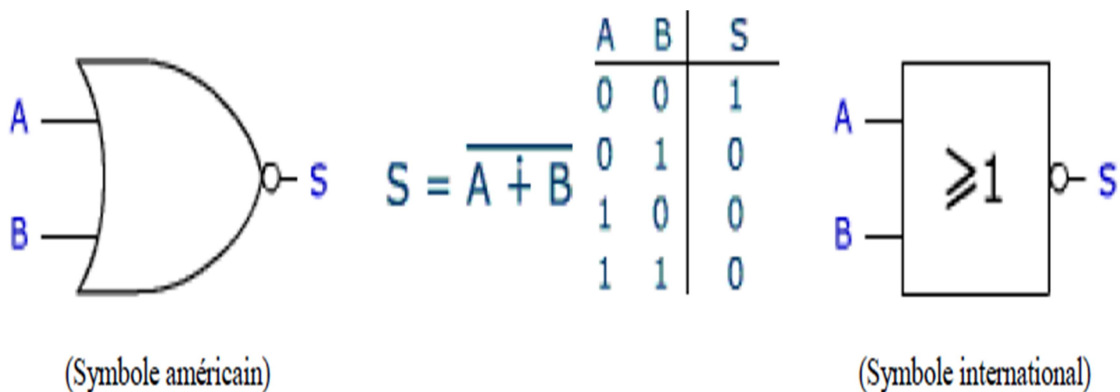
(Symbole international)

2.9.1.3. Porte OR



Symboles américains Symboles internationaux

2.9.1.4. Porte NOR



2.9.2. Description des pins des CI à portes à 2 entrées :

Les 4 circuits intégrés logiques à portes (AND, OR, NAND, NOR) qui vont être testés ont la même disposition des portes logiques à l'intérieur de leur boîtier et ils ont le même brochage selon le tableau 2.4. Ils pourront être implantés sur le même support pour subir le test.

Numéro de pins	Fonction
1, 2, 5, 6, 8, 9, 12, 13	Entrées données
3, 4, 10, 11	Sorties données
7	Reliée à la masse
14	Reliée à +Vcc

Tableau 2.4 : Description des pins du Circuit Intégré à portes à 2 entrées AND, OR, NAND, NOR.[16]

Puisque ces 4 circuits intégrés ont la même disposition de leurs portes dans leur boîtier nous ne donnerons que l'exemple de brochage du Circuit intégré CD4001 (porte NOR)

2.9.3. Brochage du CD4001 : [16]

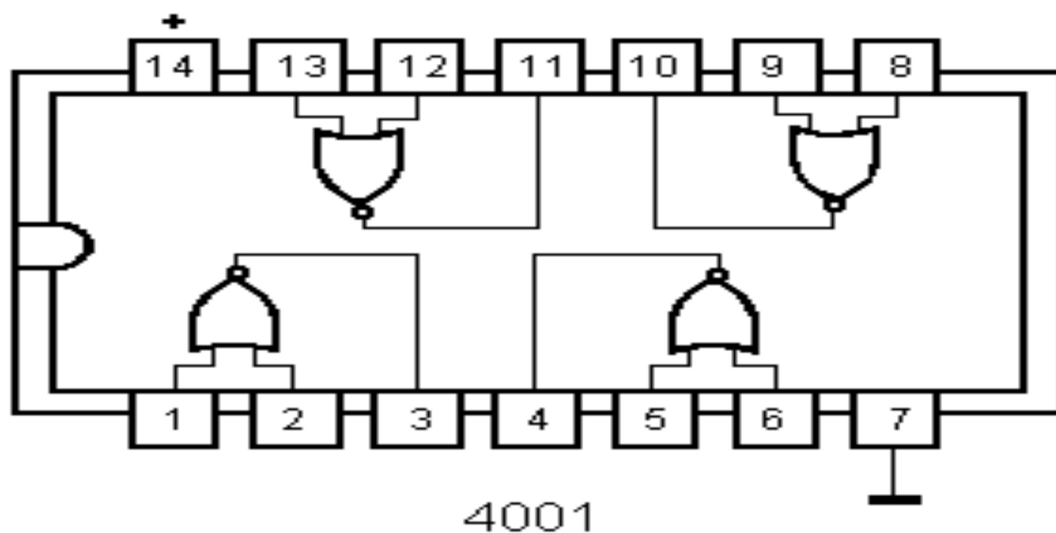


Figure 2.20 : Brochage du CD4001

2.9.4. Conditions de fonctionnement recommandées par le constructeur : [16]

Symboles	Paramètre	Valeur	Unité
VDD	Tension d'alimentation	3-20	V
VI	Tension d'entrée	0-VDD	V
TOP	Température de fonctionnement	(-40) +85	°C

Tableau 2.5 : Conditions de fonctionnement recommandées des circuits logiques CMOS

CHAPITRE 3

SIMULATION ET REALISATION DU TESTEUR DE CIRCUITS INTEGRES

Introduction :

Pour réaliser Le dispositif Testeur de Circuits intégrés, nous avons suivi les étapes de réalisation et simulation suivantes :

- a- Eclatement du schéma global pour étude, simulation et réalisation.
- b- Simulations des différents modules à réaliser constituant des bancs de test pour chaque famille de circuits intégrés. Les circuits intégrés ayant la même configuration interne ou une configuration analogue pourront donc être testés sur le même support.
- c- Réalisation sur plaque d'essai des différents modules qui constituent l'ensemble du Testeur de Circuits intégrés.
- d- Reconstitution du montage global : Réalisation sur plaque d'essai.

3.1. Présentation du logiciel de simulation ISIS de PROTEUS

3.1.1. Définition :

PROTEUS est une suite logicielle utilisée pour la conception assistée par ordinateur électronique. PROTEUS est composé de deux logiciels principaux : ISIS, qui permet la création de schémas électrique et simulation électrique, et ARES destiné à la création de circuits imprimés.

3.1.2. Capture schématique et simulation avec ISIS :

La capture schématique est une étape de la conception assistée par ordinateur (CAO) où le schéma électrique du circuit électronique conçu est créé par le concepteur. Cela se fait à l'aide d'un outil appelé éditeur de schémas. La simulation de circuit électronique utilise des modèles mathématiques pour reproduire le comportement d'un dispositif ou circuit électronique réel. C'est ainsi qu'à l'aide du logiciel « ISIS » nous avons pu réaliser (sur plaque d'essai) le schéma global et faire une simulation de fonctionnement du circuit du testeur de circuit intégrés.

3.2. Réalisation et Simulation de l'Alimentation

L'alimentation continue réalisée pourra être utile pour alimenter les circuits intégrés CMOS sous 9V, comme elle peut être extensible en utilisant un régulateur 5V et un commutateur pour alimenter les circuits intégrés TTL.

L'alimentation continue a été réalisée sur plaque d'essai à l'aide des composants qui sont disposés selon le schéma de la figure 3.1.

Etude, simulation et réalisation d'un testeur de circuits intègres

La mesure au voltmètre numérique nous donne une tension de sortie réglée à 9V. Cette tension est suffisante pour alimenter les 2 circuits d'horloges et les 6 bancs de test du montage.

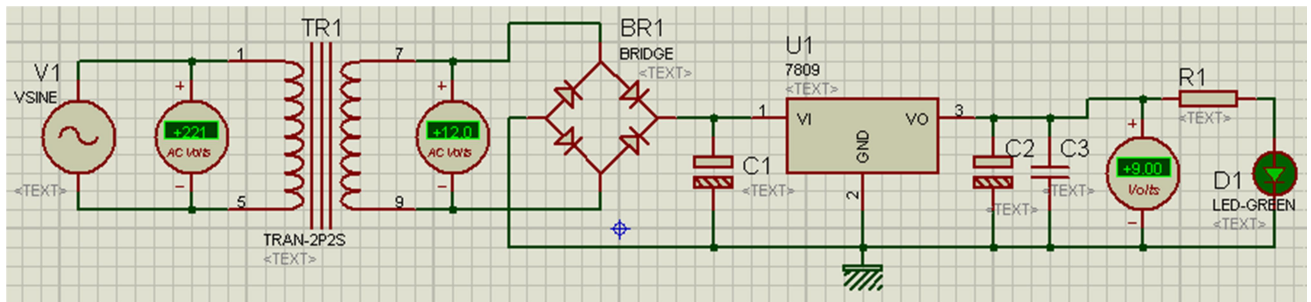


Figure 3.1 : Présentation et Simulation de l'Alimentation

Une LED verte sera branchée à l'extérieur du boîtier faisant objet de témoin à la mise en marche de l'alimentation.

Les essais sur simulation montrent l'allumage de la LED et la mesure de la tension de sortie égale à 9V.

La réalisation de l'alimentation sur plaque d'essai présentée sur la figure 3.2 montre également l'allumage de la LED. La mesure de la tension de sortie a été vérifiée égale à 9V.

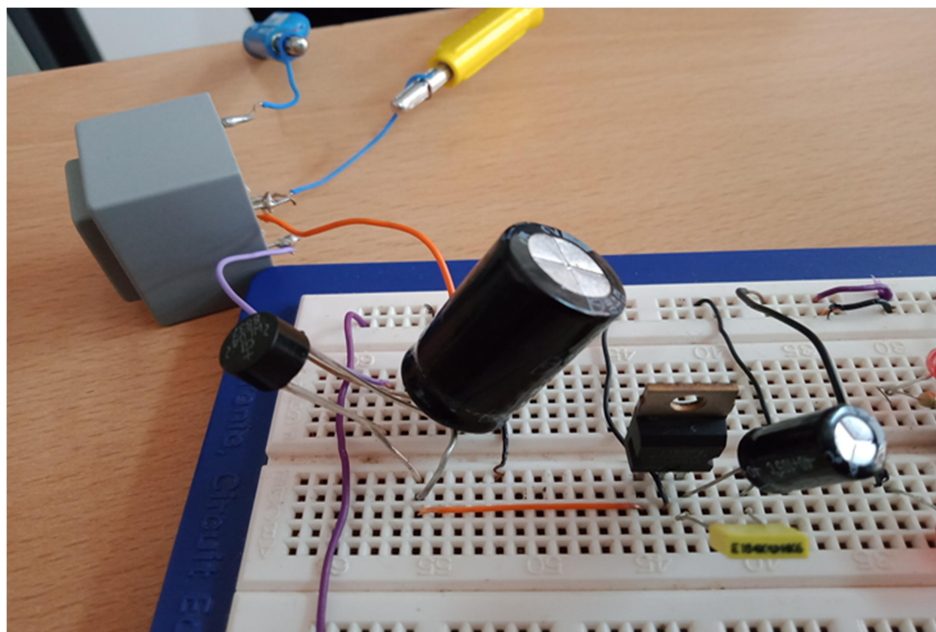


Figure 3.2 : Réalisation de l'Alimentation sur plaque d'essai

3.3. Simulation et Réalisation des Circuits d'Horloges 1 et 2 :

Nous avons réalisé 2 circuits d'horloges de fréquences différentes et de très basses fréquences permettant à l'œil nu de voir le clignotement des LED aux sorties des circuits intégrés (figure 3.3)

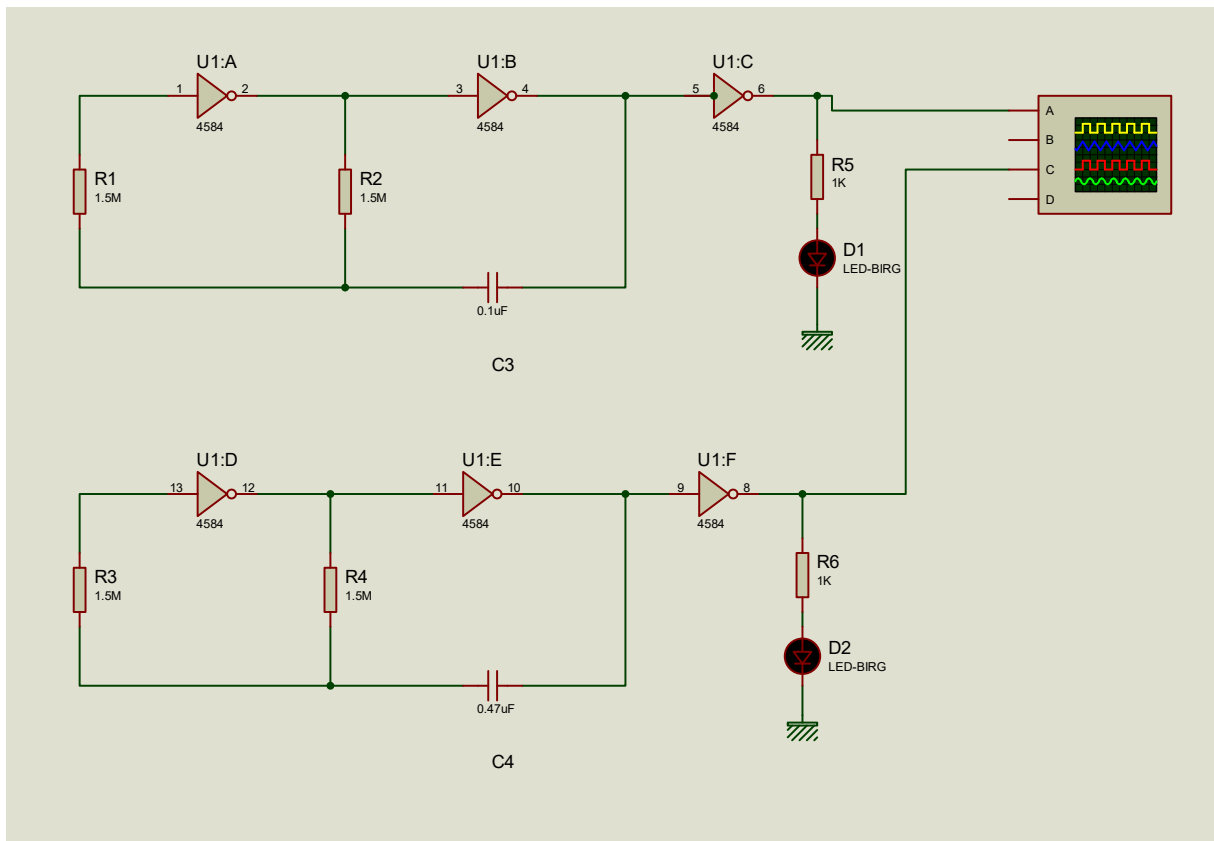


Figure 3.3 : Schéma du circuit d'horloges H1 et H2

Pour contrôler nos circuits intégrés logiques nous avons besoin de 2 circuits d'horloges que nous avons générés à l'aide d'un seul circuit intégré le CD4584 contenant 6 portes inverseuses fonctionnant en Trigger de Schmitt ; Ces circuits d'horloges sont également réalisables à l'aide du Circuit Intégré CD4069 contenant 6 portes inverseuses, chacun des circuits d'horloges utilise 3 portes inverseuses.

Le principe de fonctionnement de ces circuits d'horloges est basé sur la charge/décharge de C3 et C4 à travers respectivement les résistances R2 et R4. Les résistances R1 et R3 permettent de rétablir les seuils de basculement aux entrées des premières portes inverseuses et donc de fournir des états de sorties francs. La relation approximative donnée dans la documentation permet de calculer les fréquences d'oscillations :

Etude, simulation et réalisation d'un testeur de circuits intégrés

$$f_1 = \frac{1}{2.2R_2C_3} \quad (3.1) \quad \text{et} \quad f_2 = \frac{1}{2.2R_4C_4} \quad (3.2)$$

En effet le circuit horloge 1 supérieur construit à l'aide de 3 portes inverseuses, va nous délivrer un signal carré de fréquence de 3.03 Hz

Soit pour $R_2 = 1.5M\Omega$ et $C_3 = 0.1\mu F$

On obtient $f_1 = \frac{1}{2.2R_2C_3} \quad (3.1)$

$$f_1 = \frac{1}{2.2 \times 1.5 \times 0.1} = 3.03 \text{ Hz (clignotement rapide)}$$

Et le second circuit d'horloge 2 : avec $R_4 = 1.5M\Omega$ et $C_4 = 0.47\mu F$ permet de nous délivrer un signal carré de fréquence :

$$f_2 = 0.64 \text{ Hz (clignotement lent)}$$

Le principe du test des portes logiques à 2 entrées : c'est d'injecter ces 2 signaux d'horloges aux 2 entrées des portes logiques. Par contre on choisira un seul signal d'horloge (source) qu'on injectera aux entrées horloges des autres circuits intégrés pour faire leur test ; ainsi l'information visuelle obtenue à la sortie de chaque porte logique ou aux autres sorties des circuits intégrés à tester, par le biais de LED rouges, nous permettra de juger l'état du circuit intégré.

La réalisation pratique sur plaque d'essai des 2 circuits d'horloge (figure 3.4) ainsi que leur simulation sous ISIS (figure 3.3) nous ont permis de voir le clignotement des LED rouges pour chaque circuit d'horloge, ainsi que de visualiser les 2 signaux très basse fréquences sur l'oscilloscope (figure 3.5) et figure (3.6).

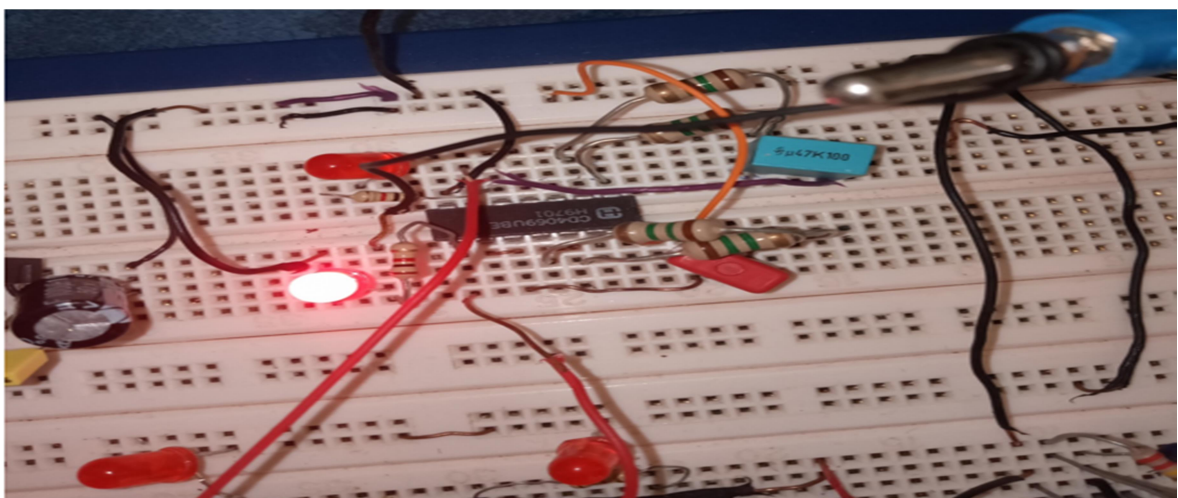


Figure 3.4 : Réalisation des circuits d'horloges 1 et 2 sur plaque d'essai

Etude, simulation et réalisation d'un testeur de circuits intègres

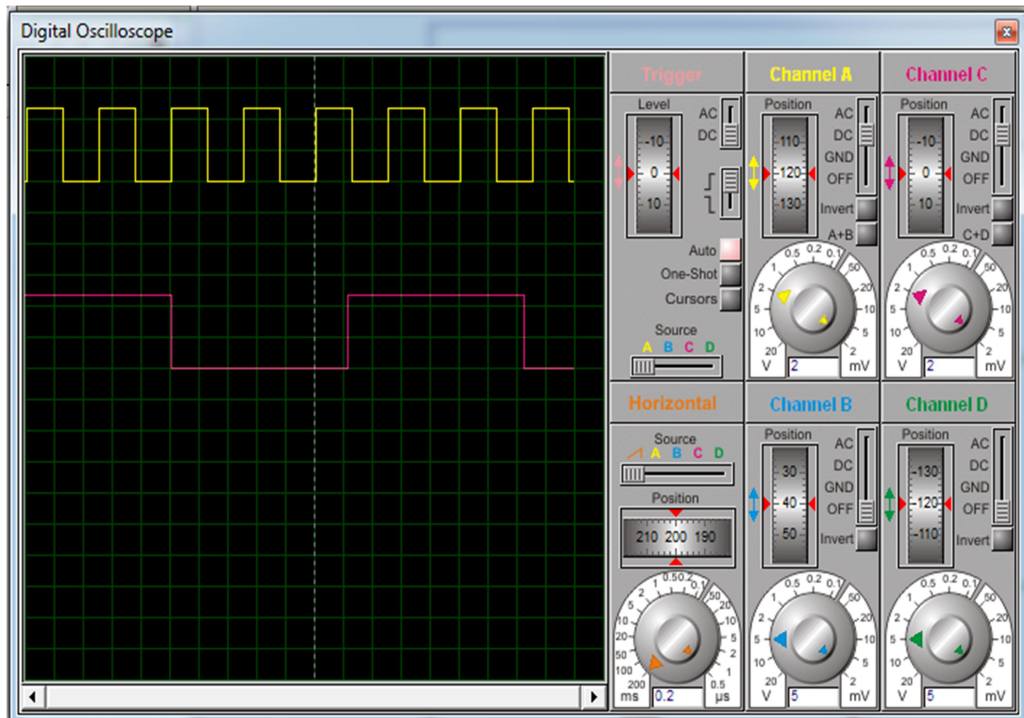


Figure 3.5 : visualisation des 2 signaux d'Horloges sous ISIS Proteus
H1 : en jaune H2 : en rouge

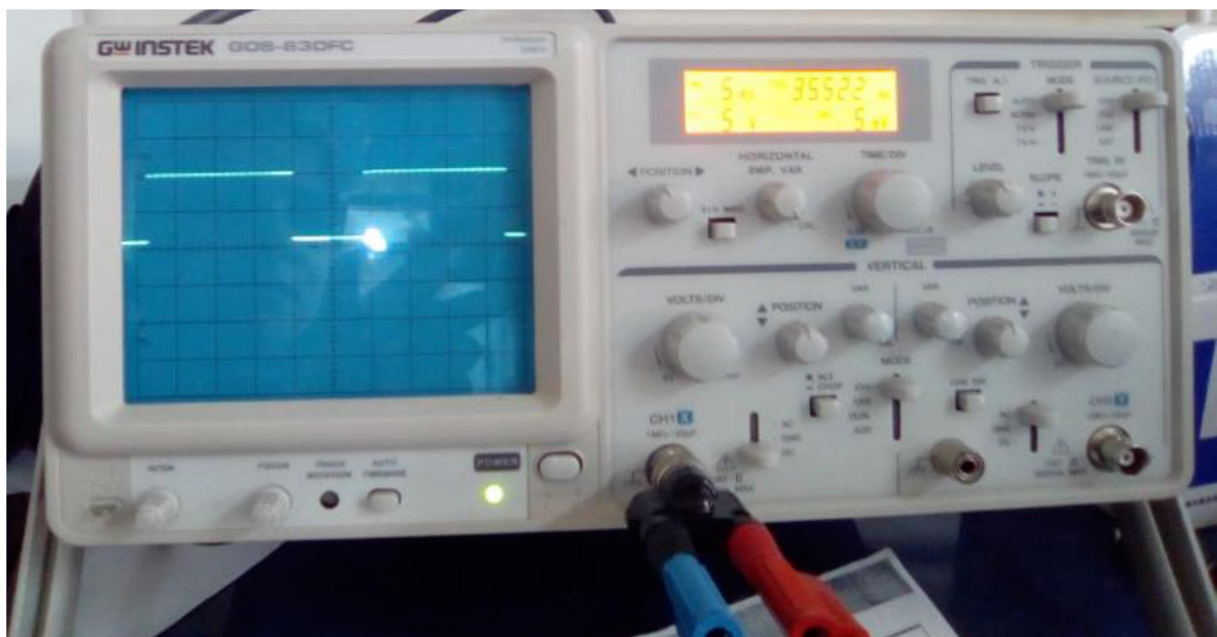


Figure 3.6 : signal d'Horloge pris par l'oscilloscope

3.4. Simulation et Réalisation du banc de Test du CI à portes logiques à 2 entrées :

Généralement les circuits intégrés à portes logiques à 2 entrées tels que les portes NAND, NOR, AND, OR, ont tous la même disposition dans la structure interne du circuit intégré et le même nombre de pattes (14 broches), par suite il sera possible de les placer sur le même support du banc de test pour subir le contrôle d'état. Ainsi un seul schéma pourra servir pour ce besoin. Par contre le résultat de visualisation à la sortie pourra être différent en fonction de chaque type de circuit intégré.

3.4.1. Schéma du Testeur de C.I à portes logiques à 2 entrées :

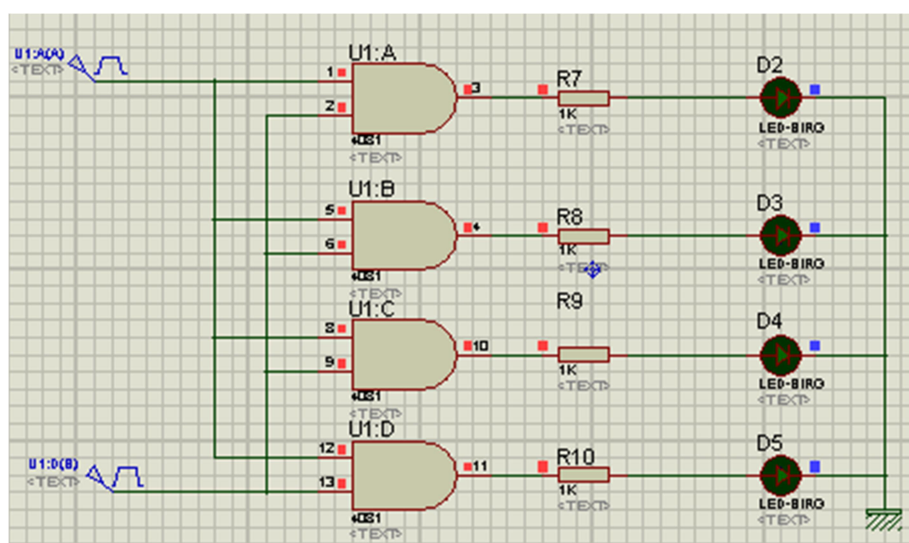


Figure 3.7 : Circuit du Testeur de C.I à portes logiques à 2 entrées (cas du CD4081 à 4 portes AND)

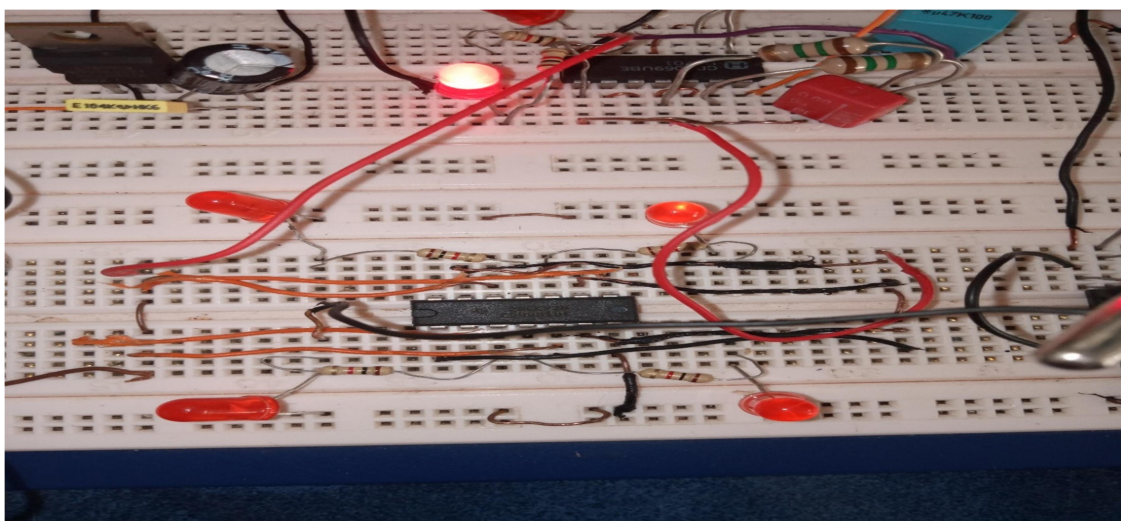


Figure 3.8 : Réalisation du Testeur de C.I à portes logiques à 2 entrées sur plaque d'essai : cas du CD4081 (4 portes AND)

3.4.2. Visualisation des signaux de sortie :

La combinaison des fréquences d'horloges H1 et H2 teste tous les états d'entrées des portes logiques. Les 4 LED à la sortie clignoteront simultanément en respectant les séquences d'allumage/extinction en fonction de chaque type de circuit intégré.



Figure 3.9 : Signal d'horloge 1 : CD4069 ou CD4584

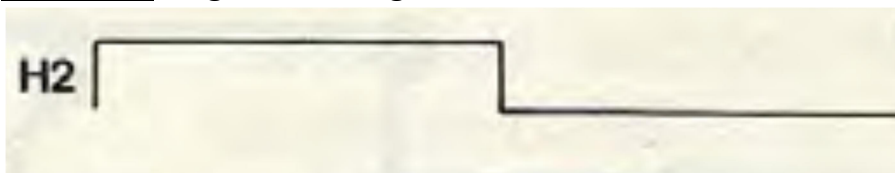


Figure 3.10 : Signal d'horloge 2 : CD4069 ou CD4584

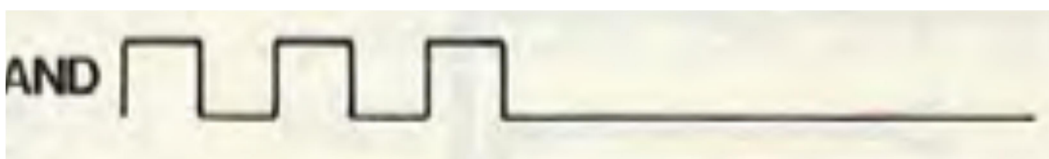


Figure 3.11 : Séquence d'allumage du CI à portes AND : CD4081

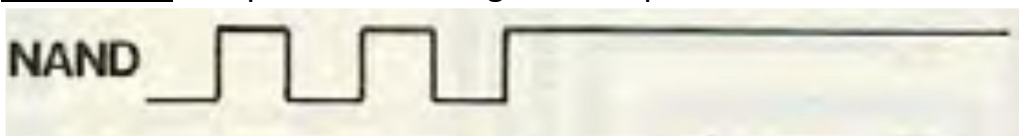


Figure 3.12 : Séquences d'allumage du CI à portes NAND : CD4011



Figure 3.13 : Séquence d'allumage du CI à portes NOR : CD4001

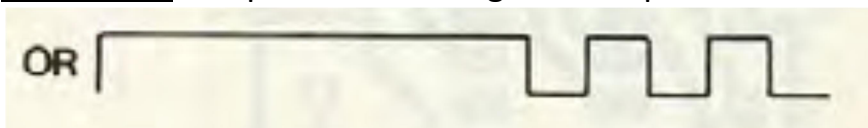


Figure 3.14 : Séquence d'allumage du CI à portes OR : CD4071

Etude, simulation et réalisation d'un testeur de circuits intégrés

Ce qu'il faut remarquer c'est que ces signaux de sorties correspondent à chaque sortie de porte, mais en réalité et puisque le circuit intégré contient 4 portes : on verra donc les 4 LED clignoter en même temps lorsqu'elles seront en bon état. Dans le cas contraire (clignotement dans le désordre, allumage ou extinction d'une LED en continu) on pourra déceler un défaut du circuit intégré.

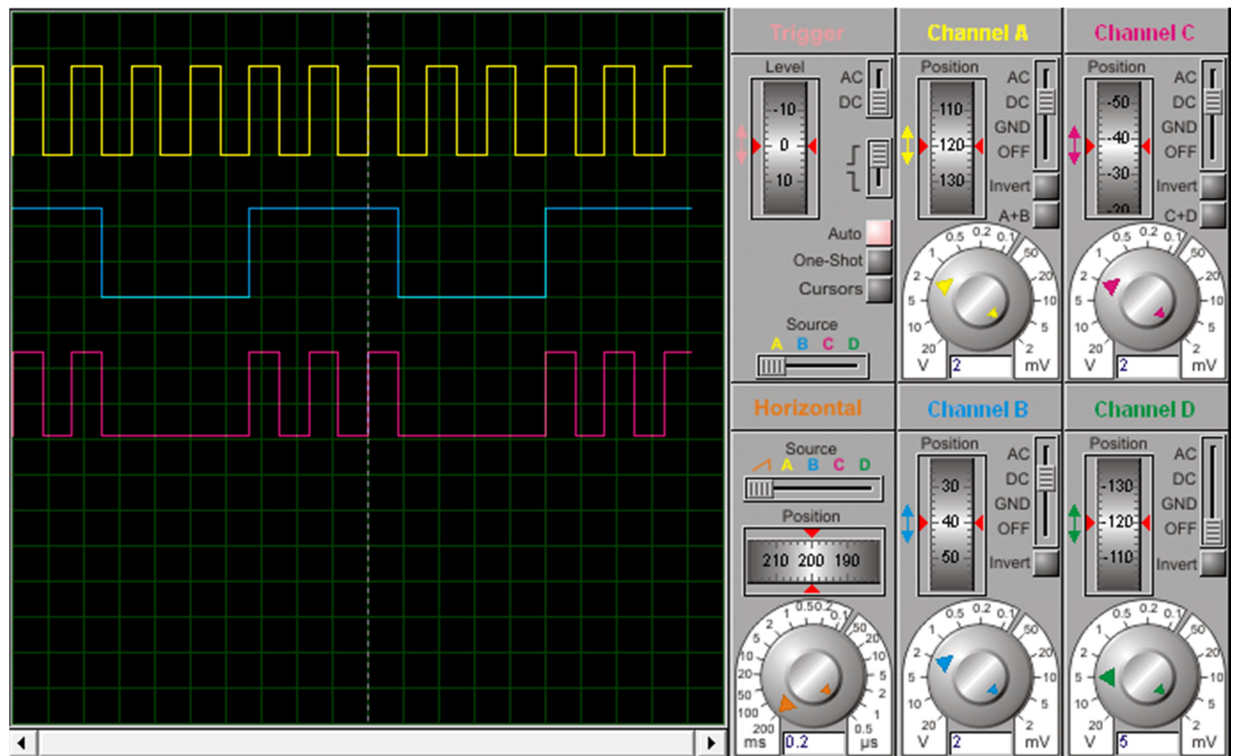


Figure 3.15 : Signaux d'Entrée H1(en Jaune) et H2 (en Bleu) ; et Signal de Sortie (en Rouge) du CI CD4081 pris par l'oscilloscope sur ISIS.

3.5. Simulation et Réalisation du banc de test du Timer NE555 :

Le circuit Intégré NE555 étant reconnu pour fonctionner sous différents modes de multivibrateur astable, monostable ou bistable.

Dans un banc de Test nous l'avons monté en oscillateur astable (Figure 3.16) délivrant ainsi des signaux en créneaux à très basse fréquence de telle sorte que le clignotement de la LED serait visible à l'œil nu, et permettra de contrôler l'état de fonctionnement de ce circuit.

Etude, simulation et réalisation d'un testeur de circuits intègres

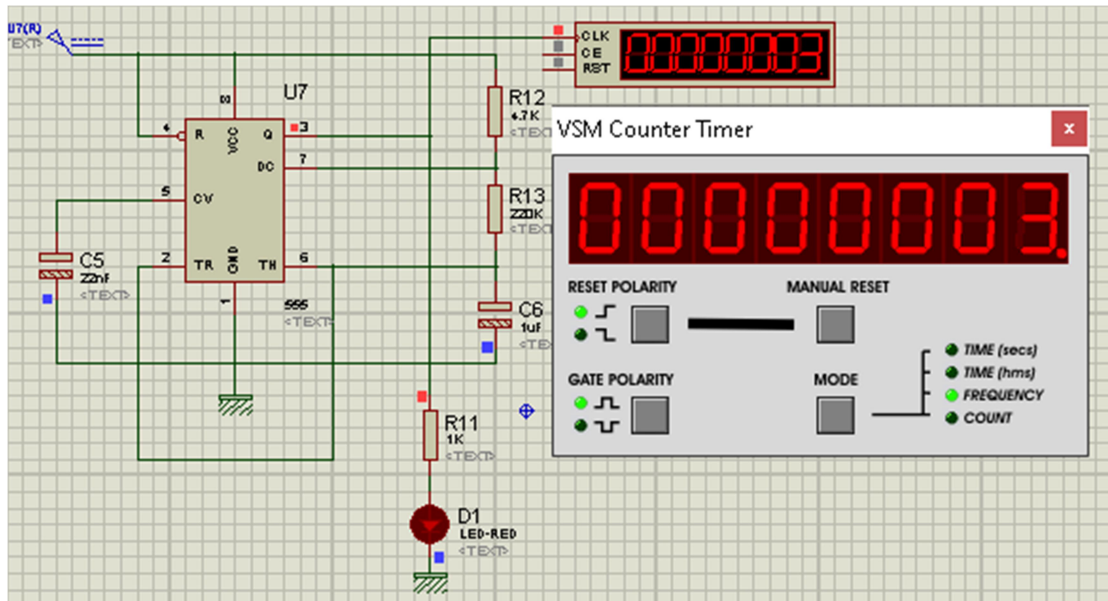


Figure 3.16 : Banc de test du C.I NE555

Pour $R_{12}= 4,7K\Omega$ $R_{13}=220K\Omega$ et $C_6= 1\mu F$

La relation de la fréquence de ce timer NE555 est

$$F= 1/0,7(R_{12}+2R_{13}) C \quad (3.3)$$

Soit une fréquence de $F=3.212\text{Hz}$ Le circuit de testeur du CI NE555 a été simulé sous Isis et réalisé sur plaque d'essai et nous avons bien constaté le clignotement de la LED à une très basse fréquence de 3.212 Hz Dans le cas d'un circuit défectueux : la LED ne s'allume pas ou bien reste allumée en continu.

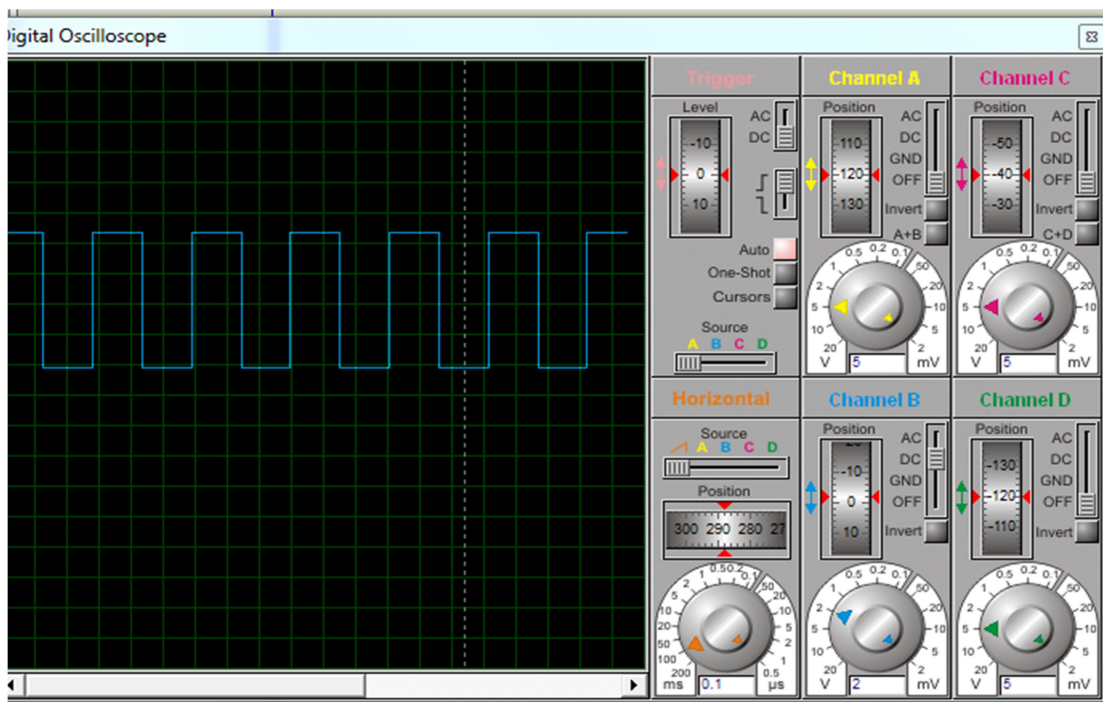


Figure 3.17 : signal de sortie de NE555 sous ISIS Porteus

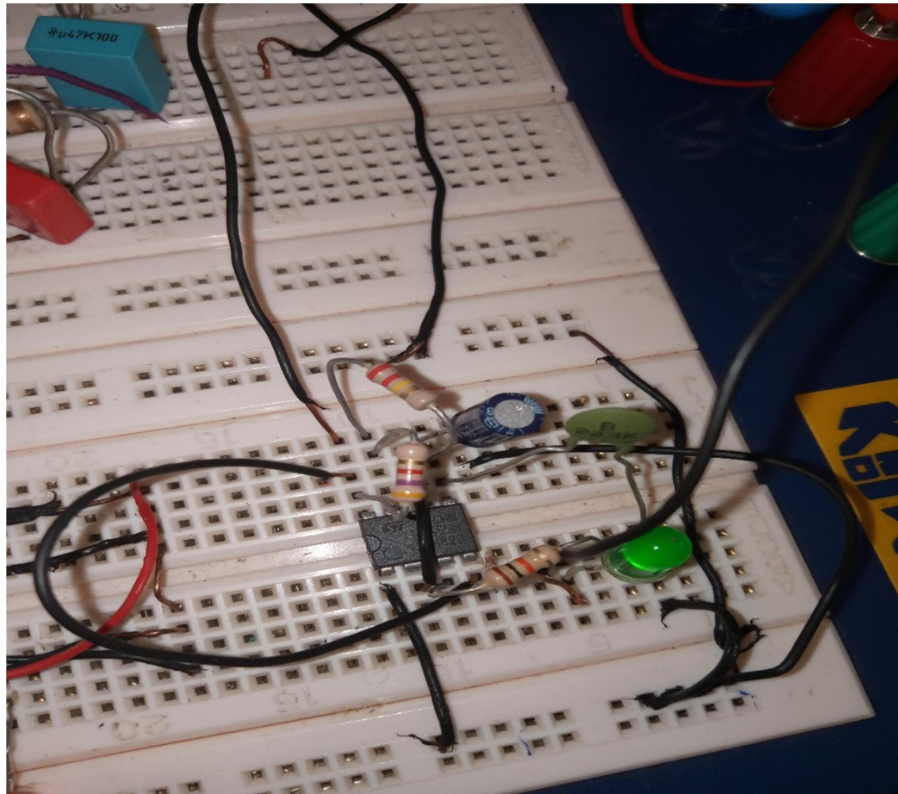


Figure 1.18 : Réalisation du banc de test du CI NE555 sur la plaque d'essai

3.3. Simulation et Réalisation du banc de test du CI Logique à portes inverseuses :

Le banc de test de portes inverseuses est un simple circuit (figure 3 .19) construit autour d'un support de circuit intégré à 14 broches, dans lequel on implante le CD4069 ou le CD4584 ou le 40106 etc. Le montage est fait de sorte que les 6 portes inverseuses du CI soient mises en série. Et puisque le nombre de portes en série est paire le signal à l'entrée sera de même nature que le signal de sortie et donc ces 2 signaux seront synchrones c'est-à-dire les LED du signal d'entrée et de sortie s'allumeront et s'éteindront en même temps. Tout défaut sur le circuit sera visible à l'œil nu lorsque la LED de sortie restera soit éteinte, soit allumée ou se désynchronise par rapport l'entrée.

Remarque : si on veut tester la sortie de chaque porte inverseuse, on pourra ajouter 5 autres LED sortant de chaque porte inverseuse et protégées chacune par une résistance, ce qui donnera un effet de jeu de lumière. (Les LED d'ordre pair clignoteront ensemble, en alternance avec les LED d'ordre impair).

Etude, simulation et réalisation d'un testeur de circuits intégrés

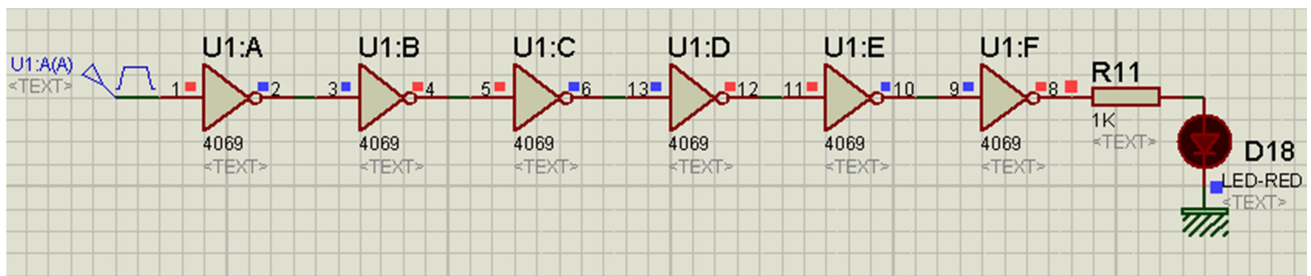
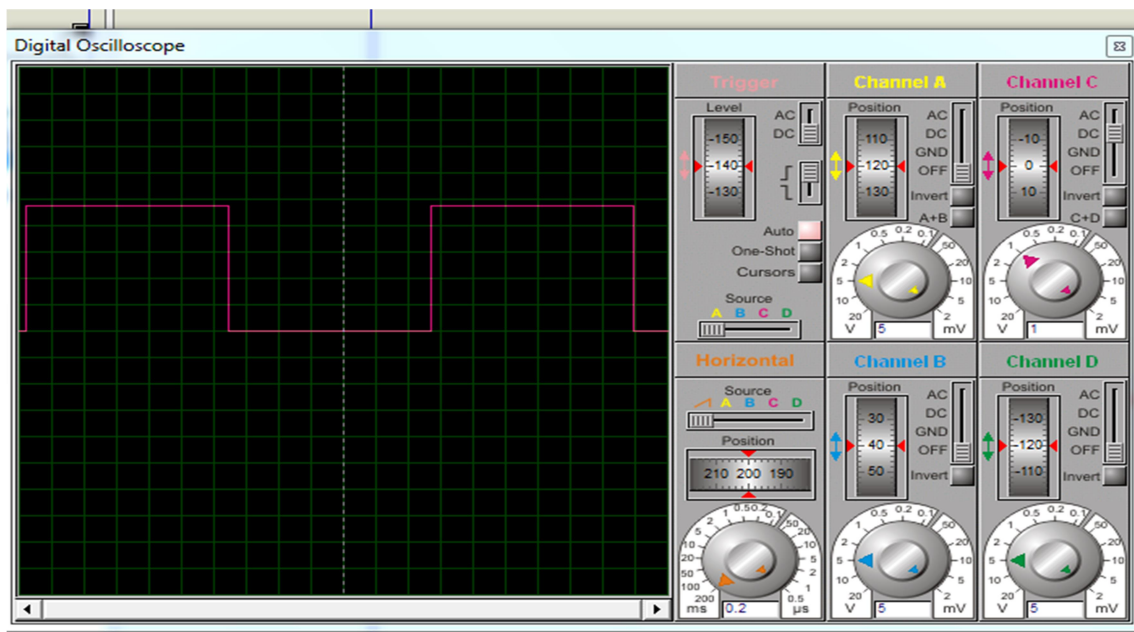


Figure 3.19 : Banc de Test du C.I logique à portes inverseuses



Signal 3.20 : Signal de sortie du CI à porte inverseuses sous ISIS proteus

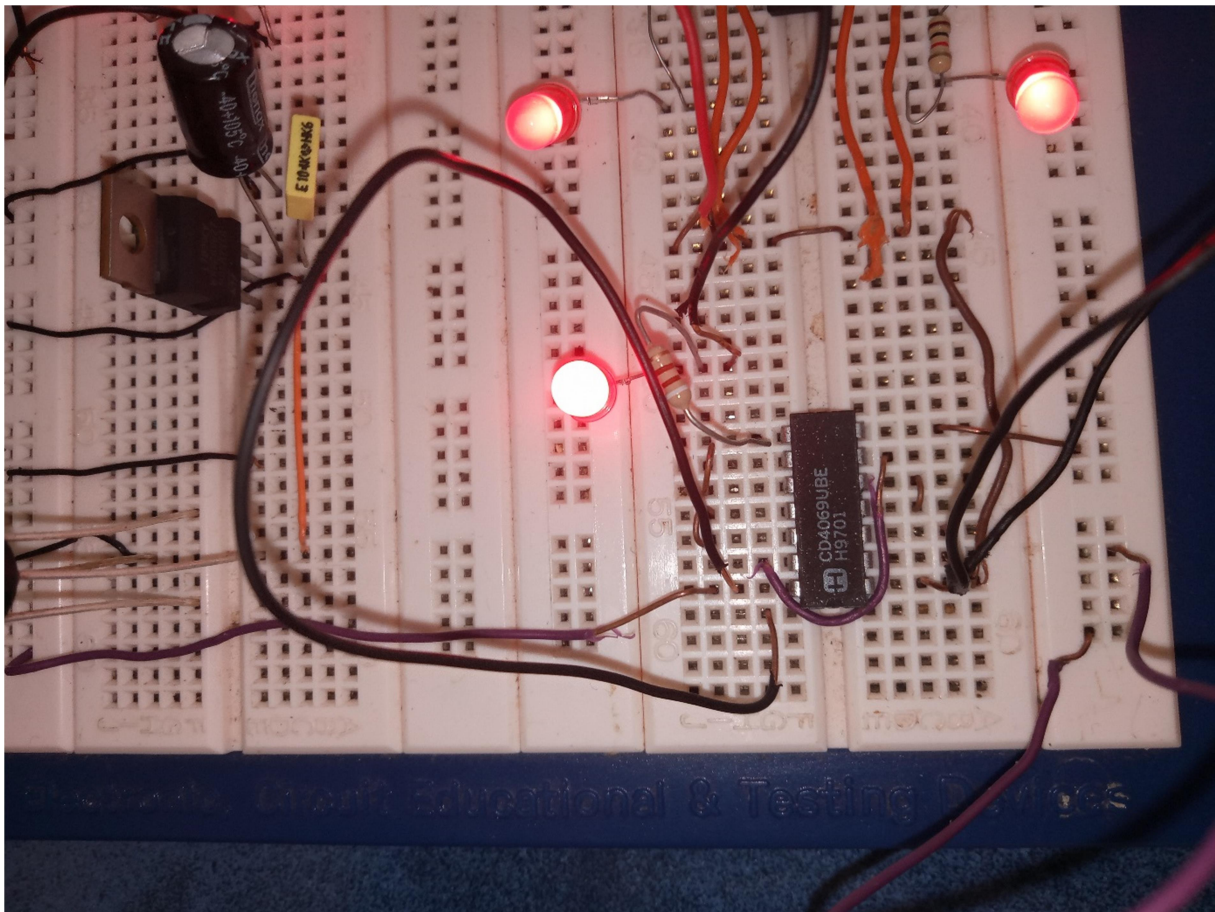


Figure 3.21: Réalisation du banc de test du C.I logique à portes inverseuses sur plaque d'essai

3.4. Banc de Test de l'ampli Op 741 et équivalents :

Pour le banc de test de la famille de l'amplificateur Opérationnel 741 Le support CI à 8 broches qui recevra le μ A741 ou son équivalent sera construit autour d'un montage comparateur (figure 3.22). En effet l'entrée inverseuse est polarisée par le diviseur de tension réalisé par les résistances R_{26} et R_{27} et donc cette entrée (-) sera de 4,5 V alors que l'entrée non inverseuse recevra le signal d'Horloge H1. La LED D_{18} visualise la sortie qui se montre en phase avec H1 lorsque le circuit est en bon état. Dans le cas d'un défaut apparent on observera une anomalie d'allumage ou extinction de la LED à la sortie de L'ampli Op.

Etude, simulation et réalisation d'un testeur de circuits intégrés

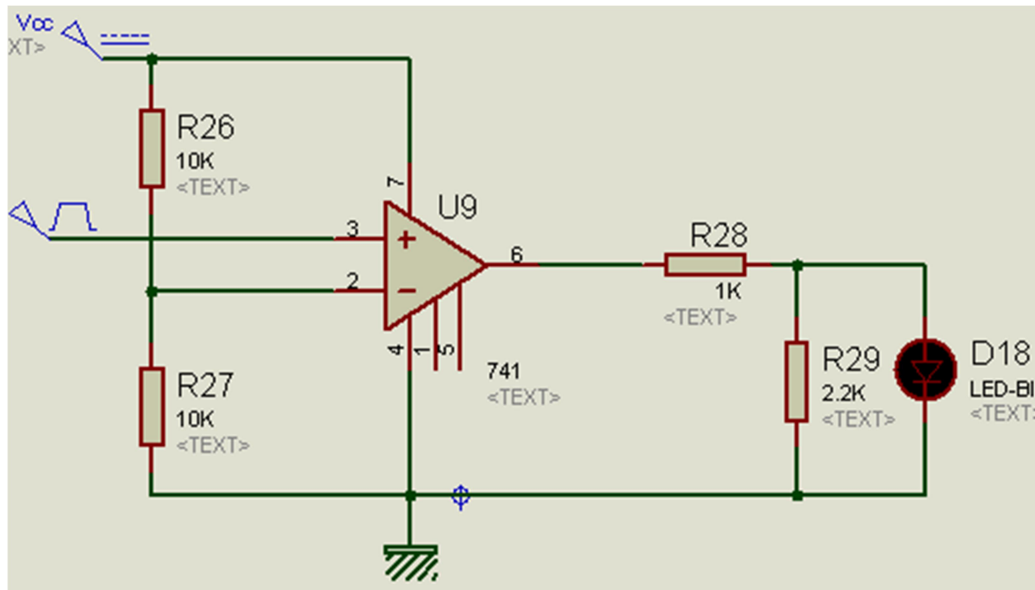


Figure 3.22 : Banc de Test de L'ampli Op famille du 741

La simulation de ce montage et sa réalisation sur plaque d'essai ont montré son bon fonctionnement.

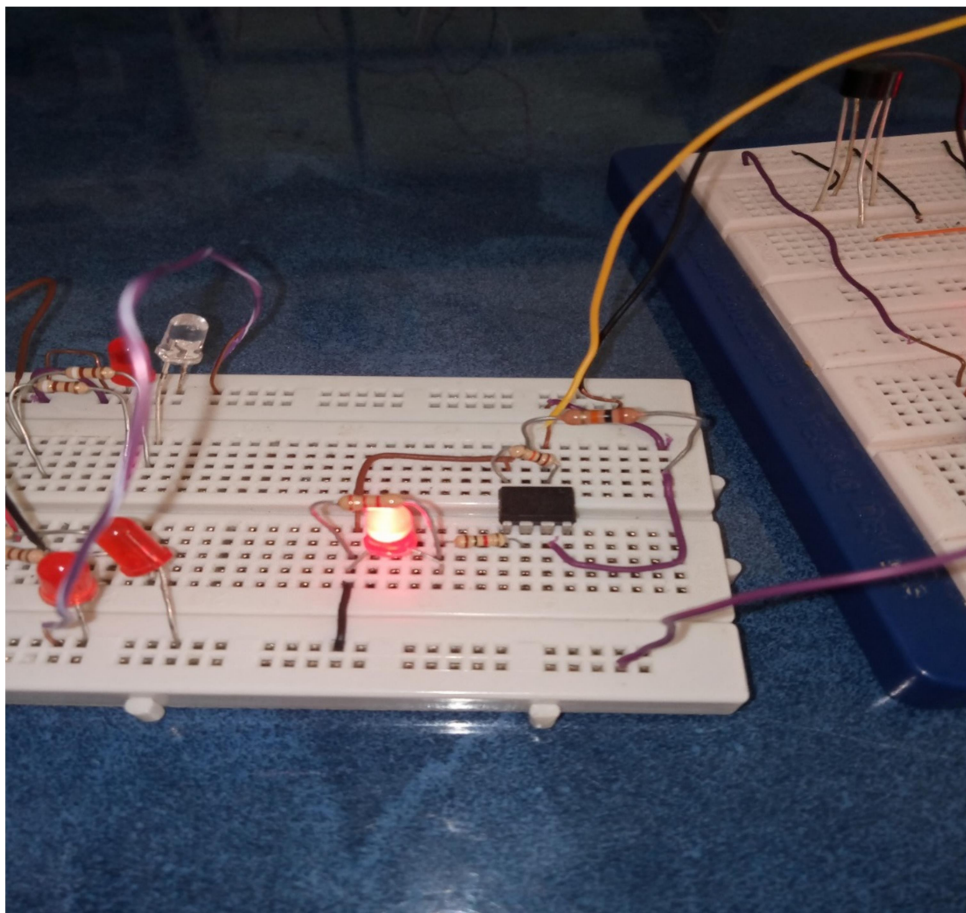


Figure 3.23 : Réalisation du Banc de Test du C.I μ A741 sur plaque d'essai

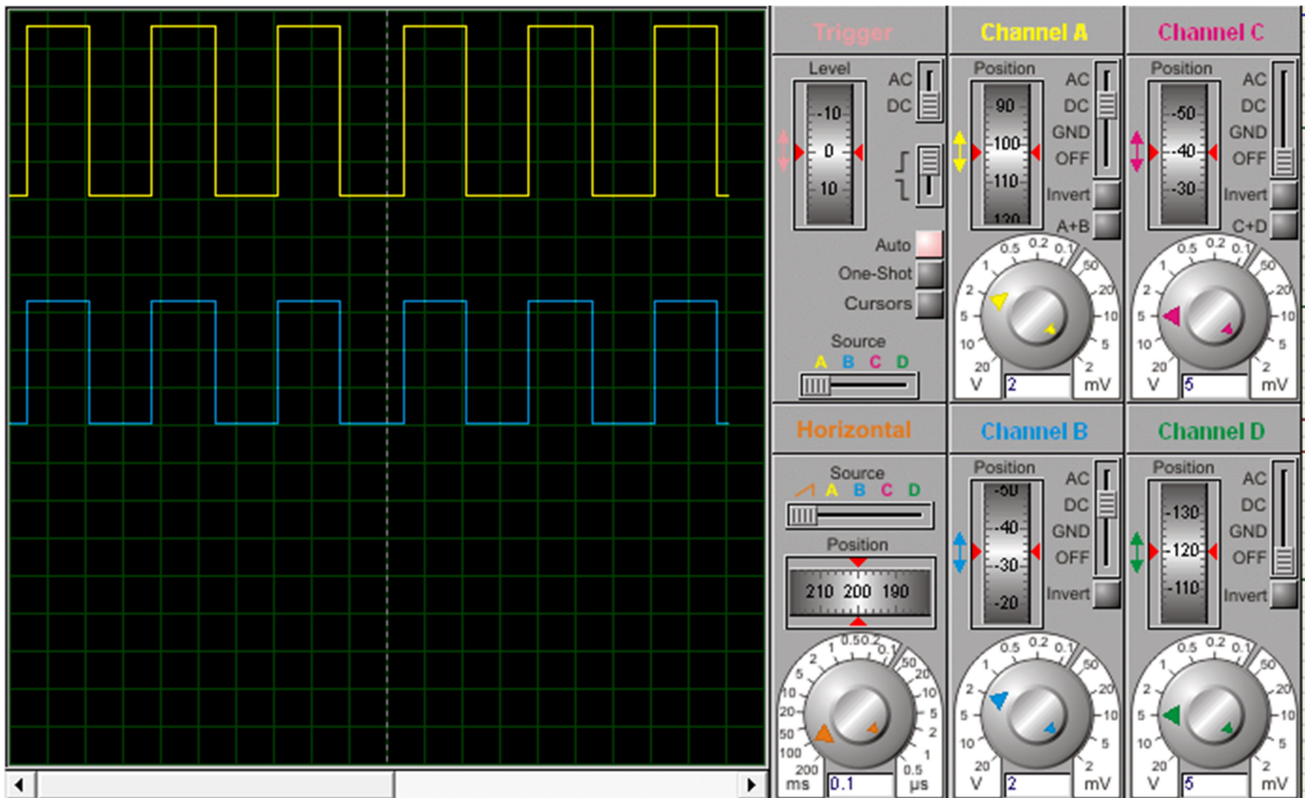


Figure 3.24 : signaux d'entrée (Jaune) et de sortie (Bleu) du $\mu A741$ pris sous ISIS

3.5. Banc de Test du C.I LM324 :

Le CI LM324 ou son équivalent est composé de 4 Amplificateurs Opérationnels. Pour contrôler l'état de ce CI il lui faut un support de 14 broches. Ainsi pour vérifier l'état de ce CI il nous faudra construire 4 circuits comparateurs autour de ce support avec 4 LED en sortie correspondant à chacun des Ampli Op. (Figure 3.25)

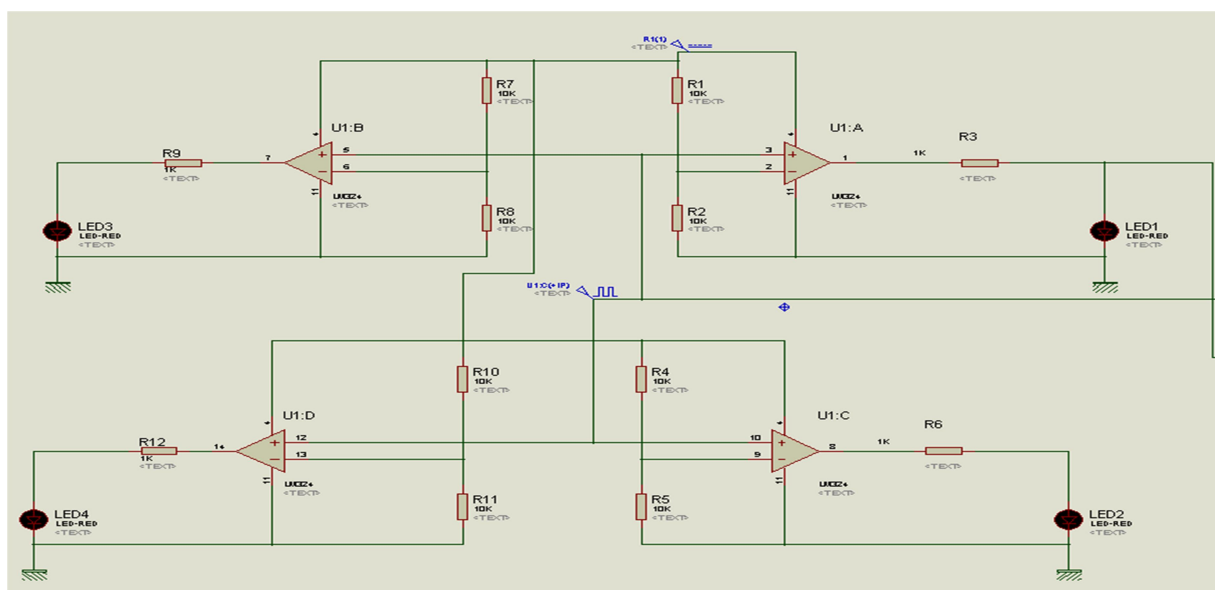


Figure 3.25 : Schéma de Simulation du LM324 sous ISIS-PROTEUS

Etude, simulation et réalisation d'un testeur de circuits intégrés

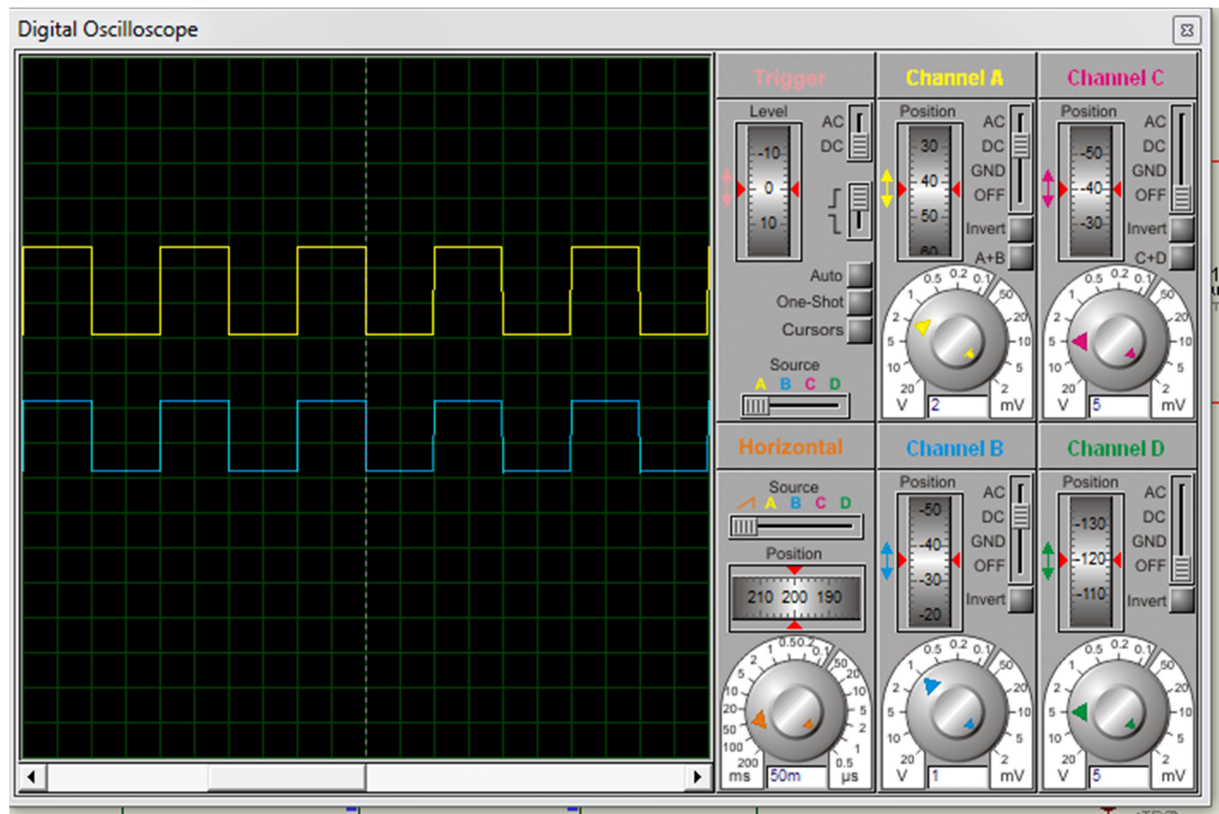


Figure 3.26 : signaux d'entrée (Jaune) et de sortie (Bleu) du LM324 sous ISIS

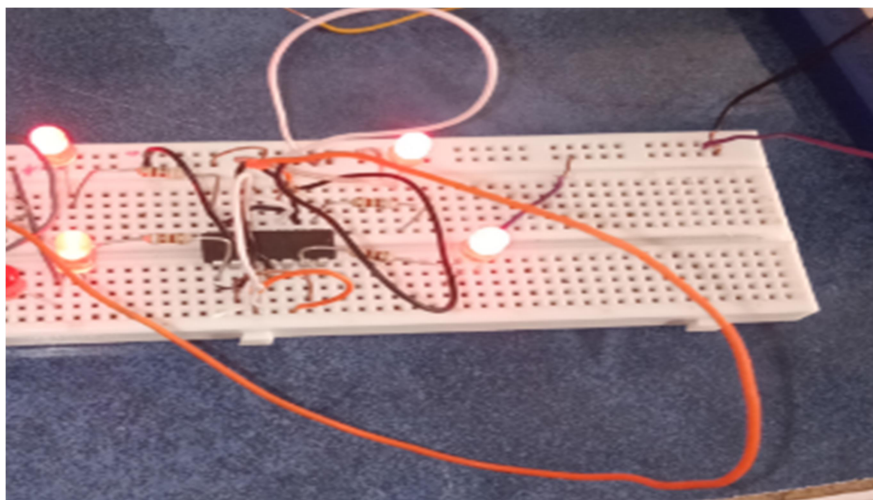


Figure 3.27 : Réalisation du Banc de Test du Circuit Intégré LM324 sur la plaque d'essai

3.6. Banc de Test du CI Compteur Décimal CD4017

Pour contrôler l'état du compteur décimal CD4017 il faudra vérifier l'état de ses 10 sorties. A cet effet le circuit à réaliser sera de type chenillard électronique dans lequel chacune des LED à sa sortie, s'allumera successivement et cela au rythme de l'horloge H1 (Figure 3.28).

Etude, simulation et réalisation d'un testeur de circuits intègres

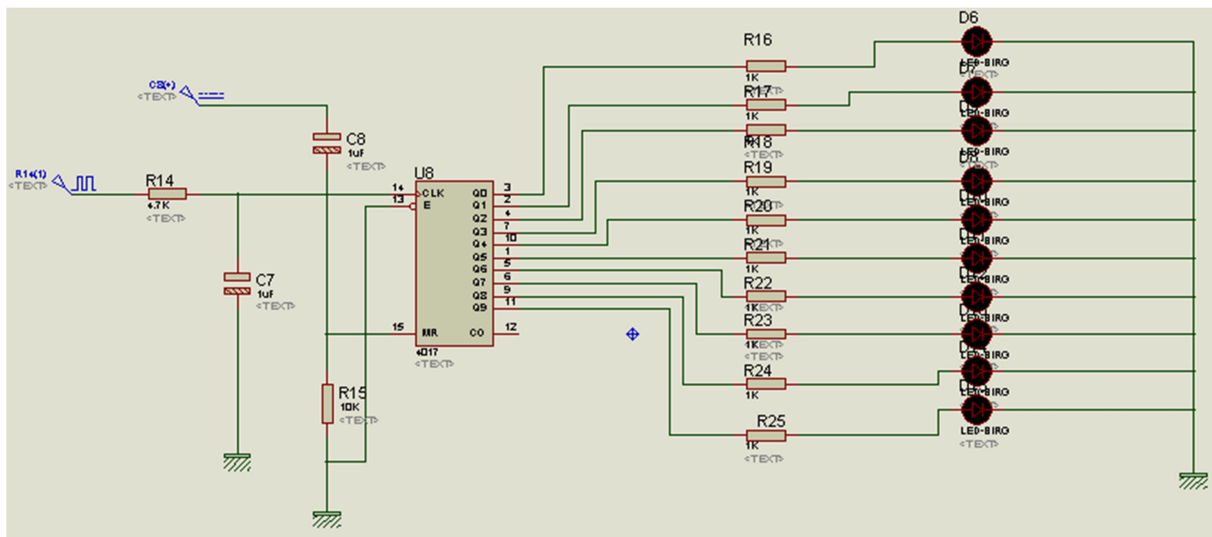


Figure 3.28 : Schéma du Banc de Test du C.I CD4017 sous ISIS.

L'allumage en cascade des LED est visible à l'œil nu et nous informera si le CI 4017 est en bon état. Un défaut du circuit sera détecté si on observe un désordre d'allumage des LED ou un allumage permanent ou extinction constante de l'une des LED.

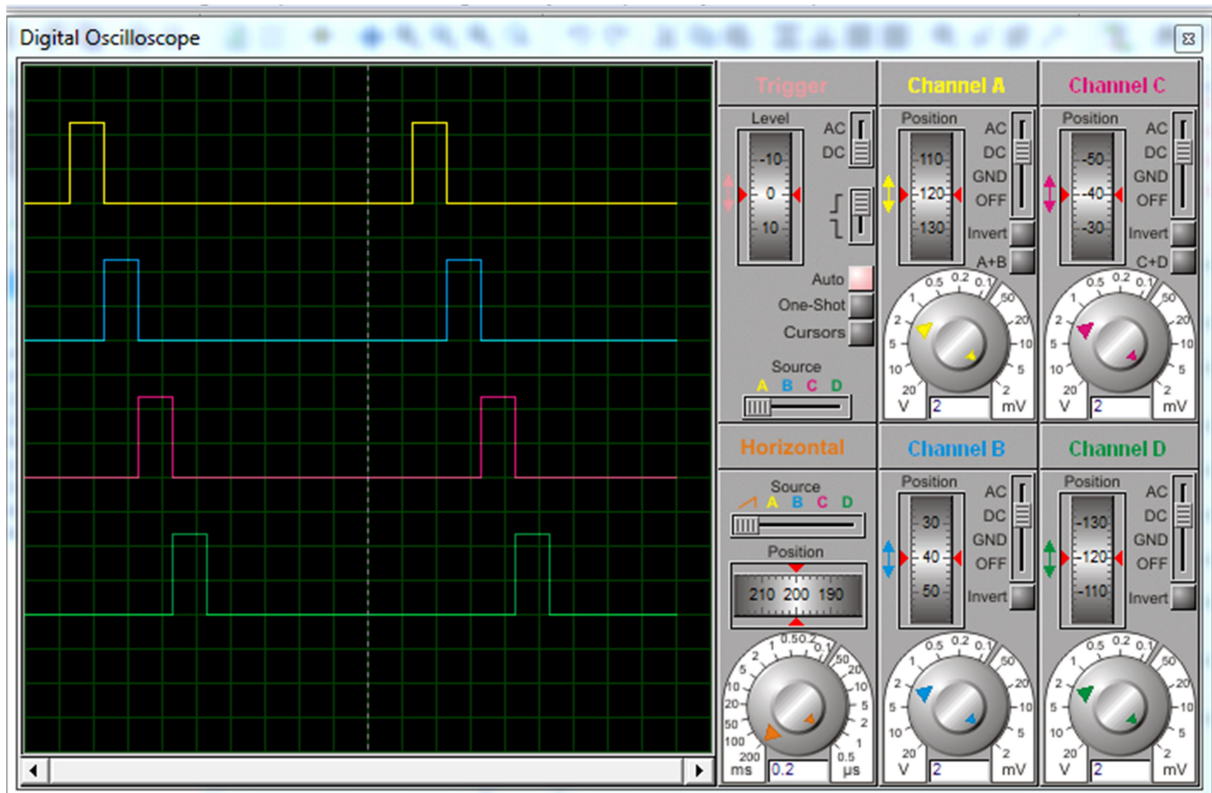


Figure 3.29 : Signaux et Cycles d'allumage des 4 LED (parmi les 10) du CI CD4017

3.10 Schéma global du Testeur de Circuits Intégrés

3.10.1 Simulation du Testeur de Circuits Intégrés sous ISIS-PROTEUS :

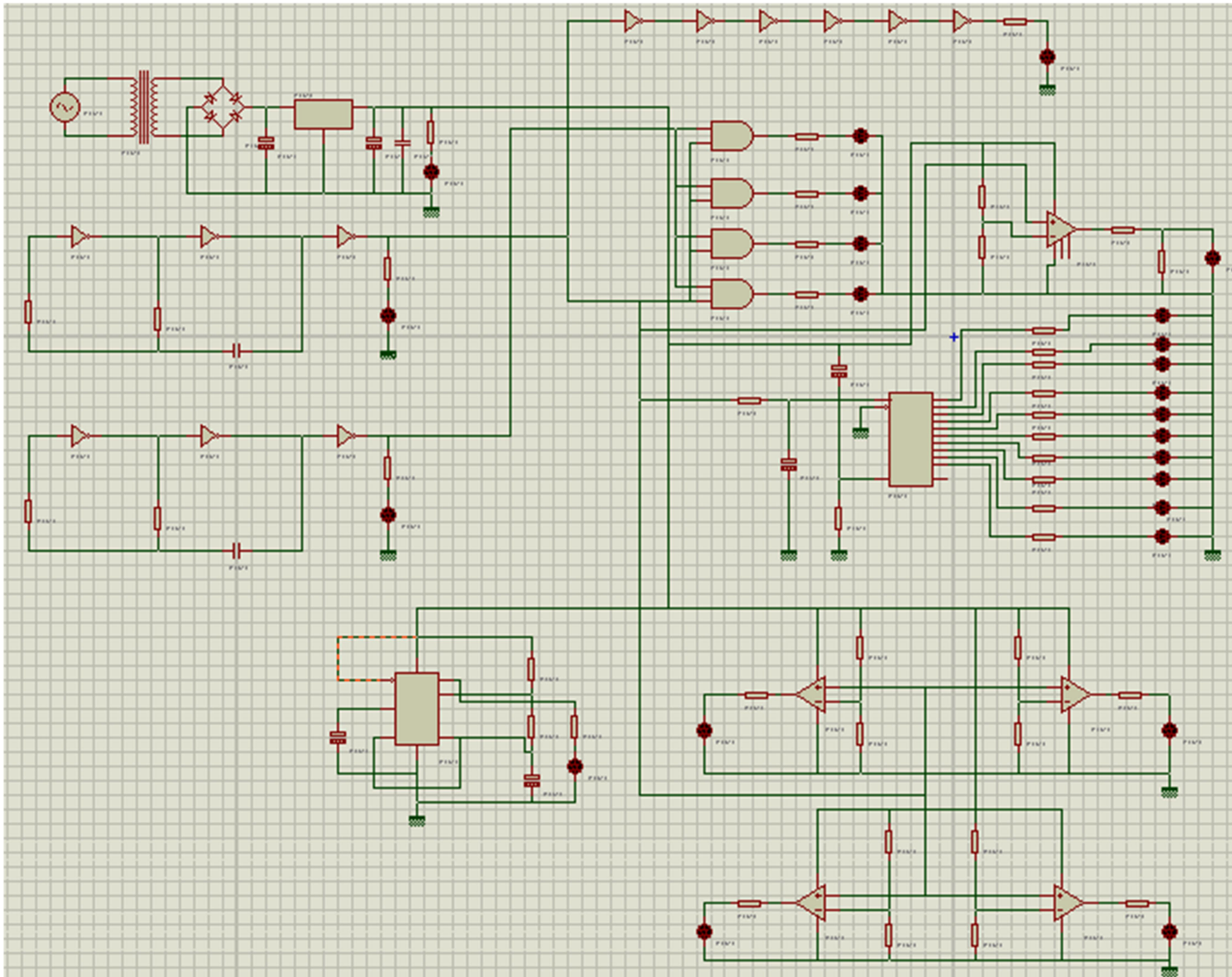


Figure 3.30 : Schéma global du Testeur de C.I sous ISIS-PROTEUS

3.10.2 Réalisation sur plaques d'essai du testeur de circuits Intégrés

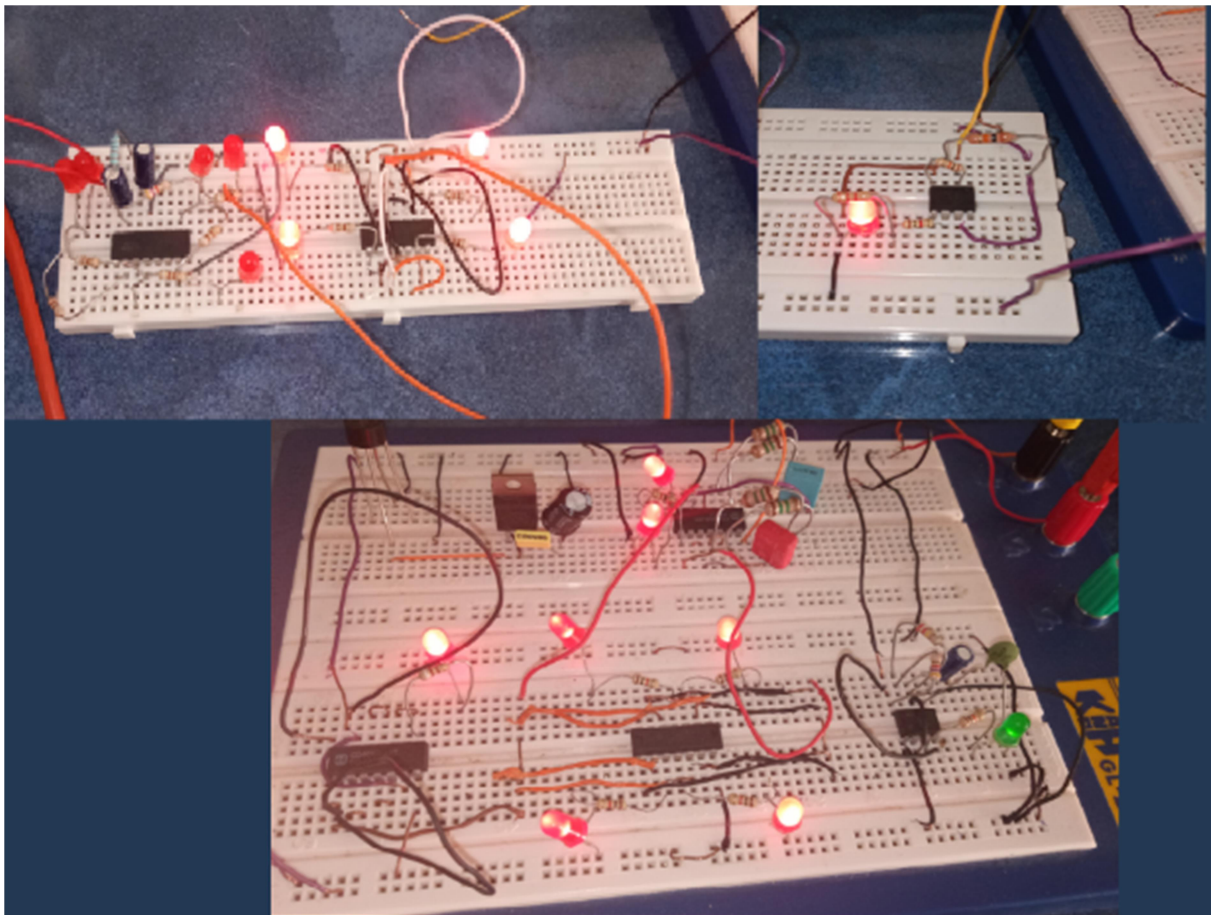


Figure 3.31 : Réalisation du Testeur de C.I sur plaque d'essai avec mise en place de tous les Circuits en état de marche.

3.10.3. Conclusion et Remarques :

Malgré quelques difficultés rencontrées au cours de la simulation du circuit global sous ISIS-PROTEUS, nous avons néanmoins aboutit à la réalisation sur plaque d'essai de ce dispositif électronique permettant le Test simultané (figure 3.31) des différents types de Circuits Intégrés proposés dans note mémoire. Nous aurons voulu finaliser cette maquette en réalisant le circuit imprimé de ce montage et installer l'ensemble des différents Bancs de Test dans un seul boîtier. Mais par mesure de précautions sanitaires et en raison du covid 19 qui s'est imposé dans cette période exceptionnelle. Nous nous sommes limités à ce résultat.

Il faut préciser que l'opération de Test nécessite que tous les Circuits Intégrés soient montés sur des supports afin de faciliter leur manipulation.

Marquer devant chaque support le type de CI à contrôler.

Eviter de se tromper en in versant la position du CI sur son support.

Etude, simulation et réalisation d'un testeur de circuits intégrés

En récapitulatif : Les Circuits Intégrés qui seront contrôlables sur ce Banc de Test sont :

- *CD4069 (portes inverseuses simples) ou équivalent.
- *CD4584 (portes inverseuses trigger de schmitt) ou équivalent : MC14584
- *CD4001 (portes NOR) ou équivalent.
- * CD4011 (portes NAND) ou équivalent.
- * CD4071 (portes OR) ou équivalent.
- * CD4081 (portes AND) ou équivalent.
- * NE555 (Timer ou temporisateur) ou équivalent.
- * μ A741, LM741, ou équivalent : (simple AOP).
- * LM324 ou équivalent (quadruple AOP).
- *CD4017 : compteur décodeur décimal.

CONCLUSION GENERALE

CONCLUSION GENERALE

Le Testeur de CI que nous avons étudié et réalisé (sur plaque d'essai) est destiné au Test de quelques Circuits Intégrés bien connus et largement utilisés comme l'Amplificateur Opérationnel 741, le Timer NE555 ainsi que les Circuits Intégrés CMOS Logiques (AND, OR, NAND, NOR), les portes inverseuses, et le Compteur décimal le CD4017.

Ce projet de fin d'études nous a permis de compléter nos connaissances théoriques et pratiques. Les difficultés rencontrées dans le monde de la pratique nous amènent constamment à apprendre à les résoudre. A travers la simulation des différents Bancs de Test nous avons pu comparer les résultats obtenus en simulation avec ceux obtenus en pratique.

A travers ce projet nous avons pu faire plus de connaissance avec les Circuits Intégrés CMOS et TTL ainsi qu'avec les Circuits Intégrés Logiques et les circuits linéaires. Par ailleurs l'utilisation du logiciel ISIS est devenue presque une nécessité pour simuler un montage et vérifier les premiers résultats que peut nous fournir un circuit ; il est par ailleurs devenu un moyen de liaison incontournable entre une étude théorique et une réalisation pratique.

Ce projet est orienté principalement pour une utilité aux laboratoires afin d'aider les étudiants, les enseignants ou les amateurs de l'électronique à solutionner les problèmes rencontrés lors de la réalisation de Montages Electroniques en particulier dans les manipulations de Travaux pratiques aux laboratoires ainsi que dans la réalisation des mini-projets, ou aussi dans le tri de composants (CI) de récupération.. etc.

Comme tout dispositif électronique, ce testeur de Circuits intégrés peut être développé ou amélioré en intégrant une alimentation de 5V pour permettre le Test des Circuits Intégrés TTL. Comme il peut être complété en ajoutant un circuit de protection contre les court-circuits afin de protéger l'alimentation contre les CI présentant un défaut de Court-circuit.

BIBLIOGRAPHIE

BIBLIOGRAPHIE

- [1] : https://www.robot-maker.com/forum/tutorials/article/43-technologie-ttl-et-cmos/?fbclid=IwAR2cjJGkMUsFwAk_GJhXwAsKamJ-C_srpeeNSvi7iuYKov_VwC5ZXDHhECM / consulté le 14/04/2020
- [2] : <https://www.robot-maker.com/forum/tutorials/article/43-technologie-ttl-et-cmos/> consulté le 14/04/2020
- [3] : <http://polygone.ek.la/circuits-numeriques-a107661724> consulté le 17/04/2020
- [4] : http://www.magoie.net/magoie_cours_electronic_02.pdf consulté le 20/04/2020
- [5] : <https://www.larousse.fr/dictionnaires/francais/horloge/40386> consulté le 03/05/2020
- [6] : <http://fr.wikipedia.org> consulté le 11/05/2020
- [7] : www.isep.fr consulté le 11/05/2020
- [8] : S.KSENTINI, A.LEBBAD « Etude et Réalisation d'un cardio tachymètre à affichage numérique » Master : Instrumentation électronique ; 2012/2013, université de Tlemcen.
- [9] : Le 555 et ses différents montages : consulté le 03/06/2020
<http://upload.qariya.info/up06/TTL3MONO.pdf>, 14/04/2016.
- [10] : <https://fr.wikipedia.org/wiki/NE555> consulté le 03/06/2020
- [11] : Malvino Albert Paul David J. BATES « principes d'électronique »-livre ,7e Édition 2008.
- [12] : https://fr.wikipedia.org/wiki/Amplificateur_op%C3%A9rationnel?fbclid=IwAR2zEq635ovKYaVBQTF032pobTe_fNDO80Oqrd92M4dWxlehMUyDb-c-XfE consulté le 15/06/2020
- [13] : <https://circuitdigest.com/tags/cd4511> consulté le 20/06/2020
- [14] : <https://www.elprocus.com/ic-4017-pin-configuration-application/> consulté le 20/06/2020
- [15] : <https://www.eleccircuit.com/cd4069-inverter-gate-circuit/> consulté le 20/06/2020
- [16] A. BELAID, A. ZIANE « Etude et réalisation d'une centrale d'éclairage » Master : Instrumentation électronique ; 2013/2014, université de Tlemcen.

Etude, simulation et réalisation d'un testeur de circuits intégrés

[17]: http://www.ac-renoble.fr/lycee/triboulet.romans/IMG/pdf/Les_portes_logiques.pdf/consulté le 28/06/2020

[18]: Mémotech Electronique Composants, Edition castella, 1994

[19]: Revue Electronique Pratique, N°96, Septembre 1988

ANNEXES

Annexe 1 : Circuit Intégré LM324

Datasheet

www.kitronik.co.uk

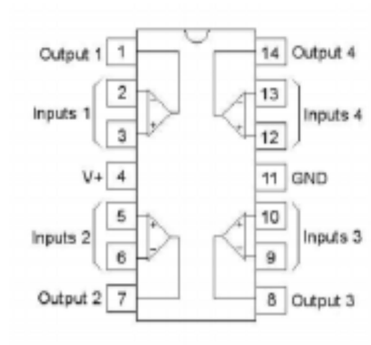
LM324

Kitronik Ltd – LM324 quad op-amp datasheet

Overview

The [LM324 integrated circuit](#) is a quad operational amplifier (Op-Amp). The device has four individual Op-Amp circuits housed in a single package.

Pin Outs



Pin Descriptions

V+	= Supply voltage
GND	= GND (0V) connection for supply voltage
Input(s)	= Input to Op-Amp
Output	= Output of Op-Amp

Electrical Characteristics

Operating Voltage	= 3.0V to 32V
Maximum Supply Current	= 1.2mA @ 3V Operating Voltage = 3mA @ 30V Operating Voltage
High Level Output Voltage	= 3.3V @ 3V Operating Voltage = 28V @ 30V Operating Voltage
Maximum Output Current	= 40mA @ 3V Operating Voltage

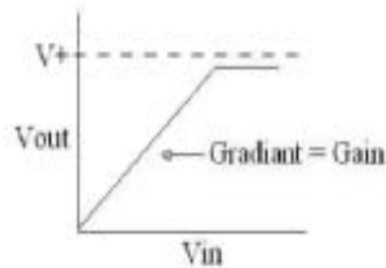
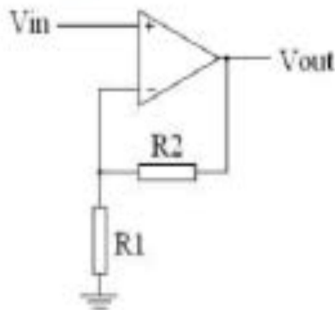
Environmental

Operating Temperature	= 0° to 70° C
-----------------------	---------------

www.kitronik.co.uk

Page 1 of 3

Non-inverting amplifier



This is a very simple non inverting amplifier circuit. The output (V_{out}) of the amplifier is given by:

$$V_{out} = V_{in} \times \text{Gain of the amplifier}$$

The Gain of the amplifier is given by:

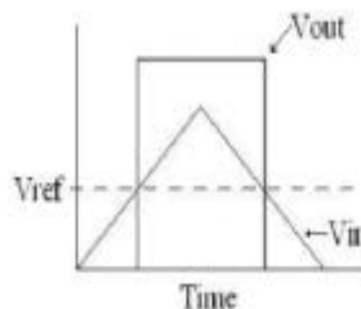
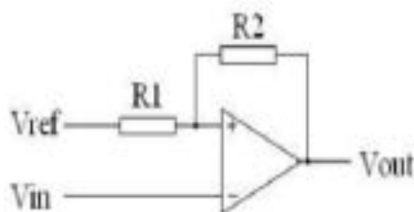
$$\text{Gain} = 1 + (R2 / R1)$$

A graph of V_{in} vs V_{out} is shown above right.

Note: The output of the amplifier can not exceed the supply voltage. This is shown by the flattening of the graph near $V+$ above.

Typical values for $R1$ would be 10Kohm and for $R2$ would be 1Mohm. This would result in a gain of 101.

Comparator with hysteresis



A comparator circuit is used to compare a signal to a defined reference voltage. In the above circuit, when V_{in} is lower than V_{ref} the output will be low (GND). When V_{in} is greater than V_{ref} the output will switch to a high state ($V+$). This is shown by the graph above right.

Hysteresis is used to ensure a clean transition when the V_{in} crosses the reference voltage. Without it the output could bounce on, off, on, off, etc. between the two possible output levels. Hysteresis is the amount by which the V_{in} signal, once it has caused the output to switch, would have to change in the opposite direction (high or low) to result in V_{out} switching back.

Etude, simulation et réalisation d'un testeur de circuits intégrés

The resistors R1 and R2 provide the hysteresis function.


The amount of hysteresis is given by:

$$dV = V \times (R1/R2)$$

Typical values for R1 would be 10Kohm and for R2 would be 1Mohm. This would result in a dV of 0.01V.

Annexe 2 : Circuit Intégré à portes inverseuses CD4069

Product Folder Order Now Technical Documents Tools & Software Support & Community


CD4069UB

CD4069UB CMOS hex inverter

1 Features

- Standardized symmetrical output characteristics
- Medium speed operation: t_{PHL} , t_{PLH} = 30 ns at 10 V (Typical)
- 100% Tested for quiescent current at 20 V
- Maximum input current of 1 μ A at 18 V over full package-temperature range, 100 nA at 18 V and 25°C
- Meets all requirements of JEDEC tentative standard No. 13B, Standard Specifications for Description of B Series CMOS Devices

2 Applications

- Logic inversion
- Pulse shaping
- Oscillators
- High-input-impedance amplifiers

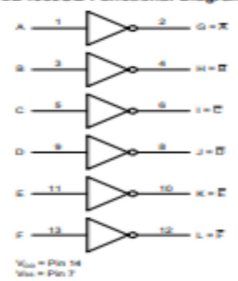
3 Description

The CD4069UB device consist of six CMOS inverter circuits. These devices are intended for all general-purpose inverter applications where the medium-power TTL-drive and logic-level-conversion capabilities of circuits such as the CD4009 and CD4049 hex inverter and buffers are not required.

Device Information ⁽¹⁾		
PART NUMBER	PACKAGE (PINS)	BODY SIZE (MM)
CD4069UBE	PDP (14)	19.30 mm × 6.35 mm
CD4069UBF	CDIP (14)	19.56 mm × 6.67 mm
CD4069UBM	SOIC (14)	8.65 mm × 3.91 mm
CD4069UBNSR	SO (14)	10.30 mm × 5.30 mm
CD4069UBPW	TSSOP (14)	3.00 mm × 4.40 mm


(1) For all available packages, see the orderable addendum at the end of the data sheet.

CD4069UB Functional Diagram




V_{DD} = Pin 14
 V_{SS} = Pin 7

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclosures. PRODUCTION DATA.


CD4069UB

5 Pin Configuration and Functions

D, J, K, NS, and PW Packages
14-Pin PDIP, CDIP, SOIC, SO, and TSSOP
Top View



NAME	PIN	NCL	I/O	DESCRIPTION
A	1	I	I	A input
B	3	I	I	B input
C	5	I	I	C input
D	9	I	I	D input
E	11	I	I	E input
F	13	I	I	F input
G = A	2	O	O	G output
H = B	4	O	O	H output
I = C	6	O	O	I output
J = D	8	O	O	J output
K = E	10	O	O	K output
L = F	12	O	O	L output
V_{DD}	14	—	—	Positive supply
V_{SS}	7	—	—	Negative supply

Copyright © 1998–2019, Texas Instruments Incorporated Submit Documentation Feedback

Product Folder Links: [CD4069UB](#)

Annexe 3 : Circuit Intégré CD4017



Data sheet acquired from Harris Semiconductor
SC40227C - Revised February 2004

CD4017B, CD4022B Types

CMOS Counter/Dividers

High-Voltage Types (20-Volt Rating)

CD4017B—Decade Counter with
10 Decoded Outputs

CD4022B—Octal Counter with
8 Decoded Outputs

■ CD4017B and CD4022B are 5-stage and 4-stage Johnson counters having 10 and 8 decoded outputs, respectively. Inputs include a CLOCK, a RESET, and a CLOCK INHIBIT signal. Schmitt trigger action in the CLOCK input circuit provides pulse shaping that allows unlimited clock input pulse rise and fall times.

These counters are advanced one count at the positive clock signal transition if the CLOCK INHIBIT signal is low. Counter advancement via the clock line is inhibited when the CLOCK INHIBIT signal is high. A high RESET signal clears the counter to its zero count. Use of the Johnson counter configuration permits high-speed operation. 2-input decoding and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A CARRY-OUT signal completes one cycle every 10 clock input cycles in the CD4017B or every 8 clock input cycles in the CD4022B and is used to ripple-clock the succeeding device in a multi-device counting chain.

Features:

- Fully static operation
- Medium-speed operation . . . 10 MHz (typ.) at $V_{DD} = 10\text{ V}$
- Standardized, symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Testative Standard No. 12A, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications:

- Decode counter/decimal decode display (CD4017B)
- Binary counter/decoder
- Frequency division
- Counter control/limiter
- Divide-by-N counting
- For further application information, see ICAM-6166 "COS/MOS MSI Counter and Register Design and Applications"

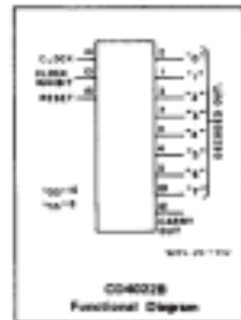
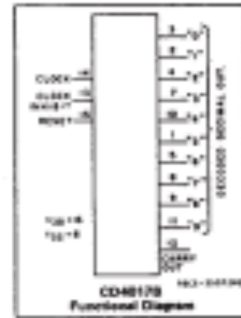
The CD4017B and CD4022B types are supplied in 16-lead hermetic dual-in-line ceramic packages (FA suffix), 16-lead dual-in-line plastic package (E suffix), 16-lead small-outline packages (NSR suffix), and 16-lead thin shank small-outline packages (PW and PWR suffixes). The CD4017B types also are supplied in 16-lead small-outline packages (M and M96 suffixes).

RECOMMENDED OPERATING CONDITIONS

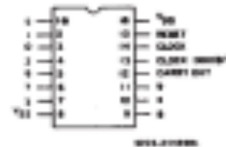
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTICS	V_{DD} (V)	LIMITS		UNITS
		Min.	Max.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range)		3	18	V
Clock Input Frequency, f_{CL}	5	—	2.5	MHz
	10	—	5	
	15	—	5.5	
Clock Pulse Width, t_W	5	200	—	ns
	10	90	—	
	15	60	—	
Clock Rise & Fall Time, $t_{CL} = t_{FL}$	5	UNLIMITED*		—
	10	UNLIMITED*		
	15	UNLIMITED*		
Clock Inhibit Setup Time, t_s	5	230	—	ns
	10	100	—	
	15	70	—	
Reset Pulse Width, t_{RST}	5	260	—	ns
	10	110	—	
	15	60	—	
Reset Removal Time, t_{RR}	5	400	—	ns
	10	260	—	
	15	150	—	

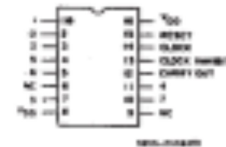
*Only if Pin 14 is used as the clock input. If Pin 13 is used as the clock input and Pin 14 is tied high (for advancing count on a negative transition of the clock), rise and fall time should be $\leq 15\text{ ns}$.



3
COMMERCIAL CMOS
HIGH VOLTAGE ICs



TOP VIEW
CD4017B
TERMINAL DIAGRAM



TOP VIEW
CD4022B
TERMINAL DIAGRAM

Annexe 4 : Circuit Intégré $\mu A741$

$\mu A741, \mu A741Y$
GENERAL-PURPOSE OPERATIONAL AMPLIFIER

REVISIONS - NOVEMBER 1971 - REVISED SEPTEMBER 2005

D Short-Circuit Protection
D Offset-Voltage Null Capability
D Large Common-Mode and Differential Voltage Ranges
D No Frequency Compensation Required
D Low Power Consumption
D No Latch-Up
D Designed to Be Interchangeable With Fairchild $\mu A741$

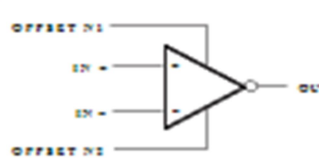
Description

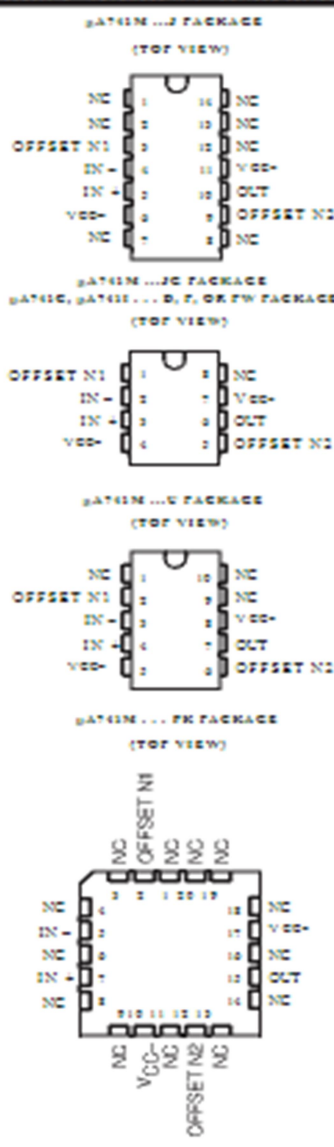
The $\mu A741$ is a general-purpose operational amplifier featuring offset-voltage null capability.

The high common-mode input voltage range and the absence of latch-up make the amplifier ideal for voltage-follower applications. The device is short-circuit protected and the internal frequency compensation ensures stability without external components. A low value potentiometer may be connected between the offset null inputs to null out the offset voltage as shown in Figure 2.

The $\mu A741C$ is characterized for operation from $0^{\circ}C$ to $70^{\circ}C$. The $\mu A741I$ is characterized for operation from $-40^{\circ}C$ to $85^{\circ}C$. The $\mu A741M$ is characterized for operation over the full military temperature range of $-55^{\circ}C$ to $125^{\circ}C$.

Symbol





NC = No Internal Connection

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS INSTRUMENTS
www.ti.com

Copyright © 2005, Texas Instruments Incorporated

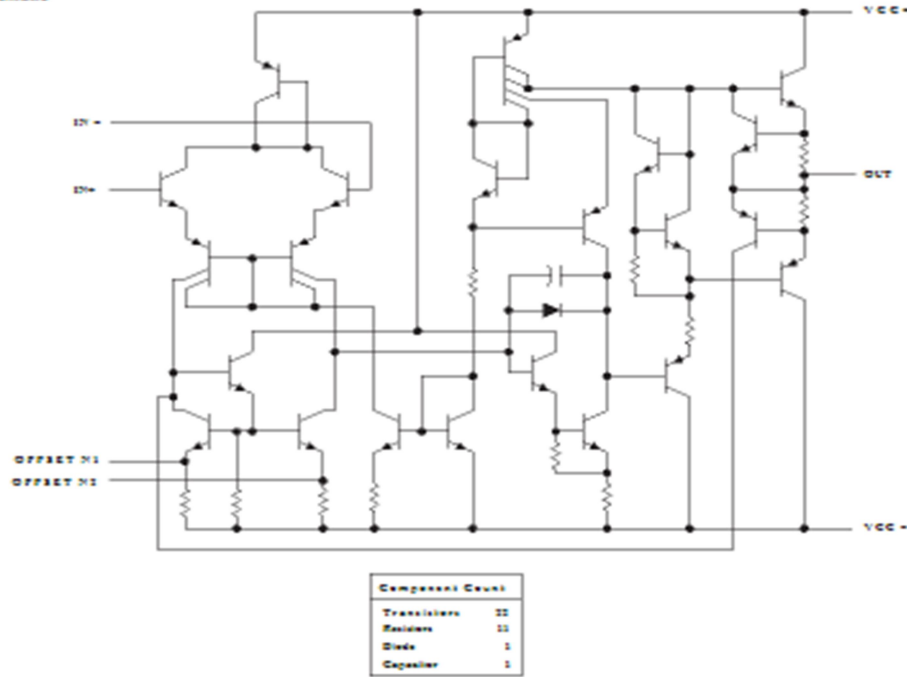
μA741, μA741Y GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

SL00100 - NOVEMBER 1970 - REVISED SEPTEMBER 1988

TA	AVAILABLE OPTIONS							CHIP FORM (X)
	PACKAGED DEVICES							
	SMALL OUTLINE (S)	CHIP CARRIER (CC)	CERAMIC DIP (C)	CERAMIC DIP (CD)	PLASTIC DIP (P)	TSOP (TW)	FLAT PACK (L)	
0°C to 70°C	μA741CS				μA741CP	μA741CPW		μA741Y
-40°C to 85°C	μA741SD				μA741SP			
-55°C to 125°C		μA741SMC	μA741MC	μA741MD			μA741MU	

The D package is available taped and reeled. Add the suffix X (e.g., μA741CDX).

schematic



Annexe 5 : Circuit Intégré CD4001

intertil *CD4000BMS, CD4001BMS
CD4002BMS, CD4025BMS*

November 1994 CMOS NOR Gate

Features

- High-Voltage Types (20V Rating)
- Propagation Delay Time = 60ns (typ.) at CL = 50pF, VDD = 10V
- Buffered Inputs and Outputs
- Standard Symmetrical Output Characteristics
- 100% Tested for Maximum Quiescent Current at 20V
- 5V, 10V and 15V Parametric Ratings
- Maximum Input Current of 1 mA at 15V Over Full Package Temperature Range (100ns to 15V and 100°C)
- Noise Margin (Over Full Package Temperature Range):
 - 1V at VDD = 5V
 - 2V at VDD = 10V
 - 2.5V at VDD = 15V
- Meets All Requirements of JEDEC Tentative Standards No. 12B, "Standard Specifications for Description of "B" Series CMOS Device"

Description

CD4000BMS - Dual 2 Pin Inverter
 CD4001BMS - Quad 2 Input
 CD4002BMS - Dual 6 Input
 CD4025BMS - Triple 2 Input

CD4000BMS, CD4001BMS, CD4002BMS and CD4025BMS NOR gates provide the system designer with direct implementation of the NOR function and supplement the existing family of CMOS gates. All inputs and outputs are buffered.

The CD4000BMS, CD4001BMS, CD4002BMS and the CD4025BMS is supplied in these 16 lead outline packages:

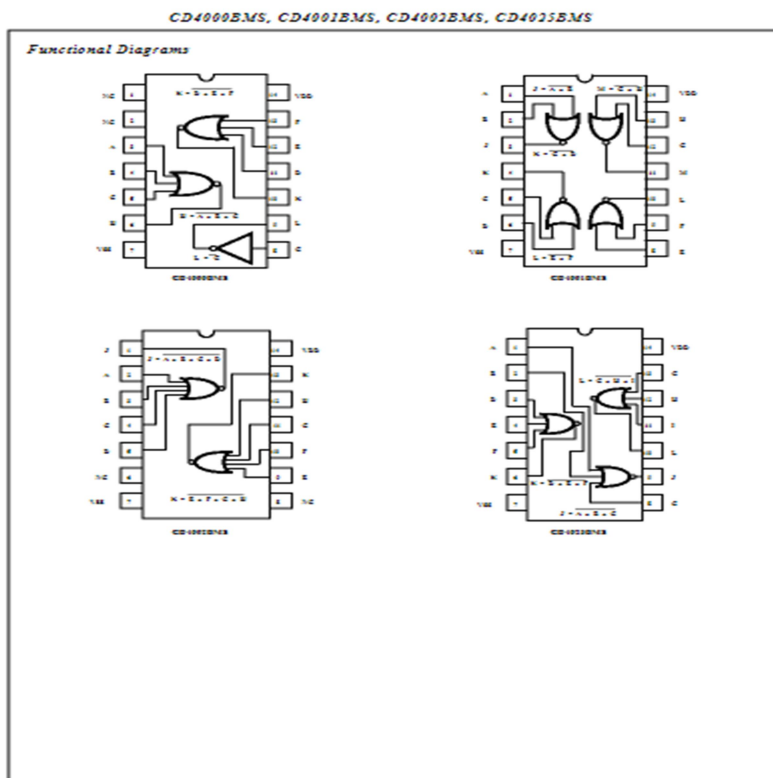
Wedge Seal DIP	MSD	MSC	MSC	MSC
Pin Seal DIP	MIB	MIB	MIB	MIB
Ceramic Flatpack	MSW	MSW	MSW	MSW

Pinouts

CD4000BMS TOP VIEW
 CD4001BMS TOP VIEW
 CD4002BMS TOP VIEW
 CD4025BMS TOP VIEW

CAUTION: These devices are sensitive to electrostatic discharge. Refer to proper IC Handling Procedures.
 ©1994 Intertil, an Intel Company. All rights reserved. Copyright © Intertil Corporation 1994

File Number: **3259**



Etude, simulation et réalisation d'un testeur de circuits intègres

RESUME :

Construit autour de composants assez simples et classiques, ce projet permet de contribuer à solutionner les problèmes de pannes qui peuvent se produire au cours des manipulations de Travaux pratiques ou de Travaux d'avant-projet. Il permet par ailleurs de faire le tri de composants et de sélectionner le bon et le mauvais Circuit Intégré lorsqu'on est en présence d'un lot de CI de récupération. Ce dispositif électronique nommé Testeur de Circuits Intégrés permet de contrôler l'état de fonctionnement des circuits intégrés traités dans ce mémoire ou de leur équivalents, notamment les Circuits Intégrés linéaires comme l'Amplificateur Opérationnel simple de la famille 741 ou du quadruple Ampli Op LM324, ainsi que le Timer bien connu NE555, mais aussi le Test des Circuits Intégrés CMOS Logiques à portes AND(4081), OR(4071), NAND(4011), NOR(4001), les CI à portes inverseuses (4069 ou 4589), ainsi que le Test du CI Compteur décimale CD4017.

Mots Clé : Circuits Intégrés; TTL ; CMOS ; portes logiques ; Amplificateur Opérationnel ; temporisateur; Horloge ; compteur décimale.

ABSTRACT:

Built around fairly simple and classic components, this project helps to solve the problems of failures that can occur during the handling of Practical Work or Pre-project Work. It also allows you to sort components and select the right and wrong Integrated Circuit when there is a batch of recovery ICs. This electronic device called Integrated Circuits Tester makes it possible to check the operating state of the integrated circuits processed in this memory or their equivalents, in particular linear Integrated Circuits such as the simple Operational Amplifier of the 741 family or the quadruple Op Amplifier LM324, as well as the well-known Timer NE555, but also the Test of Integrated CMOS Logic Circuits with AND gates (4081), OR (4071), NAND (4011), NOR (4001), ICs with inverting gates (4069 or 4589), as well as the CI Test Decimal Decoder Counter CD4017.

ملخص

تم بناء هذا المشروع حول مكونات بسيطة وكلاسيكية إلى حد ما، ويساعد في حل مشاكل الفشل التي يمكن أن تحدث أثناء التعامل مع العمل العملي أو عمل ما قبل المشروع. كما يسمح لك بفرز المكونات وتحديد الدائرة المتكاملة الصحيحة والخاطئة عندما يكون هناك مجموعة من دوائر الاسترداد. يتيح هذا الجهاز الإلكتروني المسمى اختبار الدوائر المتكاملة إمكانية التحقق من حالة تشغيل الدوائر المتكاملة التي تتم معالجتها في هذه الذاكرة أو ما يعادلها، ولا سيما الدوائر المتكاملة الخطية مثل مكبر التشغيل البسيط لعائلة 741 أو مضخم التشغيل الرباعي LM324، بالإضافة إلى Timer NE555 المعروف، ولكن أيضًا اختبار الدوائر المنطقية CMOS المتكاملة ذات البوابات AND (4081) أو OR (4071)، NOR (4011) NAND (4001)، الدوائر المتكاملة ذات البوابات العكسية (4069 أو 4589)، بالإضافة إلى عداد فك التشفير العشري لاختبار CI (CD4017).