

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي و البحث العلمي

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

جامعة أبي بكر بلقايد – تلمسان

Université Aboubakr Belkaïd – Tlemcen –
Faculté de TECHNOLOGIE



THESE

Présentée pour l'obtention du **grade de DOCTORAT 3^{ème} Cycle**

En : Télécommunications

Spécialité : Systèmes et Réseaux Informatiques des Télécommunications

Par : **BERBER Zakia**

Sujet

**ETUDE ET CONCEPTION DES SYNTHETISEURS DE FREQUENCES POUR
LES SYSTEMES DE COMMUNICATIONS SANS FILS 5G**

Soutenue publiquement, le 21/ 12/ 2019, devant le jury composé de :

FEHAM Mohammed	Professeur	Université de Tlemcen	Président
KAMECHE Samir	Professeur	Université de Tlemcen	Directeur de thèse
OUSLIMANI Achour	Professeur	ENSEA, Cergy-Pontoise Paris	Examineur
KAMECHE Mohamed	Directeur de Recherches	ASAL, CDS Oran	Examineur
BENDIMERAD Fethi Tarik	Professeur	Université de Tlemcen	Examineur
BOUACHA Abdelhafid	Maitre de Conférences A	Université de Tlemcen	Examineur

*A mes parents,
A toute ma famille...*

Résumé

Le réseau de cinquième génération, qui est aujourd'hui encore en plein processus de développement, est sur le point de devenir le plus grand marché de l'industrie des télécommunications. La croissance du nombre d'appareils connectés via différents réseaux a mené à réfléchir sur la stratégie d'intégrer plusieurs technologies au sein d'un seul appareil communicant. C'est pourquoi la 5G prévoit l'intégration des bandes ultra hautes fréquences. Toutefois, la radio qui est en réalité, le moyen pour communiquer toutes les informations, est au cœur de tout émetteur-récepteur sans fil où le synthétiseur de fréquences à boucles à verrouillage de phase (PLL) en fait sa principale partie intégrante.

Ce travail de thèse est donc centré sur la modélisation d'une synthèse de la bande de fréquence la plus élevée qui sera déployée par la norme 5G (E-band) dont l'usage est destiné aux émetteurs-récepteurs 5G. La puce ADF4155, conçue et commercialisée par la compagnie 'Analog Devices' constitue la pièce maîtresse du modèle proposé. Une technique d'optimisation des paramètres de la bande de boucle et de la marge de phase est employée afin d'assurer une marge de tolérance au courant de fuite généré par la pompe de charge mais également pour garantir une bonne performance du bruit de phase, des raies de référence, du RMS Jitter et du temps d'acquisition.

Mots clés : Modélisation, PLL, synthétiseur de fréquences, ADF4155, bande-E, 5G, bande de boucle, marge de phase, courant de fuite.

Summary

The fifth-generation network, which is still in the process of development, is about to become the largest market in the telecommunications industry. Thus, the growth in the number of devices connected via different networks has led to a reflection on the strategy of integrating several technologies into a single communicating device, the reason why 5G constitutes an ultimate solution for the integration of ultra-high frequency bands. Meanwhile, radio; which is actually the means of communicating all information; is at the heart of any wireless transceiver where the phase-locked loop (PLL) frequency synthesizer forms its main integral part.

Therefore, investigation of this thesis focuses on the modeling of a synthesis of the highest frequency band to be deployed by the 5G (E-band) standard, which is intended for 5G transceivers. The ADF4155 chip, designed and marketed by the company "Analog Devices", is the master part of the proposed model. A technique for optimizing the loop bandwidth and phase margin parameters is used to ensure a tolerance margin for the leakage current generated by the charging pump, but also to ensure good performance of phase noise, reference lines, RMS Jitter and acquisition time.

Keywords: Modeling, PLL, frequency synthesizer, ADF4155, E-band, 5G, loop bandwidth, phase margin, leakage current.

Remerciements

Ce manuscrit est le fruit de longues années de travail effectué au sein du laboratoire de recherche STIC (Systèmes et Technologie de l'Information et de la Communication) à l'université de Tlemcen.

Je tiens avant tout à remercier mes parents et mes sœurs pour leur soutien et encouragement indéfectibles qui m'ont permis de progresser durant cette phase importante de la préparation de la thèse de doctorat.

Je voudrais remercier M. KAMECHE Samir, professeur à l'université de Tlemcen pour m'avoir permis de réaliser cette thèse sous sa direction. Qu'il retrouve dans ce rapport le témoignage de ma gratitude et mon respect pour son encadrement.

J'adresse mes remerciements également à Monsieur le professeur FEHAM, qui m'a fait l'honneur de présider le jury de cette thèse.

Je remercie vivement tous les membres du jury et notamment OUSLIMANI Achour, Professeur de l'école ENSEA de Cergy-Pontoise Paris, le Pr. BENDIMERAD Fethi Tarik de l'université de Tlemcen, KAMECHE Mohamed, Directeur de Recherches de L'ASAL, CDS d'Oran et M. BOUACHA Abdelhafid, maître de conférences A à l'université de Tlemcen de m'avoir fait l'honneur de lire et d'évaluer mon manuscrit et de participer à mon jury de thèse.

Il m'est agréable d'exprimer ma gratitude et ma reconnaissance à M. BENKHELIFA Elhadj, Professeur à l'université Staffordshire du royaume uni pour m'avoir guidé dans des réflexions constructives durant la rédaction de mes travaux de recherches.

Ces remerciements ne sauraient être complets sans y mentionner toute ma famille et mes amis et en particulier GHERNAOUT Ikram qui m'a toujours soutenue et épaulé durant cette expérience.

Articles de journaux

1. Z. Berber, S. Kameche and E. Benkhelifa, « High Tolerance of Charge Pump Leakage Current in Integer-N PLL Frequency Synthesizer for 5G Networks », *Simulation Modelling Practice and Theory*, pp. 134-147, Vol 95, September 2019.
2. Z. Berber, S. Kameche and E. Benkhelifa, « Design of Integer-N PLL Frequency Synthesizer for E- Band Frequency Suitable for Next Fifth Generation Communication Systems », accepted for publication in *IET Networks Journal*, July 2019.

Articles de conférences internationales

1. Z. Berber and S. Kameche, « Influence of Loop Bandwidth Parameter on Integer PLL Frequency Synthesizer Performances in 80 GHz mm-Wave 5G Frequency Band », in *2018 IEEE/ACS 15th International Conference on Computer Systems and Applications (AICCSA)*, Aqaba, Jordanie, Nov 2018, p. 1-2.
2. Z. Berber and S. Kameche, « Optimal choice for phase margin on mm-Wave PLL frequency synthesizer for 5G wireless communications systems », *IEEE/SDS Fifth International Conference on Software Defined Systems (SDS)*, Barcelone, Espagne, Avril 2018, p. 223-228.
3. Z. BERBER and S. Kameche, « Design and simulation of PLL frequency synthesizer for LTE mobile communications », *IEEE/ICMCS 5th International Conference on Multimedia Computing and Systems (ICMCS)*, Marrakech, Maroc, 2016, p. 745-748.
4. Z. Berber and S. Kameche, « The impact of PLL loop bandwidth on Frequency Synthesizer's performances for LTE/ LTE-Advanced mobile communications », *IEEE/ICEE 4th International Conference on Electrical Engineering (ICEE)*, Boumerdes, Algérie, 2015, p. 1-4.

Articles de conférences nationales

1. Z. Berber and S. Kameche, « Impact of Charge Pump Leakage Current on mm-Wave Frequency Synthesizer for 5G Mobile Communication Systems », *JSTIC'2019*, Tlemcen, Algérie, 2019.

2. Z. Berber and S. Kameche, « Conception d'un Synthétiseur de Fréquences pour les Systèmes de Communications Mobiles 5G », *JSTIC'2018*, Tlemcen, Algérie, 2018.
3. Z. Berber and S. Kameche, « Conception d'un Synthétiseur de Fréquences pour les Systèmes de Télécommunications Mobiles sur LTE », *JSTIC'2014*, Tlemcen, Algérie, 2014.

Table des matières

Résumé.....	i
Summary	ii
Remerciements.....	iii
Productions scientifiques.....	iv
Table des matières.....	v
Liste des figures	vi
Liste des tableaux	vii
Introduction Générale.....	2
Chapitre I : Réseaux de télécommunications	
I.1 Introduction.....	7
I.2 Histoire de la communication.....	8
I.2.1 De la préhistoire à nos jours.....	8
A. La communication à l'époque de la préhistoire.....	8
B. La communication à l'époque de l'antiquité jusqu'à la fin du moyen âge.....	8
C. La communication à l'époque moderne.....	8
D. L'ère des Télécommunications.....	9
I.3 Communication sans fil.....	9
I.3.1 La première génération '1G'.....	10
A. Standards qui ont marqués la 1G.....	10
B. Fin de l'ère de la 1G.....	10
I.3.2 Naissance de la deuxième génération '2G'.....	11
A. Caractéristiques du réseau GSM.....	11
A1. Allocation dynamique des fréquences.....	11
A.2 Techniques de transmission entre la BSS et la MS.....	11
A.3 Modulation.....	12
A.4 Handover.....	12
A.5 Transcodage de la parole.....	12
A.6 Débit binaire de transmission de données.....	13
A.7 Différence entre le GSM'900 et le DCS'1800.....	13
B. Evolution du réseau GSM.....	14
B.1 L'accès à internet à partir du terminal mobile.....	14

B.2 Les standards marquant la 2G.....	14
I.3.3 La troisième génération ‘3G’.....	15
A. Accès multiple et duplex.....	15
B. Bandes de fréquences allouées au réseau 3G.....	15
C. Les nouveautés apportées par la 3G.....	15
D. Les principales différences entre les modes de duplexage FDD et TDD.....	16
E. Les standards développés dans la 3G.....	17
F. Latence.....	17
I.3.4 La quatrième génération 4G’.....	17
A. Mode de duplexage utilisé.....	17
A.1 Nouvelles bandes de fréquences attribuées au réseau LTE.....	18
B. Spécifications du réseau 4G.....	19
C. Solution du réseau LTE.....	19
C.1 Long Term Evolution-Advanced.....	19
C.2 LTE-Advanced pro.....	20
I.3.5 La cinquième génération ‘5G.....	20
A. Familles d’usage caractérisant la 5G.....	20
B. Principaux défis de la 5G.....	21
C. Allocation des fréquences.....	22
I.4 Bilan du chapitre.....	23
Références Bibliographique du chapitre 1	25

Chapitre II : Etude théorique de la synthèse de fréquence à PLL

II.1 Introduction.....	29
II.2 Préambule.....	30
II.2.1 Concept de base d’une PLL.....	31
II.3 Introduction aux synthétiseurs de fréquences à PLL.....	31
II.3.1 L’oscillateur de référence (TCXO).....	32
A. Oscillateurs à cristal de quartz (XO).....	33
A.1 Historique.....	33
A.2 Equivalent électrique.....	33
A.3 Les oscillateurs à quartz TCXO.....	34
II.3.2 Les Diviseurs de fréquence (R) et (N).....	34
A. Pré-diviseur double module.....	35
II.3.3 Le Comparateur de phase-fréquence (PFD).....	36
A. Principe de fonctionnement.....	37

B. Chronogramme d'un PFD.....	38
II.3.4 La pompe de charge (CP).....	38
A. Courant de fuite 'Leakage current'	39
B. Association du PFD à la CP.....	40
C. Région de la zone morte.....	40
II.3.5 Le Filtre de boucle (LF).....	41
A. Choix de l'ordre du filtre.....	42
A.1 Filtre de premier ordre.....	42
A.2 Filtre du deuxième ordre.....	42
A.3 Filtre du troisième ordre.....	43
II.3.6 L'oscillateur commandé en tension (VCO).....	44
II.4 Modélisation linéaire des boucles à verrouillage de phase.....	45
II.4.1 Linéarisation du PFD.....	46
II.4.2 Linéarisation du VCO.....	47
II.4.3 Fonctions de transfert de la PLL.....	47
A. Choix de la bande de boucle et de la marge de phase.....	48
A.1 La bande de boucle.....	49
A.2 La marge de phase.....	49
II.5 Caractéristiques clés des synthétiseurs de fréquences à PLL.....	49
II.6 Analyse du bruit de phase dans les synthétiseurs de fréquence à PLL.....	50
II.6.1 Bruit de phase du filtre.....	52
A. Bruit de la résistance R_1	52
B. Bruit de la résistance R_2	53
II.6.2 Modèle mathématique du bruit de phase dans les oscillateurs.....	53
A. Origine du bruit de phase.....	53
B. Calcul du bruit de phase dans les oscillateurs.....	54
B.1 Le modèle de 'Leeson'.....	55
II.7 Conclusion.....	57
Références Bibliographiques du chapitre II.....	58

Chapitre III : Etude théorique de la synthèse de fréquence à PLL

III.1 Introduction.....	61
III.1.1 Travaux liés aux synthétiseurs traitant le paramètre du courant de fuite.....	61
III.1.2 Travaux récents liés aux synthétiseurs pour des applications 5G.....	61
III.2 Modélisation du synthétiseur de fréquences à PLL pour les émetteurs-récepteurs 5G.....	62
III.2.1 Outil de conception.....	62

III.2.2 Spécifications du synthétiseur dans la bande de fréquence-E.....	63
III.2.3 Validation des hypothèses faites sur le choix de la marge de phase et la bande de boucle.....	70
A. Validation de l'hypothèse portant sur le choix de la marge de phase.....	71
A.1 Analyse de la réponse de la fonction de transfert du gain en boucle fermée @ $\Delta\phi = 20^\circ$	71
A.2 Analyse de la fonction de transfert du gain en boucle fermée @ $\Delta\phi = 45^\circ$	72
A.3 Analyse de la fonction de transfert du gain en boucle fermée @ $\Delta\phi = 80^\circ$	73
A.4 Analyse de la Réponse FM @ $\Delta\phi = 20^\circ$	75
A.5 Analyse de la réponse FM @ $\Delta\phi = 45^\circ$	76
A.6 Analyse de la réponse FM @ $\Delta\phi = 80^\circ$	77
A.7 Analyse du bruit de phase @ $\Delta\phi = 20^\circ$	78
A.8 Analyse du bruit de phase @ $\Delta\phi = 45^\circ$	79
A.9 Analyse du bruit de phase @ $\Delta\phi = 80^\circ$	80
A.10 Analyse du système dans le domaine temporel @ $\Delta\phi = 20^\circ$	81
A.11 Analyse du système dans le domaine temporel @ $\Delta\phi = 45^\circ$	82
A.12 Analyse du système dans le domaine temporel @ $\Delta\phi = 80^\circ$	83
A.13 Conclusion sur le choix de la marge de phase.....	85
A.14 Représentation graphique en 3 D.....	85
III.2.4 Validation de l'hypothèse portant sur le choix de la bande passante de boucle.....	89
A. Influence de la bande de boucle sur la réponse du bruit de phase.....	90
B. Conclusion sur le choix de la bande de boucle.....	91
C. Représentation graphique en 3 D.....	91
III.3 Conception du synthétiseur destiné aux émetteurs-récepteurs 5G.....	91
III.3 .1 Validation des résultats de simulation dans le domaine temporel.....	93
A. Réponse transitoire du système.....	93
B. Réponse de la phase d'erreur du système.....	94
C. Réponse de la fréquence d'erreur du système.....	94
III.3 .2 Validation des résultats de simulation dans le domaine fréquentiel.....	95
A. Réponse de la fonction de transfert du gain en boucle ouverte.....	95
B. Réponse de la fonction de transfert du gain en boucle fermée.....	95
C. Réponse FM.....	96
D. Réponse des raies de références du système.....	97
E. Analyse du bruit de phase du synthétiseur.....	97
F. Représentation graphique du tableau III.15.....	98
III.4 Comparaison avec l'état de l'art des synthétiseurs dans la bande > 20 GHz.....	99
III.5 Conclusion.....	100

Références bibliographiques du chapitre III.....101

Conclusion générale.....104

Annexe

Sigles et abréviations

1G	1^{ère} Génération
2G	2^{ème} Génération
3G	3^{ème} Génération
4G	4^{ème} Génération
5G	5^{ème} Génération

A

AMPS	Advanced Mobile Phone System
APLL	Analogic Phase Locked Loop

B

BSS	Base Station Subsystem
------------	-------------------------------

C

CDMA	Code Division Multiple Access
CP	Charge Pump

D

DPLL	Digital Phase Locked Loop
-------------	----------------------------------

E

EDGE	Enhanced Data for GSM Evolution
e-MBB	enhanced Mobile Broadband

F

FDD	Frequency Division Duplex
FDMA	Frequency Division Multiple Access
FSK	Frequency Shift Keing

G

GMSK	G aussian M inimum S hift K eying
GSM	G lobal S ystem for M obile communication
GPRS	G lobal P acket R adio S ervice

H

HSCSD	H igh S peed C ircuit S witched D ata
HSDPA	H igh S peed D ownlink P acket A ccess
HSUPA	H igh S peed U plink P acket A ccess

I

IEEE	I nstitute of E lectrical and E lectronics E ngineers
IMT-2000	I nternational M obile T elecommunication system 2000

L

LF	L oop F ilter
LTE	L ong T erm E volution
LTE-A	L ong T erm E volution A dvanced
LTE- A- Pro	L ong T erm E volution A dvanced P ro

M

MIMO	M ultiple I nput and M ultiple O utput
MMS	M ultimedia M essage S ervice
mMTC	m assive M achine T ype C ommunications
mm-Wave	m illimeter W ave
MS	M obile S tation

N

NMT	N ordic M obile T elephone system
------------	--

O

OFDM	O rthogonal F requency D ivision M ultiplexing
OFDMA	O rthogonal F requency D ivision M ultiple A ccess

P

PFD	P hase F requency D etector
PLL	P hase L ocked L oop
PN	P hase N oise

R

RF	R adio F requency
RMS	R oot M ean S quare

S

SC-FDMA	S ingle C arrier - F requency D ivision M ultiple A ccess
SDR	S oftware D efined R adio
SMS	S hort M essage S ervice

T

TACS	T otal A ccess C ommunication S ystem
TCXO	T emperature C ompensated C rystal O scillator
TDD	T ime D ivision D uplex
TDMA	T ime D ivision M ultiple A ccess
TRAU	T ranscoder R ate A daptor U nit

U

UMTS	U niversal M obile T elecommunication S ystem
uRLLC	u ltra R eliable and L ow L atency C ommunications

V

VCO **V**oltage **C**ontrolled **O**scillator

VCO **V**oltage **C**ontrolled **O**scillator

W

WAP **W**ireless **A**ccess **P**rotocol

W-CDMA **W**ideband **C**ode **D**ivision **M**ultiple **A**ccess

X

XO **C**rystal **O**scillator

Liste des Figures

Chapitre I

Figure I.1. Structure de la trame TDMA.....	12
Figure I.2. Trame TDD du réseau 3G.....	16
Figure I.3. Usages de la 5G.....	21
Figure I.4. L'évolution des normes de télécommunications.....	23

Chapitre II

Figure II.1. Récepteur homodyne simple.....	30
Figure II.2. Récepteur homodyne incorporant une PLL.....	30
Figure II.3. Schéma de base d'une PLL.....	31
Figure II.4. Structure générale d'un synthétiseur de fréquence à PLL.....	32
Figure II.5. Représentation symbolique d'un oscillateur de fréquence.....	33
Figure II.6. Schéma électrique équivalent d'un oscillateur à cristal de quartz.....	33
Figure II.7. Synthétiseur de fréquence avec un pré-diviseur.....	35
Figure II.8. Pré-diviseur à double modules	36
Figure II.9. Schéma conventionnel d'un PFD à bascules D et porte AND.....	37
Figure II.10. Machine d'états du PFD.....	37
Figure II.11. Chronogramme d'un PFD.....	38
Figure II.12. Pompe de charge.....	39
Figure II.13. Caractéristique de transfert d'un couple PFD/ CP idéal.....	41
Figure II.14. Caractéristique de transfert du couple PFD-CP avec la présence de la zone morte.....	41
Figure II.15 Montage d'un filtre passif de premier ordre.....	43
Figure II.16. Montage d'un filtre passif d'ordre 2.....	43
Figure II.17. Montage d'un filtre passif d'ordre.....	44
Figure II.18. Eléments du résonateur pour un VCO basique.....	45

Figure II.19. Pente caractéristique d'un VCO	46
Figure II.20. Mélangeur (PFD).....	47
Figure II.21. Linéarisation d'un PFD.....	47
Figure II.22. Linéarisation d'un VCO.....	48
Figure II.23. Bloc linéaire d'une PLL.....	48
Figure II.24. Sources de bruit attribuées au synthétiseur de fréquence à PLL.....	51
Figure II.25. Bruit des résistances d'un filtre de troisième ordre.....	52
Figure II.26. Signal non bruité.....	54
Figure II.27. Signal bruité.....	54
Figure II.28. Schéma d'un oscillateur bruité.....	54
Figure II.29. Spectre du bruit de l'oscillateur.....	55
Figure II.30. Bruit de phase défini par le modèle 'Leeson'.....	56
Figure II.31. Bruit de phase défini par le Corner-Floor.....	56
Figure II.32. Bruit de phase défini par le Point/ Floor.....	57

Chapitre III

Figure III.1. Bloc diagramme de l'ADF4155.....	63
Figure III.2. Réponse du gain en boucle fermée @ $\Delta\phi= 20^\circ$ et $\omega_p= 500\text{kHz}$	71
Figure III.3. Réponse du gain en boucle fermée @ $\Delta\phi= 20^\circ$ et $\omega_p= 1\text{MHz}$	71
Figure III.4. Réponse du gain en boucle fermée @ $\Delta\phi= 20^\circ$ et $\omega_p= 5\text{MHz}$	72
Figure III.5. Réponse du gain en boucle fermée @ $\Delta\phi= 45^\circ$ et $\omega_p= 500\text{kHz}$	72
Figure III.6. Réponse du gain en boucle fermée @ $\Delta\phi= 45^\circ$ et $\omega_p= 1\text{MHz}$	72
Figure III.7. Réponse du gain en boucle fermée @ $\Delta\phi= 45^\circ$ et $\omega_p= 5\text{MHz}$	73
Figure III.8. Réponse du gain en boucle fermée @ $\Delta\phi= 80^\circ$ et $\omega_p= 500\text{kHz}$	73
Figure III.9. Illustration d'erreur de phase <i>RMS</i> sur un signal dans le domaine temporel.....	73
Figure III.10. Réponse du gain en boucle fermée @ $\Delta\phi= 80^\circ$ et $\omega_p= 5\text{MHz}$	74
Figure III.11. Réponse FM @ $\Delta\phi= 20^\circ$ et $\omega_p= 500\text{kHz}$	75
Figure III.12. Réponse FM @ $\Delta\phi= 20^\circ$ et $\omega_p= 1\text{MHz}$	75
Figure III.13. Réponse FM @ $\Delta\phi= 20^\circ$ et $\omega_p= 5\text{MHz}$	75
Figure III.14. Réponse FM @ $\Delta\phi= 45^\circ$ et $\omega_p= 500\text{kHz}$	76
Figure III.15. Réponse FM @ $\Delta\phi= 45^\circ$ et $\omega_p= 1\text{MHz}$	76
Figure III.16. Réponse FM @ $\Delta\phi= 45^\circ$ et $\omega_p= 5\text{MHz}$	76

Figure III.17. Réponse FM @ $\Delta\phi=80^\circ$ et $\omega_p=500$ kHz.....	77
Figure III.18. Réponse FM @ $\Delta\phi=80^\circ$ et $\omega_p=1$ MHz.....	77
Figure III.19. Réponse FM @ $\Delta\phi=80^\circ$ et $\omega_p=5$ MHz.....	77
Figure III.20. Réponse du bruit de phase @ $\Delta\phi=20^\circ$ et $\omega_p=500$ kHz.....	78
Figure III.21. Réponse du bruit de phase @ $\Delta\phi=20^\circ$ et $\omega_p=1$ MHz.....	78
Figure III.22. Réponse du bruit de phase @ $\Delta\phi=20^\circ$ et $\omega_p=5$ MHz.....	79
Figure III.23. Réponse du bruit de phase @ $\Delta\phi=45^\circ$ et $\omega_p=500$ kHz.....	79
Figure III.24. Réponse du bruit de phase @ $\Delta\phi=45^\circ$ et $\omega_p=1$ MHz.....	79
Figure III.25. Réponse du bruit de phase @ $\Delta\phi=45^\circ$ et $\omega_p=5$ MHz.....	80
Figure III.26. Réponse du bruit de phase @ $\Delta\phi=20^\circ$ et $\omega_p=500$ kHz.....	80
Figure III.27. Réponse du bruit de phase @ $\Delta\phi=20^\circ$ et $\omega_p=1$ MHz.....	80
Figure III.28. Réponse du bruit de phase @ $\Delta\phi=20^\circ$ et $\omega_p=5$ MHz.....	81
Figure III.29. Réponse transitoire de la boucle @ $\Delta\phi=20^\circ$, $\omega_p=500$ kHz.....	81
Figure III.30. Réponse transitoire de la boucle @ $\Delta\phi=20^\circ$, $\omega_p=1$ MHz.....	82
Figure III.31. Réponse transitoire de la boucle @ $\Delta\phi=20^\circ$, $\omega_p=5$ MHz.....	82
Figure III.32. Réponse transitoire de la boucle @ $\Delta\phi=45^\circ$, $\omega_p=500$ kHz.....	82
Figure III.33. Réponse transitoire de la boucle @ $\Delta\phi=45^\circ$, $\omega_p=1$ MHz.....	83
Figure III.34. Réponse transitoire de la boucle @ $\Delta\phi=45^\circ$, $\omega_p=5$ MHz.....	83
Figure III.35. Réponse transitoire de la boucle @ $\Delta\phi=80^\circ$, $\omega_p=500$ kHz.....	83
Figure III.36. Réponse transitoire de la boucle @ $\Delta\phi=80^\circ$, $\omega_p=1$ MHz.....	84
Figure III.37. Réponse transitoire de la boucle @ $\Delta\phi=80^\circ$, $\omega_p=5$ MHz.....	84
Figure III.38. Représentation graphique en 3D de l'effet de la variation de marge de phase sur le temps de verrouillage et le gain du pic @ $\omega_p=500$ kHz.....	87
Figure III.39. Représentation graphique en 3D de l'effet de la variation de marge de phase sur le temps de verrouillage et le gain du pic @ $\omega_p=1$ MHz.....	88
Figure III.40. Représentation graphique en 3D de l'effet de la variation de marge de phase sur le temps de verrouillage et le gain du pic @ $\omega_p=5$ MHz.....	88
Figure III.41. Réponse de l'atténuation de raies de références @ $\Delta\phi=45^\circ$, $\omega_p=500$ kHz.....	89
Figure III.42 Réponse de l'atténuation de raies de références @ $\Delta\phi=45^\circ$, $\omega_p=1$ MHz.....	90
Figure III.43. Réponse de l'atténuation de raies de références @ $\Delta\phi=45^\circ$, $\omega_p=5$ MHz.....	90
Figure III.44. Représentation graphique en 3D de l'effet de la variation de la bande de boucle sur les réponses temporelle et la première raie de référence.....	91
Figure III.45. Synthétiseur de fréquences conçu pour générer la bande 80 GHz.....	93
Figure III.46. Temps de verrouillage de la boucle.....	94
Figure III.47. Réponse de la phase d'erreur de la boucle.....	94
Figure III.48. Réponse de la fréquence d'erreur de la boucle.....	95
Figure III.49. Réponse de la fonction de transfert du gain en boucle ouverte.....	95

Figure III.50. Réponse de la fonction de transfert du gain en boucle fermée.....	96
Figure III.51. Réponse FM.....	96
Figure III.52. Réponse des raies parasites.....	97
Figure III.53. Réponse du bruit de phase.....	99

Liste des Tableaux

Tableau I.1. Comparaison des caractéristiques techniques entre les normes GSM'900 et GSM'1800.....	13
Tableau I.2. Avantages et inconvénients des techniques FDD et TDD.....	16
Tableau I.3. Bandes de fréquences réservées au LTE-FDD.....	18
Tableau I.4 Bandes de fréquences attribuées au LTE-TDD.....	18
Tableau I.5. Largeurs Largeur de canal pour les bandes de fréquences.....	19
Tableau I.6. Bandes de fréquences candidates pour la 5G.....	22
Tableau I.7. Récapitulatif de l'évolution des réseaux de télécommunications.....	24
Tableau III.1 Réponse temporelle de la boucle en fonction de la marge de phase et de la bande de boucle.....	65
Tableau III.2 Réponse du temps et des raies de références en fonction de la variation de la bande de boucle.....	66
Tableau III.3. Réponse du temps de verrouillage et des raies de référence pour diverses valeurs de courant de fuite @ $\omega_p = 500$ kHz.....	67
Tableau III.4. Réponse du temps de verrouillage et des raies de référence pour diverses valeurs de courant de fuite @ $\omega_p = 1$ MHz.....	68
Tableau III.5. Réponse du temps de verrouillage et des raies de référence pour diverses valeurs de courant de fuite @ $\omega_p = 5$ MHz.....	68
Tableau III.6. Récapitulatif de la plage d'écart du courant de fuite en fonction de la bande de boucle.....	69
Tableau III.7. Prédiction précise du courant de fuite en fonction de la bande de boucle.....	70
Tableau III.8. Récapitulatif des principaux résultats obtenus de l'analyse du courant de fuite tolérable en fonction de la variation de la bande de boucle.....	70
Tableau III.9. Réponse du temps de verrouillage et du gain du pic @ $\omega_p = 500$ kHz en fonction de la variation de la marge de phase.....	86
Tableau III.10. Réponse du temps de verrouillage et du gain du pic @ $\omega_p = 1$ MHz en fonction de la variation de la marge de phase.....	86
Tableau III.11. Réponse du temps de verrouillage et du gain du pic @ $\omega_p = 5$ MHz en fonction de la variation de la marge de phase.....	87
Tableau III.12. Paramètres pour la conception du synthétiseur 5G.....	92

Tableau III.13. Composants du filtre de boucle.....	93
Tableau III.14 Spécification du bruit Corner/ Floor des oscillateurs.....	97
Tableau III.15 Bruit de phase de chaque composant du synthétiseur.....	98
Tableau III.16. Comparaison des synthétiseurs de fréquences fonctionnant pour les Fréquences >20GHz.....	100

Introduction Générale

Contexte du travail

L'intitulé de cette thèse, intègre deux concepts très répandus : les synthétiseurs de fréquences à PLL et le réseau de cinquième génération. Bien que, le lien entre ces deux notions puisse paraître encore flou, leur association reste toutefois envisageable.

En effet, l'accès aux télécommunications est devenu un service de première nécessité comme l'eau et l'électricité. Depuis les années 80, le secteur de technologie de l'information et de la communication connaît une croissance phénoménale. Une nouvelle génération est lancée tous les dix ans environ, chacune apportant de nouvelles capacités avec de nouveaux services plus fiables. Cependant, depuis 2014, la 5G fait preuve de curiosité chez beaucoup de chercheurs activant dans le domaine des nouvelles technologies. Cette norme, encore en cours de développement, s'annonce être une révolution mondiale, puisqu'elle devra offrir de nouveaux avantages par rapport aux technologies précédentes où l'accès sans fil s'étendra bien au-delà des capacités de la téléphonie mobile. C'est ainsi que la 5G devra impliquer des canaux de communication à large bande et c'est pourquoi, l'une des solutions les plus prometteuses, est d'utiliser le spectre radio à ondes millimétriques.

Dans ce contexte, il serait opportun que les nouveaux circuits Radio Fréquences (RF), soient compatibles avec le réseau 5G. La synthèse de fréquence indirecte, plus connue sous le nom de synthétiseur de fréquences à boucle à verrouillage de phase (PLL), est un élément fondamental dans tout système de communication et plus particulièrement dans les émetteurs-récepteurs radio. Il est le circuit qui permet la génération simultanée d'une plage de fréquence à partir d'une seule fréquence stable générée par un oscillateur de référence. Néanmoins, d'une manière générale, ces systèmes RF imposent une certaine exigence en termes de performance des caractéristiques relatives aux synthétiseurs. C'est pourquoi, cette thèse est motivée par le besoin de concevoir un synthétiseur à PLL performant pour les futurs systèmes émetteurs-récepteurs 5G.

Objectif du travail

L'enjeu de ce travail de recherche, est de modéliser, simuler et concevoir un synthétiseur de fréquences à PLL pour les émetteurs-récepteurs 5G. Afin de mieux comprendre les contributions originales découlant de cette thèse, voici les nombreuses questions abordées et à travers lesquelles nous avons pu fixer les objectifs à atteindre.

- *Existe-t-il des alternatives aux synthétiseurs de fréquences à PLL conçus pour les systèmes Radio Fréquence de la quatrième génération '4G' ?*

Apporter de nouvelles solutions et contributions aux synthétiseurs de fréquences pour des applications 4G et 4G⁺, était au départ notre principal sujet de recherche, qui a fait preuve de deux articles présentés lors des manifestations scientifiques internationales en 2015 et 2016. Toutefois, ce

travail tombait pile avec l'approbation du processus de normalisation de la 5G, ce qui nous a appelé à diverger notre étude et l'axer pour des applications 5G.

➤ ***Pourquoi la bande-E de 80 GHz ?***

L'intégration des synthétiseurs de fréquences à PLL dans les systèmes 5G, a été proposée dans la littérature. Récemment, un débit de données supérieur à 0,5 Gb/s, a été atteint sur un rayon de quelques centaines de mètres en utilisant une bande de fréquences de 28 GHz avec une largeur de bande passante de 800 MHz [1-2]. Toutefois, il est vrai que les bandes de 28 GHz et 38 GHz, sont choisies comme premières fréquences candidates pour le déploiement précoce de la 5G. Or, si nous considérons des fréquences supérieures, il est cohérent de dire que le débit sera plus élevé, ce qui permettra de diversifier davantage les champs d'applications et ceci grâce à la largeur de la bande passante qui sera également large en fréquence. Pour cette raison, dans ce travail, nous proposons un modèle de synthèse de la bande de fréquence-E (E-band). Aussi, le choix d'exploiter particulièrement cette bande, est aussi, motivé par le fait que ces ultra hautes fréquences sont considérées comme les plus élevées du réseau 5G.

De façon spécifique : Le modèle de synthétiseur de fréquences, est proposé pour générer la totalité de la bande-E de [81-86] GHz, avec un espacement ultra large bande de 1 GHz.

➤ ***Quelle structure adopter pour la synthèse à PLL ?***

La plupart des synthétiseurs de fréquences à PLL traités dans la littérature pour des applications 5G, sont de topologie fractionnaire. Il est vrai que cette catégorie de synthétiseurs permet une meilleure précision, néanmoins, les synthétiseurs à pas entier sont moins complexes, consomment moins d'énergie et sont plus faciles à intégrer sur silicium.

Pour cette raison, nous considérons dans ce travail, qu'un synthétiseur de fréquences à division entière, pourrait mieux convenir aux systèmes RF 5G.

➤ ***Quelle méthode utiliser pour envisager une bonne performance du système ?***

Dans les systèmes de communication où le synthétiseur est l'élément principal, cet appareil est qualifié de bon ou mauvais à l'aune de son bruit de phase, de son RMS Jitter, de ses raies de références et de son temps d'acquisition. Nombreux travaux de recherche sont sujet au développement des méthodes, permettant d'améliorer ces caractéristiques. En suivant le cheminement des hypothèses avancées, nous avons constaté que les paramètres de la bande de boucle, la marge de phase et du courant de fuite en dépendent grandement. Par lien de connexité, l'effet du courant de fuite généré par la pompe de charge sur le système, est expliqué par la génération des raies de références, alors que la variation de la bande de boucle et de la marge de phase peut avoir un impact sur le temps

d'acquisition. Toutefois, il est à noter que les études menées pour améliorer ces caractéristiques, le courant de fuite, a été généralement considéré à 1 nA, alors qu'en réalité, concevoir un synthétiseur avec un courant de fuite aussi réduit n'est pas toujours facile à réaliser.

Dans ce sens, notre approche s'est penchée vers une éventuelle technique, qui permettrait d'accorder une marge de tolérance à ce paramètre 'indésirable'. Pour ce faire, nous allons procéder au développement d'une méthode d'optimisation des paramètres de la bande de boucle et de la marge de phase.

Donc, de par notre objectif de concevoir un synthétiseur de fréquences à division entière, capable de couvrir la bande-E, un autre en fait que, ce dispositif doit également être performant en ses réponses temporelle et raies de références tout en accordant une bonne marge de tolérance au courant de fuite généré par la pompe de charge.

➤ ***Pourquoi envisager d'utiliser l'ADF4155 pour les systèmes RF de cinquième génération ?***

L'ADF4155, est un chip (puce-PLL) appartenant à la famille ADFxxx de la compagnie 'Analog Devices'. Il est utilisé pour différentes applications et dans de nombreuses infrastructures sans fil telles que W-CDMA, WiMAX, GSM, DCS.

Pour cette raison, dans ce travail de recherche, nous envisageons de l'utiliser dans le modèle du synthétiseur de fréquences, destiné aux émetteurs-récepteurs 5G.

Structure et organisation du travail

Ce rapport de thèse s'articule autour de trois principaux chapitres :

Dans le premier chapitre, nous ferons état des normes de télécommunications. Nous présenterons un historique sur l'évolution des réseaux cellulaires, en partant de l'AMPS jusqu'au réseau LTE. Nous nous attarderons sur les caractéristiques apportées par chaque standard en vue d'une meilleure illustration des atouts attendus par le réseau 5G et dans lequel intervient ce travail de thèse.

Le second chapitre fera état dans une première partie d'une étude théorique des différents blocs que nous envisageons pour modéliser les synthétiseurs de fréquences à PLL que nous rappelons, destinés aux émetteurs-récepteurs 5G. Une deuxième partie, sera dédiée à la présentation des fonctions de transfert relatives au modèle linéaire. Cette partie mettra en avant le côté le plus technique dans lequel s'inscrit ce travail de thèse afin d'en énoncer les conditions de limites auxquelles le système est soumis. Enfin ce chapitre se clôturera sur une formulation mathématique du bruit de phase généré par l'ensemble du système asservi.

Le troisième chapitre est au cœur de cette thèse. Il peut être divisé en trois principales parties. Dans la première, nous définirons en premier lieu l'outil et le chip ADF4155, utilisé pour la conception du synthétiseur. Nous décrirons par la suite en détail les étapes que nous avons suivies pour sa modélisation. Afin d'illustrer nos propos, un soin sera apporté à la présentation des résultats par des schémas d'interprétation. Dans la deuxième partie nous passerons à l'étape de conception du synthétiseur en question avec une analyse de chaque caractéristique du circuit, sera donnée dans les domaines temporel et fréquentiel. Dans la troisième et dernière partie, nous évaluerons les performances de notre travail en nous comparant à l'état de l'art des synthétiseurs présentés dans les bandes des ultra hautes fréquences.

Enfin, ce manuscrit se terminera sur une conclusion générale présentant un retour sur le travail qui a été accompli en rappelant les principaux résultats obtenus et proposant une ouverture aux travaux futurs.

Bibliographie

- [1] T. Siriburanon et al., « A 28-GHz fractional-N frequency synthesizer with reference and frequency doublers for 5G cellular », in ESSCIRC Conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC), Graz, Austria, 2015, p. 76-79.
- [2] W. Roh et al., « Millimeter-wave beamforming as an enabling technology for 5G cellular communications: theoretical feasibility and prototype results », IEEE Communications Magazine, vol. 52, n° 2, p. 106-113, févr. 2014.

Chapitre I

Réseaux de Télécommunications

I.1 Introduction

La notion de communication a lentement dérivé vers une autre abstraction, c'est celle de transmettre ou véhiculer l'information d'un point à un autre, grâce aux circuits Radio Fréquences (RF) qui connaissent une expansion majeure et significative dans le monde électronique en général et la sphère télécom en particulier. Toutefois, l'évolution de ces circuits, n'est autre que le résultat de la demande croissante du grand public, qui a mis en évidence des systèmes de communication analogiques puis numériques.

En effet, les technologies développées dans ces systèmes, ont fait part d'un réseau de première génération (1G) qui a rempli la voix mobile de base, proposant des services pour un nombre limité d'utilisateurs. Cette limitation a amené à instaurer un réseau de deuxième génération (2G), qui a permis des services voix avec une capacité et une couverture nettement plus accrue, en introduisant des nouveaux services de transmission de données à faible volume comme le SMS et le MMS ainsi que l'accès à internet à faible débit. L'arrivée de la 3G et ses standards, ont ouvert les portes aux services haut débit, et ont fait l'objet de nombreuses publications, qui ont vite marqué l'avènement d'une nouvelle génération nommée « réseaux cellulaires de quatrième génération (4G) ». Ce réseau a favorisé l'émergence de nouvelles applications accessibles sur les terminaux mobiles en faveur d'une performance élevée et nettement supérieure à celle fournie par ses prédécesseurs. A l'heure actuelle, encore en plein processus de déploiement, le futur réseau de cinquième génération (5G) est en cours de développement. Ce réseau ne représentera pas seulement une évolution des réseaux mobiles de haut débit. Il vise des secteurs très variés dont l'objectif, serait que le spectre des usages et la diversité des utilisateurs soient grandement élargis.

Pour une perspicacité, ce chapitre retranscrit brièvement l'histoire de la communication avant de donner un panorama sur les normes de téléphonie mobile. En partant de la 1G vers la 4G, il présentera les différents standards ainsi que les fonctionnalités et services apportés par chaque génération, qui serviront de base pour comprendre les défis à relever par la future norme 5G.

I.2 Histoire de la communication

I.2.1 De la préhistoire à nos jours

Echanger des informations avec autrui à l'aide d'un langage choisi, fut le premier moyen d'expression usuel chez l'homme. Au cours des siècles, il a commencé à développer d'autres façons pour communiquer comme l'écriture, la communication en peinture ou en morse. Dans la première partie de ce chapitre, nous allons nous attacher à décrire de la manière la plus générale, l'évolution et l'histoire du concept de communication.

A. La communication à l'époque de la préhistoire

La communication a vu le jour durant la préhistoire, il y a de cela plus de 40 000 ans. A cette époque, les hommes ont commencé à communiquer, grâce à l'art rupestre sur des parois rocheuses à l'aide d'une peinture rupestre et des gravures pour marteler le support rocheux [1-2].

B. La communication à l'époque de l'antiquité jusqu'à la fin du moyen âge

La préhistoire prend fin lors de la naissance de l'écriture durant la période de l'antiquité. Par ailleurs, l'invention de ce moyen de communication, a permis l'acquisition et la transmission des connaissances car à cette époque, seuls les scribes étaient formés à l'écriture, à la lecture et aux calculs, dans le but était de retranscrire les transactions. Toutefois, une des grandes difficultés à l'époque était la transmission des messages sur les longues distances, c'est pourquoi des coureurs, des signaux lumineux et des pigeons messagers furent employés comme moyen de correspondance.

Arrivée après, la période du moyen âge, est venue après la période de l'antiquité. A cette époque, les informations voyageaient au rythme des messages où des chevaux ainsi que des personnes qui servaient de messagers étaient déployés pour transmettre au destinataire des lettres écrites par l'expéditeur [2-3].

C. La communication à l'époque moderne

Pour communiquer à travers du papier, la xylographie fut inventée. Afin de reproduire le même texte à quelques dizaines, ou bien centaines, voire même quelques milliers d'exemplaires, Johannes Gensfleisch plus connu sous le nom de Guetenberg, a en 1454, eu l'idée d'utiliser des caractères mobiles en plomb et c'est ainsi que fut la naissance de la presse typographique, communément appelée 'imprimerie'.

Plus tard, alors que cette invention (de l'imprimerie), est considérée comme un événement majeur, on pense alors à une large diffusion de l'information afin de demeurer à l'affût de l'actualité. C'est alors que le premier périodique imprimé au monde, un journal de quatre pages

intitulé 'Relation', est lancé à Strasbourg en 1605 par Jean Carolus [4]. Toutefois, pendant longtemps les journaux occupaient une position de monopole qui fut ensuite bouleversée par l'arrivée de nouveaux médias.

D. L'ère des Télécommunications

L'ère des télécommunications, débute lors de l'apparition du premier système de télécommunication, connu sous le nom de "Télégraphe". Cette invention fut le commencement de l'évolution de la technologie [5]-[9]. En effet, en :

- 1794 : Invention du télégraphe ; système permettant la transmission rapide des messages codés sur de grandes distances.
- 1876 : Invention du téléphone fixe ; cette découverte a offert une solution idéale et un moyen rapide pour transmettre la voix instantanément.
- 1887-1901 : Découverte des premières ondes radioélectriques (hertziennes) ainsi que l'invention de la radio ; Cette révolution technologique majeure pour les télécommunications a permis une communication entre deux stations fixes et ce, quelle que soit la distance entre elles.
- 1926 : Cette année voit la première diffusion d'images sur des écrans téléviseurs.
- 1936 : Alan Mathison Turing, ouvre la voie de la création de l'ordinateur programmable mais il faut attendre 1946 pour la commercialisation des premiers ordinateurs.
- 1969-1990 : Création d'un réseau informatique mondial appelé 'Internet', dont l'idée fut de permettre aux utilisateurs de différents ordinateurs, à communiquer entre eux et à envoyer des informations rapidement et en temps réel. C'est en 1969 que deux ordinateurs d'une université américaine arrivèrent à s'échanger des informations grâce à un câble de liaison mesurant quelques mètres de long et c'est à partir de 1990, que le réseau se démocratise et pu connaître une expansion planétaire, permettant la multiplication de services de toute nature sur le World Wide Web (www).

I.3 Communication sans fil

La communication a évolué progressivement au cours du temps jusqu'au XXème siècle où tout s'accélère et la communication de masse devient possible. En 1973, presque un siècle après l'invention du téléphone fixe, la communication permanente devient possible et ce quel que soit l'endroit, grâce au téléphone cellulaire, inventé par Martin Cooper [10]. Cette fulgurante évolution, est marquée par plusieurs réseaux cellulaires, passant de la 1G à la 4G et, actuellement encore en cours d'élaboration et de normalisation la '5G'.

I.3.1 La première génération '1G'

A. Standards qui ont marqués la 1G

Le déploiement du premier réseau cellulaire qualifié de 1^{ère} génération, a commencé dans les années 80. Il utilisait des canaux de trafic analogiques et était marqué essentiellement par les standards suivants :

- **AMPS (Advanced Mobile Phone System)**

L'AMPS, était le standard cellulaire le plus répandu en Amérique du nord. Un de ses principaux défauts était qu'il n'assurait pas la sécurité des appels ce qui rendait le piratage des lignes téléphoniques possible. Toutefois, ce système était caractérisé par [11-13] :

- Une technique de multiplexage purement analogique FDMA (Frequency Division Multiple Access) ;
- Des cellules de taille allant de 2 à 20 km ;
- Deux bandes de fréquences de 25MHz ; une bande de transmission [869- 894] MHz pour la station de base, et une autre [824-849] MHz pour le mobile ;
- Un espacement entre canaux montant et descendant de 45 MHz avec une largeur de 30 kHz pour chaque canal ;
- Un débit de transmission de 10kbit/s ;
- Une puissance maximale de 3W pour le mobile.

- **TACS (Total Access Communication System)**

Le standard TACS, était fortement utilisé en Grande Bretagne. Il reposait sur la technologie AMPS.

- **NMT (Nordic Mobile Telephone system)**

Le NMT, était essentiellement conçu dans les pays nordiques. Le débit de données atteint n'était pas impressionnant mais des connexions fonctionnelles pouvaient être mises en place avec un transfert de vidéos de surveillance, testé en 1990 [14].

B. Fin de l'ère de la 1G

L'usage d'une transmission analogique n'apportait guère avantages aux utilisateurs des standards de 1ère génération. Pour pallier les contraintes rencontrées, un nouveau service qui répondrait à ; une amélioration du mécanisme de sécurité ; une compatibilité avec les réseaux filaires ;

une compatibilité d'accès dans tous les pays (Roaming) avec une possibilité de conserver le numéro de téléphone sur un autre réseau ; et une réduction de la taille et du coût des terminaux mobiles, est à explorer.

I.3.2 Naissance de la deuxième génération '2G'

Succédant la première génération, la seconde génération (2G) est le premier réseau international nommé 'Global System for Mobile communications' (GSM), proposant une transmission entièrement numérique qui permet à la fois la transmission de la voix ainsi que des données numériques de faible volume comme des messages textes (SMS, pour Short Message Service) et des messages multimédias (MMS, pour Multimedia Message Service).

A. Caractéristiques du réseau GSM

Le réseau GSM, s'appuie sur des caractéristiques qui le définissent, en voici quelques-unes :

A.1 Allocation dynamique des fréquences [15-17]

Le réseau GSM, exploite la bande 900 MHz pour le GSM'900 et la bande 1800 MHz pour le GSM'1800 appelé 'DCS'1800'. Dans sa version 900 MHz, le standard occupe deux bandes de 25 MHz. Une, est utilisée pour la transmission du téléphone mobile vers l'antenne relais [890 – 915] MHz (cette terminologie est appelée 'voie montante' ou 'Up-link'), et une autre bande [935 – 960] MHz, utilisée pour la transmission inverse (appelée 'voie descendante' ou 'Down-link'). L'écart duplex qui correspond à la séparation des voies montante et descendante est de 45 MHz.

Quant à la variante DCS, elle exploite deux bandes de 75 MHz avec un écart duplex de 95 MHz. Ainsi, la bande [1710-1785] MHz est utilisée pour la liaison montante, et la gamme de fréquence [1805-1880] MHz pour la liaison descendante.

A.2 Techniques de transmission entre la BSS et la MS

Grâce à l'interface Air, qui permet le lien de transmission entre la BSS et la MS, l'émetteur-récepteur de chaque station, transmet un trafic sur une fréquence appelée 'porteuse' du réseau GSM. Afin de permettre une communication simultanée de plusieurs abonnés sur la même fréquence porteuse, deux méthodes sont utilisées : l'accès multiple par répartition en fréquence (Frequency Division Multiple Access 'FDMA'), et l'accès multiple par répartition dans le temps (Time Division Multiple Access 'TDMA').

- **La technique de multiplexage FDMA** : les abonnés communiquent avec la station de base sur des fréquences différentes et cela en divisant la bande 25MHz en 124 paires de canaux duplex où chaque canal (porteuse), possède une densité spectrale confinée dans une bande de 200 kHz.

- **La Technique de multiplexage TDMA** : Elle consiste à diviser chaque canal radio en 8 intervalles de temps (Time Slot 'TS') dont chacun a une durée de 0,577 ms afin d'avoir une trame TDMA d'une longueur de 4,615 ms, comme le montre la figure I.1.

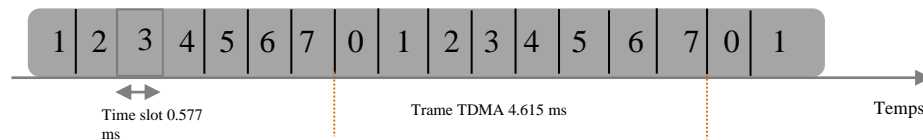


Figure I.1 Structure de la trame TDMA.

A.3 Modulation [18-20]

Le réseau GSM, utilise la modulation GMSK (Gaussian Minimum Shift keying). Version évoluée de la modulation FSK (Frequency Shift Keing), cette technique utilise un processus de filtrage du signal binaire avant la modulation, au travers un filtre passe-bas qui a pour fonction de remplacer les fronts montants et descendants par une transition progressive, ce qui permet de diminuer la largeur spectrale du signal modulé.

A.4 Handover [21-22]

Le réseau cellulaire GSM, est composé d'une multitude d'émetteurs-récepteurs radio. La fonction fondamentale de ces circuits électroniques, est de maintenir une communication téléphonique tout en étant mobile. Afin d'assurer une liaison mobile dans la transparence et sans interruption, un processus appelé 'Handover' est mis en œuvre. Toutefois, ce mécanisme primordial dans la communication cellulaire, intervient dans trois cas :

- Lors d'un transfert intercellulaire ; c'est-à-dire, lorsque le terminal mobile est en mouvement et passe d'une cellule à une autre ;
- Lors d'une indisponibilité signalée par la station de service : soit parce qu'elle n'est plus en marche, ou bien parce qu'il y a une saturation de mobiles en communication ;
- Le Handover, intervient aussi, lors des interférences entre les stations mobiles dans une même cellule. Et dans ce cas, le mobile décide de passer à une autre cellule afin de subir moins d'interférences.

Cependant, il est à souligner que ce mécanisme de transfert intercellulaire, peut être classé d'horizontal quand le transfert d'appels est effectué entre les différentes cellules du même réseau. Ou bien vertical, quand les appels sont réalisés dans des cellules différentes d'un réseau différent.

A.5 Transcodage de la parole [23]

Les transcodeurs TRAU (Transcoder Rate Adaptor Unit) du réseau GSM, ont pour fonction de réaliser le transcodage 13 kbit/s et 64 kbit/s. Le premier, est réalisé sur l'interface radio où la voix, est codée à 13 kbit/s, alors que le second, fait référence au réseau fixe, généralement numérique, qui gère des circuits de parole à 64 kbit/s.

A.6 Débit binaire de transmission de données [24]

La norme GSM autorise un débit binaire de 9.6 kbit/s, ce qui permet de transmettre la voix ainsi que des données numériques de faible volume comme les messages textes 'SMS' (Short Message Service) ou des messages multimédia 'MMS' (Multimedia Message Service). Mais aussi, des services supports numériques avec un débit binaire de 12 kbit/s sont également assurés.

A.7 Différence entre le GSM'900 et le DCS'1800 [25-27]

Les normes GSM'900 et DCS'1800, reposent sur le même principe de fonctionnement et offrent les mêmes services. Voici dans le tableau I, leur différence en caractéristiques :

Le standard GSM	GSM' 900	DCS' 1800
Bande de fréquence :	890 - 915 MHz	1710 - 1785 MHz
Voie montante	935 - 960 MHz	1805 - 1880 MHz
Voie descendante		
Ecart de la bande de fréquence	25 MHz	75 MHz
Ecart duplex	45 MHz	95 MHz
Nombre de canaux	124	374
Largeur de canal	200 kHz	200 kHz
Accès multiple	FDMA/TDMA	FDMA/TDMA
Modulation	GMSK	GMSK
Rapidité de modulation	271 kbit/s	271 kbit/s
Débit de la parole	13 kbit/s	13 kbit/s
Débit de données	9.6 kbit/s jusqu'à 12 kbit/s	9.6 kbit/s jusqu'à 12 kbit/s
Rayon des cellules	0.3 à 30 km	0.1 à 4km
Puissance des terminaux	2W (et 8W)	1W
Capacité	200 Erlang/km ²	500 Erlang/km ²

Tableau I.1 Comparaison des caractéristiques techniques entre les normes GSM'900 et GSM'1800.

B. Evolution du réseau GSM

B.1 L'accès à internet à partir du terminal mobile [27]

Afin d'apporter plus d'avantages aux usagers du réseau GSM, un nouveau service qui permet l'accès à internet est réalisé via le WAP (Wireless Application Protocol). Ce dernier, est un protocole qui permet de créer des services interactifs inspirés des sites web, et accessibles sur l'écran du terminal mobile à travers le réseau GSM et dont l'opération, s'effectue à l'aide d'un navigateur spécifique, implanté dans l'appareil mobile. Il est chargé de la coordination avec la passerelle sur laquelle, il effectue des demandes d'informations qui sont ensuite, traitées et dirigées vers le serveur et une fois la requête traitée, les données sont envoyées à la passerelle, qui les traite à nouveau avant de les transmettre au terminal GSM.

B.2 Les standards marquant la 2G

B.2.1 HSCSD [28]

Le standard HSCSD (High Speed Circuit Switched Data) est la première version évoluée du réseau GSM, offrant un service internet à bas débit de 57.6 kbit/s et permettant un transfert de fichiers volumineux.

B.2.2 GPRS [29]

Le standard GPRS (General Packet Radio Service), connu sous la génération 2.5G. Il fonctionne en parallèle avec le réseau GSM en conservant son infrastructure pour le transport du trafic voix avec un transfert de données réalisé par paquet via le protocole IP ou le protocole X.25 et dont la transmission fait appel au réseau GSM que lorsque cela est nécessaire. L'évolution apportée par ce standard réside principalement dans le débit binaire qui atteint 170.2 kbits/s en théorie mais il est porté à environ 50 kbits/s en pratique.

B.2.3 EDGE [30]

Pour améliorer encore l'efficacité du transfert de données, le GPRS s'est ensuite évolué vers un autre standard normalisé sous le nom de EDGE (Enhanced Data Rates for GSM Evolution) ou la génération 2.75G. Pareillement, cette norme permet la transition de la voix sur le canal radio du réseau GSM mais, utilise une modulation différente (8-PSK) qui lui permet d'améliorer le débit binaire avec un taux de transmission de 384 kbit/s et ouvrant ainsi la porte aux applications multimédias comme la vidéo mobile.

I.3.3 La troisième génération '3G'

Développé en 2001 et standardisé par le 3GPP (3rd Generation Partnership Project), le réseau 3G est le système de communication sans fil mobile destiné à résoudre les problèmes rencontrés dans les réseaux de deuxième génération. Il est représenté principalement par les normes UMTS (Universal Mobile Telecommunications System) en Europe, CDMA-2000 (Code Division Multiple Access-2000) en Amérique et WCDMA (Wideband Code Division Multiple Access) en Chine et en Corée [31] et est tenu de respecter les normes techniques IMT2000 (International Mobile Telecommunications 2000).

A. Accès multiple et duplex [32-34]

Le standard 3G, occupe une large bande passante. Pour cela, il utilise un protocole de transfert de données en mode paquet via l'interface radio W-CDMA. Cette technique d'accès multiple large bande par répartition de code, se distingue du TDMA et FDMA par le fait que les signaux des utilisateurs présents dans la cellule, sont émis en même temps et à la même fréquence, grâce à un code qui leur est attribué. Cependant, le réseau 3G est aussi appelé UMTS-FDD et UMTS-TDD. Cette appellation, fait référence aux deux modes de duplex qu'il utilise. Pour :

- **Le duplex fréquentiel (FDD, Frequency Division Duplex)** ; Il dispose de deux bandes de fréquences indépendantes pour l'émission et la réception (une pour la liaison montante et une autre pour la liaison descendante).
- **Le duplex temporel (TDD, Time Division Duplex)** ; l'opération s'effectue sur la même fréquence porteuse mais à des instants différents.

B. Bandes de fréquences allouées au réseau 3G [35-36]

La bande 2,1 GHz, est désignée au niveau international pour les systèmes mobiles de troisième génération. Pour l'UMTS-FDD, deux bandes de fréquences d'une largeur de 60 MHz lui sont attribuées dont la largeur de la fréquence porteuse est de 5 MHz. Il exploite la bande [1920 – 1980] MHz pour la voie montante et la bande [2110 – 2170] MHz pour la voie descendante.

Quant au système UMTS-TDD, il occupe la bande [1900 -1920] MHz pour la liaison montante et la bande [2010 – 2025] MHz pour la liaison descendante dont la largeur de canal, est aussi de 5 MHz.

C. Les nouveautés apportées par la 3G [32-34]

Le mode FDD de l'UMTS, utilise un duplex fréquentiel et un accès multiple à répartition par code (CDMA), mais par-dessus tout, une division de la ressource spectrale en porteuses disjointes (FDMA) car la mise en place d'un tel mode, a l'avantage d'émettre et de recevoir des données en même temps, ce qui permet un service de transfert de données avec un débit qui peut atteindre les 384 kbit/s.

Pour le mode TDD, il utilise un duplex temporel et un accès multiple hybride (tenant à la fois du TDMA et du CDMA). La figure I.2, illustre la trame TDD du réseau 3G. Pour chaque porteuse de 5 MHz, l'axe temporel constitue une trame de 10 ms divisée en 15 intervalles de temps (slots) d'une durée de 0.667 μ s. Cela veut dire que plusieurs utilisateurs peuvent occuper le même time slot et ceci au moyen du CDMA qui utilise les mêmes ressources fréquentielles et temporelles. Ce mode de duplexage temporel, offre une spécificité par rapport au mode FDD, car il exploite une seule fréquence au lieu de 2, ce qu'il lui permet d'atteindre un débit de 2 Mbit/s.

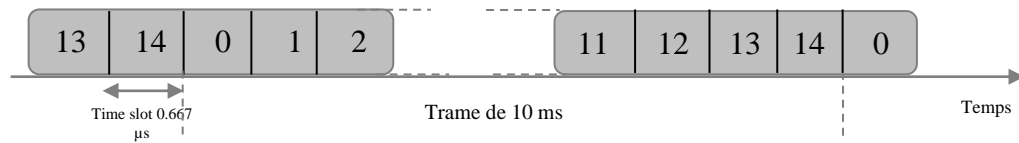


Figure I.2 Trame TDD du réseau 3G.

D. Les principales différences entre les modes de duplexage FDD et TDD [37]

Chaque technique de duplexage utilisée par le réseau 3G, peut avoir des avantages et des inconvénients. Voici dans le tableau I.2, les principales caractéristiques différenciant chaque mode.

Modes	TDD	FDD
Utilisation du spectre	Une seule fréquence pour l'émission et la réception	Deux bandes de fréquences distinctes
Distance	Adaptée principalement aux faibles distances	Ne présente aucune influence sur la transmission
Latence	Peut introduire un temps de retard	N'introduit pas de retards

Tableau I.2 Avantages et inconvénients des techniques FDD et TDD.

E. Les standards développés dans la 3G [38-40]

Tout comme le GSM, l'UMTS comporte des évolutions qui sont définies par les normes 'HSDPA' (High Speed Downlink Packet Access) et 'HSUPA' (High Speed Uplink Packet Access).

- **Le système radio cellulaire HSDPA**

Le HSDPA, est appelé aussi la génération 3.5G. Il intègre dans sa technologie un canal de transport 'HS-DSCH' (High Speed Downlink Shared Channel), qui lui permet d'optimiser le spectre radio, grâce à un codage et une modulation 16-QAM. En utilisant cette technologie, le débit de transmission est multiplié par cinq sur la liaison descendante (soit 10 Mbits/s) et atteint 14 Mbits/s avec une modulation 64-QAM.

- **Le système radio cellulaire HSUPA**

Le HSUPA, est une autre version évoluée de la 3G avant le passage à la quatrième génération. Ce standard, a apporté une amélioration du débit de transmission sur la liaison montante qui a atteint les 5,8 Mbps/s, ce qui a permis d'envoyer des fichiers/images/vidéo plus rapidement sur le réseau.

F. Latence

Jusque-là, chaque standard cellulaire cité a apporté une meilleure interactivité, et cela pas seulement sur la vitesse du débit de transmission. En effet, une réduction du temps de latence, est aussi vérifiée. Ce paramètre qui représente un facteur clé dans la perception des services de données par l'utilisateur, est estimé à 300 ms en GSM/GPRS/EDGE et est réduit à 250 ms en UMTS puis à 70 ms en HSDPA et finalement 30 ms par le standard HSUPA [41].

I.3.4 La quatrième génération '4G'

Pour améliorer encore la vitesse de transfert des données fournie par les standards HSDPA et HSUPA, l'ITU-R (International Telecommunication Union Radio communication sector), établi un ensemble d'exigences qui a pour but de mettre en place un réseau cellulaire à très haut débit excédant les 100 Mbit/s pour les communications en mobilité forte (voitures, trains) et jusqu'à 1 Gbit/s pour les applications fixes ou très faiblement mobiles (piétons) [42]. Les investigations menées en ce sens, ont recouru à l'incorporation de plusieurs technologies ce qui a donné naissance à un nouveau réseau défini par la génération 3.9G, communément connue sous LTE (Long Term Evolution).

A. Mode de duplexage utilisé

Le LTE, est la première norme cellulaire à utiliser simultanément le duplexage TDD et FDD avec une durée de trame de 10 ms. Pour le mode FDD, la trame est utilisée entièrement pour la transmission en liaison descendante, alors que dans le mode TDD, celle-ci est divisée en transmissions

montantes et descendantes dont chacune est composée de 10 sous-trames d'une durée de 1 ms, qui elle aussi est divisée en deux intervalles de temps d'une durée de 0,5 ms [43].

A.1 Nouvelles bandes de fréquences attribuées au réseau LTE

Plusieurs bandes de fréquences appariées au LTE-FDD et non appariées au LTE-TDD sont identifiées dont la largeur de porteuse peut varier. Les tableaux I.3, I.4 et I.5, remplissent le spectre radio ainsi que la fréquence du canal réservé à chaque mode [44].

LTE-FDD	Uplink (MHz)	Downlink (MHz)
1	1920 – 1980	2110 – 2170
2	1850 – 1910	1930 – 1990
3	1710 – 1785	1805 – 1880
4	1710 – 1755	2110 – 2155
5	824 – 849	869 – 894
6	830 – 840	875 – 885
7	2500 – 2570	2620 – 2690
8	880 – 915	925 – 960
9	1750 – 1785	1845 – 1880
10	1710 – 1770	2110 – 2170
11	1428 – 1453	1476 – 1501
12	698 – 716	728 – 746
13	776 – 788	746 – 758
14	788 – 798	758 – 768
15	704 – 716	734 – 746

Tableau I.3 Bandes de fréquences réservées au LTE-FDD.

LTE-TDD	Uplink et Downlink (MHz)
a	1900 – 1920
b	2010 – 2025
c	1910 – 1930
d	2570 – 2620
e	1880 – 1920
f	2300 – 2400

Tableau I.4 Bandes de fréquences attribuées au LTE-TDD.

Largeur de canal (MHz)	1.4	3	5	10	15	20
Bande de fréquence correspondante	2, 3, 4, 5, 8, 13, 14	2, 3, 4, 5, 8, 13, 14	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14, 33, 34, c, d, e	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14, a, b, c, d, e, f	1, 2, 3, 4, 7, 9, 10, 11, a, b, c, e, f	1, 2, 3, 4, 7, 9, 10, 11, a, b, e, f

Tableau I.5 Largeur de canal pour les bandes de fréquences.

B. Spécifications du réseau 4G [45]

Afin d'améliorer le débit, le LTE inclut dans sa technologie les spécificités suivantes :

- **Software Defined Radio (SDR)** : Système de communication radio où les composants (mélangeurs, filtres, amplificateurs, modulateurs / démodulateurs, détecteurs...etc), sont implémentés à l'aide d'un logiciel sur un ordinateur ou autre dispositif informatique embarqué.
- **Multiplexage par répartition en fréquence orthogonale (OFDM)** : Cette technique de l'orthogonalité des fréquences, offre l'avantage d'utiliser des porteuses à large bande à des intervalles très faibles et sans interférences avec deux modes d'accès multiple peuvent être employés ; L'OFDMA (Orthogonal Frequency Division Multiple Acces) pour le lien descendant, offrant un débit de transmission de 100 Mbit/s et le SC-FDMA (Single Carrier Frequency Division Multiple Acces) pour le lien montant, qui permet d'obtenir un débit de transmission de 75 Mbit/s [46].
- **Multiple-Input and Multiple-Output (MIMO)** : Cette technologie, utilise plusieurs antennes à la fois (de l'émetteur et du récepteur), ce qui permet d'améliorer les performances en termes de qualité de service.

C. Evolution du réseau LTE

C.1 Long Term Evolution-Advanced

Le LTE-Advanced, est aujourd'hui déployé dans beaucoup de pays. Il représente le passage direct de la 3.9G à la 4G⁺, où les nouveautés apportées résident principalement sur le délai de latence (qui passe de 30 ms à 10 ms) ainsi que sur la vitesse de données qui atteint théoriquement les 300 Mbit/s, à l'aide d'un canal radio de 100 MHz [47].

C.2 LTE-Advanced pro

Le standard LTE-A Pro, est encore en cours de développement, qui sera une extension de la 4G⁺ (4.9G) et dont les attributs clés qui le définiront sont [48] :

- Une vitesse de données supérieure à 3 Gbp/s avec une fréquence porteuse de 640 MHz. Cependant, répondre à ce défi, permettra l'accès à de nouveaux services dans les systèmes de transport intelligents (ITS), notamment la communication entre véhicules.
- Le LTE-A Pro vise aussi à réduire davantage le temps de latence (2 ms), afin d'offrir une meilleure expérience aux abonnés et leur permettre une interconnexion de leurs appareils sans fils (une technologie communément appelée 'Internet of Things (IoT)').

I.3.5 La cinquième génération '5G

La cinquième génération des réseaux mobiles est attendue pour l'horizon 2020. Elle est définie comme le réseau multi-technologiques qui ne s'intéressera pas uniquement aux services de communications grand public. En effet, la 5G ouvrira de nouvelles perspectives dans plusieurs secteurs (agronomie, médecine, éducation...etc), et offrira un large éventail de fonctionnalités connectées via Internet, qui permettront la cohabitation d'applications et usages extrêmement diversifiés, et unifiés au sein d'une même technologie.

A. Familles d'usage caractérisant la 5G

Le Groupe IMT-2020 spécialisé dans le développement du réseau de cinquième génération, définit trois grandes familles d'usage avec leurs exigences, qui permettront de répondre aux besoins métier mentionnés en introduction de cette section [49-50] :

- mMTC – massive Machine Type Communications : Cette technologie devra permettre la communication entre une grande quantité d'objets. Elle vise à répondre aux besoins d'une société numérique plus développée et à mettre en service des exigences élevées en termes de densité d'objets connectés comme la ville intelligente et l'agriculture intelligente.
- eMBB – enhanced Mobile Broadband : Ou 'connexion en ultra haut débit en outdoor et en indoor'. Le principal objectif de cette catégorie d'usage, est de répondre à la demande d'un mode de vie de plus en plus numérique avec uniformité de la qualité de service telles que les vidéos haute définition (HD) qui nécessitent une bande passante élevée.
- uRLLC – Ultra-reliable and Low Latency Communications : Communication ultra-fiable et à très faible latence. Cette technologie vise à répondre aux attentes de l'industrie numérique pour une réactivité accrue et se focalise sur les services sensibles à la latence, telles que la conduite assistée et automatisée et la gestion à distance.

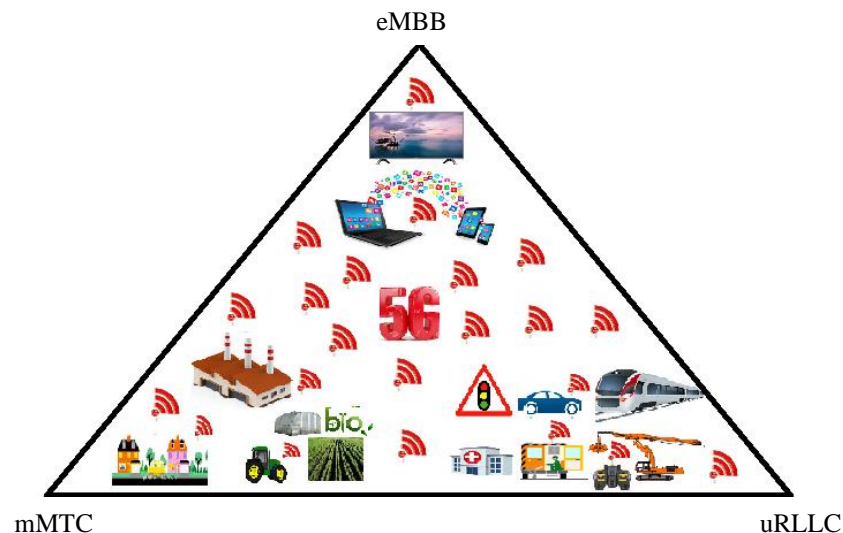


Figure I.3 Usages de la 5G.

B. Principaux défis de la 5G

Afin de mettre en œuvre les trois types d'usages cités précédemment, la 5G est amenée à répondre à une liste de défis, définis par [51-52] :

- **Connectivité massive** : La 5G augure de fortes potentialités en matière de densité d'appareils connectés dont le nombre devra atteindre le million par km².
- **Débit de données très élevé** : Afin de supporter un trafic dense, le futur réseau envisage d'offrir un débit de données très élevé avec une connexion stable en mobilité dont la vitesse dépassera les 500 km/h, mais prévoit aussi :
 - Des débits de données supérieurs à 10 Gbit/s dans les environnements extérieurs, intérieurs et denses ;
 - Des débits de données de plusieurs 100 Mbit/s dans les environnements urbains et suburbains ;
 - Des débits de données d'au moins 10 Mbit/s, devraient être accessibles presque partout y compris dans les zones rurales peu peuplées, dans les pays développés et en voie de développement.
- **Très faible latence** : Le temps de latence sera également fortement réduit avec la 5G. Ce défi est motivé par le besoin de supporter de nouvelles applications envisagées pour la sécurité routière, le contrôle des infrastructures ou pour des processus industriels dont la latence de bout en bout ne doit pas dépasser 1 ms.
- **Ultra-haute fiabilité** : La 5G devra également permettre une connectivité avec une fiabilité extrêmement élevée et une disponibilité permanente et sans faille, et ce quelle que soit la position de l'utilisateur par rapport à la station de base.

- Coût réduit des appareils mobiles avec une faible consommation d'énergie : Les appareils mobiles à faible coût et à faible consommation d'énergie sont une exigence clé du marché depuis les débuts de la communication mobile. Les appareils 5G devront donc être commercialisés à très faible coût avec une autonomie de plusieurs années sans recharge grâce aux capteurs connectés et dispositifs similaires.
- Réseaux à efficacité énergétique : L'efficacité énergétique est considérée aujourd'hui comme un indicateur de performance clé dans la conception des circuits comme les amplificateurs de puissance, les émetteurs-récepteurs...etc. La 5G prévoit d'augmenter l'efficacité énergétique et fournir des batteries jusqu'à 100 fois moins énergivores.

C. Allocation des fréquences

Pour répondre aux différents défis cités dans la section précédente, la 5G devra intégrer plusieurs spectres radioélectriques, dont [53] :

- Spectre à basses fréquences (inférieures à 1 GHz), notamment la bande 700 MHz ;
- Fréquences à spectre moyen (entre 1 et 6 GHz) avec une largeur de spectre élevée. Ce spectre sera utilisé entre autres pour la téléphonie mobile ;
- Spectre ultra-large pour les ultra hautes fréquences (supérieures à 24 GHz) avec des largeurs de bande très importantes.

Les fréquences supérieures à 20 GHz, sont communément appelées ondes millimétriques. Toutefois, l'accès à ce spectre ouvrira la porte à une grande variété de services qui offrira avant tout l'avantage de mettre en œuvre une capacité élevée de débit de données et une latence très faible grâce à l'intensité de la largeur de la bande passante qui est comprise entre 1000 MHz et 2000 MHz [54]. Dans ce contexte, la conférence mondiale des radiocommunications (CMR-15) a ouvert la voie au développement du spectre radio des fréquences élevées en identifiant plusieurs bandes de fréquences au réseau 5G. Les voici, présentées dans le tableau I.6 ci-dessous [55].

Groupe 30 GHz	Groupe 40 GHz	Groupe 50 GHz	Groupe 70/80 GHz
24.25 – 27.5 31.8 – 33.4	37 – 40.5 40.5 – 42.5 42.5 – 43.5	45.5 – 47 47 – 47.2 47.2 – 50.2 50.4 – 52.6	66 – 71 Bande-E { 71 – 76 81 - 86

Tableau I.6 Bandes de fréquences candidates pour la 5G.

I.4 Bilan du chapitre

Ce premier chapitre, a présenté un panorama des réseaux de télécommunications ainsi que l'énorme évolution qu'ils ont connue. Pour clore ce chapitre et afin de donner une meilleure clarté aux lecteurs, la structure ci-après, donne une illustration générale de cette évolution dont les principales caractéristiques et fonctionnalités apportées par chacun sont récapitulées dans le tableau qui suit :

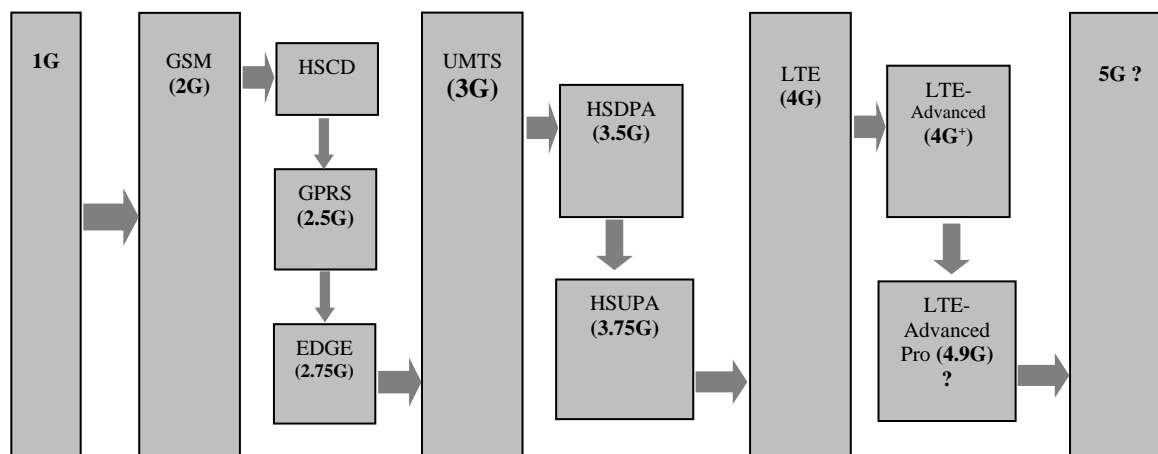


Figure I.4 L'évolution des normes de télécommunications.

Génération	Norme	Caractéristiques
1G	AMPS TACS NMT	Technologie analogique, qui a permis le transfert de voix.
2G	GSM	1 ^{er} système cellulaire à avoir utilisé une technologie entièrement numérique qui a permis le transfert de voix ou des données numériques de très faible volume à travers le standard HSCSD.
2.5G	GPRS	A permis le transfert de voix ou des données numériques de volume modéré.
2.75G	EDGE	A permis le transfert simultané de voix et des données numériques.
3G	UMTS	A permis le transfert simultané de voix et de données numériques à haut débit.

3.5G/3G+	HSDPA	A permis des débits supérieurs dans la voie descendante.
3.75G / 3G++	HSUPA	Une variante de l'HSDPA qui a permis des débits supérieurs sur la voie montante.
4G	LTE	Amélioration importante du débit de données.
4G+	LTE-Advanced	Amélioration importante du délai de latence avec une augmentation de la vitesse des données.
4.9G	LTE-Advanced Pro	Encore en cours d'étude, il devra offrir un débit encore supérieur à celui des normes précédentes avec une réduction du temps de latence.
5G	Pas encore définie !	Réseau de communication multi-technologiques, qui devra répondre à un nombre considérable de défis, qui apporteront une nette amélioration sur la fiabilité de la communication, la portée, le débit et la latence des communications.

Tableau I.7 Récapitulatif de l'évolution des réseaux de télécommunications.

Références Bibliographiques du chapitre I

- [1] http://www.larousse.fr/encyclopedie/divers/art_pari%C3%A9tal/77042, 2019
- [2] <http://cybcommunication.canalblog.com/archives/2015/03/12/31693054.html>, 2015
- [3] https://fr.wikimini.org/wiki/Communication_%C3%A0_distance, 2019
- [4] <https://fr.wikipedia.org/wiki/Journal>, 2019
- [5] Robert Prot, 'Précis d'histoire de la radio et de la télévision', 2007
- [6] Thomas J. Craughwell, '30 000 ans d'inventions', 2009.
- [7] Jack Challoner, Anne Marcy-Benitez, 'Les 1001 inventions qui ont changé le monde', 2010.
- [8] Philippe Roose, 'L'âge d'or..Hsistoire des micro-ordinateurs', 2005
- [9] Mark Frauenfelder, 'L'ordinateur : Une histoire de l'informatique', 2006
- [10] <http://tpe-telephone-2011.e-monsite.com/pages/sommaire-1/le-telephone-portable/creation-et-fonctionnement-du-portable.html>
- [11] Le réseau GSM et les différentes générations, université de Reims Champagne-Ardenne
- [12] Samir Kameche, 'Modélisation des synthétiseurs de fréquences pour les systèmes de télécommunications mobiles', université de Tlemcen, 2012.
- [13] X. Lagrange, P. Godlewski, S. Tabbane, "Réseaux GSM", Edition Hermès, 2000.
- [14] Bjorknas, D., Rautio, J., Penttinen, J. NMTImage. Conference Proceedings. Digital Mobile Radio (DMR) conference, Stockholm, 1994.
- [15] Md. Zaved Parvez; Khondker Zakir Ahmed; Quazi Raguib Mahfuz; Md. Saifur Rahman, 'A Theoretical Model of GSM Network Based Vehicle Tracking System'. IEEE Conference Publication, pp-594-597, 2010.
- [16] Martin SAUTER, 'Global System for Mobile communications (GSM)'. IEEE 'Wiley Telecom eBook Chapters', 2014.
- [17] X. Lagrange, P. Godlewski, et S. Tabbane. Réseaux GSM-DCS. Hermès, troisième édition, 1997.
- [18] C. DEMOULIN, M. VAN DROOGENBROECK. 'Principes de base du fonctionnement du réseau GSM'. Revue de l'AIM, pages 3–18, N 04, 2004.
- [19] G. Heine. GSM networks : protocols, terminology, and implementation. Artech House, 1999.
- [20] Willy PIRARD, 'Principe De Fonctionnement Des Reseaux De Telephonie Mobile GSM'.
- [21] Ahmad JABBAN, 'Optimisation et analyse des résesaux intelligents et des réseaux hétérogènes', Université européenne de Bretagne, 2013.
- [22] Tarek BCHINI, 'Gestion de la Mobilité, de la Qualité de Service et Interconnexion de Réseaux Mobiles de Nouvelle Génération', université de Toulouse, 2010.
- [23] Xavier LAGRANGE, Philippe GODLEWSKI and Sami TABBANE, 'Réseaux GSM : des principes à la norme', 5^e édition.
- [24] Simon ZNATY EFFORT, 'GPRS : Principes et Architecture'.

- [25] José MANUEL HUIDOBRO, 'Telecomunicaciones: Tecnologías, Redes y Servicios', 2^a edición actualizada, 2014.
- [26] D. Katsianis; I. Welling; M. Ylonen; D. Varoutas; T. Sphicopoulos; N. K. Elnegaard; B. T. Olsen; L. Budry. IEEE Journals and Magazines. Vol.8. Issue.6. pp.58-64. 2001
- [27] Amar ZEHER, 'Système d'Annulation d'Écho pour Répéteur Iso-fréquence', université de bourgone, 2014.
- [28] K. Ibrahim, "Gestion des ressources des réseaux mobiles de nouvelle génération par rapport à la mobilité des utilisateurs", Thèse de Doctorat, Université d'Avignon, 2009.
- [29] J. Sanchez & M. Thioune, 'Universal Mobile Telecommunications System UMTS', Hermes Science, 2004.
- [30] Hendaoui Mounira, 'Réception dans un système d'accès multiples à répartition par codes. Application aux modes FDD et TDD de l'UMTS', université de Biskra, 2014.
- [31] Eric BATUT, 'Etude du bloc de réception dans un terminal UMTS-FDD et d'éveloppement d'une méthodologie de codesign en vue du fonctionnement en temps réel', institut national polytechnique de grenoble, 2010.
- [32] Nasreddine JAD, 'Allocation de ressources radios dans les systemes umts a duplexage temporel', universite de rennes 1, 2005.
- [33] Mohamed MOUSSAOUI, 'Le réseau UMTS et ses évolutions: UMTS/HSxPA/3LTE', : Ecole Nationale des Sciences Appliquées de Tanger, 201.
- [34] Martin Sauter, 'Universal Mobile Telecommunications System (UMTS) and High-Speed Packet Access (HSPA)', IEEE. Wiley Telecom eBook Chapters, pp. 456, 2014.
- [35] http://www.radio-electronics.com/info/cellulartelecomms/cellular_concepts/tdd-fdd_timefrequency-division-duplex.php.
- [36] Jyrki T. J. Penttinen, '3GPP Mobile Communications: WCDMA and HSPA', IEEE Wiley Telecom eBook Chapters, pp. 1008, 2013.
- [37] Soumaya HAMOUDA, 'Analyse et amélioration de la gestion des ressources radio du système radio mobile de troisième génération UMTS et au-delà', Ecole Supérieure des Communications de Tunis, 2007.
- [38] P. Olivier Lucas, " Conception orientée délai : étude, développement et réalisation d'une boucle à verrouillage de phase large bande stabilisée par une boucle à verrouillage de délai", Thèse de Doctorat, Université Bordeaux , 2011.
- [39] Yannick Bouguen, Éric Hardouin, François-Xavier Wolff, 'LTE et les réseaux 4G', Groupe Eyrolles, 2012.
- [40] Florence Sonnerat, 'Développement d'antennes innovantes pour les terminaux mobiles 4G tenant compte de l'interaction avec l'utilisateur : solutions circuits et antennes envisageables', université européenne de Bretagne, 2013.

- [41] Abd-Elhamid M. Taha; Najah Abu Ali, Hossam S. Hassanein, 'Overview of LTE and LTE-Advanced Networks', IEEE Wiley Telecom eBook Chapters pp.304, 2011.
- [42] <http://www.3gpp.org/Carrier-Aggregation-explained>.
- [43] Afaq H. Khan; Mohammed A. Qadeer; Juned A. Ansari; Sariya Waheed, '4G as a Next Generation Wireless Network', IEEE Conference Publication, pp. 334 – 338, 2009.
- [44] Gaurav Soni. Gaurav Megh, 'Experimental Investigation of Spectrum Sensing for LTE Frequency Band based on USRP 2920/VST 5644', IEEE Conference Publication, pp. 801 – 804, 2016.
- [45] Loïc Martin, 'Conception d'une antenne compacte de station de base pour réseaux cellulaires', université Bretagne Loire, Juillet 2017.
- [46] Guides LTE-Advanced Pro, Copyright 5G.co.uk, 2018.
- [47] Release 14- The start of 5G standardization, 2016.
- [48] https://www.arcep.fr/uploads/tx_gspublication/rapport-enjeux-5G_mars2017.pdf
- [49] <http://www.huawei.com/minisite/hwmbbf16/insights/5G-Network-Architecture-Whitepaper-en.pdf>
- [50] Ericsson white paper, 5G radio access, april 2016
- [51] 5Gppp, 5G vision
- [52] <http://www.huawei.com/minisite/hwmbbf16/insights/5G-Network-Architecture-Whitepaper-en.pdf>
- [53] http://www-file.huawei.com/-/media/CORPORATE/PDF/public_policy/public_policy_position_5g_spectrum.pdf?la=en
- [54] https://www.ofcom.org.uk/__data/assets/pdf_file/0022/111883/enabling-5g-uk.pdf
- [55] https://onestore.nokia.com/asset/201377/Nokia_5G_Beamforming_mMIMO_White_Paper_EN.pdf

Chapitre II

Etude théorique de la synthèse de fréquence à PLL

II.1 Introduction

Avant de nous focaliser sur notre projet de recherche qui est de proposer un modèle de synthétiseur de fréquences à PLL adapté au réseau 5G, nous avons commencé par présenter les réseaux cellulaires, en partant de 1^{ère}G jusqu'à la 4^{ème}G, en l'occurrence, les standards et leurs caractéristiques, en vue de donner une meilleure clarté sur les perspectives technologiques attendues par le réseau 5G. Cependant, tout processus de communication sans fils, suppose la présence d'un émetteur-récepteur pour transmettre le signal. La performance et l'efficacité de ces circuits dépendent de nombreux appareils électroniques dont le plus répandu, est la boucle à verrouillage de phase (PLL). Comme son nom l'indique, la PLL, est un système asservi qui permet le verrouillage de la phase du signal de sortie sur la phase du signal d'entrée. Elle est utilisée dans une large gamme d'applications sur un large spectre de fréquence telles que la démodulation AM et FM, la récupération d'horloge, mais aussi dans la synthèse de fréquence. Dans cette thèse, nous nous intéressons particulièrement aux synthétiseurs de fréquences à PLL dont leur mise en œuvre est destinée aux émetteurs-récepteurs 5G.

Le travail présenté dans ce deuxième chapitre a pour objet de rappeler les concepts fondamentaux des synthétiseurs de fréquences à PLL. Il est composé de quatre parties. Dans une première partie, nous nous attarderons sur la description des différents modules faisant partie des synthétiseurs de fréquences à PLL. Dans la deuxième partie, nous présenterons le modèle linéaire à travers lequel nous déterminerons les fonctions de transfert de la PLL. Cette partie met aussi en avant les critères de la bande de boucle et de la marge de phase en vue d'une meilleure compréhension du troisième chapitre. Dans une troisième partie, nous présenterons les caractéristiques qui définissent les performances des synthétiseurs. Enfin, dans la quatrième et dernière partie, nous énumérerons une formulation complète du bruit de phase généré par les synthétiseurs de fréquences à PLL.

II.2 Préambule

La 'Phase Locked Loop (PLL)', est une dénomination anglophone de la boucle à verrouillage de phase. En 1919, son concept a été introduit pour la première fois par Vincent et Appleton, qui cherchaient à explorer un moyen de réaliser une synchronisation des oscillateurs, mais ce n'est qu'en 1932, que l'appareil a été utilisé comme une alternative au récepteur super-hétérodyne, connu après sous le nom de récepteur homodyne ou synchrodyne [1-4].

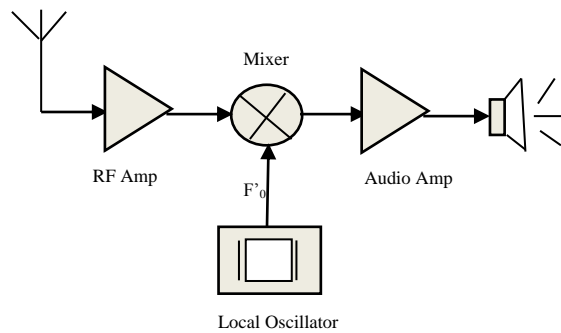


Figure II.1 Récepteur homodyne simple.

L'idée du récepteur homodyne (Figure II.1), consistait d'accorder un signal d'oscillateur local avec un signal d'entrée, puis de le démoduler en un signal audio en utilisant un mélangeur et un amplificateur audio. Ce dispositif présentait un inconvénient sur la fréquence de l'oscillateur ' F'_0 ', qui avait tendance à dériver en fréquence, ce qui perdait la réception de la radio sur une période de temps.

C'est ainsi que, le physicien français Henri de Bellescize, avait proposé un modèle, qui consisterait à utiliser une PLL pour synthétiser le signal de l'oscillateur. Cette solution, a considérablement réduit la dérive de fréquence et amélioré aussi la qualité de la sortie du récepteur [1-4].

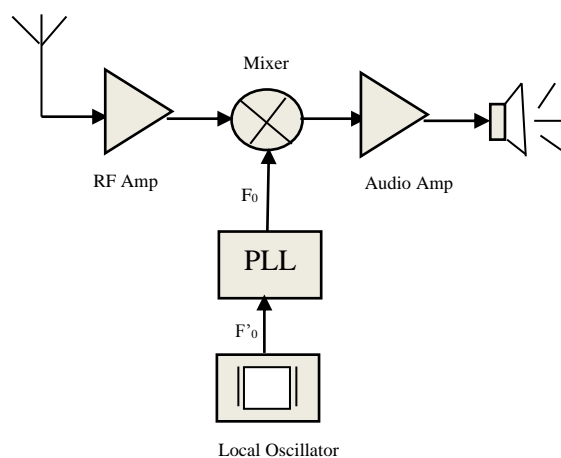


Figure II.2 Récepteur homodyne incorporant une PLL.

Quelques années plus tard, des PLLs purement analogiques (appelés APLL) ont été développées par Vincent, Appleton et de Bellescise dont le principe était basé sur la synchronisation de deux signaux analogiques. L'avantage d'utiliser cette technique, résidait principalement dans la rapidité de commutation entre deux fréquences, ce qui offrait un faible temps d'acquisition. En revanche, ces PLLs analogiques étaient encombrantes et généraient beaucoup de pics parasites [5], ce qui a conduit à la fabrication de PLLs numériques (DPLL), et qui avaient aussi pour intérêt de contrôler précisément la fréquence en sortie [6].

II.2.1 Concept de base d'une PLL

Comme illustré sur la figure II.3, le circuit de base de la PLL (analogique ou numérique), est composé de trois blocs indispensables à savoir ; le détecteur de phase/ fréquence (PFD), le filtre de boucle et l'oscillateur commandé en tension (VCO). L'asservissement de la pulsation du VCO sur celle du signal d'entrée, produit un signal de sortie de la forme :

$$U_{osc}(t) = \hat{U}_{osc} \cos(\omega_{osc}t + \varphi_{osc}) \quad (\text{II.1})$$

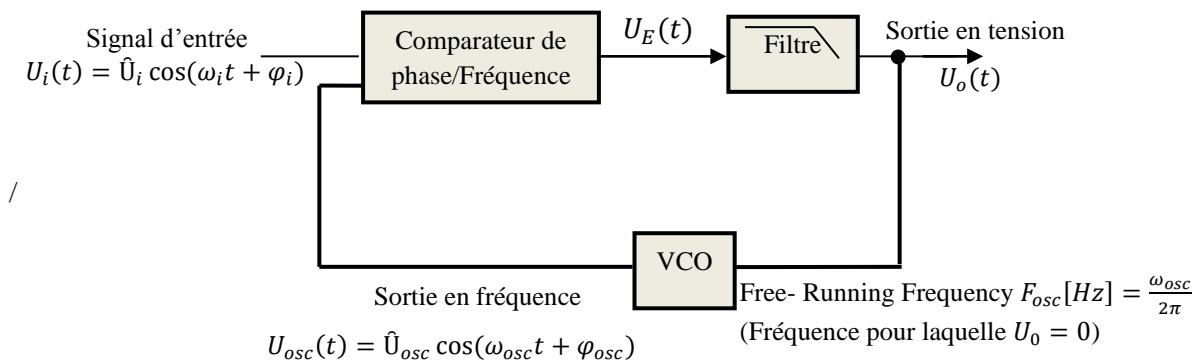


Figure II.3 Schéma de base d'une PLL.

II.3 Introduction aux synthétiseurs de fréquences à PLL

D'une manière générale, les synthétiseurs de fréquences à base de PLL, ont pour rôle de synthétiser plusieurs fréquences à la fois, c'est-à-dire, générer une série de fréquences, et cela à partir d'une fréquence stable. Comme le montre la figure II.4, ce circuit est composé d'un oscillateur de référence (TCXO), d'un filtre de boucle (LF), d'un oscillateur commandé en tension (VCO) et d'un chip (une puce), intégrant dans son bloc ; des diviseurs de fréquence (R et N), un comparateur de phase et de fréquence (PFD) associé à une pompe de charge (CP).

Avant de décrire en détail chacun de ces composants, nous allons dans un premier temps expliquer le principe de fonctionnement d'une synthèse de basses, moyennes ou hautes fréquences. Celle-ci repose sur la théorie suivante :

L'oscillateur contrôlé en tension (VCO) fournit un signal de sortie (F_{out}) dont la fréquence est fonction de la tension de contrôle (V_{tune}) appliquée à son entrée. Ce signal est ensuite divisé par un diviseur programmable (N) avant d'être comparé à un signal de référence (F_{ref}), provenant généralement d'un oscillateur à quartz (TCXO) et divisé par un diviseur (R). Pendant cette opération, le comparateur de phase compare en permanence la phase du signal délivré par le VCO à celle du signal d'entrée et délivre une tension liée directement à l'écart de phase. L'information sur l'erreur de phase mesurée est transmise à la Pompe de Charge (CP) qui va charger ou décharger le filtre de boucle en fonction de l'avance ou du retard des signaux. Le filtre (LF) est alors amené à éliminer les composantes hautes fréquences et ne laisser passer que la tension continue pour le contrôle du VCO. Finalement, lorsque le signal d'erreur à la sortie du PFD est nul, la boucle est dite « verrouillée » et la fréquence du signal de sortie est proportionnelle à celle du signal d'entrée [7].

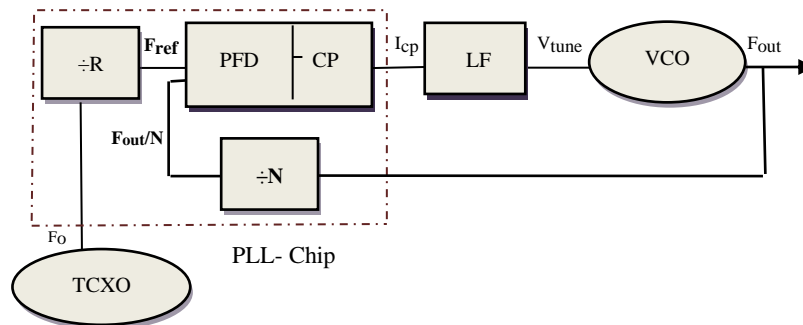


Figure II.4 Structure générale d'un synthétiseur de fréquence à PLL.

II.3.1 L'oscillateur de référence (TCXO)

Dans l'architecture étudiée sur la figure II.4, nous y trouvons la structure classique associant une source d'entrée à une PLL. Cette source servant de référence, est utilisée afin de fournir un signal d'entrée dans la chaîne de boucle qui doit être très précise en fréquence, car toute erreur constatée est traduite directement dans le VCO. Cependant, cette source de référence peut provenir d'un autre appareil électronique ou d'un oscillateur de fréquence qui par sa définition, est un système autonome oscillant à une fréquence qui peut être de nature mécanique ou électrique. Pour les oscillateurs électriques, ces dispositifs génèrent un signal périodique en l'absence de toute excitation extérieure dont le circuit résonant, dépend du type du résonateur utilisé.

Dans ce document, l'oscillateur de référence est choisi à base de résonateur à cristal de quartz. Ce type d'oscillateur, repose sur le principe de la piézoélectrique qui converti la pression mécanique en une tension électrique et vice-versa. Il est très utilisé dans les synthétiseurs de fréquences à PLL en raison de sa haute stabilité dans le temps et en température, ce qui lui permet par conséquent, de produire des signaux de fréquence pure, très peu bruités, de haute précision et de grande stabilité.

A. Oscillateurs à cristal de quartz (XO)

A.1 Historique

Les propriétés piézoélectriques du quartz, ont été découvertes par les frères Pierre et Jaques Curie en 1880, lorsqu'ils purent constater que le cristal de quartz était un matériau dans lequel des charges électriques pouvaient être provoquées par une pression mécanique [8]. Ce phénomène, a démontré par la suite qu'une vibration acoustique résonante pouvait créer aussi aux bornes d'un résonateur piézoélectrique un signal électrique périodique de fréquence égale à celle de la résonance mécanique [9]. C'est ainsi que W. G. Cady, put réaliser le premier oscillateur à cristal de quartz en 1921 et qu'à l'heure actuelle, les résonateurs à quartz sont produits à très grande échelle, couvrant plusieurs domaines d'applications à la faveur d'une bande de fréquences allant de quelques kiloHertz à plusieurs centaines de MegaHertz [10].

A.2 Equivalent électrique

La figure II.5, symbolise le circuit classique d'un oscillateur de fréquence. D'un point de vue électrique, la modélisation du comportement d'un résonateur par l'effet piézoélectrique peut être présentée par un filtre ayant une très faible bande passante avec une haute précision en fréquence [11]. La structure correspondante à ce circuit est illustrée sur la figure II.6.

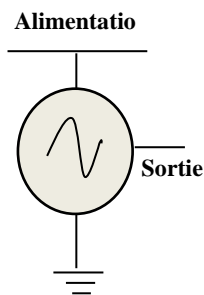


Figure II.5 Représentation symbolique d'un oscillateur de fréquence.

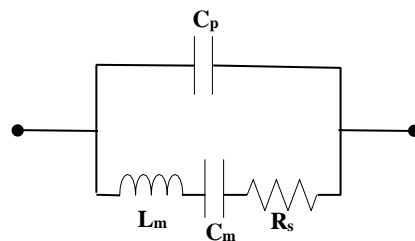


Figure II.6 Schéma électrique équivalent d'un oscillateur à cristal de quartz.

Dans la représentation électrique, nous remarquons qu'un quartz comporte deux branches parallèles, formant un dipôle. L'impédance de ce circuit est donnée par l'équation suivante [11]:

$$Z(s) = \frac{s^2 + s \cdot \left(\frac{R_s}{L_m} \right) + \left(\frac{1}{L_m \cdot C_m} \right)}{s \cdot C_p \cdot \left(s^2 + s \cdot \left(\frac{R_s}{L_m} \right) + \left(\frac{C_m + C_p}{C_m \cdot L_m \cdot C_p} \right) \right)} \quad (\text{II.2})$$

Où: $s = j\omega$.

La branche qui traduit le couplage électromécanique est appelée motionnelle. Elle est composée d'une inductance motionnelle L_m en série avec un condensateur motionnel C_m et une résistance série

R_s . La valeur de R_s n'a pas beaucoup d'impact sur la fréquence d'oscillation, donnée par la formule (II.3) de Thomson, mais peut influencer sur la précision de la coupure qui se traduit par un bruit [8]-[10].

$$f_{série} = \frac{1}{2\pi \cdot \sqrt{L_m \cdot C_m}} \quad (\text{II.3})$$

D'autre part, la seconde branche associée en parallèle à la branche motionnelle comporte un condensateur C_p d'une capacité beaucoup plus grande devant C_m . Sa fréquence de résonance est définie par [8]- [10] :

$$f_{parallèle} = f_{série} \cdot \sqrt{\left(1 + \frac{R_s^2 \cdot C_p}{L_m}\right)} \quad (\text{II.4})$$

A.3 Les oscillateurs à quartz TCXO

D'une manière générale, chaque oscillateur est caractérisé par une erreur de fréquence qui dépend de sa dérive en température. Dans ce travail, nous nous sommes intéressés à l'oscillateur 'TCXO' (Temperature Compensated Crystal Oscillator). Comme son nom l'indique, ce type d'oscillateur est compensé en température, dont le processus de compensation est établi par une diode à capacité variable (diode varicap), chargée de corriger la fréquence des cristaux en fonction de la température, ce qui permet d'améliorer la précision de la fréquence [11].

II.3.2 Les Diviseurs de fréquence (R) et (N)

Le diviseur de référence R, est le deuxième élément suivant l'oscillateur de référence. Ce composant numérique dont le facteur R est fixe, permet l'opération de division de la fréquence à la sortie de l'oscillateur. Sa mise en œuvre est simple du fait des fréquences relativement réduites des oscillateurs à quartz [12].

Comme illustré sur la figure II. 4, le diviseur N est inséré à la sortie du VCO. Il présente l'unité de retour, qui permet à la synthèse de fréquence d'avoir une chaîne de boucle à contre réaction. Il est aussi l'élément programmable (compteur), dont le rôle, est de synthétiser un rang de fréquence à une variabilité de facteur N. Lorsque la consigne N, a une partie fractionnaire, le diviseur est contrôlé par un modulateur $\Sigma\Delta$ qui permet d'obtenir un rang de division non entier, égale à une fraction de la fréquence de référence. Ainsi, la fréquence de sortie du VCO, est ramenée à la fréquence de référence par l'expression suivante :

$$F_{out} = (N + f) * F_{ref} = (N + f) * \frac{F_0}{R} \quad (\text{II.5})$$

Avec N et f respectivement les parties entière et fractionnaire du rang de division.

Dans la formule (II.5), il est à noter que lorsqu'il s'agit d'une synthèse de fréquence à division entière, la partie fractionnaire n'est pas prise en considération, ce qui donne une fréquence de sortie (F_{out}), égale au multiple de la fréquence de comparaison (F_{ref}).

Cependant, si la fréquence de sortie du VCO est de plusieurs GHz (cas des ondes millimétriques ou centimétriques), il est important de réaliser un premier abaissement de cette fréquence avant de la comparer à la fréquence d'entrée du PFD. Cette opération s'effectue à l'aide d'un pré-diviseur (Prescaler) dont le facteur de division est 'P'. La figure II.7, montre un schéma synoptique d'un pré-diviseur, présent dans la boucle à contre-réaction d'un synthétiseur de fréquences générant les ultra-hautes fréquences et dont l'équation (II.5), devient :

$$F_{out} = N.P.F_{ref} = \frac{N.P}{R} F_0 \quad (II.6)$$

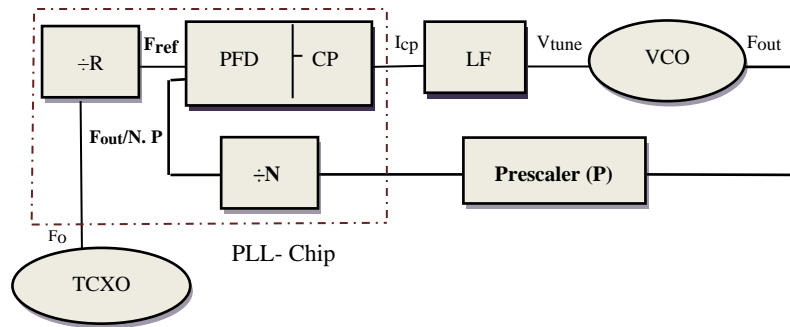


Figure II.7 Synthétiseur de fréquence avec un pré-diviseur.

A. Pré-diviseur double module

Dans les pré-diviseurs, l'implémentation la plus courante est ; le double module. Comme le montre la figure II.8, le circuit est composé de deux compteurs (un fixe A et un autre programmable B) dont la division est commutée d'une valeur (P) à une autre (P+1) par un signal de commande externe (signal de sortie du VCO). Ces compteurs sont synchrones et chargés à leur valeur initiale a et b (avec $a > b$) avant de commencer à décompter ensemble. L'opération commence par P + 1 cela veut dire qu'à chaque fois que le VCO effectue P+1 cycles, les compteurs A et B, seront décrémentés de 1. Une fois que B atteint la valeur 0, le VCO aura effectué $b*(P + 1)$ cycles. Quant au compteur A, il sera chargé à $(a - b)$ et le pré-diviseur sera alors commuté sur le facteur P. Le VCO va encore générer $(a - b) * P$ impulsions afin de terminer le comptage. Durant un cycle, le facteur de division (N) sera égal à [11-12]:

$$N = b * (P + 1) + (a - b) * P = a * P + b \quad (II.7)$$

Il est à signaler que dans cette équation (II. 7), le produit de $(a * P)$ est fixe et aussi élevé qu'il le faut pour que le produit de $(a * P)$ et F_{Ref} (la fréquence de référence) atteigne la fréquence désirée F_{out} , alors que le compteur programmable b, est utilisé pour sélectionner le pas de synthèse de la bande RF [13].

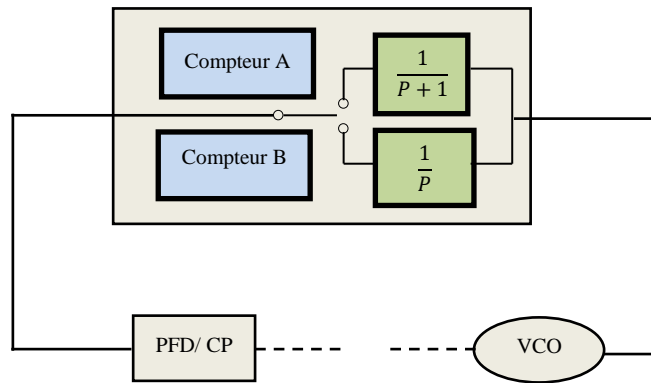


Figure II.8 Pré-diviseur à double modules.

II.3.3 Le Comparateur de phase-fréquence (PFD)

L'appellation Phase Frequency Detector (PFD) en littérature anglaise, provient du fait que ce dispositif donne une information à la fois sur la phase (avant que le verrouillage n'ait lieu), mais aussi sur la fréquence (une fois la boucle verrouillée). Il représente un bloc capital dans la synthèse de fréquence à PLL dont le rôle, est de détecter la différence de phase-fréquence des signaux de sortie, issus des diviseurs R et N.

Toutefois, le PFD, peut-être tout simplement un multiplieur lorsqu'il est utilisé pour des signaux analogiques, mais peut aussi être implémenté avec des circuits numériques tels que ; une porte ou exclusif (XOR), des bascules RS, des bascules JK. Dans cette thèse, notre attention s'est portée sur les comparateurs de phase et de fréquence à base de bascules D. La figure II.9, présente un schéma conventionnel de ce circuit dans lequel nous y trouvons deux bascules D (dont les sorties sont déclenchées par des impulsions Up et Down et un signal de réinitialisation 'Reset') et une porte logique 'AND'. Ainsi, les deux signaux F_{ref} et F_N dont les phases à comparer sont respectivement θ_r et θ_N , sont appliqués à l'entrée CLK de chaque bascule afin de servir d'horloge. L'entrée D, est connectée à V_{dd} et les sorties Up et Down sont connectées à l'aide d'une porte logique AND.

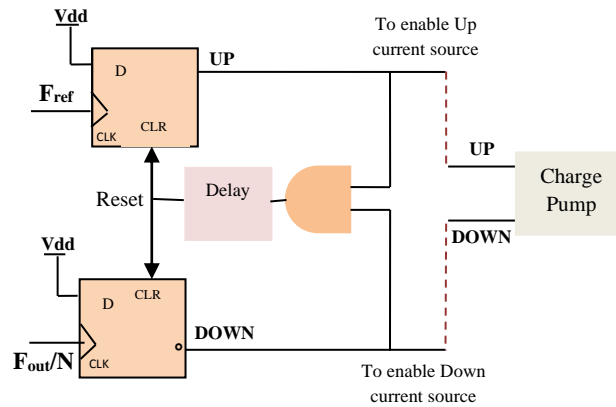


Figure II.9 Schéma conventionnel d'un PFD à bascules D et porte AND.

A. Principe de fonctionnement

Le circuit présenté sur la figure II.9, est configuré à l'aide d'une machine à trois états (l'état d'accélération, l'état de ralentissement et l'état nul) qui peut être schématisée par la figure II.10.

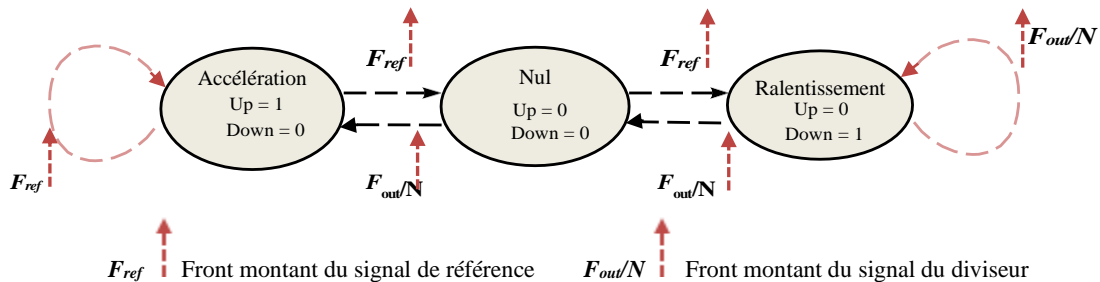


Figure II.10 Machine d'états du PFD.

Dans cette machine, la transition d'état s'effectue sur des fronts montants. L'opération est établie par les impulsions Up et Down et la porte AND. Cette dernière sert à réinitialiser les bascules D à chaque fois qu'ils se trouvent à l'état haut. Or, ces impulsions ne peuvent être positionnées simultanément à l'état haut. Donc, un seul signal d'erreur est généré (Up ou Down) avec trois cas de configurations, sont envisageables :

- 1) $Up = 1, Down = 0$;
- 2) $Up = 0, Down = 1$;
- 3) $Up = 0, Down = 0$.

- Le premier, correspond à l'état où la phase du signal de référence (Θ_r) est supérieure à celle du signal de sortie du diviseur (Θ_N). L'impulsion Up se trouve alors à l'état haut tandis que l'impulsion Down reste à l'état bas (zéro). On parle alors d'un état d'accélération (avance de phase), qui se traduit par une augmentation de la fréquence de l'oscillateur contrôlé en tension (VCO).

- Inversement, lorsque (Θ_r) est inférieure à (Θ_N) , une impulsion positive apparaît à la sortie Down tandis que la sortie Up reste à zéro. Cet état correspond à la seconde configuration qui est le ralentissement du signal de référence (retard de phase) par rapport au signal de sortie, et a pour conséquence de baisser la fréquence de l'oscillateur contrôlé en tension.
- Le troisième cas de configuration, représente l'état nul. Cela veut dire que (Θ_r) est égale à (Θ_N) et que les impulsions Up et Down ont une largeur égale à la différence de phase entre les signaux de référence et de sortie.

B. Chronogramme d'un PFD

La configuration de l'impulsion Up/ Down peut aussi être modélisée sur un chronogramme, illustré sur la figure II.11. Cependant, du point de vue électrique, cette impulsion générée lors de l'avance ou du retard de la phase des signaux de référence et de sortie, peut être considérée comme une tension d'erreur, contenant une valeur continue et des composantes alternatives. Les composantes alternatives sont filtrées par le filtre de boucle. Quant à la composante continue, elle est idéalement proportionnelle à l'erreur de phase Θ_e , suivant l'expression ci-dessous [14] :

$$V_{tune} = K_{\phi} * \Theta_e \quad (\text{II.8})$$

Où :

K_{ϕ} , représente le gain du PFD

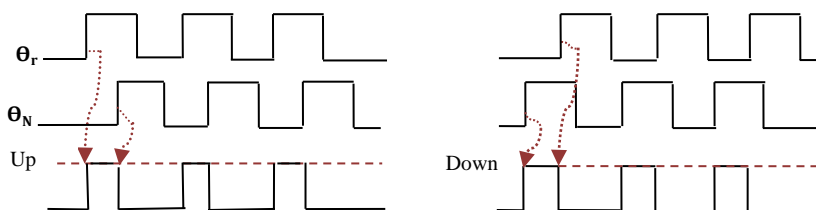


Figure II.11 Chronogramme d'un PFD.

II.3.4 La pompe de charge (CP)

Fonctionnellement, le circuit de la pompe de charge (appelée, Charge Pump 'CP' en anglais) est chargé de convertir la tension d'erreur provenant du PFD en un courant de correction, qui sera lui-même converti par le filtre de boucle en une tension, destinée à commander l'oscillateur contrôlé en tension (VCO). Comme l'expose la figure II.12, la pompe de charge compte dans sa topologie deux générateurs de courant (I_{source} et I_{sink}) qui sont commutés généralement par les transistors T1 et T2 et fonctionnent de la manière suivante :

- Lorsque le signal Up est à l'état haut ; T1 s'allume, ce qui permet d'injecter un courant positif à la sortie ($I_{cp} = I_{source}$), et qui aura pour conséquence d'augmenter la tension de sortie du filtre (on parle dans ce cas, d'un chargement du filtre) ;
- De même, si le signal Down passe à l'état haut ; T2 se met en marche en prélevant un courant négatif à la sortie (I_{cp} sera égal alors à $-I_{sink}$), ce qui aura pour effet de réduire la tension de sortie du filtre (et entrainera un déchargement du filtre) ;
- Enfin, si les deux signaux Up et Down sont à l'état nul (erreur de phase = 0), les deux commutateurs T1 et T2 sont bloqués et ne laissent pas passer le courant, ce qui annule le courant à la sortie de la pompe de charge ($I_{cp} = 0$).

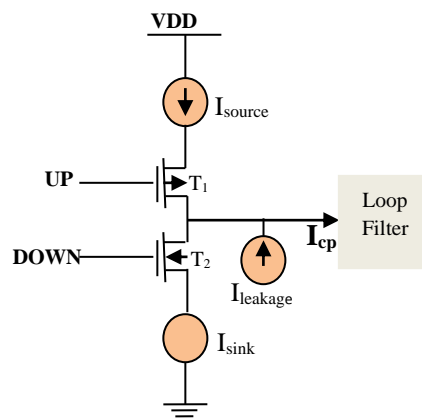


Figure II.12 Pompe de charge.

A. Courant de fuite 'Leakage current'

Comme nous l'avons abordé dans l'introduction de cette section (II. 3. 4), la commutation du courant circulant dans la CP, est réalisée à l'aide des transistors T1 et T2 qui sont respectivement intégrés en technologie PMOS (Metal Oxide Semiconductor à canal P) et NMOS (Metal Oxide Semiconductor à canal N). Par définition, ces petits composants, modélisés sous forme d'interrupteurs sont distincts par le type de porteur qui transporte le courant dans le canal. Pour le transistor MOS à canal N, il dispose d'électrons alors que celui à canal P, il est constitué de trous (charges opposées aux électrons). Or, étant donné que la mobilité des électrons est supérieure à celle des trous, un courant de fuite (communément appelé 'Leakage current' en anglais), est généré dans le circuit de la pompe de charge.

Ce courant parasite, est un paramètre important à prendre en considération car, il peut avoir un impact significatif sur les performances du synthétiseur. En effet, un courant de fuite élevé peut générer des raies de références (Reference spurs), d'amplitude élevée qui se manifesteront à des multiples de la fréquence de comparaison (F_{ref}) mais peut aussi avoir une influence sur le temps de

verrouillage de la boucle, car si l'intensité du courant est faible, la PLL se verrouillera dans un laps de temps court. Cependant, si l'intensité est moyennement élevée, une grande capacité de filtrage sera nécessaire et le temps de verrouillage sera long. Finalement, si la taille du courant est d'une valeur trop élevée, cela rendra la boucle complètement instable ce qui empêchera son verrouillage. Ainsi, pour le bon fonctionnement de la PLL, la théorie rapportée par la référence [15], stipule que le courant de fuite, doit être inférieur à un dixième du courant de la pompe de charge et peut être décrit par la formule suivante :

$$I_{Leak} < \frac{I_{cp}}{10} \quad (\text{II.9})$$

B. Association du PFD à la CP

Le détecteur phase-fréquence et la pompe de charge, sont généralement considérés comme un seul bloc dans la chaîne de boucle. Le couplage d'un PFD (dont le gain, est K_φ) avec une pompe de charge (dont le courant, est noté I_{cp}), permet d'établir la formule (II.10), exprimée sur une plage d'erreur de phase de $\pm 2\pi$ [16].

$$K_\varphi = \frac{I_{cp}}{2\pi} \quad [\text{A/rad}] \quad (\text{II.10})$$

A travers cette expression, le gain moyen est donné par :

$$\bar{K}_\varphi = \frac{K_\varphi}{2\pi} = K_\varphi * \theta_e \quad (\text{II.11})$$

Et, le courant moyen alimentant le filtre de boucle peut aussi être calculé par la formule (II.12) :

$$\bar{I}_{cp} = \frac{I_{cp}}{2\pi} * \theta_e \quad (\text{II.12})$$

C. Région de la zone morte

Les expressions (II.11) et (II.12), représentent la caractéristique de transfert de l'ensemble PFD-CP, et peuvent être modélisée par le tracé, illustré sur la figure II.13.

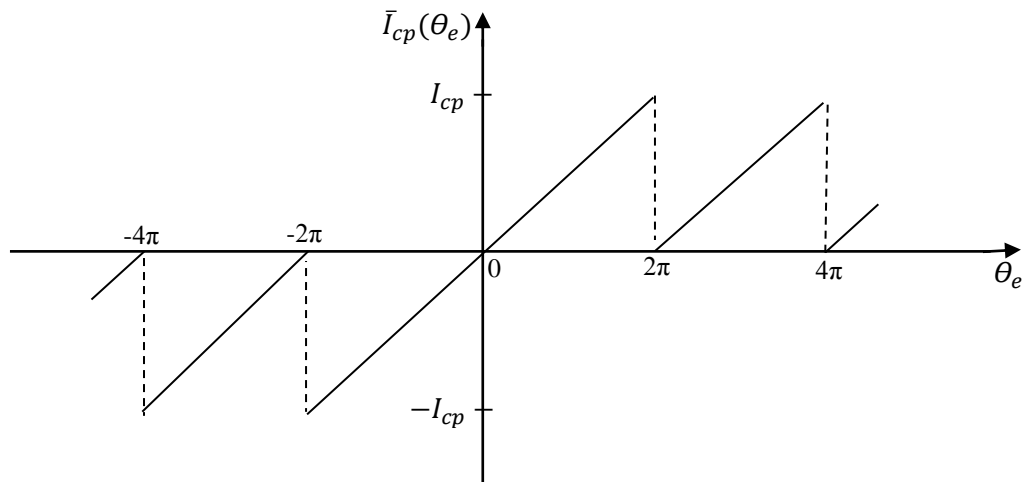


Figure II.13 Caractéristique de transfert d'un couple PFD/ CP idéal.

Ce tracé correspond à l'état où les signaux de sortie et de référence sont synchronisés. En réalité, cette synchronisation est caractérisée par un phénomène appelé 'zone morte' ou (dead zone, en anglais) et se produit lorsque la boucle est essentiellement verrouillée et les signaux à l'entrée du PFD, sont supposés être en position de phase. Or, le déphasage aussi minime soit-il (très proche de zéro), la PLL ne peut le corriger. En d'autres termes, cette situation peut être expliquée par un retard induit par la porte logique AND qui gère la remise à zéro (RESET) des bascules D [17], ce qui implique l'apparition d'une petite région visible sur le tracé illustré sur la figure II.14.

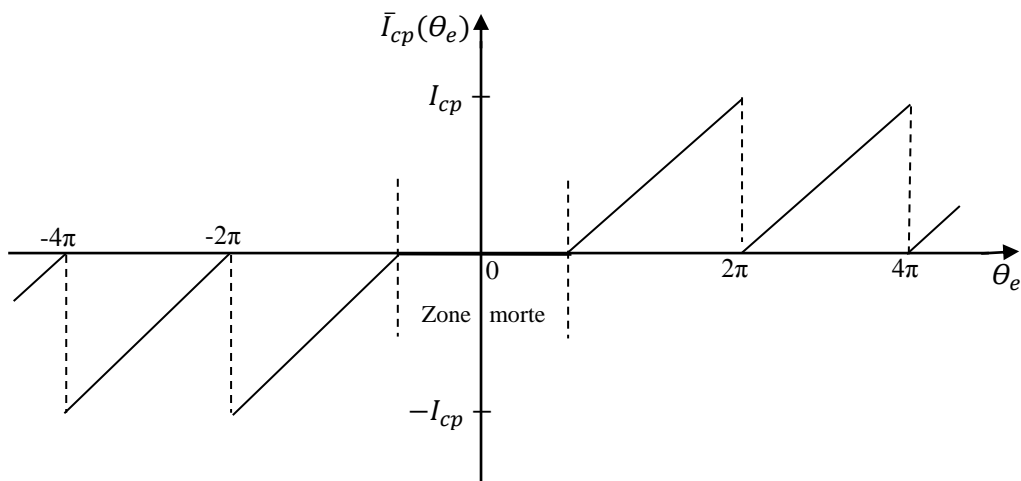


Figure II.14 Caractéristique de transfert du couple PFD-CP avec la présence de la zone morte.

Il est à noter que dans la région de la zone morte, le gain de la pompe de charge a tendance à diminuer, ce qui rend la boucle incapable de supprimer le bruit de l'oscillateur contrôlé en tension. De plus, le détecteur de phase peut sembler non linéaire ce qui entraîne un bruit de phase élevé [11]. Afin de remédier à ce problème, une des solutions consiste à insérer un élément compensant ce retard (appelé aussi Anti-Backlash Pulse 'ABS' ou 'Delay') entre la porte logique et les bascules D (présenté

sur figure II.9) qui permettra aux impulsions Up et Down de durer plus longtemps que le temps de commutation de la pompe de charge. Ainsi, lorsque les signaux à l'entrée du PFD présentent un retard de phase faible, la CP aura suffisamment de temps pour commuter et délivrer le courant approprié au filtre de boucle.

II.3.5 Le Filtre de boucle (LF)

Le filtre, est un élément clé dans la synthèse de fréquence à base de PLL. La particularité de le placer à la sortie du PFD-CP, permet à la chaîne de boucle de minimiser efficacement (voire supprimer) le bon nombre des composantes alternatives générées par le signal d'erreur de sortie, afin de ne laisser passer que la composante continue qui servira à piloter le VCO.

L'opération du filtrage des composantes alternatives, est réalisée en faveur des composants constituant le filtre, qui ce dernier peut être de topologie passive ou active. Toutefois, l'utilisation d'un filtre actif, est préférable dans les PLLs trouvant leur application dans les bandes basses fréquences, mais ceci n'est pas le cas pour les applications nécessitant des hautes fréquences (où un bruit additif important est généré par les amplificateurs opérationnels et qui aura pour conséquence de nuire aux performances de la dynamique du système). Compte tenu de ce désavantage, notre étude s'est penchée sur les filtres passifs de type passe bas qui font essentiellement appel à des résistances et des capacités.

A. Choix de l'ordre du filtre

Plusieurs critères sont à prendre en compte pour le bon fonctionnement du système asservi et le choix de l'ordre du filtre en fait partie. Cependant, étant donné que le signal reçu à l'entrée du filtre est un courant et que l'oscillateur est contrôlé par une tension, le passage (courant/ tension) s'effectue par la fonction de transfert associée au filtre, qui contient des pôles et des zéros. C'est donc à travers le nombre de pôles et de zéros, que l'ordre du filtre est déterminé.

A.1 Filtre de premier ordre

Comme le montre la figure II.15, l'implantation d'un filtre passe bas de premier ordre est réalisée à l'aide d'un simple circuit RC en série. La mise en place de la capacité (C_1) à l'entrée du filtre, est importante, car son rôle, est d'atténuer les signaux dont la fréquence excède la bande passante de la boucle (ce paramètre sera discuté plus en détail dans la section qui suit).

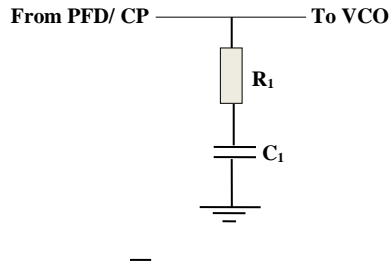


Figure 15. Montage d'un filtre passif de premier ordre.

En appliquant le diviseur de tension, la fonction de transfert de ce filtre peut s'écrire sous la forme suivante :

$$Z_{fil1}(s) = \frac{1}{1+s.C_1.R_1} \quad (\text{II.13})$$

A. 2 Filtre du deuxième ordre

Le filtre du premier ordre, présente l'inconvénient de créer des sauts de tension inhérents provenant de la résistance, ce qui entraîne des fluctuations importantes à l'entrée du VCO et qui provoqueront une gigue de fréquence excessive avec un bruit de phase élevé. Afin de lisser cette tension de sortie, la solution consiste à inclure un condensateur, parallèle à la branche RC, ce qui additionne un deuxième pôle à la fonction de transfert et qui devient :

$$Z_{fil2}(s) = \frac{s.C_1.R_1+1}{s^2.C_1.C_2.R_1+s.C_1+s.C_2} \quad (\text{II.14})$$

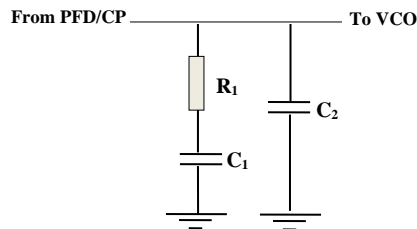


Figure II.16 Montage d'un filtre passif d'ordre 2.

En identifiant les pôles et les zéros, cette équation peut être exprimée comme suit :

$$Z_{fil2}(s) = \frac{1+\frac{s}{\omega_z}}{s(1+\frac{s}{\omega_p})} \cdot \frac{1}{C_1+C_2} \quad (\text{II.15})$$

Où le pôle est :

$$\omega_p = \frac{C_1+C_2}{C_1.C_2.R_1} \quad (\text{II.16})$$

Et le zéro ;

$$\omega_z = \frac{1}{R_1 \cdot C_1} \quad (\text{II.17})$$

A. 3 Filtre du troisième ordre

En pratique, les filtres de boucle d'ordre 2 et 3 sont les plus utilisés dans les boucles à verrouillage de phase [18]. Dans cette thèse, nous avons opté pour un filtre de troisième ordre (illustré sur la figure II.17), car en ajoutant un pôle au montage, cela permettrait d'améliorer les performances du synthétiseur en termes de bruit de phase mais aussi de réduire les raies parasites dues au courant de fuite généré par la pompe de charge.

La fonction de transfert d'un filtre d'ordre 3, intègre dans son expression celle du filtre d'ordre 2. Elle est donnée par :

$$Z_{fil3}(s) = \frac{Z_{fil2}(s) \cdot \left[\frac{1}{C_3 \cdot s} \right]}{Z_{fil2}(s) + R_2 + \left[\frac{1}{C_3 \cdot s} \right]} \quad (\text{II.18})$$

En remplaçant $Z_{fil2}(s)$ dans la formule (II.18), $Z_{fil3}(s)$ devient :

$$Z_{fil3}(s) = \frac{1 + s \cdot C_1 \cdot R_1}{s(A_2 \cdot s^2 + A_1 \cdot s + A_0)} \quad (\text{II.19})$$

Où :

$$A_0 = C_1 + C_2 + C_3 \quad (\text{II.20})$$

$$A_1 = C_2 \cdot C_3 \cdot R_1 + C_1 \cdot C_2 \cdot R_1 + C_1 \cdot C_3 \cdot R_2 + C_2 \cdot C_3 \cdot R_2 \quad (\text{II.21})$$

$$A_2 = C_1 \cdot C_2 \cdot C_3 \cdot R_1 \cdot R_2 \quad (\text{II.22})$$

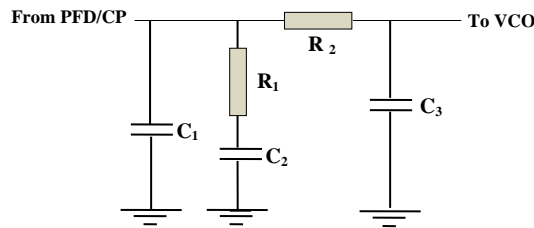


Figure II.17 Montage d'un filtre passif d'ordre 3.

II.3.6 L'oscillateur commandé en tension (VCO)

Le VCO, est un sigle signifiant Voltage Control Oscillator en anglais. Cette catégorie d'oscillateur, a pour particularité de générer un signal de sortie dont la fréquence fluctue par rapport à la tension appliquée à son entrée. L'opération de fluctuation, est réalisée au moyen de trois éléments ;

une inductance et un varactor formant le circuit résonant et une résistance négative qui sert à compenser les pertes du résonateur [19]. La figure II.18, montre l'implantation de ces trois éléments.

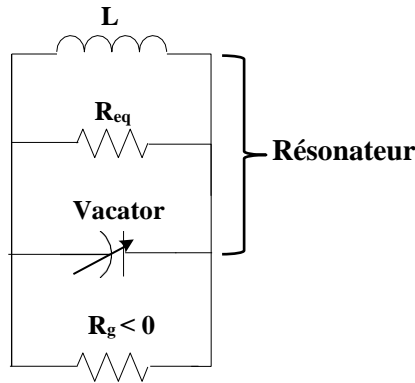


Figure II.18 Eléments du résonateur pour un VCO basique.

Lorsqu'une tension est appliquée à l'entrée de l'oscillateur (dans le cas d'une synthèse de fréquence, elle est issue du filtre), la fréquence en sortie du VCO varie proportionnellement à cette tension de commande. Cela veut dire que la fréquence de sortie augmente linéairement à mesure que la tension d'entrée du VCO augmente (figure II.19). Ceci peut être exprimé par la formule suivante [20] :

$$F_{out} = F_0 + K_{vco} \cdot V_{tune} \quad (\text{II.23})$$

Où ;

F_{out} , est la fréquence de sortie,

V_{tune} , est la tension de contrôle du VCO,

F_0 , représente la fréquence libre du VCO au repos (c-à-d, lorsque V_{tune} est nulle),

K_{vco} , est le gain du VCO. Il est exprimé en Hz/V, et est donné par la pente de la caractéristique

$F_{out} = f(V_{tune})$, soit :

$$K_{vco} = 2\pi \frac{\Delta F_{out}}{\Delta V_{tune}} \quad [\text{Hz/V}] \quad (\text{II.24})$$

Avec ;

$$\Delta F_{out} = F_{out,max} - F_{out,min} \quad (\text{II.25})$$

(est l'écart entre les fréquences extrêmes fournies par le VCO, appelé aussi « plage de fréquence du VCO »), et ;

$$\Delta V_{tune} = V_{tune,max} - V_{tune,min} \quad (\text{II.26})$$

(est l'écart entre les tensions, permettant de générer ces fréquences).

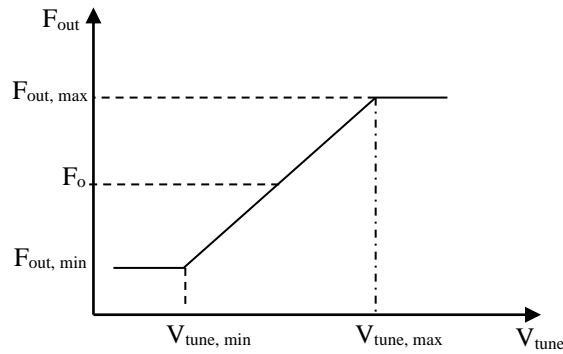


Figure II.19 Pente caractéristique d'un VCO.

II.4 Modélisation linéaire des boucles à verrouillage de phase

Sous condition de verrouillage, c'est-à-dire, lorsque l'erreur de phase est très petite (quasi-nulle), la PLL peut être modélisée dans le domaine de Laplace. En utilisant son modèle linéaire, cela permettrait de calculer sa fonction de transfert. Toutefois, il serait intéressant d'exposer la méthode de linéarisation des blocs (PFD-CP et le VCO) afin de mieux comprendre d'où découle la formulation de la fonction de transfert.

II.4.1 Linéarisation du PFD

La méthode de linéarisation du bloc (PFD-CP) de la PLL, peut être comparée à celle d'un mélangeur. Comme illustré sur la figure II.20, le mélangeur est un composant non linéaire qui permet la multiplication de deux signaux. Il est possible de le linéariser en faisant les hypothèses suivantes [1]:

Les entrées sinusoïdales, peuvent être décrites par les équations (II.27) et (II.28) :

$$F_{ref} = A_{ref} \sin(\omega_{ref}t + \theta_r) \quad (II.27)$$

$$F_{div} = A_{div} \cos(\omega_{div}t + \theta_N) \quad (II.28)$$

Où, A_{ref} , A_{div} et θ_r , θ_N sont respectivement l'amplitude et la phase des signaux de sortie de référence et du VCO.

La sortie du mélangeur, est donc calculée en multipliant les deux signaux d'entrée, ce qui amène à l'équation, décrite par la formule (II.29) :

$$PFD_{out} = K_\phi (\sin((\omega_{ref} - \omega_{div})t + \theta_r - \theta_N) + \sin((\omega_{ref} + \omega_{div})t + \theta_r + \theta_N)) \quad (II.29)$$

Où :

K_ϕ , représente le gain du détecteur de phase.

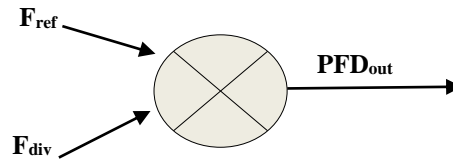


Figure II.20 Mélangeur (PFD).

Le gain du comparateur, peut à son tour être linéarisé comme suit :

Supposons que le filtre passe-bas, atténue la composante haute fréquence $\sin((\omega_{ref} + \omega_{div})t + \theta_r + \theta_N)$. Pour un déphasage minime, les fréquences de comparaison et du VCO sont approximativement égales ($\omega_{ref} \approx \omega_{div}$). Par conséquent, la composante $\sin((\omega_{ref} - \omega_{div})t + \theta_r - \theta_N)$, peut s'approcher de $\sin(\theta_e)$, où rappelons que ' θ_e ' est la différence de phase entre θ_r et θ_N . Finalement, pour un petit signal variant lentement et proche du verrouillage, la composante $\sin(\theta_e)$ peut s'exprimer par ' θ_e '.

Avec cette hypothèse, le PFD peut être simulé par un modèle linéaire équivalent. Il est représenté graphiquement sur la figure II.21, et est décrit par l'équation suivante :

$$PFD_{out} = K_{\phi} * \theta_e \quad (\text{II.30})$$

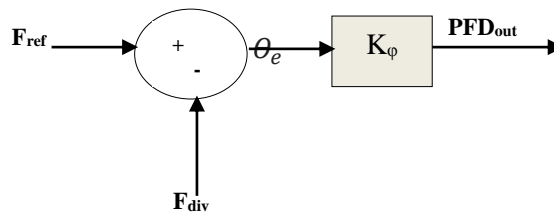


Figure II.21 Linéarisation d'un PFD.

II.4.2 Linéarisation du VCO

L'oscillateur contrôlé en tension, est un système non linéaire qui peut également être linéarisé. Comme il a été décrit dans la section (II. 3. 6), le VCO génère un signal oscillant, dont la fréquence est liée à la tension de commande V_{tune} . Idéalement, sa fréquence de sortie augmente linéairement au fur et à mesure de sa tension d'entrée, mais en réalité, ceci n'est pas vraiment le cas, car à une certaine valeur de la tension d'entrée (dépassant le seuil), la fréquence de sortie est saturée, ce qui empêche la linéarisation entre l'entrée et la sortie du VCO.

Toutefois, ce composant peut être supposé linéaire, si la PLL ne fonctionne pas dans la région de saturation (entre V_{tune_min} et V_{tune_max}). Dans ce cas, il peut être caractérisé par un facteur de gain K_{VCO} (exprimé en radian/s/V) et un intégrateur (1/s), où la fréquence de sortie est donnée par l'expression (II.31), le tout schématisé sur la figure (II. 22) [1] :

$$F_{out} = \frac{K_{VCO} \cdot V_{tune}}{s} \tag{II.31}$$

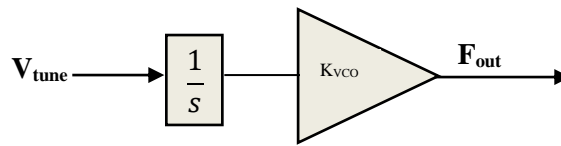


Figure II.22 Linéarisation d'un VCO.

II.4.3 Fonctions de transfert de la PLL

La linéarisation des blocs constituant la PLL, permet au synthétiseur de fréquence à base de PLL d'être représentée par un schéma linéaire fonctionnel, illustré par la figure II.23.

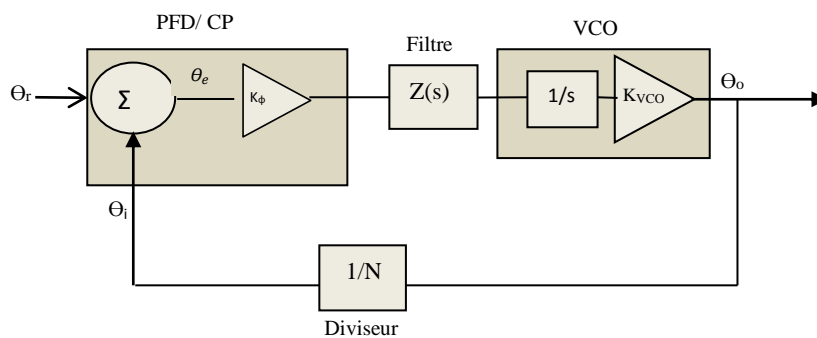


Figure II.23 Bloc linéaire d'une PLL.

En se basant sur ce diagramme, le gain de la fonction de transfert de ce système bouclé, peut être calculé comme suit :

- **Gain du synthétiseur en boucle directe**

$$G(s) = \frac{\theta_o}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{VCO}}{s} \tag{II.32}$$

Rappelons que Z(s) représente la fonction de transfert du filtre de boucle.

- **Gain du synthétiseur en boucle inverse (contre-réaction)**

$$H(s) = \frac{\theta_i}{\theta_o} = \frac{1}{N} \tag{II.33}$$

- **Gain du synthétiseur en boucle ouverte**

$$T(s) = \frac{\theta_i}{\theta_e} = H(s) \cdot G(s) = \frac{K_\phi \cdot Z(s) \cdot K_{VCO}}{N \cdot s} \tag{II.34}$$

- **Gain du synthétiseur en boucle fermée**

$$K(s) = \frac{\theta_0}{\theta_r} = \frac{G(s)}{[1 + H(s)G(s)]} \quad (\text{II.35})$$

A. Choix de la bande de boucle et de la marge de phase

Un synthétiseur de fréquences fonctionnel, doit remplir un ensemble de critères afin de pouvoir générer une série de fréquences avec une bonne précision et une haute pureté spectrale. La bande de boucle et la marge de phase sont des paramètres, limités par des conditions, qui influent amplement sur la stabilité du système bouclé et conséquemment sur sa performance. Dans cette section, les conditions de limite de ces deux notions sont présentées en vue d'une meilleure compréhension du chapitre III.

A.1 La bande de boucle

Il est à noter que le modèle linéaire représenté par la figure II.23, est une approximation qui n'est valable que pour une valeur faible de la bande passante de boucle (ω_p), devant la fréquence de référence F_{ref} . Ce paramètre, peut être défini à partir de l'équation (II.34) et correspond à la fréquence pour laquelle l'amplitude de la fonction de transfert de la boucle ouverte, égale à 1. Il est exprimé en radians et en Hz, respectivement par les formules (II.36) et (II.37).

$$\|G(j \cdot \omega_c \cdot H)\| = 1 \quad (\text{II.36})$$

$$\|G(j \cdot \omega_p \cdot 2\pi \cdot H)\| = 1 \quad (\text{II.37})$$

Le choix de la bande de boucle, est critique dans la conception du synthétiseur, car il peut influencer sur sa stabilité dans le domaine temporel ainsi que sur sa performance dans le domaine fréquentiel. En règle générale, pour que l'approximation linéaire en temps continu soit valide (verrouillage de la boucle), la largeur de la bande de boucle ne doit pas dépasser environ un dixième de la fréquence de référence, comme le formule l'équation (II.38) [21].

$$\omega_p \leq \frac{F_{ref}}{10} \quad (\text{II.38})$$

A.2 La marge de phase

La fonction de transfert en boucle ouverte permet aussi de déterminer la marge de phase de la boucle ($\Delta\varphi$). Ce paramètre, est évalué à la fréquence de la bande de boucle, et est défini comme étant la différence entre 180° et la phase de la fonction de transfert en boucle ouverte, à ω_c égale à 1. Il est exprimé par la formule suivante [22] :

$$\Delta\varphi = 180 - \arg G(j\omega_c) \cdot H \quad (\text{II.39})$$

Le choix de la marge de phase, est aussi un critère important dans la conception du synthétiseur, car il contribue à sa stabilité et particulièrement sur son temps de réponse (défini plus bas). Ainsi, afin d'assurer un bon compromis entre stabilité et temps de réponse, il serait judicieux de choisir une marge de phase supérieure à 0 degré et inférieure à 90 degrés.

$$0^\circ < \Delta\varphi < 90^\circ \quad (\text{II.40})$$

II.5 Caractéristiques clés des synthétiseurs de fréquences à PLL

- **Plage de fréquence** : elle représente la gamme de fréquences que le synthétiseur doit couvrir. Elle est comprise entre la plus petite et la plus grande des fréquences synthétisables.
- **Plage de verrouillage** : appelée aussi 'plage de maintien'. Elle correspond à l'écart de fréquence entre la fréquence libre (F_0 du VCO) et la fréquence à laquelle la PLL se déverrouille.
- **Plage de capture** : elle est également appelée 'plage d'accrochage', ou 'acquisition range' en appellation anglophone. Contrairement à la plage de verrouillage, elle se mesure entre la fréquence libre du VCO et la fréquence à laquelle la PLL se verrouille.
- **Pas de synthèse** : il représente l'écart entre les fréquences synthétisables. Dans une synthèse de fréquence à division entière, la boucle ne peut se verrouiller qu'à des multiples de la fréquence de comparaison (F_o).
- **Temps de commutation** : cette caractéristique définit la durée, que met le synthétiseur de fréquences pour atteindre le régime permanent (temps de réponse de la boucle).
- **Pureté du spectre** ; deux facteurs influent sur la pureté spectrale du système : le bruit de phase et les raies parasites.
- **Raies de références** : ou 'Reference spurs' en anglais, ce paramètre indique le niveau des harmoniques de la fréquence de sortie. Il est exprimé en (dB) par la formule suivante :

$$Spur_{Gain}(F_{spur}) = 20 \log \left[\frac{K_{VCO} \cdot Z(s) \cdot K_{\varphi}}{s} \right] \quad (\text{II.36})$$

- **Bruit de phase** : 'Phase Noise' (PN) en anglais, désigne la phase de la porteuse de sortie par rapport à une sortie idéale (impulsion de Dirac). Cette notion fondamentale dans l'analyse des performances du synthétiseur, nécessite une étude approfondie qui sera présentée dans la section suivante de ce chapitre.
- **RMS Jitter** ; le Root Mean Square 'RMS', est une caractéristique de mesure qui définit la dérivation de l'erreur de phase par rapport à une onde carrée. Il est exprimé en degré et peut être converti en seconde angulaire.

II.6 Analyse du bruit de phase dans les synthétiseurs de fréquence à PLL

Dans le cadre d'une description la plus générale possible du bruit de phase, ce dernier représente un fait indésirable qui peut nuire aux performances de tout système asservi. Par sa définition, il est issu du mouvement aléatoire des charges électriques de chaque composant le constituant.

La caractéristique du bruit de phase, est définie dans le domaine fréquentiel. Pour analyser ses effets sur le synthétiseur, un modèle linéaire est développé sur la figure II.24.

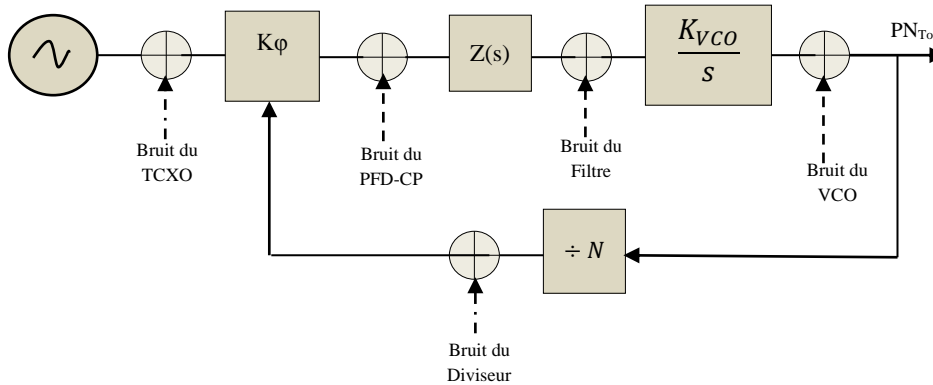


Figure II.24 Sources de bruit attribuées au synthétiseur de fréquence à PLL.

Le bruit du PFD, de l'oscillateur de référence et du diviseur N , peut être mesuré par l'expression suivante [23-24] :

$$PLL\ noise_{flat} = PN_{1Hz} + 10 \log\left(\frac{F_{ref}}{1Hz}\right) + 20 \log(N) \quad (II.41)$$

Il est très important de noter que l'équation (II.41), est valable uniquement pour calculer le bruit de phase à l'intérieur de la bande passante de boucle (ω_p). En dehors de cette fréquence, le bruit de phase est multiplié par la fonction de transfert en boucle fermée. Ceci, donne un bruit de phase total, développé par la formule générale (II.42) [25]:

$$PN_{Tot}^2 = X^2 + Y^2 + Z^2 \quad (II.42)$$

Où :

PN_{Tot}^2 ; est le bruit de phase total à la sortie du synthétiseur ;

X^2 ; est la puissance du bruit à la sortie, due au bruit de phase du diviseur ' PN_N ' et de l'oscillateur de référence ' PN_{Ref} '.

Y^2 ; est la puissance du bruit à la sortie, due au bruit de phase de la pompe de charge ' PN_{CP} ' ;

Z^2 ; est la puissance du bruit à la sortie, due au bruit de phase du VCO ' PN_{VCO} ' ;

En introduisant l'équation (II.35) représentée par la fonction de transfert en boucle fermée dans l'équation (II.41), les coefficients X , Y et Z équivalent à :

$$X^2 = \{PN_{Ref}^2 + PN_N^2\} * \left\{ \frac{G(s)}{1+G(s).H(s)} \right\}^2 \quad (II.43)$$

$$Y^2 = PN_{CP}^2 * \left\{ \frac{1}{K_\phi} \right\}^2 * \left\{ \frac{G(s)}{1+G(s).H(s)} \right\}^2 \quad (II.44)$$

$$Z^2 = PN_{VCO}^2 * \left\{ \frac{1}{1+G(s).H(s)} \right\}^2 \quad (II.45)$$

II.6.1 Bruit de phase du filtre

Comme le montre la figure II.25, le filtre de boucle présente un bruit qui naît principalement du bruit de ses résistances dont les tensions de bruit produites, sont en série avec chaque résistance. Cependant, pour un filtre d'ordre 3, le bruit de phase peut être déterminé par les équations d'impédances suivantes [20]:

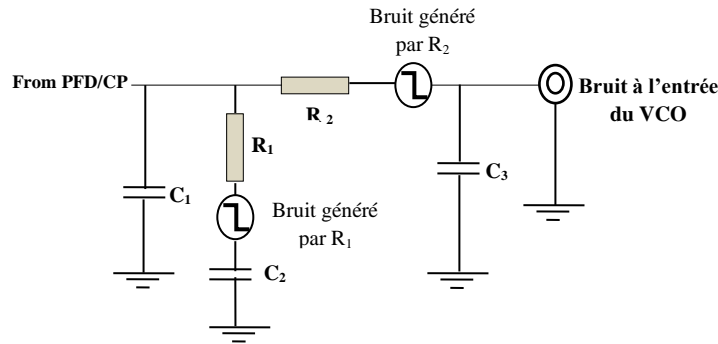


Figure II.25 Bruit des résistances d'un filtre de troisième ordre.

A. Bruit de la résistance R_1

$$Z_{R1-1}(f) = R_1 + \frac{1}{2\pi.f.j.C_2} ; R_1 \text{ en série avec } C_2 \quad (II.46)$$

$$Z_{R1-2}(f) = \frac{1}{2\pi.f.j.C_1} ; \text{ Impédance de } C_1 \quad (II.47)$$

$$Z_{R1-3}(f) = R_2 \quad (II.48)$$

$$Z_{R1-4}(f) = \frac{1}{2\pi.f.j.C_3} ; \text{ Impédance de } C_3 \quad (II.49)$$

$$Z_{R1-5}(f) = \frac{Z_{R1-2}(f) \cdot [Z_{R1-3}(f) + Z_{R1-4}(f)]}{Z_{R1-2}(f) + [Z_{R1-3}(f) + Z_{R1-4}(f)]} \quad (II.50)$$

$$1(f) = PN_{R1} \cdot \frac{Z_{R1-5}(f)}{Z_{R1-1}(f) + Z_{R1-5}(f)} \cdot \frac{Z_{R1-4}(f)}{Z_{R1-3}(f) + Z_{R1-4}(f)} \quad (II.51)$$

Avec ;

$$PN_{R1} = \sqrt{4 \cdot T_0 \cdot K \cdot R_1 \cdot B} \quad (II.52)$$

T_0 : est la température ambiante égale à 300K ;

K : représente la constante de Boltzmann ;

R : est la résistance et ;

B : est la bande passante ;

B. Bruit de la résistance R_2

$$Z_{R2-1}(f) = \frac{\frac{1}{2\pi \cdot f \cdot j \cdot C_1} \cdot (R_1 + \frac{1}{2\pi \cdot f \cdot j \cdot C_2})}{R_1 + \frac{1}{2\pi \cdot f \cdot j \cdot C_1} + \frac{1}{2\pi \cdot f \cdot j \cdot C_2}} + R_2 \quad (\text{II.53})$$

$$Z_{R2-2}(f) = \frac{1}{2\pi \cdot f \cdot j \cdot C_3}; \text{ Impédance de } C_3 \quad (\text{II.54})$$

$$PN_{R2}(f) = PN_{R2} \cdot \frac{Z_{R2-2}(f)}{Z_{R2-1}(f) + Z_{R2-2}(f)} \quad (\text{II.55})$$

Avec ;

$$PN_{R2} = \sqrt{4 \cdot T_0 \cdot K \cdot R_2 \cdot B} \quad (\text{56})$$

II.6.2 Modèle mathématique du bruit de phase dans les oscillateurs

Même si les oscillateurs à quartz sont généralement très peu bruités, ces composants peuvent présenter un bruit qui peut être modélisé par une équation de calcul. Dans cette section, nous présentons un état de l'art des modèles de bruit les plus usuellement rencontrés dans les oscillateurs. Nous décrirons la méthode de calcul du bruit de phase de chacun et mettons en avant l'équation de calcul qui en découle.

A. Origine du bruit de phase

Idéalement, un oscillateur parfait délivre un signal sinusoïdal a une réponse temporelle de la forme suivante :

$$V_{out} = A \cdot \sin(2\pi f_{osc} \cdot t + \varphi) \quad (\text{II.57})$$

Dans le domaine fréquentiel, ce signal est représenté par une raie Dirac (figure II.26), mais en réalité, l'oscillateur, génère un bruit dû à ses composants intrinsèques qui influe aussi bien sur l'amplitude que sur la phase du signal, ce qui provoque par conséquent, un élargissement de la raie (figure II.27).

$$V_{out} = A(t) \cdot \sin(2\pi f_{osc} \cdot t + \varphi(t)) \quad (\text{II.58})$$

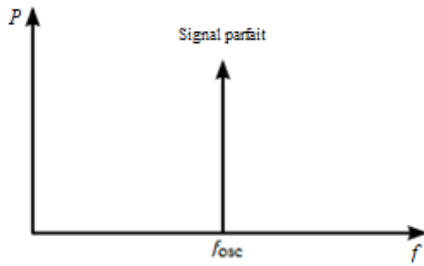


Figure II.26 Signal non bruité

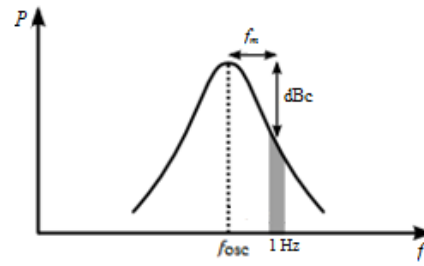


Figure II.27 Signal bruité

En se référant à la figure (II.27), le bruit de phase peut être défini comme étant la puissance relative (P) de bruit dans une bande passante unitaire à une fréquence d'offset (f_m) près de la porteuse (c'est pourquoi, il est exprimé en dBc/Hz).

B. Calcul du bruit de phase dans les oscillateurs

Le calcul du bruit de phase du signal généré par les oscillateurs (figure II.27), est établi en se basant sur la structure d'un oscillateur semblable à celui de la figure II.28 [26].

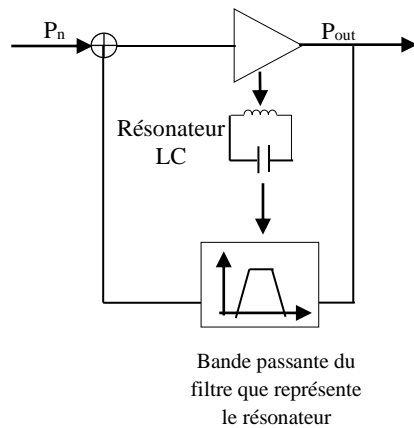


Figure II.28 Schéma d'un oscillateur bruité.

Dans cette figure, le bruit P_n , représente un bruit stationnaire à valeur moyenne nulle. Sa densité spectrale de bruit ($S_{pn}(\omega)$), est composée de deux parties (illustrées sur la figure II.29) :

- La zone retracée par la pente, représente la partie basse fréquence en $1/f$;
- La zone horizontale (bruit blanc), représente la partie des fréquences élevées d'un bruit blanc.

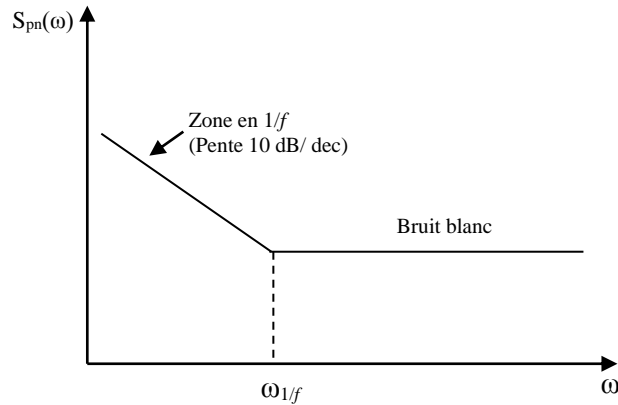


Figure II.29 Spectre du bruit de l'oscillateur.

B.1 Le modèle de 'Leeson'

La théorie de 'Leeson', est un modèle linéaire de prédiction du bruit de phase qui consiste à moduler la phase uniquement dans la bande passante du filtre que représente le résonateur LC. L'équation de calcul du bruit de phase, est donnée par la formule suivante [15]:

$$L_{Leeson}(f_m) = \frac{F.K.T}{2P_{avs}} \left[1 + \frac{1}{f_m^2} \left(\frac{f}{2Q_L} \right)^2 \right] \left[1 + \frac{f_f}{f_m} \right] \quad (\text{II.59})$$

Où :

f_m ; est la fréquence offset, elle représente le décalage de fréquence par rapport à la porteuse ;

F ; est le facteur de bruit ;

K ; est la constante de Boltzmann ;

T ; est la température absolue ;

P_{avs} ; est la puissance consommée par l'oscillateur ;

Q_L ; est le coefficient de qualité du résonateur chargé ;

f_m ; est la fréquence de sortie de l'oscillateur ;

f_f ; est la fréquence du Flicker corner (ce paramètre, représente le point de changement de la fréquence offset pour laquelle la pente passe de 30 dB / décade à 20 dB / décade).

La figure II.30, présente une courbe typique du bruit de phase du modèle de 'Leeson'. Il est décomposé en trois parties :

- Le tracé de la pente $1/f^3$, correspond à la conversion du bruit $1/f$;
- La zone retracée par la pente $1/f^2$, correspond à la conversion du bruit blanc ;
- Le 'Noise Floor', correspond au 'bruit plancher' ou 'bruit thermique' en français.

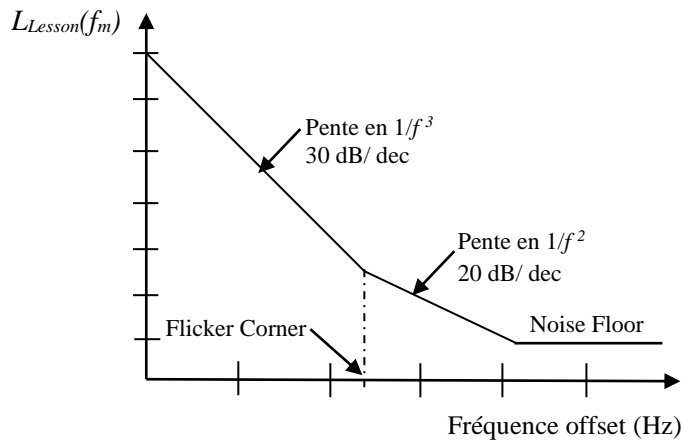


Figure II.30 Bruit de phase défini par le modèle ‘Leeson’.

B.1.1 Le bruit de phase ‘Corner-Floor’

Le calcul du bruit de phase ‘Corner-Floor’, est basé sur la méthode de calcul du modèle de Leeson (donnée par l’expression (II.58)). il est déterminé à la pulsation de transition entre la zone $1/f^2$ et le bruit du plancher (figure II.31) [15].

$$L_{Corner-Floor}(f_m) = N_{floor} \left(1 + \frac{f_c^2}{f_m^2}\right) \left(1 + \frac{f_f}{f_m}\right) \tag{II.60}$$

Où :

N_{floor} , est le Noise Floor,

f_c , est la fréquence du corner.

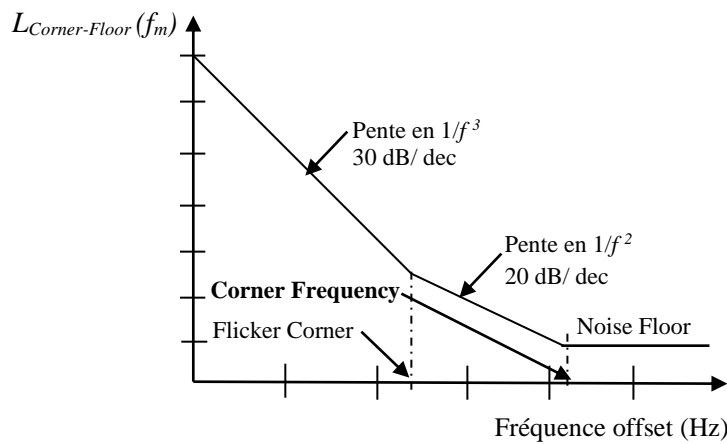


Figure II.31 Bruit de phase défini par le Corner-Floor.

B.1.2 Le bruit de phase ‘Point-Floor’

Le bruit Point-Floor, utilise la même méthodologie de calcul du bruit de phase ‘Corner-Floor’ (formule (II.56)). Comme représenté sur la figure II.32, son spectre du bruit est déterminé sur un point spécifique de la courbe.

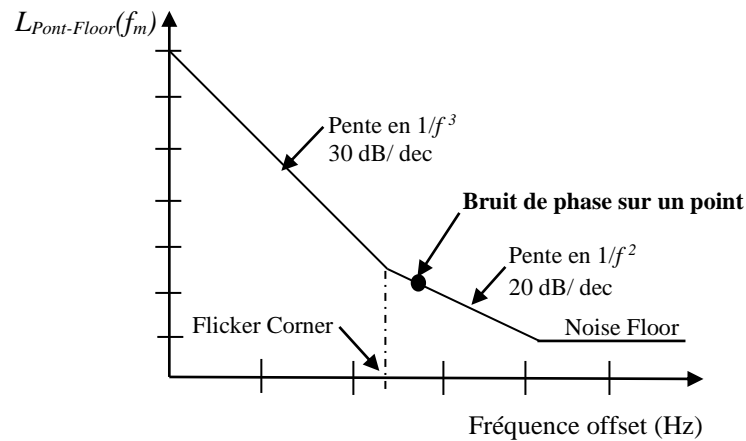


Figure II.32 Bruit de phase défini par le Point/ Floor.

II.7 Conclusion

Ce deuxième chapitre a longuement présenté le contexte lié au synthétiseur de fréquences à base de boucle à verrouillage de phase. Au travers ce composant électronique, primordial dans les équipements 'émetteurs-récepteurs', nous avons exposé individuellement les blocs fonctionnels le constituant afin d'énoncer les principales caractéristiques pour sa modélisation et sa conception. Dans un second temps, nous avons dressé le modèle linéaire en vue d'en tirer les fonctions de transfert. Nous avons pu ainsi mettre en avant les paramètres de la marge de phase et de la bande de boucle qui interviennent grandement dans ces travaux de thèse. Finalement, pour clore ce chapitre, la notion du bruit de phase a été introduite avec une formulation mathématique de quelques types de bruit naissants des oscillateurs, a été discutée.

Références Bibliographiques du chapitre II

- [1] D. Brian, « Analysis and design of high order digital phase locked loops », the national university of ireland, 2008.
- [2] J. H. Vincent, « On some Experiments in which Two Neighbouring maintained Oscillatory Circuits affect a Resonating Circuit », *Proc. Phys. Soc. Lond.*, vol. 32, n° 1, p. 84-91, déc. 1919.
- [3] Appleton, E.V., « The Automatic Synchronization of Triode Oscillators », *Mathematical Proceedings of the Cambridge Philosophical Society*, p. 231-248, 1922.
- [4] DeBellescise, H., « La réception Synchrone. », *Journal Onde Electronique*, 1932.
- [5] Wa Wong, « Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire », Université Paul Sabatier - Toulouse III, 2005.
- [6] S. Thuries, « Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe:C 0,25 », université Paul-Sabatier de Toulouse, 2006.
- [7] Z. Berber et S. KAMECHE, « Conception d'un Synthétiseur de Fréquences pour les Systèmes de Communications Mobiles 5G », université de technologie de Tlemcen, juin-2018.
- [8] P. Tinguy, « Etude et développement d'un oscillateur à quartz intégré », UNIVERSITE DE FRANCHE-COMTE, 2011.
- [9] « oscillateurs à quartz », *FIRST-TF, Formation Innovation Recherche Services et Transfert en Temps-Frequence*.
- [10] M. Addouche, « Modélisation Non Linéaire des Oscillateurs à Quartz, Développement d'un Logiciel de Simulation », l'UFR des sciences et techniques de l'université de Franche-Comté, 2006.
- [11] B. DEAN, *PLL Performance, Simulation, and Design*. 2017.
- [12] V. Cheynet de Beaupré, « Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK pour les Systèmes de Radiocommunication », Université d'Aix Marseille 1, 2008.
- [13] L. F. Tanguay, « Synthétiseur De Fréquences RF Destiné Aux Dispositifs Médicaux Implantables », Ecole Polytechnique de Montréal, 2010.
- [14] S. N. Pawar et P. B. Mane, « Wide band PLL frequency synthesizer: A survey », présenté à International Conference on Advances in Computing, Communication and Control (ICAC3), Mumbai, India, 2017, p. 1-6.
- [15] *ADISimPLL 4.30.03 software*. 2017.
- [16] J. JUYON, « Contribution à la conception de synthèses de fréquence pour liaison satellite embarquée : montée en résolution et réduction des raies parasites », universite toulouse 3 paul sabatier, 2013.
- [17] J.-M. N. AKRÉ, « Étude de la synchronisation et de la stabilité d'un réseau d'oscillateurs non-linéaires. Application à la conception d'un système d'horlogerie distribuée pour un System-on-

- Chip », École Doctorale STITS « Sciences et Technologies de l'Information des Télécommunications et des Systèmes », 2013.
- [18] B. Dean, *PLL Performance, Simulation, and Design*. Dog Ear Publishing, 2006.
- [19] J. C. Nunez Perez, « Contribution à la conception de systèmes de radiocommunication : de la modélisation de Transistors Bipolaires à l'évaluation des performances d'un système d'Emission-Réception », Institut des Nanotechnologies (INSA) de Lyon, Lyon, 2007.
- [20] S. Kameche, « Modelisation des synthetiseurs de frequences pour les systemes de télécommunications mobiles », *Thèse de doctorat*, Faculté de technologie, université de Tlemcen, 2012.
- [21] Z. Berber and S. Kameche, « The impact of PLL loop bandwidth on Frequency Synthesizer'S performances for LTE/ LTE-Advanced mobile communications », 4th International Conference on Electrical Engineering (ICEE), Boumerdes, Algeria, 2015, p. 1-4.
- [22] Z. Berber and S. Kameche, « Optimal choice for phase margin on mm-Wave PLL frequency synthesizer for 5G wireless communications systems », présenté à Fifth International Conference on Software Defined Systems (SDS), Barcelona, Spain, 2018, p. 223-228.
- [23] C. Shu, L. Tian, C. Guo, et W. Hong, « Design and implementation of a multi-channel frequency synthesizer for 5G wireless communication systems », in *2018 IEEE MTT-S International Wireless Symposium (IWS)*, Chengdu, 2018, p. 1-4.
- [24] Haihong Ma, Xiaohong Tang, Fei Xiao, et Chizhou Tan, « Design and Analysis of the S-band PLL Frequency Synthesizer with Low Phase Noise », in *2005 Asia-Pacific Microwave Conference Proceedings*, Suzhou, China, 2005, vol. 3, p. 1-4.
- [25] « Analog Device.Phase-Locked Loops for High Frequency Receivers and Transmitters - Part 2 ».
- [26] J. Mira, « Conception d'oscillateurs contrôlés en tension dans la gamme 2 GHz - 10 GHz, intégrés sur silicium et analyse des mécanismes à l'origine du bruit de phase », université de bordeaux i, 2004.

Chapitre III

**Modélisation, conception et simulation
d'un synthétiseur de fréquences 5G**

III.1 Introduction

Une bonne compréhension de l'état de l'art nous aide à déterminer la problématique de recherche. En ce sens et dans le but d'améliorer les caractéristiques des circuits de synthétiseurs de fréquences à PLL, diverses solutions ont été proposées par les chercheurs. Dans cette section de ce troisième chapitre, nous allons présenter un survol de ces circuits présentés dans la littérature. Dans une première partie, nous exposerons brièvement les investigations dont le paramètre du courant de fuite est abordé et qui constitue le cœur de notre étude. Dans la seconde partie, nous présenterons les travaux récents associés aux synthétiseurs, proposés pour être compatibles avec le réseau 5G.

III.1.1 Travaux liés aux synthétiseurs traitant le paramètre de courant de fuite

Selon les auteurs cités dans [1-7], une bonne performance du synthétiseur en matière de temps d'acquisition, des raies de références, de bruit de phase et du RMS Jitter, est acquise par :

- Une préconception d'un courant de fuite très réduit, généré par la pompe de charge. En ce sens, une approche citée dans [1], dénote que dans les circuits de PLL modernes, la valeur du courant de fuite est de 1nA ou moins ;
- Une Annexe d'un circuit externe au synthétiseur, qui permet de compenser ou réduire le courant de fuite. Les investigations rapportées dans [2-7] ont proposé d'améliorer les caractéristiques du synthétiseur au moyen des circuits d'arrangement externes qui serviraient à compenser, voire réduire le courant de fuite.

Partant de ces constats, il est clair que le second permet une meilleure performance du système, mais de notre modeste point de vue, il ne présente pas une meilleure solution pour la miniaturisation du circuit de synthétiseur. Quant à la première hypothèse, il est à signaler qu'il n'est pas toujours évident de contrôler la variation des électrons et trous des transistors de la pompe de charge. C'est pourquoi dans ce travail, nous allons chercher à mettre au point un synthétiseur à la fois simple dans son architecture, performant et caractérisé par une intensité élevée du courant de fuite.

III.1.2 Travaux récents liés aux synthétiseurs pour des applications 5G

La plupart des synthétiseurs de fréquences présentés dans la littérature et connexes aux applications 5G, sont à pas fractionnaire. L'objectif de ces travaux est commun ; Proposer des modèles qui permettent d'améliorer les caractéristiques de la PLL. En 2015, les auteurs [8] ont utilisé la structure du synthétiseur fractionnaire, en associant un doubleur de fréquence à l'oscillateur de référence. Les résultats obtenus, ont démontré un faible bruit de phase avec un gain de raies de références réduit. Aussi, les auteurs [9], ont

proposé un synthétiseur avec un montage en cascade (en quadrature), qui a présenté à la fois un faible bruit de phase, et un RMS réduit. Une autre investigation plus récente rapportée dans [10] a pu mettre en œuvre un modèle de synthétiseur performant et ceci en faveur d'une inductance commutée dans le VCO. Cependant, tous ces modèles présentés, sont proposés pour les bandes de fréquences 5G de 28 GHz et 38 GHz, alors que, rappelons qu'un spectre radiofréquence très élevé offre un champ d'application plus large avec des services très variés. D'autres part, toutes ces investigations sont axées principalement sur les synthétiseurs à division fractionnaire, alors que ceux à division entière sont moins complexes, et consomment moins d'énergie. Pour ces deux raisons et dans le cadre de mieux relever les défis de la 5G, nous avons choisi dans cette thèse comme première étude de modéliser un synthétiseur de fréquences à division entière, destinés aux émetteurs-récepteurs 5G, et ayant pour spécificité de couvrir la plus large gamme de fréquence, allouée au réseau 5G. Par ailleurs, si nous nous référons au tableau VI, les fréquences les plus élevées, appartiennent à la bande-E [81-86] GHz. Rappelons aussi, que pour des fréquences supérieures à 20 GHz, la largeur du spectre est comprise entre 1 et 2 GHz. Or, pour synthétiser la bande de fréquence à partir de 81GHz avec un pas 'entier', le saut entre les fréquences ne peut être réalisé que sur une largeur de 1 GHz.

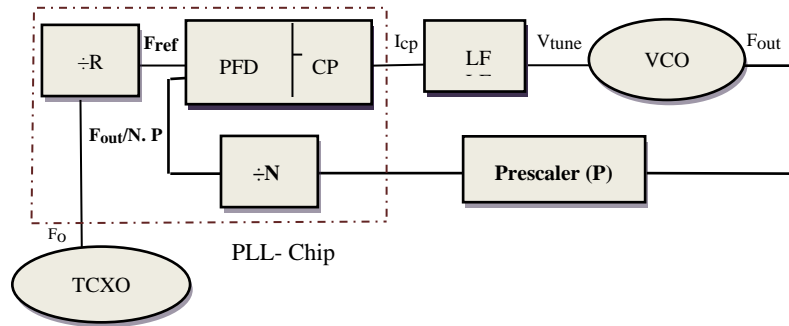
En résumé, ce mémoire s'oriente sur la possibilité de mettre en place un synthétiseur de fréquences à base de PLL, compatible avec les émetteurs-récepteurs 5G en répondant aux exigences suivantes :

- Architecture traditionnelle avec une division entière ;
- Couverture de la bande-E [81-86] GHz avec un espacement large bande de 1 GHz ;
- Tolérance de plus d'1 nA de courant de fuite ;
- Bonne performance en termes de bruit de phase, raies de références, RMS Jitter et temps d'acquisition.

III.2 Modélisation du synthétiseur de fréquences à PLL pour les émetteurs-récepteurs 5G

III.2.1 Outil de conception

Analog Devices 'ADI' est une compagnie internationale spécialisée dans le développement et la commercialisation des semi-conducteurs. Nous pouvons accéder à son site internet à partir d'un simple URL 'www.analog.com'. Dans sa page, elle met à disposition le téléchargement du logiciel 'ADIsimPLL' qui permet la conception, l'analyse et la simulation des synthétiseurs de fréquences à PLL. Plusieurs versions sont disponibles dont chacune propose une grande sélection de puce-PLL (PLL-chip) de la famille ADFxxxx. Avant de nous focaliser sur le travail de conception du synthétiseur pour la norme 5G,



- La gamme de fréquences minimale et maximale à couvrir $F_{out} = [81-86]$;
- La fréquence de l'oscillateur de référence $F_0 = 250$ MHz. Il en résulte un facteur de division $R = 5$;
- La fréquence du détecteur de phase qui représente la fréquence de comparaison $F_{ref} = 50$ MHz,
- Le pré-diviseur (P) est fixé avec un rapport de division de 20 (il est choisi de telle sorte à avoir une largeur de spectre de 1 GHz) ;
- Le gain du VCO (K_{VCO}) est de 2 GHz/ V ;
- Le courant de la pompe de charge $I_{cp} = 938$ μ A ;
- Le filtre est d'ordre 3.

Jusque-là, nous avons spécifié chaque paramètre constituant le circuit, excepté la bande de boucle et la marge de phase. Rappelons que le choix de ces paramètres est critique dans la conception des synthétiseurs, et repose sur des conditions qui peuvent influencer sur la stabilité de l'ensemble du système bouclé. Pour rappel, la bande de boucle est limitée à ($\omega_p \leq F_{ref}/10$) et la marge de phase peut être choisie entre $\Delta\phi \in [0-90]$. Afin d'assurer la validité de ces conditions, nous avons choisi de simuler plusieurs valeurs de la bande de boucle et de la marge de phase. L'étude menée dans ce sens, constitue le point de départ de ce travail de recherche.

N.b : Il est à noter que l'intitulé de chaque étape, fait référence à nos papiers publiés.

1^{ère} étape : Choix de la marge de phase

Article 1: Optimal Choice for Phase Margin on mm-Wave PLL Frequency Synthesizer for 5G Wireless Communications Systems [13]

Dans un premier temps, nous allons évaluer la marge de phase de 10 à 80 degrés avec un pas de 5. Concernant la largeur de bande de boucle, elle est choisie à $1/100^{\text{ème}}$, $1/50^{\text{ème}}$ et $1/10^{\text{ème}}$ de la fréquence

de référence (F_{ref}), ce qui correspond respectivement à 500 kHz, 1 MHz et 5 MHz. La variation de la marge de phase et de la bande boucle a un impact direct sur le temps de réponse de la boucle, voici dans le tableau III.1, les résultats obtenus de cette étude.

Marge de phase (Degré)	Temps de verrouillage (μ s) @ ω_p		
	500 kHz	1000 kHz	5000 kHz
10	35.36	17.57	3.59
15	22.30	11.47	2.30
20	16.23	7.99	1.77
25	12.33	6.03	1.39
30	9.67	4.62	1.14
35	7.79	3.66	0.986
40	6.11	3.08	0.893
45	5.36	2.69	0.936
50	7	3.51	1.15
55	9.09	4.54	1.32
60	11.81	5.86	1.74
65	15.58	7.82	2.36
70	21.42	10.78	∞
75	33.73	16.65	∞
80	73.57	40.03	∞

Tableau III. 1 Réponse temporelle de la boucle en fonction de la marge de phase et de la bande de boucle.

- **Interprétation du tableau III.1**

Les résultats obtenus dans ce tableau montrent que, quel que soit la valeur spécifiée à la bande de boucle, à une certaine valeur de la marge de phase, notamment, '45 degrés', celle-ci, est marquée par un temps d'arrêt différent, où la boucle avait tendance à se verrouiller rapidement puis nécessitait plus de temps pour que le verrouillage ait lieu.

Pour une marge de phase comprise entre 70 et 80 degrés, nous constatons que le temps de réponse ne peut être déterminé pour une bande passante élevée, ces valeurs sont donc à exclure d'emblée. Par déduction, la valeur 45 degrés peut être considérée 'optimale' pour la conception du synthétiseur.

2^{ème} étape : Choix de la bande de boucle

Article 2: Influence of Loop Bandwidth Parameter on Integer PLL Frequency Synthesizer Performances in 80 GHz mm-Wave 5G Frequency Band [14]

L'étape précédente, nous a permis de déterminer la valeur optimale de la marge de phase, mais pas celle de la bande de boucle. À première vue dans le tableau III.2, il peut sembler évident qu'une bande de boucle de 5 MHz (la plus élevée), représente le meilleur choix pour la conception du synthétiseur 5G, car à cette valeur spécifiée à la boucle, le temps de réponse est réduit. Par ailleurs, rappelons que la performance des raies de références, dépend du courant de fuite généré par la pompe de charge dont son impact sur le synthétiseur se manifeste à des multiples de la fréquence (F_{ref}). De cela, nous comprenons que le paramètre du courant de fuite est lié à la fréquence de référence qui elle aussi est liée à la bande de boucle. Donc, avant de confirmer notre choix sur la valeur de la bande de boucle, nous allons procéder à l'analyse de la réponse des raies de référence, en supposant dans un premier temps que la pompe de charge génère un courant de fuite d'une intensité maximum de 1 nA. Pour cela, nous allons évaluer dans le tableau III.2, plusieurs valeurs de la bande de boucle et analysons sa réponse par rapport à son temps de réponse ainsi que le gain des trois premières raies de références.

ω_p (kHz)	Temps de réponse (μ s)	Raies de références (dBc) @		
		50 MHz	100 MHz	150 MHz
$F_{ref}/100 = 500$	5.36	-130	-148	-159
$F_{ref}/90 = 555$	4.83	-127	-146	-156
$F_{ref}/80 = 625$	4.28	-124	-142	-153
$F_{ref}/70 = 714$	3.76	-121	-139	-149
$F_{ref}/60 = 833$	3.23	-117	-135	-145
$F_{ref}/50 = 1000$	2.69	-112	-130	-141
$F_{ref}/40 = 1250$	2.12	-106	-124	-135
$F_{ref}/30 = 1660$	1.52	-99	-117	-127
$F_{ref}/20 = 2500$	1.32	-89	-106	-117
$F_{ref}/10 = 5000$	0.936	-73	-89	-99

Tableau III.2 Réponse du temps et des raies de références en fonction de la variation de la bande de boucle.

- **Interprétation du tableau III.2**

D'après les résultats obtenus dans le tableau III.2, nous pouvons confirmer ce que témoigne déjà la théorie de la PLL ; la largeur de la bande de boucle est inversement proportionnelle au temps de réponse et directement proportionnelle aux raies de références. Afin d'assurer le meilleur compromis entre ces deux caractéristiques qui qualifient la performance du synthétiseur, nous allons donc supposer dans un deuxième temps que la valeur optimale de la bande de boucle tourne autour de $F_{ref}/50$ (ce qui correspond à 1 MHz).

3^{ème} étape : Détermination du courant de fuite tolérable par le synthétiseur

Article 3: High Tolerance of Charge Pump Leakage Current in Integer-N PLL Frequency Synthesizer for 5G Networks [15]

L'étude présentée dans la section précédente a permis de faire une simulation sur le choix de la bande de boucle pour la conception du synthétiseur avec un courant de fuite de 1nA. En réalité, réaliser un synthétiseur de fréquences avec 1 nA n'est pas toujours facile. C'est pourquoi, nous allons dans cette troisième étape, analyser l'intensité maximum du courant de fuite généré par la pompe de charge en fonction de la variation de la bande passante de boucle. Pour ce faire, nous allons nous baser sur la condition de stabilité décrite auparavant par la formule du courant de fuite ($I_{Leak} < I_{cp}/10$).

Rappelons que, le courant de la pompe de charge (I_{cp}) est de 938 μ A. Donc, pour assurer la stabilité du système, le courant de fuite doit être inférieur à 93,8 μ A. En se basant sur ces critères, nous allons analyser ce paramètre de $I_{cp}/1000000$ jusqu'à $I_{cp}/10$ à $1/100^{\text{ème}}$, $1/50^{\text{ème}}$ et $1/10^{\text{ème}}$ de la fréquence de référence.

Courant de fuite (μ A)	Temps de réponse (μ s)	Raies de référence (dBc) @		
		50 MHz	100 MHz	150 MHz
0.000938	5.36	-131	-149	-159
0.00187	5.36	-125	-143	-153
0.00938	5.36	-111	-129	-139
0.0187	5.36	-105	-123	-99
0.0938	5.36	-91	-109	-119
0.187	5.42	-85	-103	-113
0.938	6.44	-71	-89	-99
1.87	∞	-65	-83	-93
9.38	∞	-51	-69	-79
18.7	∞	-45	-63	-73
93.7	∞	-31	-49	-59

Tableau III. 3 Réponse du temps de verrouillage et des raies de référence pour diverses valeurs du courant de fuite @ $\omega_p = 500$ kHz.

Courant de fuite (μA)	Temps de réponse (μs)	Raies de référence (dBc) @		
		50 MHz	100 MHz	150 MHz
0.000938	2.69	-113	-131	-141
0.00187	2.69	-107	-125	-135
0.00938	2.69	-93	-111	-121
0.0187	2.69	-87	-105	-115
0.0938	2.77	-73	-91	-101
0.187	∞	-67	-85	-95
0.938	∞	-53	-71	-81
1.87	∞	-47	-65	-75
9.38	∞	-33	-51	-61
18.7	∞	-27	-45	-55
93.7	∞	-13	-31	-41

Tableau III.4 Réponse du temps de verrouillage et des raies de référence pour diverses valeurs du courant de fuite @ $\omega_p = 1$ MHz.

Courant de fuite (μA)	Temps de réponse (μs)	Raies de référence (dBc) @		
		50 MHz	100 MHz	150 MHz
0.000938	0.930	-74	-90	-100
0.00187	0.952	-68	-84	-94
0.00938	∞	-54	-70	-80
0.0187	∞	-48	-64	-74
0.0938	∞	-34	-50	-60
0.187	∞	-28	-44	-54
0.938	∞	-14	-30	-40
1.87	∞	-7.9	-24	-34
9.38	∞	6.1	-9.7	-20
18.7	∞	12	-3.7	-14
93.7	∞	26	10	278m

Tableau III.5 Réponse du temps de verrouillage et des raies de référence pour diverses valeurs du courant de fuite @ $\omega_p = 5$ MHz.

- **Interprétation des tableaux III.3, III.4, et III.5**

Les résultats de simulation obtenus de l'analyse du courant de fuite en fonction de la variation de la bande de boucle montrent que :

- Si la conception du synthétiseur est réalisée avec $\omega_p = 500$ kHz, le système a une capacité de tolérer jusqu'à $0.938 \mu\text{A}$ de l'intensité du courant de fuite et le temps de réponse pour le verrouillage sera

de 6.44 μs ;

- Pour une conception avec $\omega_p = 1$ MHz, le synthétiseur pourra tolérer un courant de fuite dont l'intensité peut aller jusqu'à 0.0938 μA , sur une période de 2.77 μs ;
 - Pour une conception avec $\omega_p = 5$ MHz, le courant de fuite maximale tolérable par le synthétiseur est de 0.00187 μA et le temps de réponse est de 0.952 μs .
- **Prédiction du courant de fuite**

Une prédiction précise, permet de déterminer le maximum courant de fuite, toléré dans la bande E [81- 86] GHz. Dans cette section, une analyse plus détaillée est établie dans la plage où la PLL s'est verrouillée puis déverrouillée. Afin de donner une meilleure vision, le tableau III.6 récapitule la plage d'écart pour chaque fréquence spécifiée à la bande de boucle.

ω_p (kHz)	Analyse du courant de fuite (μA)
500	De 0.938 jusqu'à 1.87
1000	De 0.0938 jusqu'à 0.187
5000	De 0.00187 jusqu'à 0.00938

Tableau III.6 Récapitulatif de la plage d'écart du courant de fuite en fonction de la bande de boucle.

- **Analyse détaillée du courant de fuite tolérable**

Maximum courant de fuite tolérable (μA)	Temps de réponse (μs)	Raies de références (dBc) @		
		50 MHz	100 MHz	150 MHz
Analyse du courant de fuite [0.938-1.87] (μA) pour $\omega_p = 500$ kHz				
0.938	6.44	-71	-89	-99
1.04	∞	-70	-88	-98
1.17	∞	-69	-87	-97
1.34	∞	-68	-86	-96
1.56	∞	-66	-84	-95
1.87	∞	-65	-83	-93
Analyse du courant de fuite [0.0938-0.187] (μA) pour $\omega_p = 1000$ kHz				
0.0938	2.77	-73	-91	-101
0.104	2.83	-72	-90	-100
0.117	3.23	-71	-89	-99
0.134	∞	-70	-88	-98
0.156	∞	-68	-86	-97
0.187	∞	-67	-85	-95

Analyse du courant de fuite [0.00187-0.00938] (μA) pour $\omega_p = 5000$ kHz				
0.00187	0.930	-68	-84	-94
0.00234	1.057	-66	-82	-92
0.00312	∞	-63	-79	-89
0.00469	∞	-60	-76	-86
0.00938	∞	-54	-70	-80

Tableau III.7 Prédiction précise du courant de fuite en fonction de la bande de boucle.

- **Interprétation du tableau III.7**

Pour simplifier l'interprétation du tableau III.7, les principaux résultats obtenus sont rapportés dans le tableau III.8. Ainsi, l'étude menée dans cette section, affirme que :

- Pour concevoir le synthétiseur avec une faible fréquence de bande de boucle (500 kHz), le système met plus de temps pour se verrouiller mais en contrepartie, il accorde une excellente marge de tolérance au courant de fuite ;
- Inversement, pour une largeur de bande de boucle élevée, le système répond en un laps de temps réduit, mais ceci au détriment d'un gain de raies de références élevé et une marge de tolérance au courant de fuite très restreinte ;
- Finalement, en choisissant une bande de boucle égale à $1/50^{\text{ème}}$ de la fréquence de référence, un bon compromis entre le temps de verrouillage et l'atténuation des raies de référence est assuré d'une part, mais aussi une importante intensité du courant de fuite généré par la pompe de charge, est tolérée par le système, d'autre part.

ω_p (kHz)	Réponse temporelle (μs)	Raies de référence (dBc) @			Courant de fuite tolérable (nA)
		50 MHz	100 MHz	150 MHz	
500	6.44	-71	-89	-99	938
1000	3.23	-71	-89	-99	117
5000	1.05	-66	-82	-92	2.34

Tableau III.8 Récapitulatif des principaux résultats obtenus de l'analyse du courant de fuite tolérable en fonction de la variation de la bande de boucle.

III.2.3 Validation des hypothèses faites sur le choix de la marge de phase et la bande de boucle

Les résultats de la section précédente ont servi à corroborer le choix de la valeur optimale de la bande de boucle et de la marge de phase pour les synthétiseurs de fréquences à division entière, destinés aux émetteurs-récepteurs 5G. Avant de valider ces résultats, il serait intéressant de vérifier l'ensemble des

hypothèses avancées, par des schémas d'interprétation sur le logiciel ADIsimPLL.

A. Validation de l'hypothèse portant sur le choix de la marge de phase

Le paramètre de la marge de phase a une influence non seulement sur la réponse temporelle du synthétiseur mais également sur sa réponse fréquentielle. Afin d'affirmer cela, nous avons choisi d'exposer les résultats de simulation de trois valeurs de la marge de phase (20° , 45° et 80°), relatifs à la réponse de la fonction de transfert en boucle fermée, la réponse FM, le bruit de phase et le temps de réponse du système.

A.1 Analyse de la réponse de la fonction de transfert du gain en boucle fermée @ $\Delta\phi = 20^\circ$

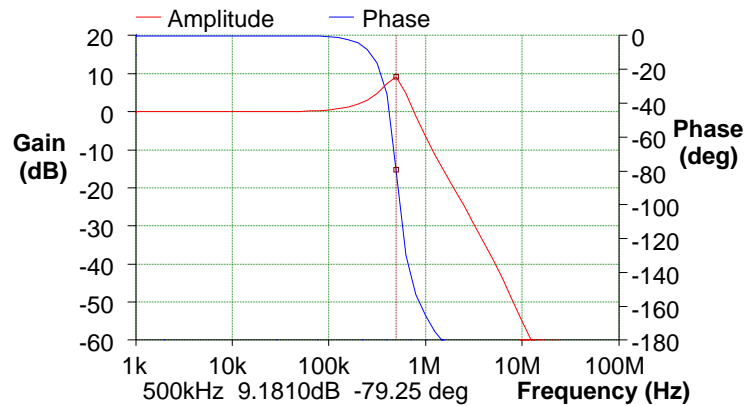


Figure III.2 Réponse du gain en boucle fermée @ $\Delta\phi = 20^\circ$ et $\omega_p = 500\text{kHz}$.

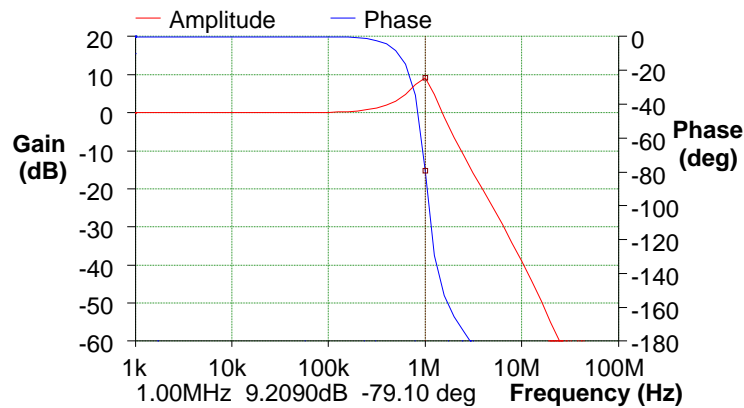


Figure III.3 Réponse du gain en boucle fermée @ $\Delta\phi = 20^\circ$ et $\omega_p = 1\text{MHz}$.

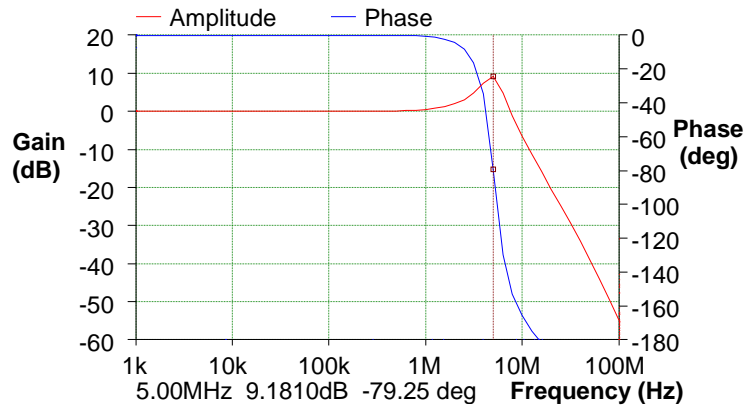


Figure III.4 Réponse du gain en boucle fermée @ $\Delta\phi= 20^\circ$ et $\omega_p= 5$ MHz.

A.2 Analyse de la fonction de transfert du gain en boucle fermée @ $\Delta\phi= 45^\circ$

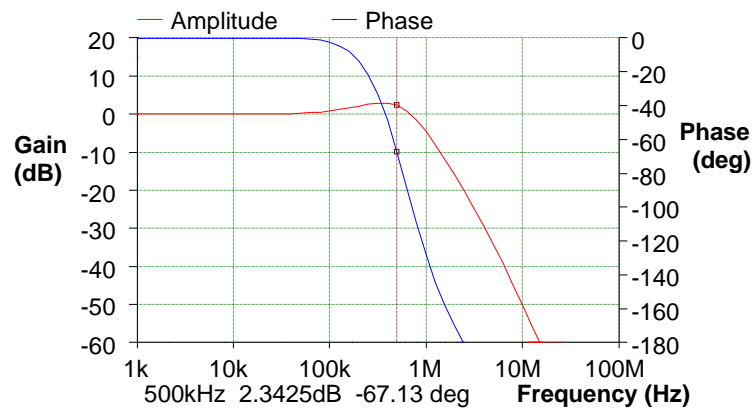


Figure III.5 Réponse du gain en boucle fermée @ $\Delta\phi= 45^\circ$ et $\omega_p= 500$ kHz.

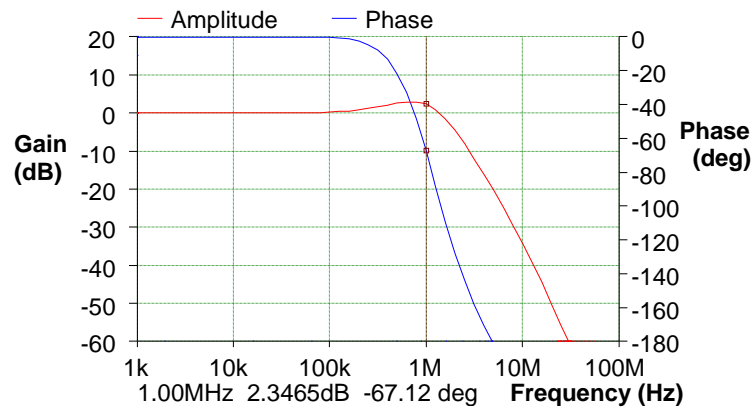


Figure III.6 Réponse du gain en boucle fermée @ $\Delta\phi= 45^\circ$ et $\omega_p= 1$ MHz.

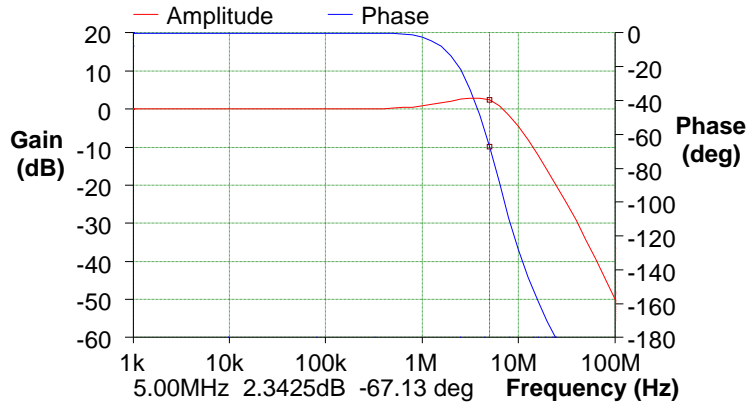


Figure III.7 Réponse du gain en boucle fermée @ $\Delta\phi= 45^\circ$ et $\omega_p= 5$ MHz.

A. 3 Analyse de la fonction de transfert du gain en boucle fermée @ $\Delta\phi= 80^\circ$

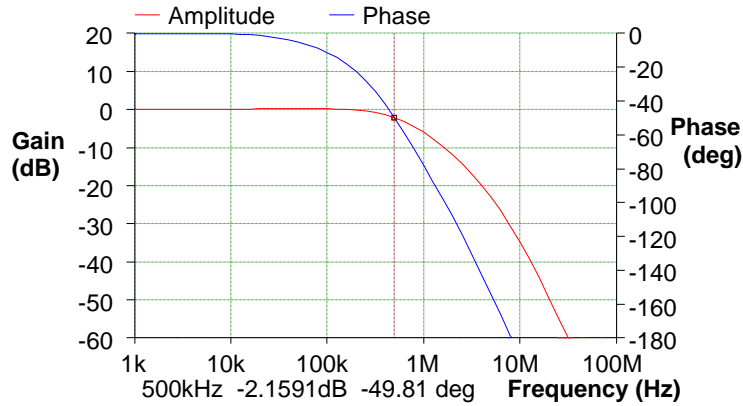


Figure III.8 Réponse du gain en boucle fermée @ $\Delta\phi= 80^\circ$ et $\omega_p= 500$ kHz.

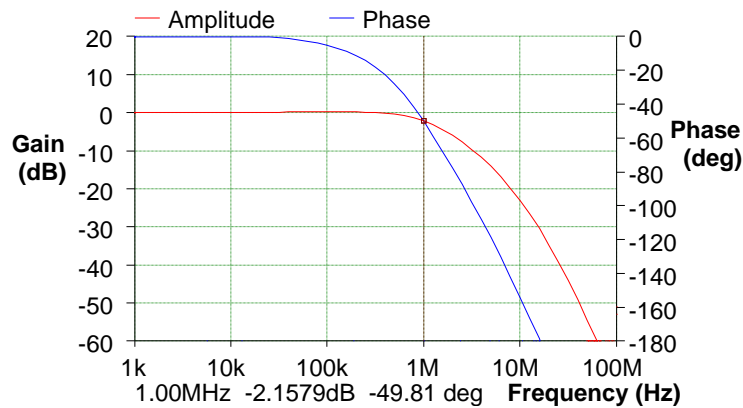


Figure III.9 Réponse du gain en boucle fermée @ $\Delta\phi= 80^\circ$ et $\omega_p= 1$ MHz.

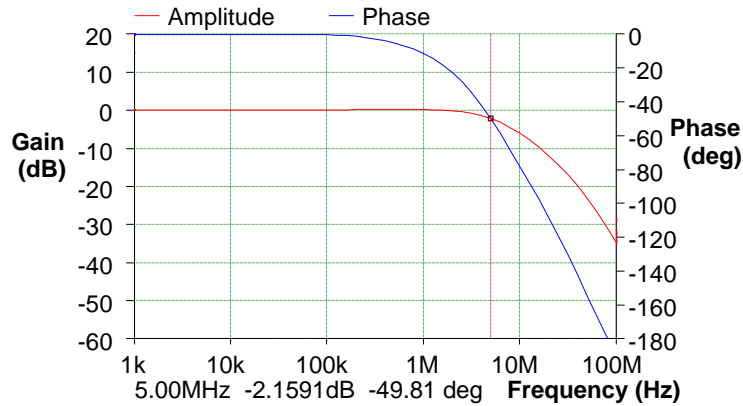


Figure III.10 Réponse du gain en boucle fermée @ $\Delta\phi = 80^\circ$ et $\omega_p = 5$ MHz.

- **Interprétation des figures [III.2 - III.10]**

En examinant les différentes figures de la réponse du gain en boucle fermée, nous remarquons que quel que soit la valeur de la marge de phase, la fonction de transfert présente le gabarit d'un filtre passe bas. Le gain, est constant jusqu'à ce qu'il atteigne la fréquence de la bande de boucle, puis commence à diminuer. Toutefois, il est important de noter qu'autour de cette même fréquence (bande de boucle), un pic variant en amplitude est observé. Ce phénomène peut être expliqué selon trois cas de figures :

- Pour une marge de phase faible (20°), la réponse de la fonction de transfert a tendance à être maximale. Le gain, est grand en amplitude, et le pic est de l'ordre de 9 dB.
- Pour une marge de phase supérieure (45°), la réponse de la fonction de transfert a tendance à s'aplatir. Le gain, est diminué en amplitude, et le pic est réduit à 2 dB.
- Pour une marge de phase très élevée (80°), la réponse de la fonction de transfert est encore plus plate. Le gain, est encore réduit (en-dessous de 0), et le pic est de l'ordre de -2dB.

A. 4 Analyse de la Réponse FM @ $\Delta\phi=20^\circ$

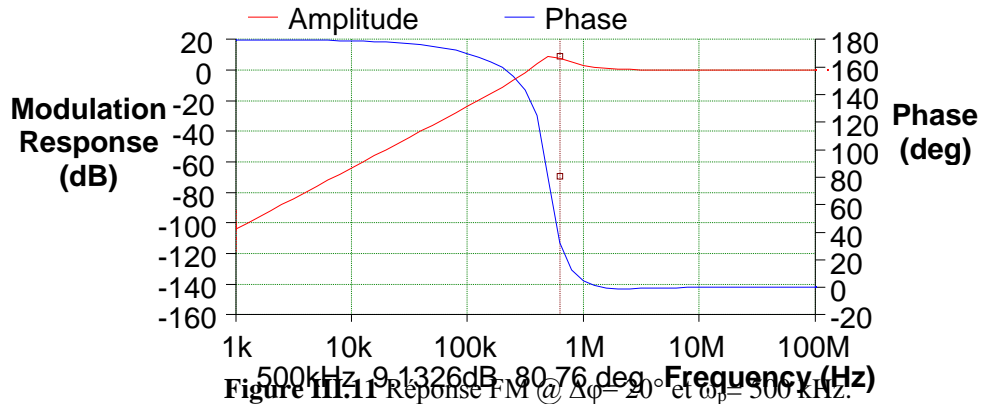


Figure III.11 Réponse FM @ $\Delta\phi=20^\circ$ et $\omega_p=500$ kHz.

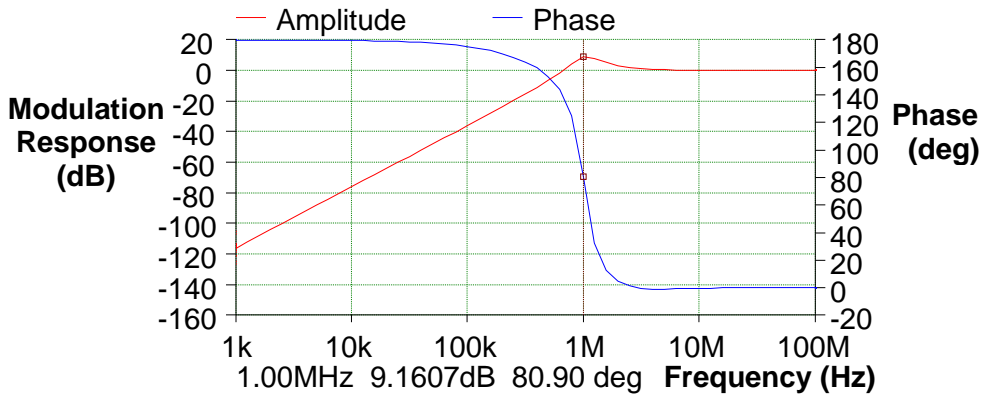


Figure III.12 Réponse FM @ $\Delta\phi=20^\circ$ et $\omega_p=1$ MHz.

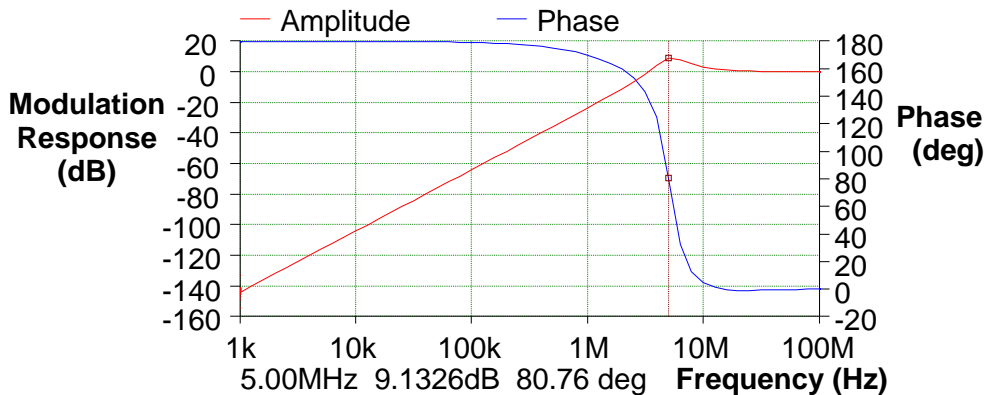
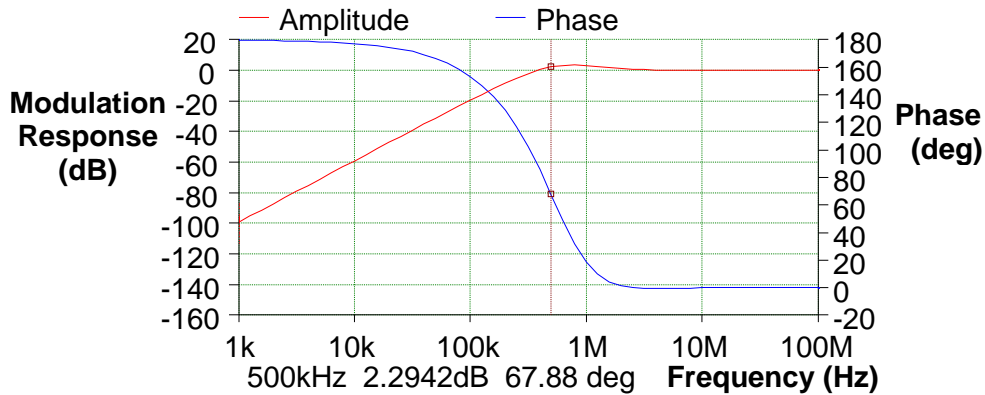
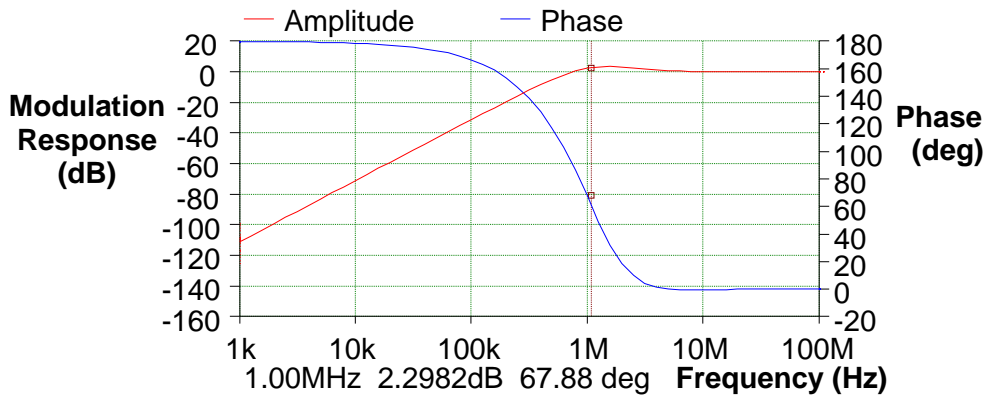
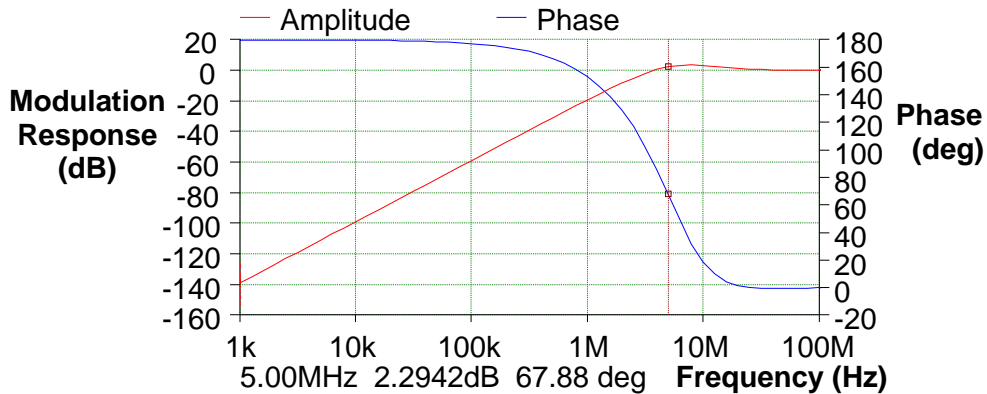


Figure III.13 Réponse FM @ $\Delta\phi=20^\circ$ et $\omega_p=5$ MHz.

A. 5 Analyse de la réponse FM @ $\Delta\phi = 45^\circ$ Figure III.14 Réponse FM @ $\Delta\phi = 45^\circ$ et $\omega_p = 500$ kHz.Figure III.15 Réponse FM @ $\Delta\phi = 45^\circ$ et $\omega_p = 1$ MHz.Figure III.16 Réponse FM @ $\Delta\phi = 45^\circ$ et $\omega_p = 5$ MHz.

A. 6 Analyse de la réponse FM @ $\Delta\phi = 80^\circ$

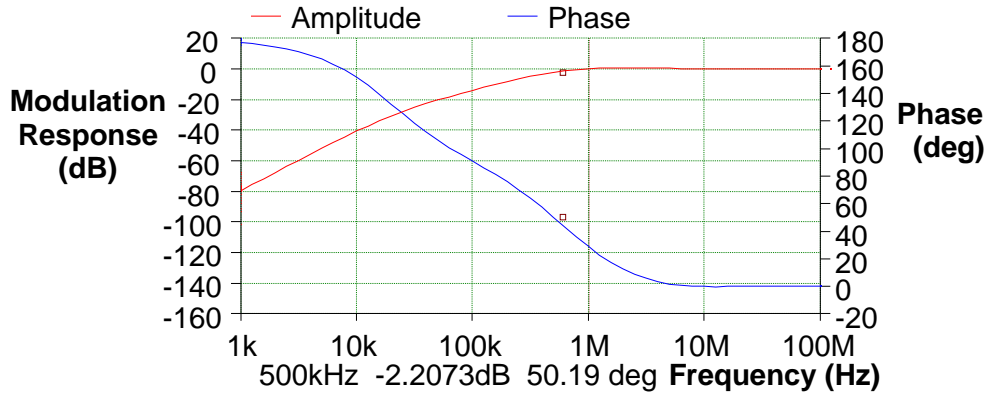


Figure III.17 Réponse FM @ $\Delta\phi = 80^\circ$ et $\omega_p = 500$ kHz.

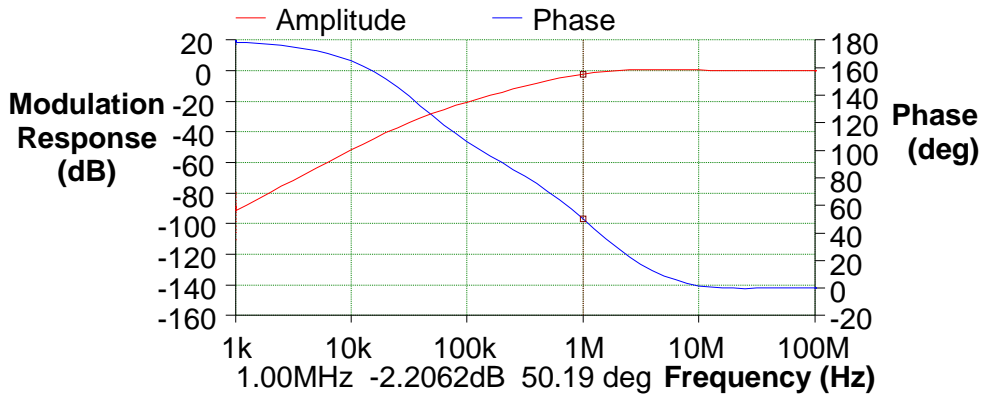


Figure III.18 Réponse FM @ $\Delta\phi = 80^\circ$ et $\omega_p = 1$ MHz.

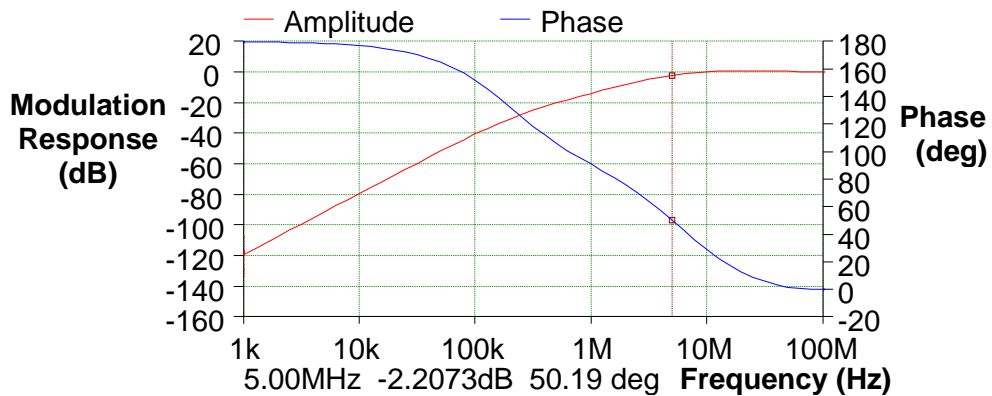


Figure III.19 Réponse FM @ $\Delta\phi = 80^\circ$ et $\omega_p = 5$ MHz.

- **Interprétation des figures [III.11 – III.19]**

La réponse d'erreur du système est représentée par sa réponse FM. Elle est obtenue par l'association des réponses de la fonction de transfert du gain en boucle ouverte et fermée. L'interprétation des figures obtenues de cette caractéristique est identique à celles de la réponse de la fonction de transfert du gain en boucle fermée.

A. 7 Analyse du bruit de phase @ $\Delta\phi = 20^\circ$

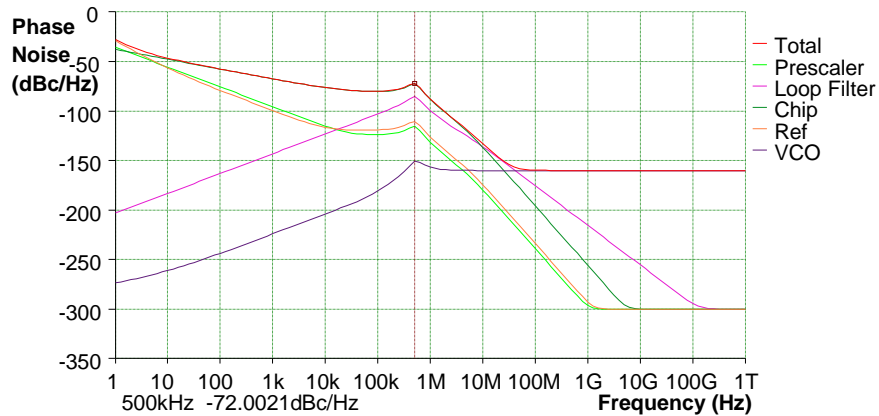


Figure III.20 Réponse du bruit de phase @ $\Delta\phi = 20^\circ$ et $\omega_p = 500$ kHz.

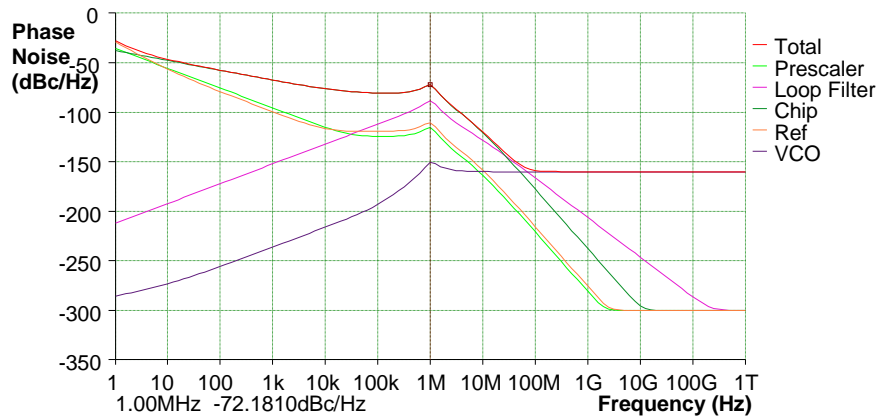


Figure III.21 Réponse du bruit de phase @ $\Delta\phi = 20^\circ$ et $\omega_p = 1$ MHz.

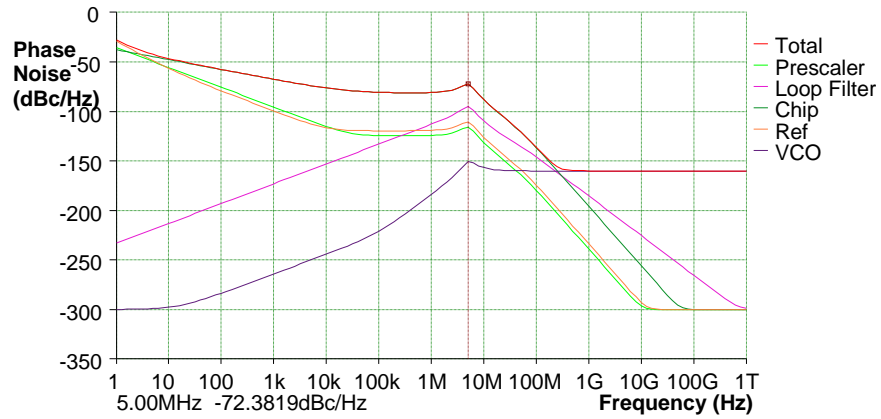


Figure III.22 Réponse du bruit de phase @ $\Delta\phi = 20^\circ$ et $\omega_p = 5 \text{ MHz}$.

A. 8 Analyse du bruit de phase @ $\Delta\phi = 45^\circ$

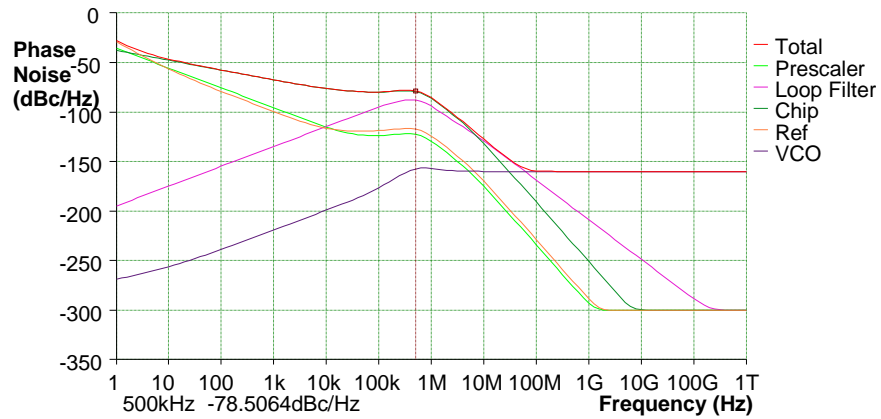


Figure III.23 Réponse du bruit de phase @ $\Delta\phi = 45^\circ$ et $\omega_p = 500 \text{ kHz}$.

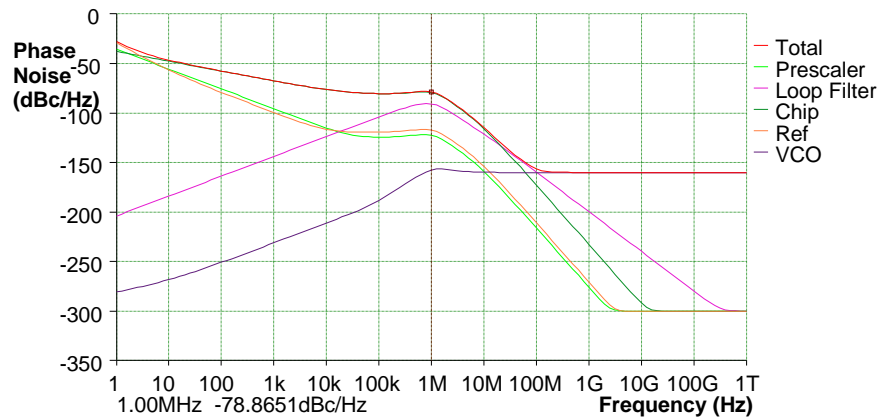


Figure III.24 Réponse du bruit de phase @ $\Delta\phi = 45^\circ$ et $\omega_p = 1 \text{ MHz}$.

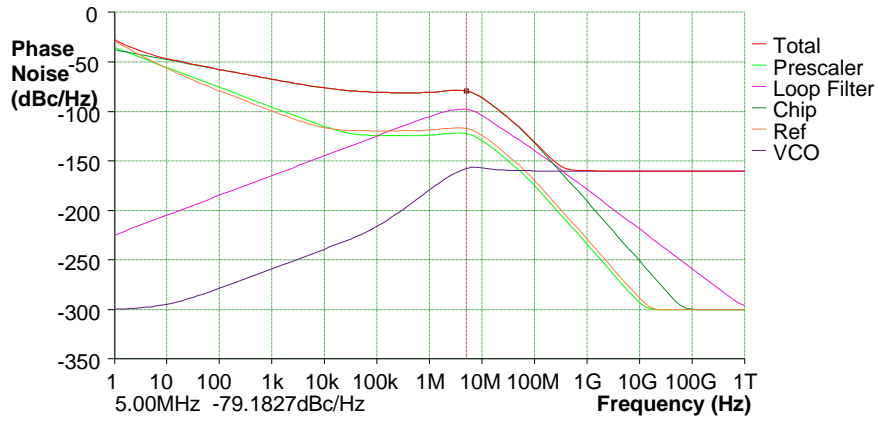


Figure III.25 Réponse du bruit de phase @ $\Delta\phi= 45^\circ$ et $\omega_p= 5$ MHz.

A. 9 Analyse du bruit de phase @ $\Delta\phi= 80^\circ$

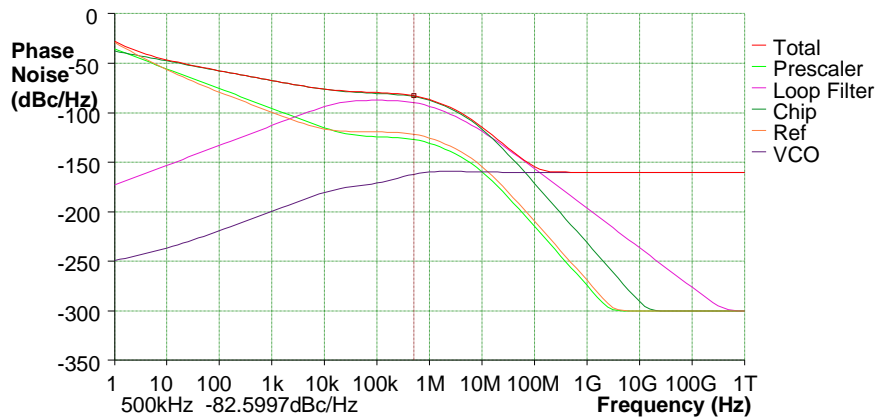


Figure III.26 Réponse du bruit de phase @ $\Delta\phi= 20^\circ$ et $\omega_p= 500$ kHz.

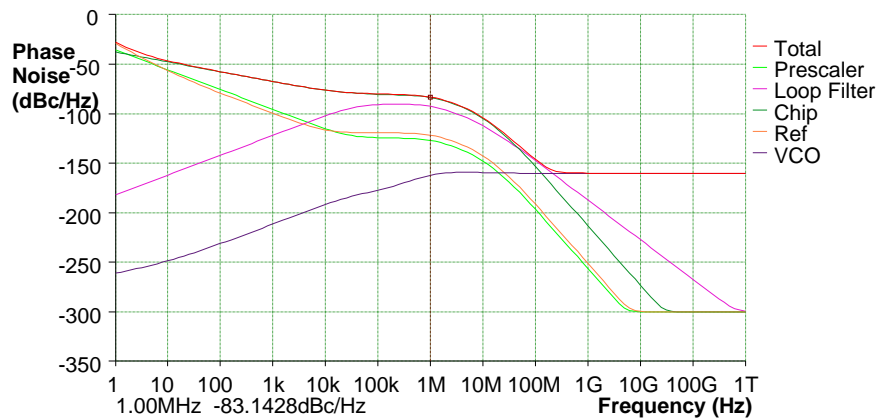


Figure III.27 Réponse du bruit de phase @ $\Delta\phi= 20^\circ$ et $\omega_p= 1$ MHz.

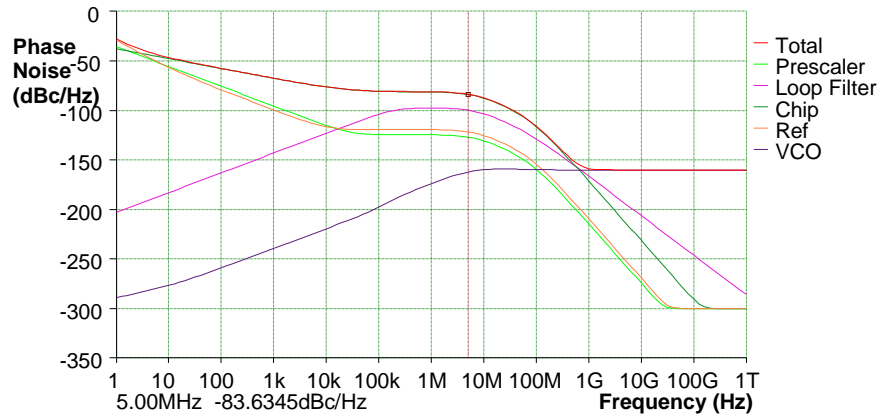


Figure III.28 Réponse du bruit de phase @ $\Delta\phi= 20^\circ$ et $\omega_p= 5$ MHz.

- **Interprétation des figures [III.19 – III.28]**

Les résultats de simulation obtenus de l'effet de la variation de la marge de phase et de la bande passante de boucle sur la réponse du bruit de phase, révèlent que ces paramètres peuvent également avoir un impact sur le bruit de phase intégré du synthétiseur. Nous n'allons pas nous attarder sur l'interprétation de ces figures, car une analyse plus détaillée est donnée plus tard dans de ce chapitre. Par ailleurs, le plus important à retenir, est qu'une marge de phase faible peut engendrer un pic, de gain important près de la bande de boucle dont l'amplitude a tendance à diminuer au fur et à mesure que la valeur de la marge de phase augmente.

A. 10 Analyse du système dans le domaine temporel @ $\Delta\phi= 20^\circ$

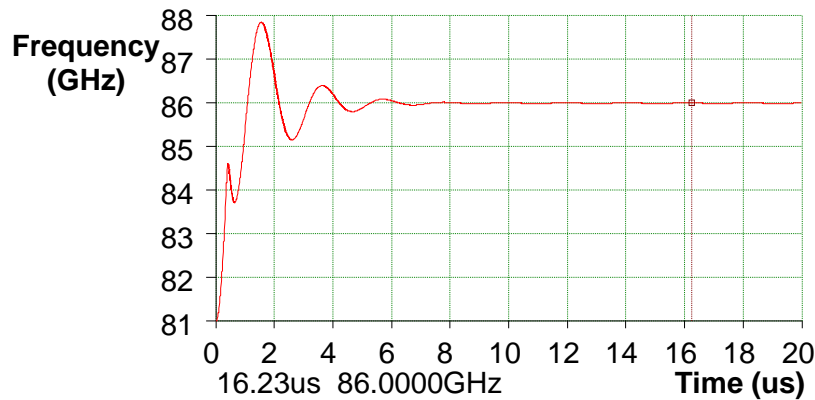


Figure III.29 Réponse transitoire de la boucle @ $\Delta\phi= 20^\circ$, $\omega_p= 500$ kHz.

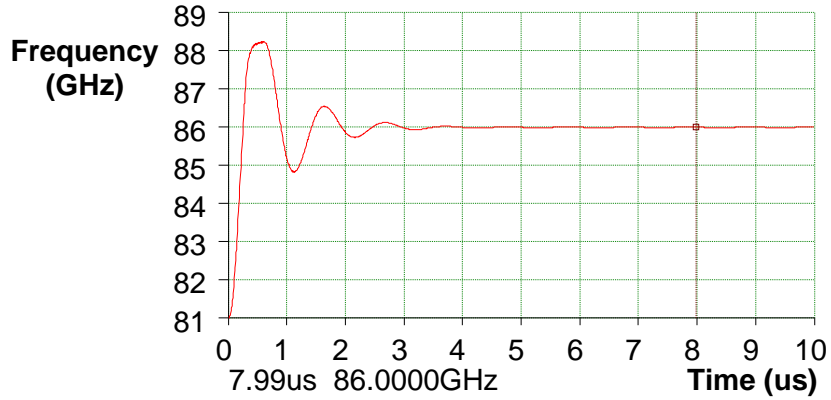


Figure III.30 Réponse transitoire de la boucle @ $\Delta\phi = 20^\circ$, $\omega_p = 1$ MHz.

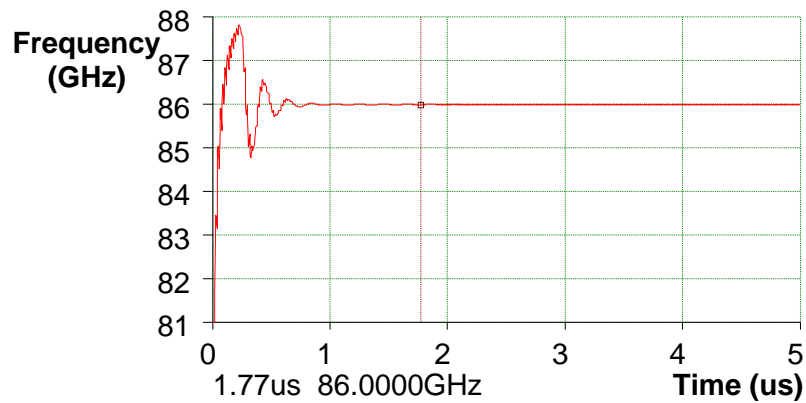


Figure III.31 Réponse transitoire de la boucle @ $\Delta\phi = 20^\circ$, $\omega_p = 5$ MHz.

A. 11 Analyse du système dans le domaine temporel @ $\Delta\phi = 45^\circ$

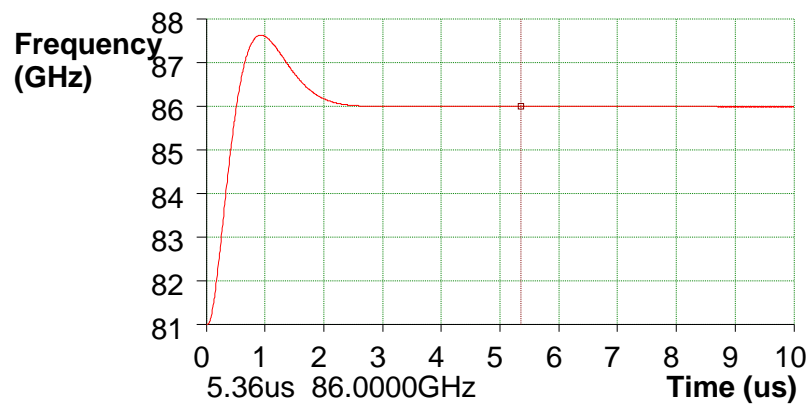


Figure III.32 Réponse transitoire de la boucle @ $\Delta\phi = 45^\circ$, $\omega_p = 500$ kHz.

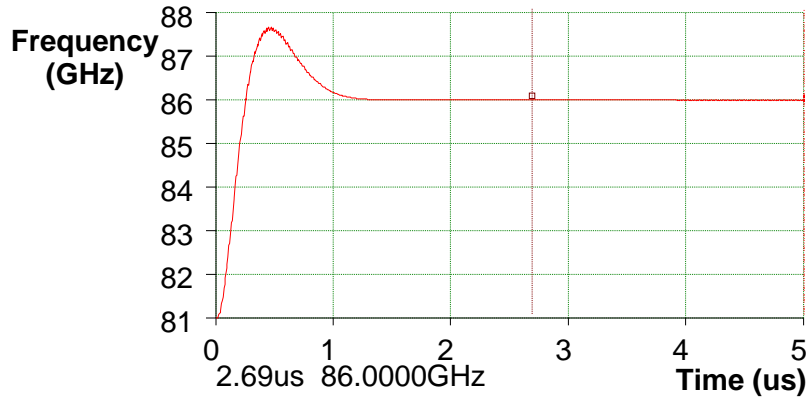


Figure III.33 Réponse transitoire de la boucle @ $\Delta\phi = 45^\circ$, $\omega_p = 1$ MHz.

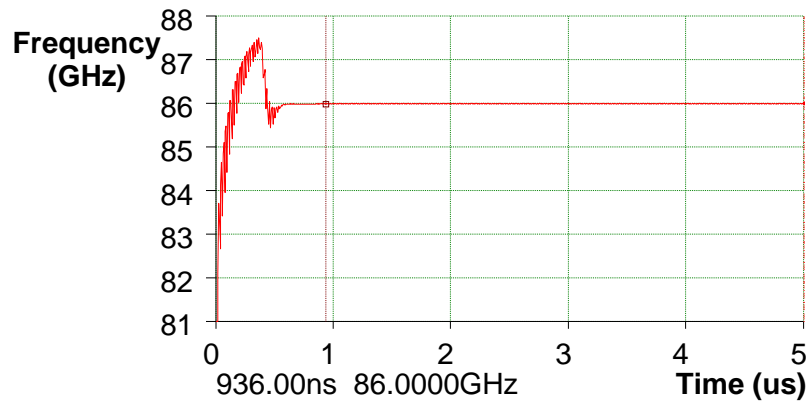


Figure III.34 Réponse transitoire de la boucle @ $\Delta\phi = 45^\circ$, $\omega_p = 5$ MHz.

A. 12 Analyse du système dans le domaine temporel @ $\Delta\phi = 80^\circ$

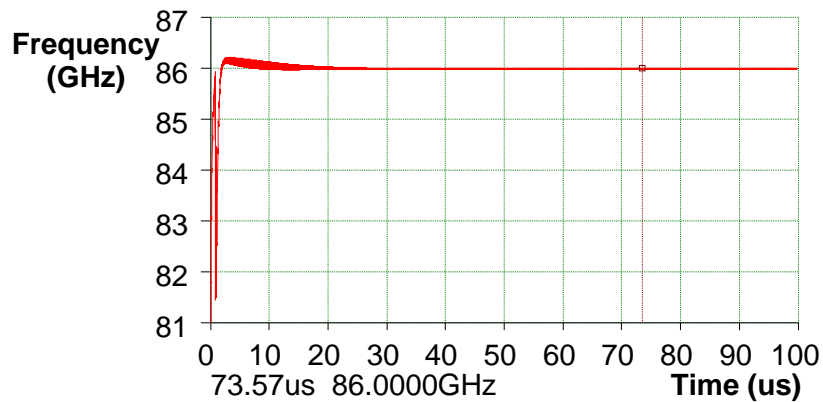


Figure III.35 Réponse transitoire de la boucle @ $\Delta\phi = 80^\circ$, $\omega_p = 500$ kHz.

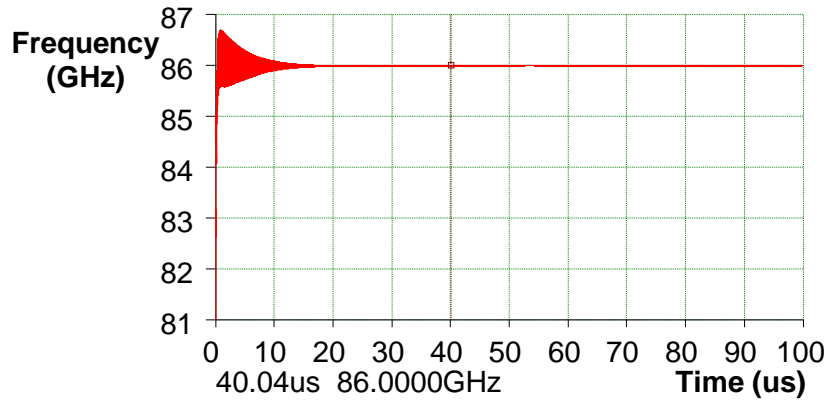


Figure III.36 Réponse transitoire de la boucle @ $\Delta\phi= 80^\circ$, $\omega_p= 1$ MHz.

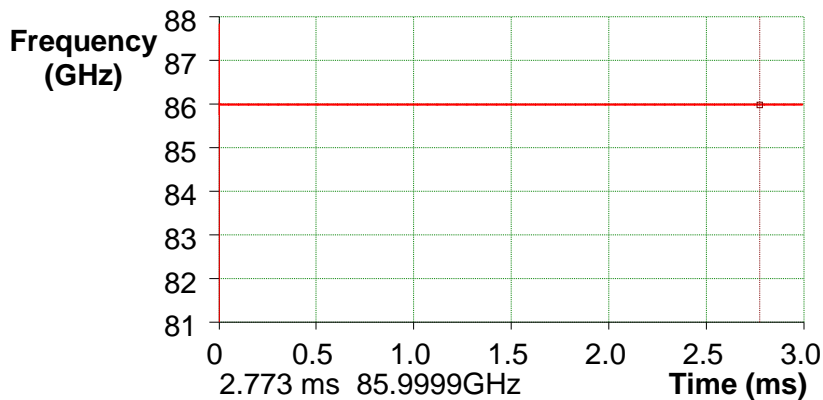


Figure III.37 Réponse transitoire de la boucle @ $\Delta\phi= 80^\circ$, $\omega_p= 5$ MHz.

- **Interprétation des figures [III.28 – III.37]**

Les figures (III.28-III.37), présentent une analyse complète de la réponse transitoire du synthétiseur, simulé avec diverses valeurs de la bande de boucle et de la marge de phase. Celles-ci affirment que le temps nécessaire à la boucle pour commuter de la fréquence 'F_{out-min}' (81 GHz) à la fréquence souhaitée 'F_{out-max}' (86 GHz), dépend également de la largeur attribuée à la bande de boucle. Toutefois, dans cette section, nous n'allons pas considérer l'effet de la variation de ce paramètre sur le temps de réponse, mais nous concentrer seulement sur l'impact de la variation de la marge de phase. Donc, à travers ces courbes, nous pouvons déduire que :

- Pour une marge de phase de 20° , le temps de verrouillage estimé pour un saut de fréquence de 5 GHz, est de respectivement 16.23 μ s, 7.99 μ s et 1.77 μ s à ω_p égale respectivement à 500 kHz, 1 MHz et 5 MHz.
- Pour une marge de phase de 45° , le temps de réponse est moindre. Il est de 5.36 μ s, 2.69 μ s et 936 ns, respectivement à ω_p égale à, 500 kHz, 1 MHz et 5 MHz.

- Finalement, Pour une marge de phase très élevée (80°), la boucle met plus de temps pour se verrouiller. Il est de $73.57 \mu\text{s}$ et $40.03 \mu\text{s}$ respectivement pour une largeur de bande de boucle de 500 kHz et 1 MHz. Or, à une certaine fréquence de ω_p (5 MHz), le verrouillage ne peut y avoir lieu et le temps estimé pour atteindre la fréquence désirée (86 GHz), reste indéterminé (ce qui peut être interprété par une instabilité de la boucle).

A. 13 Conclusion sur le choix de la marge de phase

Dans cette section, nous avons parlé de l'influence du paramètre de la marge de phase sur le temps de réponse du système mais aussi, du pic engendré autour de la bande de boucle dans la réponse de la fonction de transfert du gain en boucle fermée, la réponse FM et qui contribue également de manière significative sur la réponse du bruit de phase intégré. A travers cette analyse, nous pouvons conclure que :

- Si la marge de phase est faible (20°), la fonction de transfert en boucle fermée a tendance à être maximale et à répondre dans les conditions transitoires du système.
- Une marge de phase supérieure (45°) donne une fonction de transfert en boucle fermée plus plate et un temps de réponse plus réduit.
- Une marge de phase excessive (80°), peut s'avérer le meilleur choix pour réduire le pic engendré dans la réponse FM et la réponse du gain en boucle fermée mais ce choix peut avoir pour conséquence une dégradation importante du temps de verrouillage de la boucle.

Finalement, afin de répondre au mieux à ce compromis, il serait opportun de : *choisir une marge de phase égale à '45 degrés' pour la conception du synthétiseur 5G.*

A. 14 Représentation graphique en 3 D

Afin de développer cette étude que nous rappelons, simulée sur le logiciel ADIsimPLL, nous allons dans cette section procéder à la visualisation en 3 dimensions (3D) des résultats obtenus sous le logiciel 'Matlab'. Dans les tableaux III.9, III.10 et III.11, sont rapportés les résultats de la variation de la marge de phase en fonction des réponses du temps d'acquisition et du gain du pic engendré (autour des diverses valeurs attribuées à la bande de boucle) dans la fonction de transfert en boucle fermée. Le rendu visuel en 3D relatif à ces tableaux est représenté respectivement par les graphiques III.38, III.39 et III.40.

Marge de phase (Degré)	Temps de réponse (μ s) @ $\omega_p= 500$ kHz	Gain du pic (dB) @ $\omega_p= 500$ kHz
10	35.36	15.12
15	22.30	11.64
20	16.23	9.18
25	12.33	7.27
30	9.67	5.73
35	7.79	4.43
40	6.11	3.31
45	5.36	2.34
50	7	1.48
55	9.09	0.71
60	11.81	0.02
65	15.58	-0.60
70	21.42	-1.16
75	33.73	-1.68
80	73.57	-2.15

Tableau III.9 Réponse du temps de verrouillage et du gain du pic @ $\omega_p= 500$ kHz en fonction de la variation de la marge de phase.

Marge de phase (Degré)	Temps de réponse (μ s) @ $\omega_p= 1$ MHz	Gain du pic (dB) @ $\omega_p= 1$ MHz
10	17.57	15.19
15	11.47	11.68
20	7.99	9.20
25	6.03	7.29
30	4.62	5.74
35	3.66	4.44
40	3.08	3.32
45	2.69	2.34
50	3.51	1.48
55	4.54	0.71
60	5.86	0.02
65	7.82	-0.60
70	10.78	-1.16
75	16.65	-1.68
80	40.03	-2.15

Tableau III.10 Réponse du temps de verrouillage et du gain du pic @ $\omega_p= 1$ MHz en fonction de la variation de la marge de phase.

Marge de phase (Degré)	Temps de réponse (μs) @ $\omega_p=5\text{ MHz}$	Gain du pic (dB) @ $\omega_p=5\text{ MHz}$
10	3.59	15.12
15	2.30	11.64
20	1.77	9.18
25	1.39	7.27
30	1.14	5.73
35	0.986	4.43
40	0.893	3.31
45	0.936	2.34
50	1.15	1.48
55	1.32	0.71
60	1.74	0.02
65	2.36	-0.60
70	∞	-1.16
75	∞	-1.68
80	∞	-2.15

Tableau III.11 Réponse du temps de verrouillage et du gain du pic @ $\omega_p=5\text{ MHz}$ en fonction de la variation de la marge de phase.

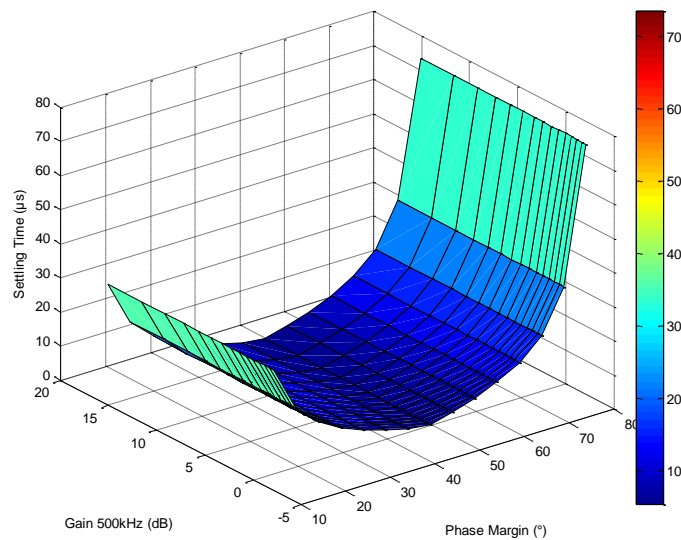


Figure III.38 Représentation graphique en 3D de l'effet de la variation de la marge de phase sur le temps de verrouillage et le gain du pic @ $\omega_p=500\text{ kHz}$

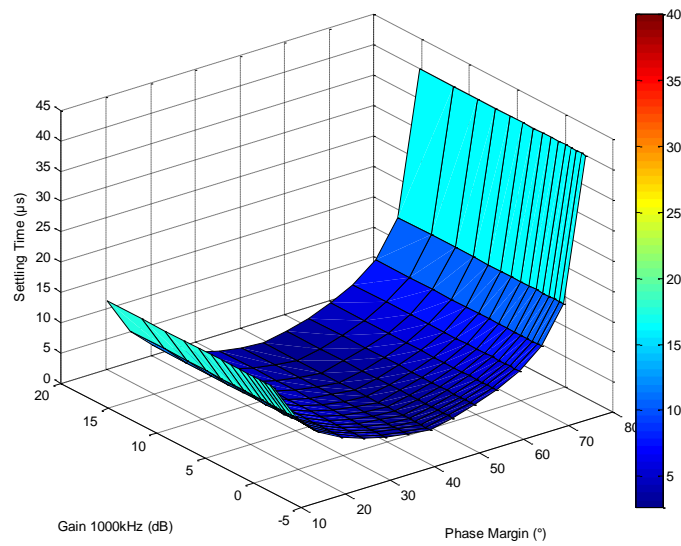


Figure III.39 Représentation graphique en 3D de l'effet de la variation de la marge de phase sur le temps de verrouillage et le gain du pic @ $\omega_p=1$ MHz.

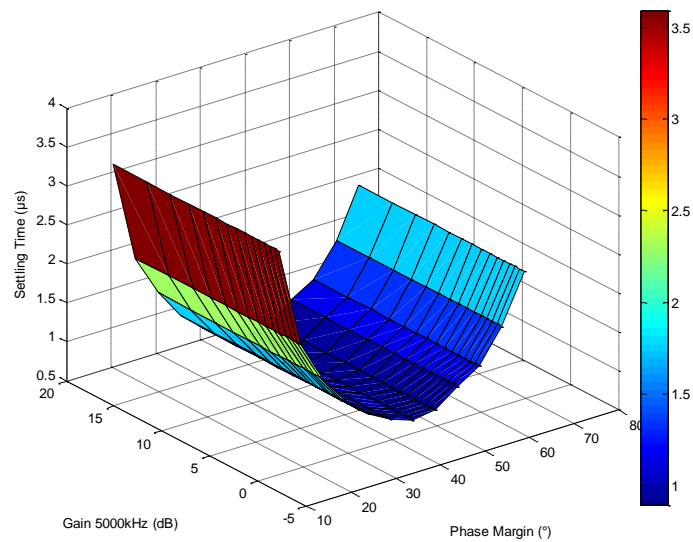


Figure III.40 Représentation graphique en 3D de l'effet de la variation de la marge de phase sur le temps de verrouillage et le gain du pic @ $\omega_p=5$ MHz.

III.2.4 Validation de l'hypothèse portant sur le choix de la bande passante de boucle

Dans la section précédente, les résultats de simulation relatifs à l'analyse de la réponse temporelle du système, ont été interprétés sur la base de l'effet de la variation des paramètres de la marge de phase et de la bande de boucle. Ce dernier a été largement pris en considération mais brièvement interprété. Il est cependant important de signaler que, la variation de la bande de boucle a un impact sur la stabilité du système. En effet, comme nous l'avons constaté, une bande de boucle élevée est préférable si la caractéristique du temps est le facteur clé pour qualifier la performance du synthétiseur.

Rappelons par ailleurs que, la génération des raies de références est due essentiellement au courant de fuite, mais est aussi liée à la bande de boucle. En supposant que la pompe de charge génère un courant de fuite de 1 nA et que la valeur optimale de la marge de phase est de 45° , nous allons visualiser l'influence de la bande de boucle sur la réponse des raies de références.

Article 4: Design of Integer-N PLL Frequency Synthesizer for E- Band Frequency Suitable for Next Fifth Generation Communication Systems [16]

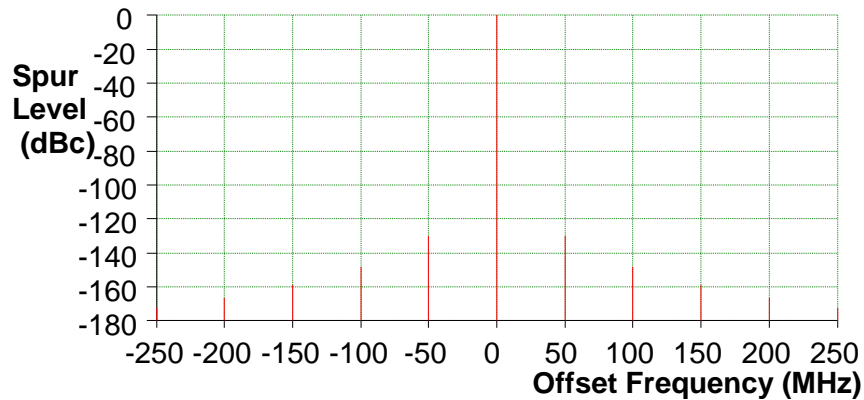


Figure III.41 Réponse de l'atténuation de raies de références @ $\Delta\phi=45^\circ$, $\omega_p=500$ kHz.

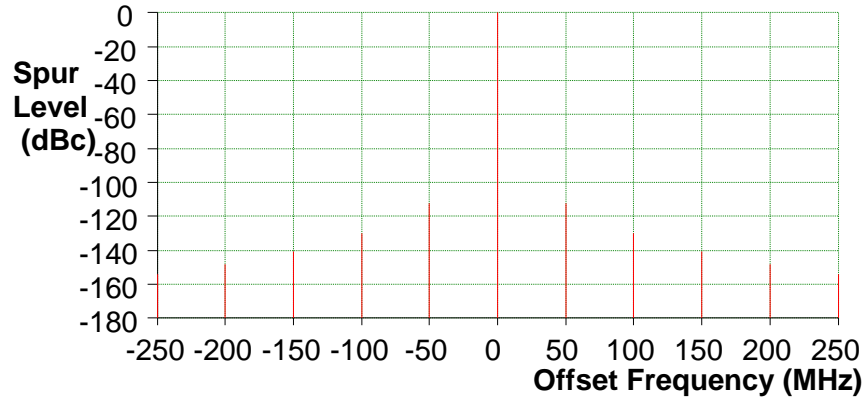


Figure III.42 Réponse de l'atténuation de raies de références @ $\Delta\phi= 45^\circ$, $\omega_p= 1$ MHz.

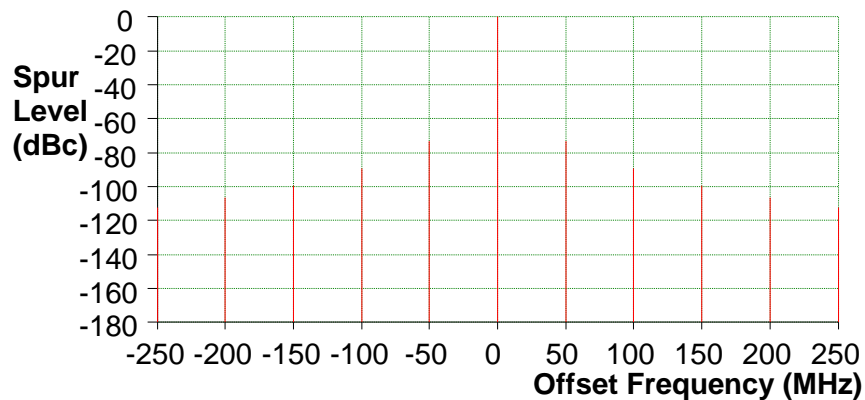


Figure III.43 Réponse de l'atténuation de raies de références @ $\Delta\phi= 45^\circ$, $\omega_p= 5$ MHz.

- **Interprétation des figures [III.41 - III.43]**

Comme nous pouvons le constater, pour une bande de boucle faible (500 kHz), le niveau des raies parasites est atténué. Il est de -130 dBc, -148 dBc et -159 dBc respectivement à une distance de 50 MHz, 100 MHz et 150MHz de la fréquence de référence. Le gain de ces raies a tendance à s'élever au fur et à mesure que la largeur de bande de boucle s'élargit. Il est de -112 dBc, -130dBc et -141 dBc (pour $\omega_p = 1$ MHz), puis augmente jusqu'à -73 dBc, -89 dBc et -99 dBc (pour $\omega_p = 5$ MHz).

A. Influence de la bande de boucle sur la réponse du bruit de phase

En analysant les figures [III.19-III.28], il est à souligner que la variation de la bande de boucle a aussi un impact sur la réponse du bruit de phase du système. Comme nous pouvons le constater, plus la fréquence de ce paramètre est élevée, et moins le bruit de phase du VCO est prépondérant dans le bruit de phase total. Cela signifie, qu'augmenter la bande passante de la boucle permettrait aussi de mieux filtrer le bruit de phase du VCO.

B. Conclusion sur le choix de la bande de boucle

Les résultats de simulation obtenus de cette étude nous affirment que la performance du temps d'acquisition et des raies parasites du système, est assurée en répondant à un compromis dont le paramètre de la bande de boucle en dépend grandement. En effet, une largeur de bande de boucle petite, peut présenter une bonne atténuation des raies de référence mais ceci au détriment d'un temps de réponse long. Inversement, augmenter la bande passante de boucle, peut améliorer le temps de verrouillage de la PLL mais ceci en défaveur d'un niveau de raies parasites élevé. Autrement dit, au moment où un problème est résolu, un autre en est créé. Compte tenu de ce fait, nous pouvons conclure que, choisir une largeur de bande de boucle égale à $1/50^{\text{ème}}$ de la fréquence de référence pourrait être le choix le plus convenable pour répondre au mieux à ce compromis.

C. Représentation graphique en 3 D

La visualisation graphique en 3D de l'effet de la variation de la bande de boucle sur le temps de réponse du système ainsi que le gain de la première raie de référence, est illustrée sur la figure III.44.

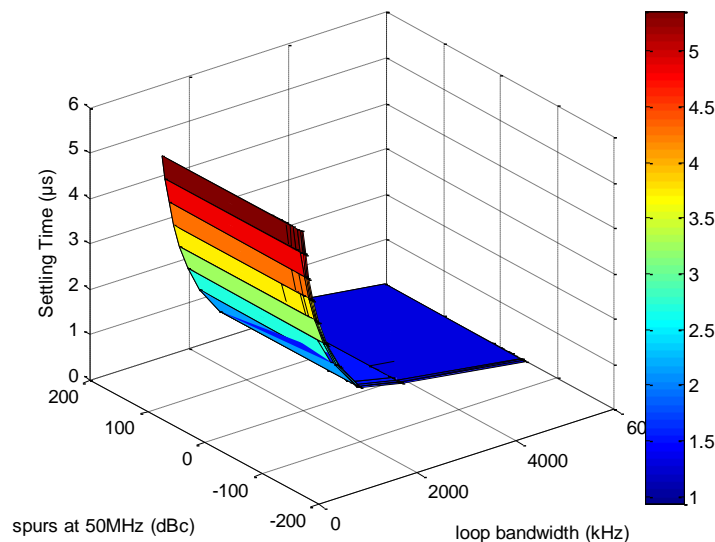


Figure III.44 Représentation graphique en 3D de l'effet de la variation de la bande de boucle sur les réponses temporelle et la première raie de référence.

III.3 Conception du synthétiseur destiné aux émetteurs-récepteurs 5G

Le travail présenté dans les sections précédentes s'est inscrit sur la base d'une technique d'optimisation des paramètres du synthétiseur. A partir des conditions de stabilité auxquelles le système

est soumis, nous nous sommes attachés, de la manière la plus judicieuse, à déterminer la valeur optimale des paramètres de la marge de phase et de la bande de boucle. Cette étude, nous a permis par la suite de développer notre travail, en explorant le paramètre du courant de fuite généré par la pompe de charge. L'effet indésirable de ce courant sur le système, a été analysé minutieusement afin d'évaluer l'intensité maximale qui peut lui être accordée. Finalement, à travers ces investigations, une modélisation d'un synthétiseur de fréquences à division entière, destinés aux émetteurs-récepteurs 5G, a pu être établie. Maintenant que toutes les caractéristiques relatives à cet appareil sont définies, nous allons procéder dans cette section à sa conception puis son analyse dans les domaines temporel et fréquentiel.

En exploitant les informations acquises des sections précédentes, le tableau III.12 récapitule les paramètres choisis pour la conception du synthétiseur 5G.

Paramètres	Valeur spécifiée
Fréquence de référence (F_o)	250 MHz
Fréquence de comparaison (F_{ref})	50 MHz
Facteur (R)	$\frac{250}{50} = 5$
Fréquences de sortie (F_{out})	[81-86] GHz
Pré-diviseur (P)	20
Gain du VCO (K_{VCO})	2 GHz/ V
Courant de la pompe de charge (I_{cp})	938uA
Courant de fuite (Leakage)	117nA
Bande de boucle ω_p	1 MHz
Marge de phase $\Delta\phi$	45°

Tableau III.12 Paramètres pour la conception du synthétiseur 5G.

Le circuit correspondant à cette simulation, est illustré sur la figure III.45. Le logiciel ADLsimPLL, permet aussi de déterminer les éléments du filtre de boucle adéquat au paramétrage de la PLL. Pour une meilleure illustration, les composants résultants du filtre de troisième ordre sont présentés dans le tableau III.13.

Ce dernier, est composé de condensateurs C_1 , C_2 et C_3 , d'une capacité inférieure à 100 pF et de résistances R_1 et R_2 également sous-ordre de 100 kΩ. Il est à noter que ce résultat peut s'avérer un bon point de départ

pour la réalisation pratique du synthétiseur car des recherches rapportées dans [17], ont souligné qu'il était difficile d'intégrer un filtre passif, dont ses composants dépasseraient les 100 pF et 100 kΩ.

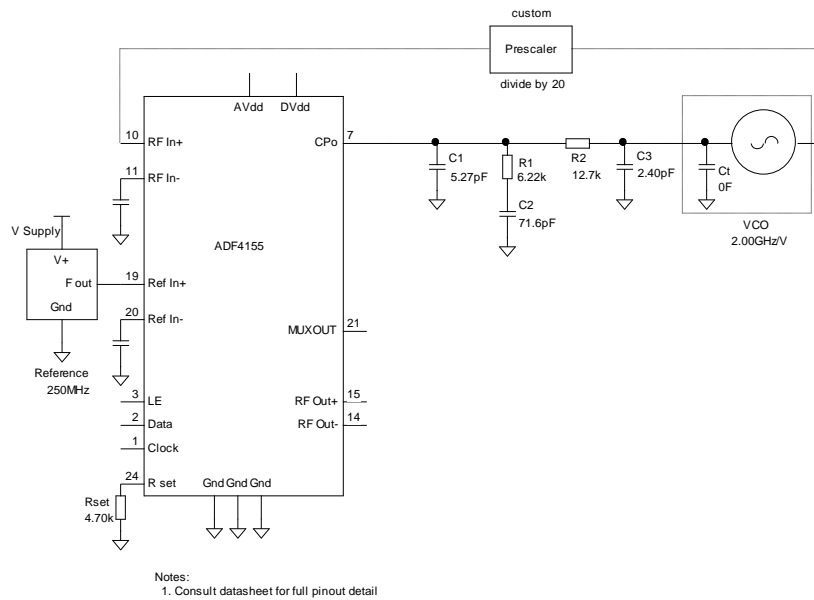


Figure III.45 Synthétiseur de fréquences conçu pour générer la bande 80 GHz.

$\omega_p=1\text{MHz}, \Delta\phi=45^\circ$				
C_1 (pF)	R_1 (kΩ)	C_2 (pF)	R_2 (kΩ)	C_3 (pF)
5.27	6.22	71.6	12.7	2.40

Tableau III.13 Composants du filtre de boucle.

III.3.1 Validation des résultats de simulation dans le domaine temporel

A. Réponse transitoire du système

La figure III.46, illustre la fréquence de sortie du VCO durant les conditions transitoires. Le temps de verrouillage nécessaire au synthétiseur pour commuter de 81 GHz à 86 GHz est de 3.23 μs. Ce résultat peut s'avérer prometteur pour la 5G, si nous nous référons au temps de latence qui ne doit pas dépasser 1ms.

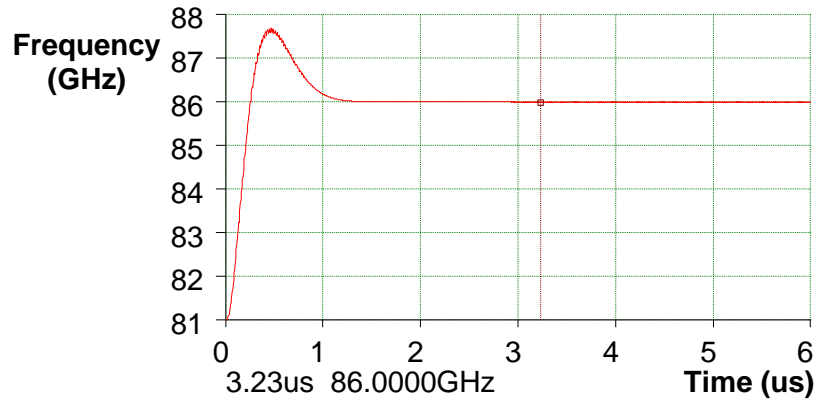


Figure III.46 Temps de verrouillage de la boucle.

B. Réponse de la phase d'erreur du système

Le graphique III.47, illustre la réponse de la phase d'erreur du VCO durant les conditions transitoires. Celle-ci, atteint les 76 degrés à 3.23 μ s (temps de réponse du système).

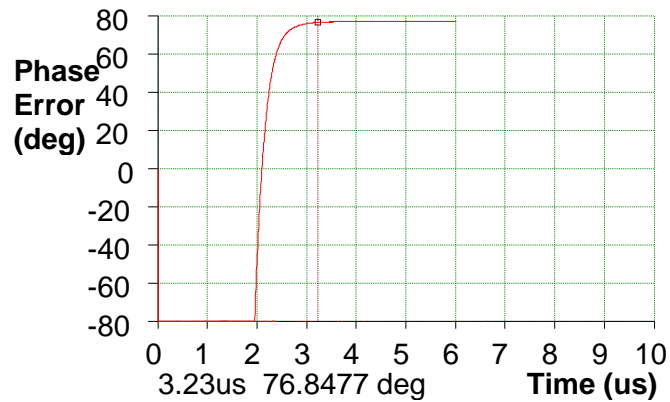


Figure III.47 Réponse de la phase d'erreur de la boucle.

C. Réponse de la fréquence d'erreur du système

La figure III.48, indique que la fréquence d'erreur de sortie, est de l'ordre de 19.40 kHz à 3.23 μ s (temps correspondant au verrouillage de la boucle).

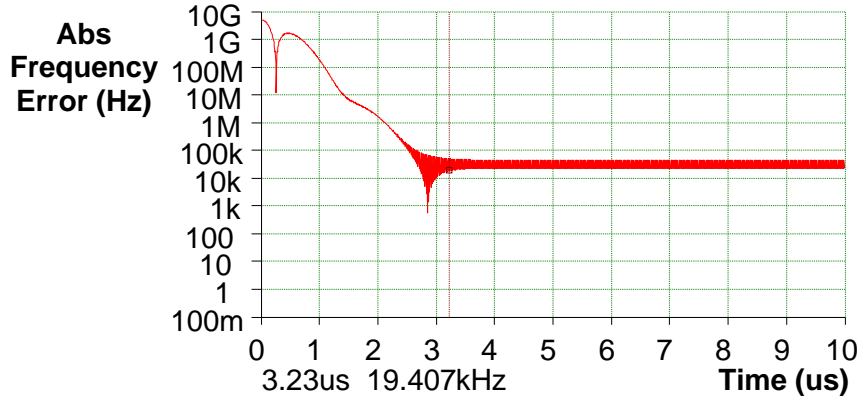


Figure III.48 Réponse de la fréquence d'erreur de la boucle.

III.3.2 Validation des résultats de simulation dans le domaine fréquentiel

A. Réponse de la fonction de transfert du gain en boucle ouverte

Le tracé caractérisant la fonction de transfert du gain en boucle ouverte (figure III.49), est également appelé 'tracé de la marge de phase'. Cette figure nous permet d'analyser la stabilité du système. Comme nous pouvons le voir, à la fréquence spécifiée à bande de boucle (1 MHz), la phase est à son maximum (0 dB, gain unitaire) et vaut -135 degrés. Si nous nous référons à la formule (II.39), nous constatons que ce résultat correspond bien à une marge de phase de 45 degrés ($180^\circ - 135^\circ$).

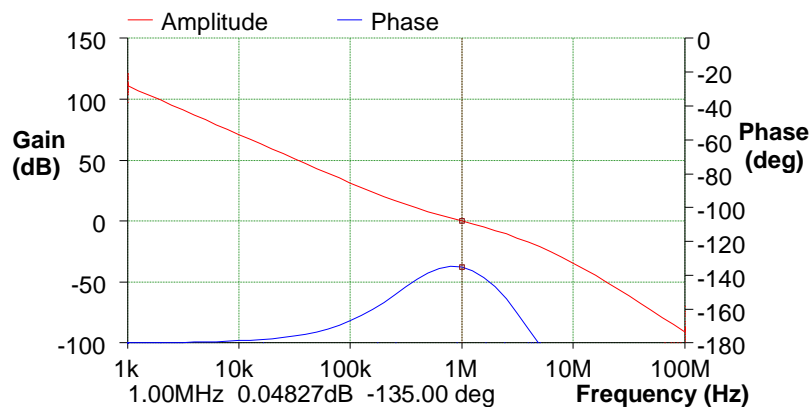


Figure III.49 Réponse de la fonction de transfert du gain en boucle ouverte.

B. Réponse de la fonction de transfert du gain en boucle fermée

Sur la figure III.50, qui représente la réponse du gain en boucle fermée, nous pouvons déduire que :

- Avant d'atteindre la fréquence spécifiée à la bande de boucle (1 MHz), le gain est important en

amplitude. Ceci est dû en grande partie à la valeur importante du rapport de division N , qui contribue également à l'augmentation du bruit de l'oscillateur de référence.

- Autour de cette fréquence, le pic ne présente pas un gain très élevé, il est de 2.34 dB.
- Au-delà de la fréquence de la bande de boucle, le gain a tendance à diminuer de manière considérable.

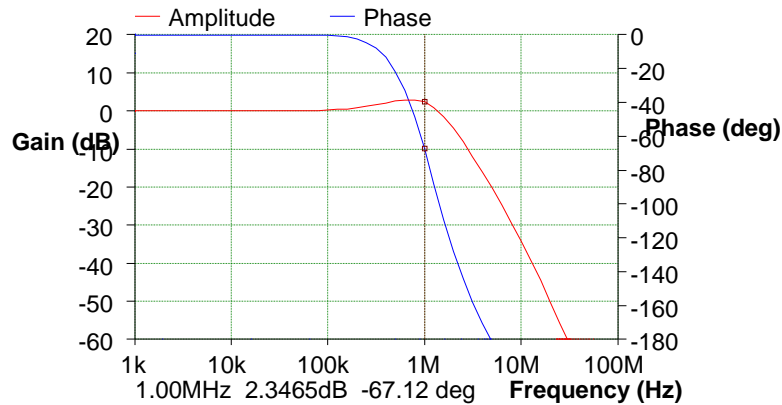


Figure III.50 Réponse de la fonction de transfert du gain en boucle fermée.

C. Réponse FM

La réponse FM du système représentée par la figure III.51, présente aussi la réponse de modulation de fréquence obtenue en modulant la tension (V_{tune}) du VCO à l'état verrouillé. Nous remarquons qu'avant d'atteindre la bande passante de boucle, le gain a tendance à évoluer car le synthétiseur tente de supprimer le bruit de phase généré par le VCO.

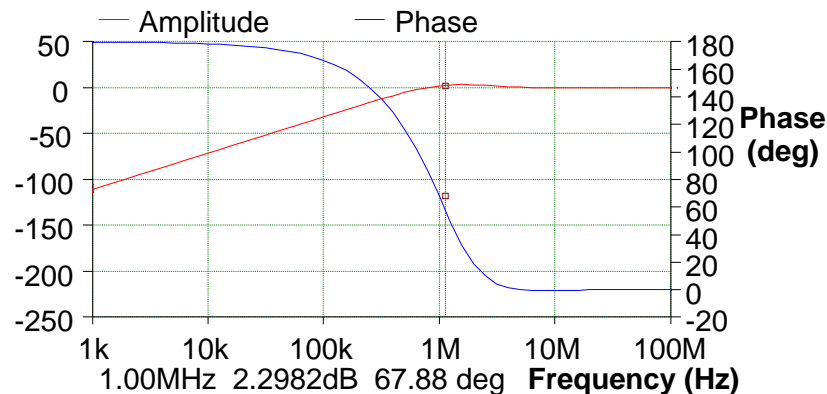


Figure III.51 Réponse FM.

D. Réponse des raies de références du système

La figure ci-dessous, présente la réponse à 117 nA (intensité du courant de fuite généré par la pompe de charge). Comme nous l'avons indiqué auparavant, l'amplitude des trois premières raies est de l'ordre de -71 dBc, - 89 dBc et -99 dBc respectivement. Bien évidemment, ce gain peut paraître élevé mais ceci s'explique par la forte intensité du courant de fuite que le synthétiseur est capable d'accorder sans qu'il y ait une dégradation importante dans sa performance.

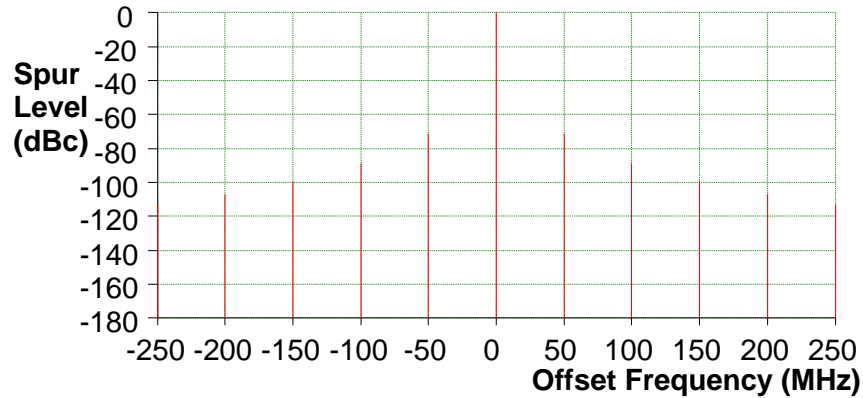


Figure III.52 Réponse des raies parasites.

E. Analyse du bruit de phase du synthétiseur

L'analyse du bruit de phase total du synthétiseur proposé, ainsi que le bruit généré par les différents modules le constituant, est effectuée de 1 Hz à 10 GHz. Il est important de souligner que les oscillateurs (Référence et VCO) ont été mesurés avec une prédiction précise du bruit de phase en utilisant la méthode de calcul Corner/ Floor. Dans le tableau III.14, sont présentées les données spécifiées à ce bruit. Quant au tableau III.15, il présente les différents résultats de simulation obtenus.

	Bruit Plancher	Fréquence du point Corner	Fréquence du point Flicker Corner
L'oscillateur de référence	-170 dBc/ Hz	10 kHz	10 Hz
L'oscillateur VCO	-160 dBc/ Hz	100 kHz	10 Hz

Tableau III.14 Spécification du bruit Corner/ Floor des oscillateurs.

Freq (Hz)	Bruit de phase (dBc/Hz)					
	Total	VCO	Ref	Prescaler	Chip	Filter
1	-27.80	-280.7	-29.16	-35.60	-37.62	-203.8
10	-46.52	-268.1	-56.57	-55.60	-47.62	-183.8
100	-57.50	-250.7	-79.16	-75.60	-57.60	-163.8
1.00k	-67.44	-231.1	-99.49	-95.59	-67.45	-143.8
10.0k	-76.16	-211.1	-116.6	-115.1	-76.16	-123.8
100k	-80.39	-188.2	-119.3	-124.2	-80.41	-103.9
1.00M	-78.87	-157.7	-117.2	-122.4	-79.15	-90.79
10.0M	-114.7	-159.9	-153.7	-158.9	-115.7	-121.3
100M	-156.7	-160	-210.6	-215.8	-172.6	-159.6
1.0G	-160	-160	-270.5	-275.7	-232.6	-199.6
10.0G	-160	-160	-300	-300	-291.8	-239.6

Tableau III.15 Bruit de phase de chaque composant du synthétiseur.

F. Représentation graphique du tableau III.15

Les résultats rapportés dans le tableau III.15, sont présentés par la figure III.51. Celle-ci indique que le bruit de l'oscillateur de référence, du pré-diviseur, et du chip (notamment l'ADF 4155, où sont intégrés le PFD, la CP et le diviseur N) a tendance à diminuer de manière progressive et continue, à l'intérieur et à l'extérieur de la bande de boucle (1 MHz). Concernant l'évolution du bruit de phase relatif au filtre de boucle et au VCO, nous remarquons qu'il a tendance à augmenter continuellement avant d'atteindre la bande passante de boucle. Or, au-delà de 1 MHz, le bruit du filtre est atténué de manière considérable alors que celui du VCO, reste constant et dominant.

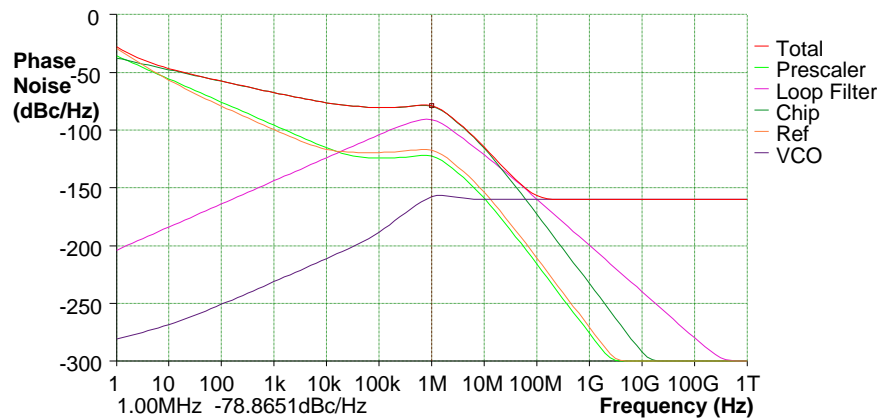


Figure III.53 Réponse du bruit de phase.

III.4 Comparaison avec l'état de l'art des synthétiseurs dans la bande > 20 GHz

D'une manière générale, lors de la conception d'un synthétiseur de fréquences, les normes de télécommunications imposent des exigences strictes en matière de bruit de phase, des niveaux de raies de référence, du RMS Jitter et du temps d'acquisition. Malheureusement, comme nous l'avons abordé précédemment le réseau 5G n'est pas encore déployé à ce jour, ce qui ne nous aide malheureusement pas à avoir les critères de conformités des émetteurs-récepteurs 5G dans la bande-E. Toutefois, une manière simple d'évaluer nos travaux, est de nous comparer à l'état de l'art des synthétiseurs, conçus pour les bandes de fréquences supérieures à 20 GHz.

Le tableau III.16, expose une étude comparative comportant le travail proposé dans le cadre de cette thèse et les investigations relatives aux applications 5G, précédemment publiées dans la littérature. Nous pouvons constater que nos résultats sont comparables à ces dernières. En effet, le synthétiseur de fréquences destiné à couvrir la plus large bande-E [81-86] GHz, requise par le réseau 5G a atteint de bonnes performances et ceci en faveur d'une bonne paramétrisation de la boucle. Aussi, le temps requis pour la stabilisation du système est de 3,23 μ s, ce qui est nettement inférieur à 1 ms (temps de latence à défier par la 5G), et qui nous laisse présager son usage dans les émetteurs-récepteurs 5G.

mmW-Band	Bande de fréquence (GHz)	Phase noise @ 100 kHz (dBc/Hz)	Phase noise @ 1 MHz (dBc/Hz)	Phase noise @ 10 MHz (dBc/Hz)	Jitter (fs)	Spurs	Architecture	Références
	23.8-30.2	-70	-	-111	780	-	Fractional-N	[18]
	26.2-32.4	-	-101.4 -100.2	-	456 629	-	Integer-N Fractional-N	[19]
K-Band	27.5-29.6	-78	-	-126	510	-80@ 80 MHz	Fractional-N	[20]
K-Band	27.72- 33.65	-	-104	-	-	< -50	Integer-N	[21]
	28.7-33.7	-	-	-	-	-63@ 80 MHz		[22]
	39.1-41.6	-58	-	-115	2100	-54	Fractional-N	[23]
	46.4-58.1	-	-	-118	-	-	Integer-N	[24]
	53.8-63.3	-	-88.3	-	-	<-40	Integer-N	[25]
	56-62	-63	-	-109	-	-75	Fractional-N	[26]
	56.4-63.4	-	-96.6	-	522.9	-		[27]
V-band	58.1-65	-	-	-117		< -52	Integer-N	[28]
E-Band	81-86	-80.39	-78.87	-114.7	399	-71@ 50MHZ	Integer-N	[Ce travail]

Tableau III. 16 Comparaison des synthétiseurs de fréquences fonctionnant pour les fréquences > 20 GHz.

III.5 Conclusion

Ce troisième chapitre a mis en avant l'objectif de ces travaux de thèse qui est la modélisation et la conception d'un synthétiseur de fréquences à PLL pour les émetteurs-récepteurs de technologie 5G. L'appareil en question, est caractérisé par la génération des signaux de très hautes fréquences (bande-E) avec un pas de synthèse aussi large en fréquence. Son originalité, repose principalement sur la marge de tolérance qui peut être accordée au courant de fuite, généré par la pompe de charge.

Ultimement, après une étude de l'état de l'art qui a permis de comparer nos résultats à ceux existants (d'actualité), nous pouvons conclure que le travail présenté dans ce mémoire, est un pas vers la réalisation d'un synthétiseur de fréquences à division entière, simple d'utilisation et performant en termes de temps de commutation, de bruit de phase, des raies parasite et du RMS Jitter.

Références bibliographiques du chapitre III

- [1] B. DEAN, *PLL Performance, Simulation, and Design*. 2017.
- [2] Chao-Ching Hung et Shen-Iuan Liu, « A Leakage-Compensated PLL in 65-nm CMOS Technology », *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, n° 7, p. 525-529, juill. 2009.
- [3] L. Liu, N. Wu, J. Yang, J. Liu, Z. Zhang, et P. Feng, « Source-switched charge pump with reverse leakage compensation technique for spur reduction of wideband PLL », *Electronics Letters*, vol. 52, n° 14, p. 1211-1212, juill. 2016.
- [4] K.-K. Kim, Y.-B. Kim, et Y.-J. Lee, « Phase-Locked Loop with Leakage and Power/Ground Noise Compensation in 32nm Technology », *JSTS:Journal of Semiconductor Technology and Science*, vol. 7, n° 4, p. 241-246, déc. 2007.
- [5] Y. Xiaozhou, K. Xiaofei, et W. Nanjian, « A fast-settling frequency-presetting PLL frequency synthesizer with process variation compensation and spur reduction », *Journal of Semiconductors*, vol. 30, n° 4, p. 045007, avr. 2009.
- [6] K. K. Abdul Majeed et B. J. Kailath, « Low power PLL with reduced reference spur realized with glitch-free linear PFD and current splitting CP », *Analog Integrated Circuits and Signal Processing*, vol. 93, n° 1, p. 29-39, oct. 2017.
- [7] Chun-Yi Kuo, Jung-Yu Chang, et Shen-Iuan Liu, « A spur-reduction technique for a 5-GHz frequency synthesizer », *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, n° 3, p. 526-533, mars 2006.
- [8] T. Siriburanon *et al.*, « A 28-GHz fractional-N frequency synthesizer with reference and frequency doublers for 5G cellular », in *ESSCIRC Conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC)*, Graz, Austria, 2015, p. 76-79.
- [9] W. El-Halwagy, A. Nag, P. Hisayasu, F. Aryanfar, P. Mousavi, et M. Hossain, « A 28-GHz Quadrature Fractional-N Frequency Synthesizer for 5G Transceivers With Less Than 100-fs Jitter Based on Cascaded PLL Architecture », *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, n° 2, p. 396-413, févr. 2017.
- [10] F. Herzel *et al.*, « An integrated frequency synthesizer in 130 nm SiGe BiCMOS technology for 28/38 GHz 5G wireless networks », in *2017 12th European Microwave Integrated Circuits Conference (EuMIC)*, Nuremberg, 2017, p. 236-239.
- [11] Z. BERBER and S. Kameche, « Design and simulation of PLL frequency synthesizer for LTE mobile communications », présenté à 5th International Conference on Multimedia Computing and

- Systems (ICMCS), Marrakech, Morocco, 2016, p. 745-748.
- [12] Z. Berber and S. Kameche, « The impact of PLL loop bandwidth on Frequency Synthesizer's performances for LTE/ LTE-Advanced mobile communications », présenté à 4th International Conference on Electrical Engineering (ICEE), Boumerdes, Algeria, 2015, p. 1-4.
- [13] Z. Berber and S. Kameche, « Optimal choice for phase margin on mm-Wave PLL frequency synthesizer for 5G wireless communications systems », présenté à Fifth International Conference on Software Defined Systems (SDS), Barcelona, Spain, 2018, p. 223-228.
- [14] Z. Berber and S. Kameche, « Influence of Loop Bandwidth Parameter on Integer PLL Frequency Synthesizer Performances in 80 GHz mm-Wave 5G Frequency Band », in *2018 IEEE/ACS 15th International Conference on Computer Systems and Applications (AICCSA)*, Aqaba, 2018, p. 1-2.
- [15] Z. Berber, S. Kameche and E. Benkhelifa, « High Tolerance of Charge Pump Leakage Current in Integer-N PLL Frequency Synthesizer for 5G Networks », *Simulation Modelling Practice and Theory*, pp. 134-147, Vol 95, September 2019.
- [16] Z. Berber, S. Kameche and E. Benkhelifa, " Design of Integer-N PLL Frequency Synthesizer for E-Band Frequency Suitable for Next Fifth Generation Communication Systems", *accepted for publication in IET Networks Journal, July 2019*.
- [17] S. N. Pawar et P. B. Mane, « Wide band PLL frequency synthesizer: A survey », présenté à International Conference on Advances in Computing, Communication and Control (ICAC3), Mumbai, India, 2017, p. 1-6.
- [18] M. Ferriss, al., "An Integral Path Self-Calibration Scheme for a DualLoop PLL," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 996- 1008, Apr. 2013.
- [19] W. El-Halwagy, A. Nag, Ph. Hisayasu, F. Aryanfar, P. Mousavi, M. Hossain, "A 28-GHz Quadrature Fractional-N Frequency Synthesizer for 5G Transceivers With Less Than 100-fs Jitter Based on Cascaded PLL Architecture," *IEEE Journals & Magazines*, vol. 65, pp. 396-413, 2017.
- [20] T. Siriburanon et al., "A 28-GHz fractional-N frequency synthesizer with reference and frequency doublers for 5G cellular," *IEEE 41st Eur. Solid-State Circuits Conference (ESSCIRC)*, Graz, Austria, pp. 76-79, Sep. 2015.
- [21] Y. J. He, R. X. Zhang, C. Q Shi, "A Wide Locking Range and Low Phase Noise Quadrature Frequency Synthesizer Suitable for Next Generation Wireless Communication Systems," *13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, China, pp.418-421, Oct 2016.

- [22] F. Herzel *et al.*, "An integrated frequency synthesizer in 130 nm SiGe BiCMOS technology for 28/38 GHz 5G wireless networks", in *2017 12th European Microwave Integrated Circuits Conference (EuMIC)*, Nuremberg, 2017, p. 236-239.
- [23] S. Pellerano, *al.*, "A 39.1-to-41.6GHz Fractional-N Frequency Synthesizer in 90nm CMOS," *IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers*, pp.484-485, 2008.
- [24] O. Richard, *et al.*, "A 17.5-to-20.94GHz and 35-to-41.88GHz PLL in 65nm CMOS for wireless HD applications," *IEEE International SolidState Circuits Conference (ISSCC), Digest of Technical Papers*, pp.252- 253, Feb 2010.
- [25] B. Sadhu, M. Ferriss, A. V Garcia, "A 46.4-58.1 GHz Frequency Synthesizer Featuring a 2nd Harmonic Extraction Technique that Preserves VCO Performance," *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, USA, pp. 173-176, June 2014.
- [26] V. Szortyka, Q. Shi, K. Raczkowski, B. Parvais, M. Kuijk, P. Wambacq, "A 42 mW 200 fs-Jitter 60 GHz Sub-Sampling PLL in 40 nm CMOS," *IEEE Journals & Magazines*, vol.50, pp. 2025-2036, 2015.
- [27] W. Wu, X. Bai, R. Bogdan Staszewski, John R. Long, "A 56.4-to-63.4GHz spurious-free all-digital fractional-N PLL in 65nm CMOS," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, USA, pp. 352-353, Feb 2013.
- [28] W. Deng, T. Siriburanon, A. Musa, K. Okada, and A. Matsuzawa, "A Sub-Harmonic Injection-Locked Quadrature Frequency Synthesizer With Frequency Calibration Scheme for Millimeter-Wave TDD Transceivers," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 7, pp. 1710-1720, July 2013.

Conclusion Générale

Les travaux effectués dans le cadre de cette thèse sont une contribution à l'étude et à la modélisation des synthétiseurs de fréquences à base de PLL à division entière dans les circuits d'émetteurs-récepteurs du réseau 5G. Devant le choix des bandes de fréquences attribuées à ce réseau, le système de synthèse proposé est destiné à couvrir la bande-E de [81-86] GHz. L'adoption de telles hautes fréquences, a été motivée par l'idée de relever le grand nombre de défis de la 5G. Le premier chapitre du manuscrit a donc été consacré à l'état de l'art des différents réseaux de télécommunications afin de dégager les spécificités de la prochaine cinquième génération.

Les circuits de synthétiseurs de fréquences à PLL sont au cœur de tout système émetteur-récepteur. Après un rappel théorique des fondamentaux de la PLL dans le chapitre II, il a été mis en évidence les conditions de stabilités auxquelles le circuit est soumis afin de respecter ses critères de conformités avant de procéder à sa conception.

Dans le troisième chapitre, nous avons exposé un survol des synthétiseurs de fréquences présentés dans la littérature dont deux parties ont été abordées, la première a mis en avant les travaux de recherche, liés au paramètre du courant de fuite et la deuxième ceux corrélés aux synthétiseurs de fréquences pour les applications 5G. Nous sommes passés en seconde partie à la modélisation du synthétiseur en question. Pour ce faire, nous avons adopté le chip ADF4155 de la compagnie Analog Devices. Afin de démontrer sa faisabilité, nous avons choisi de le simuler sur l'ADIsimPLL dans sa version 4.30. Trois axes de recherche ont été étudiés attentivement et analysés minutieusement dans cette partie :

- Le premier s'est orienté exclusivement sur l'étude du paramètre de la marge de phase. Une technique d'optimisation a été établie à la manière d'un meilleur compromis entre le temps d'acquisition, la réponse en boucle fermée et la réponse FM du synthétiseur. Dans cette étude, nous avons simulé dans un premier temps plusieurs valeurs de la marge de phase en fonction de trois valeurs de la bande de boucle avec pour objectif d'en tirer la plus optimale. Cette analyse a été visualisée par la suite sur des graphiques en considérant l'impact de 20°, 45° et 80° sur l'atténuation du pic engendré autour de la bande de boucle et qui nous a finalement laissé valider notre choix de 45 degrés de marge de phase pour la conception du synthétiseur.
- Le deuxième axe, a porté aussi sur une méthode d'optimisation, mais du paramètre de la bande de boucle. L'analyse de la variation de la fréquence de la bande de boucle sur la réponse temporelle et la réponse des raies de références du synthétiseur, nous a permis de supposer d'une manière temporaire que la fréquence optimale de la bande de boucle correspondrait à 1/50 de la fréquence de référence, car pour nous prononcer à perpétuelle demeure, ce paramètre a été analysé avec l'hypothèse d'une génération d'un courant de fuite avec une intensité très réduite (d'1 nA).

- Dans le troisième axe, notre étude s'est positionnée sur l'analyse du courant de fuite, en se basant sur les conditions limites relatives à ce paramètre, avec pour objectif de déterminer son intensité maximale tolérable par le synthétiseur. Pour ce faire, nous avons visualisé l'évolution du courant par rapport à la stabilité du système, en partant d'une valeur très faible et ce jusqu'à ce qu'il y ait une instabilité. Cette investigation nous a laissé affirmer notre choix sur la fréquence optimale de la bande de boucle pour la conception du synthétiseur d'une part mais également prévoir un courant tolérable d'une intensité de 117 nA.

La troisième partie de ce chapitre a mis en place le modèle de synthétiseur proposé pour asservir la bande-E avec une marge de phase de 45 degrés et une fréquence de bande de boucle de 1 MHz, correspondant à un cinquantième de la fréquence de référence, était en mesure de fournir un temps de stabilisation de 3,23 μ s pour un saut de 5 GHz ([81-86] GHz), un RMS Jitter de 399 fs, un bruit de phase de -80,39 dBc / Hz à 100 kHz (à l'intérieur de la bande de boucle) et d'une valeur de -114,7 dBc / Hz à 10 MHz (à l'extérieur de la fréquence de la bande de boucle) et une densité de raie de référence de -71 dBc / Hz à 50 MHz, mais surtout d'assurer une tolérance au courant de fuite de l'ordre de 117 nA.

Finalement, pour clôturer ce chapitre notre modèle de synthétiseur à été comparé à des synthétiseurs conçus dans la bande millimétrique (au-delà de 20 GHz), et qui à travers les résultats obtenus nous ont laissé prédire son usage pour les émetteurs-recepteurs 5G.

Perspectives

Le principal objectif fixé par cette thèse était de proposer un modèle de synthétiseur de fréquences à division entière, destiné à couvrir la bande-E pour les émetteurs-récepteurs de la norme 5G. Avec une bonne paramétrisation du système et d'après les résultats encourageants obtenus comparativement à l'état de l'art, nous pouvons considérer que l'objectif est atteint. En guise de perspectives, les points suivants sont à envisager :

- Dans ce travail, la validation expérimentale du modèle proposé n'était pas possible en raison de la non-disponibilité des composants. A l'avenir, nous aimerions tester et mettre en œuvre le système en question.
- La seconde perspective touche à la conception d'autres structures de pompe de charge, ayant un faible courant de fuite afin d'améliorer les performances relatives aux raies de références et au bruit de phase.

Annexe

FEATURES

- Input frequency range: 500 MHz to 8000 MHz**
- Fractional-N synthesizer and integer-N synthesizer**
- Phase frequency detector (PFD) up to 125 MHz**
- High resolution 38-bit modulus**
- Separate charge pump supply (V_p) allows extended tuning voltage in 5 V systems**
- Programmable divide by 1, 2, 4, 8, 16, 32, or 64 output**
- Differential and single-ended reference inputs**
- Power supply: $3.3\text{ V} \pm 5\%$**
- Logic compatibility: 1.8 V**
- Programmable dual-modulus prescaler (P) of 4/5 or 8/9**
- Programmable output power level**
- 3-wire serial interface**
- Analog and digital lock detect**

APPLICATIONS

- Wireless infrastructure (W-CDMA, TD-SCDMA, WiMAX, GSM, PCS, DCS, DECT)**
- Point to point/point to multipoint microwave links**
- Test equipment**
- Wireless LANs, CATV equipment**
- Clock generation**

GENERAL DESCRIPTION

The ADF4155 allows implementation of fractional-N or integer-N phase-locked loop (PLL) frequency synthesizers when used with an external loop filter, external voltage controlled oscillator (VCO), and external reference frequency.

The ADF4155 is for use with external VCO parts up to an 8 GHz operating frequency. The high resolution programmable modulus allows synthesis of exact frequencies with 0 Hz error.

The VCO frequency can be divided by 1, 2, 4, 8, 16, 32, or 64 to allow the user to generate RF output frequencies as low as 7.8125 MHz.

Control of all on-chip registers is through a simple 3-wire interface. The device operates with a nominal power supply of $3.3\text{ V} \pm 5\%$ and can be powered down when not in use.

The ADF4155 is available in a 24-lead, 4 mm × 4 mm LFCSP package.

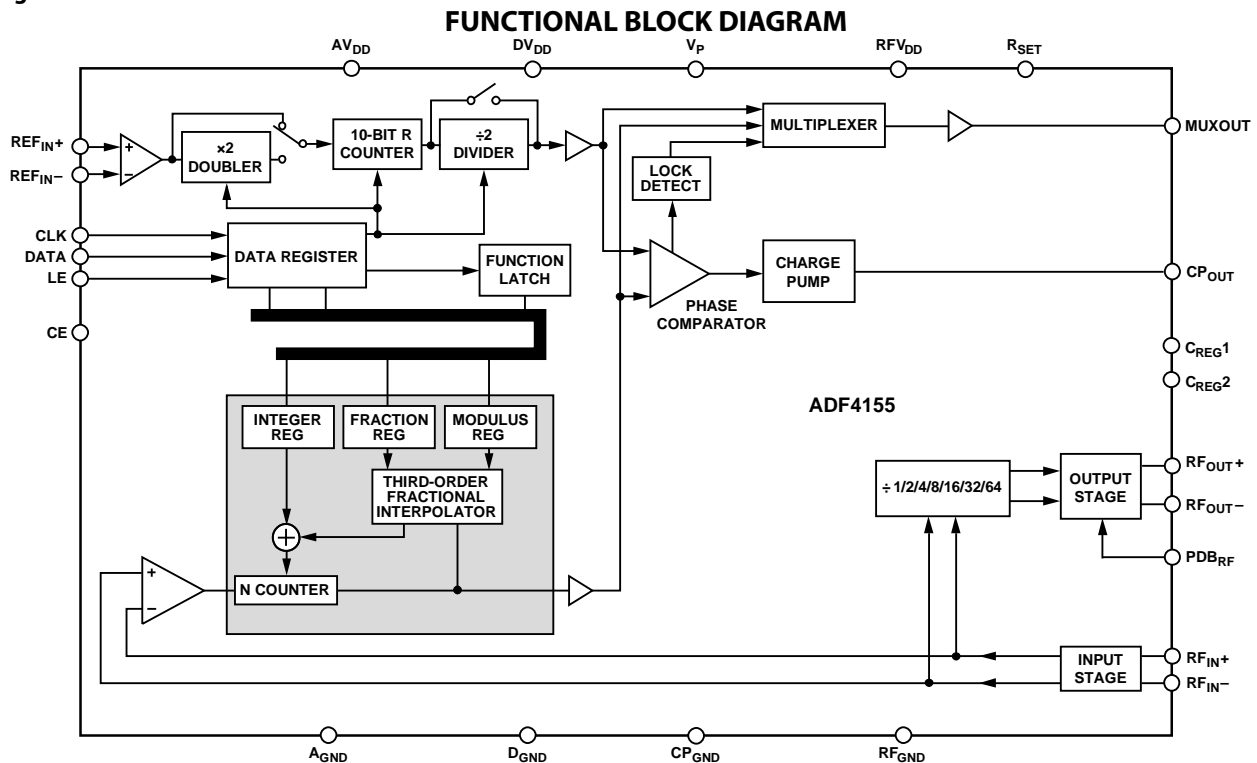


Figure 1.

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

12262-001

ADF4155* PRODUCT PAGE QUICK LINKS

Last Content Update: 02/23/2017

COMPARABLE PARTS

View a parametric search of comparable parts.

EVALUATION KITS

- ADF4155 Evaluation Board

DOCUMENTATION

Data Sheet

- ADF4155: Integer-N/Fractional-N PLL Synthesizer Data Sheet

User Guides

- UG-686: Evaluation Board for the ADF4155 PLL Frequency Synthesizer

SOFTWARE AND SYSTEMS REQUIREMENTS

- ADF4155 Evaluation Board Software

DESIGN RESOURCES

- ADF4155 Material Declaration
- PCN-PDN Information
- Quality And Reliability
- Symbols and Footprints

DISCUSSIONS

View all ADF4155 EngineerZone Discussions.

SAMPLE AND BUY

Visit the product page to see pricing options.

TECHNICAL SUPPORT

Submit a technical question or find your regional support number.

DOCUMENT FEEDBACK

Submit feedback for this data sheet.

TABLE OF CONTENTS

Features	1	Register Maps.....	15
Applications.....	1	Register 0	17
General Description	1	Register 1	18
Functional Block Diagram	1	Register 2	19
Revision History	2	Register 3	19
Specifications.....	3	Register 4	20
Timing Characteristics	5	Register 5	22
Absolute Maximum Ratings.....	6	Register 6	23
Transistor Count.....	6	Register 7	24
ESD Caution.....	6	Register 8	25
Pin Configuration and Function Descriptions.....	7	Register Initialization Sequence	26
Typical Performance Characteristics	9	RF Synthesizer—A Worked Example	26
Circuit Description.....	12	Reference Doubler and Reference Divider	27
Reference Input Section.....	12	Cycle Slip Reduction for Faster Lock Times.....	27
RF N Counter.....	12	Spurious Optimization	27
Phase Frequency Detector and Charge Pump	13	Spur Mechanisms	27
MUXOUT and Lock Detect.....	13	Applications Information	28
Input Shift Registers	13	Local Oscillator with RF Buffer.....	28
Program Modes	13	Outline Dimensions	29
Output Stage.....	14	Ordering Guide	29

REVISION HISTORY

4/14—Revision 0: Initial Version

SPECIFICATIONS

$AV_{DD} = DV_{DD} = RFV_{DD} = 3.3 \text{ V} \pm 5\%$, $AV_{DD} \leq V_P \leq 5.5 \text{ V}$, $A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0 \text{ V}$, and $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Operating temperature range is -40°C to $+85^\circ\text{C}$.

Table 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REF_{IN+}\REF_{IN-} CHARACTERISTICS					
Input Frequency					For $f < 10 \text{ MHz}$, ensure slew rate $> 21 \text{ V}/\mu\text{s}$
Single-Ended Mode	10		250	MHz	
Differential Mode	10		600	MHz	
Input Sensitivity					REF _{IN+} biased at $AV_{DD}/2$; ac coupling ensures $AV_{DD}/2$ bias
Single-Ended Mode	0.7		AV_{DD}	V p-p	
Differential Mode	0.4		1.8	V p-p	LVDS and LVPECL compatible, REF _{IN+} \REF _{IN-} biased at 2.1 V; ac coupling ensures 2.1 V bias
Input Capacitance					
Single-Ended Mode		6.9		pF	
Differential Mode		1.4		pF	
Input Current			± 60	μA	
PHASE DETECTOR					
Phase Detector Frequency			125	MHz	Negative bleed on
			100	MHz	Pulsed bleed on
			125	MHz	Negative bleed off and pulsed bleed off
			75	MHz	CSR enabled
RF_{IN+}\RF_{IN-} CHARACTERISTICS					
RF Input Frequency	0.5		6.0	GHz	For lower frequencies, ensure that the slew rate $> 400 \text{ V}/\mu\text{s}$
			8.0	GHz	-10 dBm minimum/0 dBm maximum
Prescaler Output Frequency			1.5	GHz	-5 dBm minimum/0 dBm maximum
CHARGE PUMP (CP)					
I _{CP} Sink/Source					R _{SET} = 4.7 k Ω
High Value		5		mA	
Low Value		0.31		mA	
R _{SET} Range	2.7	4.7	10	k Ω	
Sink and Source Current Matching		3		%	$0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$
I _{CP} vs. V _{CP}		3		%	$0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$
I _{CP} vs. Temperature		1.5		%	V _{CP} = 2.5 V
LOGIC INPUTS					
Input High Voltage, V _{INH}	1.5			V	Compatible with 1.8 V and 3 V logic
Input Low Voltage, V _{INL}			0.6	V	
Input Current, I _{INH} /I _{INL}			± 1	μA	
Input Capacitance, C _{IN}		3.0		pF	
LOGIC OUTPUTS					
Output High Voltage, V _{OH}	$DV_{DD} - 0.4$			V	CMOS output selected
Output High Current, I _{OH}			500	μA	
Output Low Voltage, V _{OL}			0.4	V	I _{OL} = 500 μA
POWER SUPPLIES					
AV _{DD}	3.135		3.465	V	
DV _{DD}		AV _{DD}		V	Voltage must equal AV _{DD}
RFV _{DD}		AV _{DD}		V	Voltage must equal AV _{DD}
V _P	AV _{DD}		5.5	V	
I _P		4.1		mA	
Output Dividers		6 to 36		mA	Each output divide by 2 consumes 6 mA; see Table 6 for details on the current consumption as a function of the output power and divider

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Total I _{DD} (DI _{DD} + AI _{DD} + RF _{DD})		38	47	mA	RF output (Bit DB6, Register 6) disabled, 3.6 GHz at VCO output
		105	131	mA	RF _{OUT+} /RF _{OUT-} = 1800 MHz, divide by 2 enabled, 5 dBm
Low Power Sleep Mode		10	22	μA	Hardware powered down using CE
		500	530	μA	Software powered down, serial peripheral interface (SPI) powered up in low power sleep mode
RF_{OUT+}/RF_{OUT-} CHARACTERISTICS					
Maximum Output Frequency			4000	MHz	
Minimum Output Frequency Using Dividers	7.8125			MHz	500 MHz fundamental output and divide by 64 selected
Harmonic Content (Second)		-16		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, fundamental mode
		-26		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, divide by 2 enabled
Harmonic Content (Third)		-22		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, fundamental mode
		-7		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, divide by 2 enabled
Minimum RF Output Power ¹		-4		dBm	Programmable in 3 dB steps
Maximum RF Output Power ¹		5		dBm	
NOISE CHARACTERISTICS					
Normalized Phase Noise Floor, PN _{SYNTH} ²					Negative bleed enabled PLL bandwidth = 500 kHz FRAC = 0
Integer-N Mode		-223		dBc/Hz	
Fractional-N-Mode		-218		dBc/Hz	
Normalized 1/f Noise, PN _{1-f} ³		-116		dBc/Hz	10 kHz offset; normalized to 1 GHz
In-Band Phase Noise ⁴		-98		dBc/Hz	10 kHz offset from 5.8 GHz carrier
Spurious Signals due to PFD		-110		dBc/Hz	At 5.8 GHz VCO output, f _{PDF} = 61.44 MHz
Frequency		-112		dBc/Hz	At 5.8 GHz VCO output, f _{PDF} = 30.72 MHz
Level of Signal with RF Mute Enabled		-40		dBm	

¹ Using an external 18 nH pull-up inductor to RFV_{DD} into a 50 Ω load.

² The synthesizer phase noise floor is estimated by measuring the in-band phase noise at the output of the VCO and subtracting 20 logN (where N is the N counter value) and 10 logf_{PDF}. PN_{SYNTH} = PN_{TOT} - 10 log f_{PDF} - 20 logN.

³ The PLL phase noise is composed of 1/f (flicker) noise plus the normalized PLL noise floor. The formula for calculating the 1/f noise contribution at an RF frequency (f_{RF}) and at a frequency offset (f) is given by PN = P_{1-f} + 10log(10kHz/f) + 20log(f_{RF}/1 GHz). Both the normalized phase noise floor and flicker noise are modeled in the [ADIsimPLL](#) design tool.

⁴ f_{REFIN} = 122.88 MHz, f_{PDF} = 61.44 MHz, frequency offset = 10 kHz, VCO frequency = 5.8 GHz, RF_{OUT} = 5.8 GHz, N = 94.40104167, loop bandwidth = 60 kHz, I_{CP} = 0.938 mA, and I_{BLEED} = 60 μA.

TIMING CHARACTERISTICS

$AV_{DD} = DV_{DD} = RFV_{DD} = 3.3\text{ V} \pm 5\%$, $AV_{DD} \leq V_P \leq 5.5\text{V}$, $A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0\text{ V}$, 1.8 V and 3 V logic levels used, and $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 2.

Parameter	Limit	Unit	Description
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width

Timing Diagram

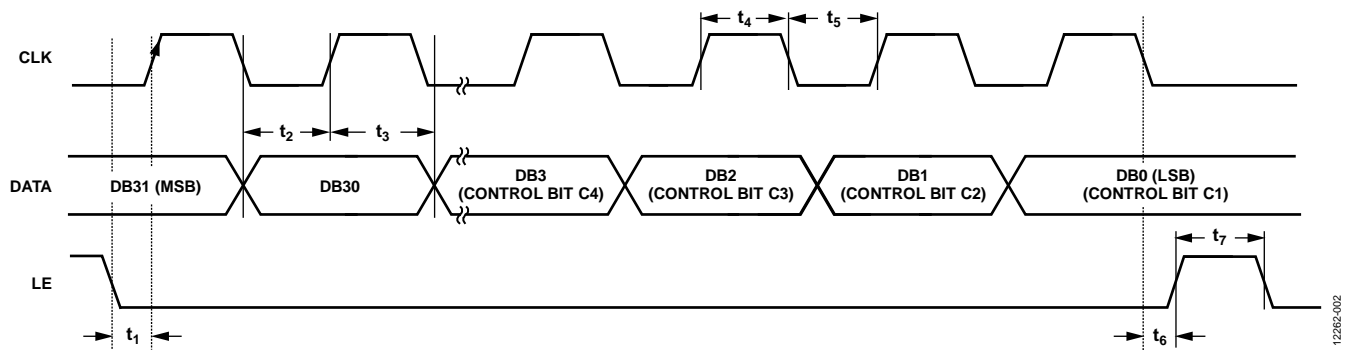


Figure 2. Timing Diagram

12262-002

ABSOLUTE MAXIMUM RATINGS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Table 3.

Parameter	Rating
AV_{DD} to GND ¹	-0.3 V to +3.6 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
RFV_{DD} to AV_{DD}	-0.3 V to +0.3 V
RFV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_P to GND ¹	-0.3 V to +5.8 V
V_P to AV_{DD}	-0.3 V to +2.5 V
Digital I/O Voltage to GND ¹	-0.3 V to $DV_{DD} + 0.3$ V
Analog I/O Voltage to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
REF_{IN+} , REF_{IN-} to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
REF_{IN+} to REF_{IN-}	± 2.1 V
RF_{IN+} to RF_{IN-}	± 700 mV
Operating Temperature Range	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Maximum Junction Temperature	150°C
LFCSP θ_{JA} , Thermal Impedance (Pad Soldered to GND)	47.3°C/W
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
ESD	
Charged Device Model	1250 V
Human Body Model	4000 V

¹ GND = $A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0$ V.

Stresses at or above those listed under Absolute Maximum Ratings may cause permanent damage to the product. This is a stress rating only; functional operation of the product at these or any other conditions above those indicated in the operational section of this specification is not implied. Operation beyond the maximum operating conditions for extended periods may affect product reliability.

TRANSISTOR COUNT

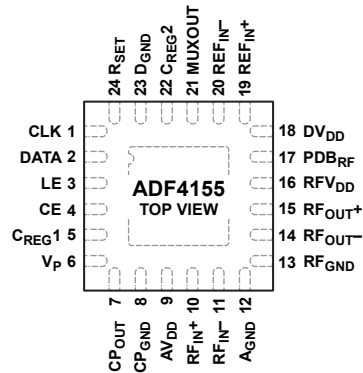
The transistor count for the [ADF4155](#) is 31,190 (CMOS) and 1652 (bipolar).

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

12282-003

Figure 3. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	CLK	Serial Clock Input. Data is clocked into the 32-bit shift register on the CLK rising edge. This input is a high impedance CMOS input.
2	DATA	Serial Data Input. The serial data is loaded MSB first with the four LSBs as the control bits. This input is a high impedance CMOS input.
3	LE	Load Enable Input. When LE goes high, the data stored in the shift register is loaded into the register that is selected by the four LSBs. This input is a high impedance CMOS input.
4	CE	Chip Enable. A logic low on this pin powers down the device and puts the charge pump into three-state mode. A logic high on this pin powers up the device, depending on the status of the power-down bits.
5	C _{REG1}	Output of Internal Low Dropout (LDO) Regulator. Supply voltage to digital circuits. Nominal voltage of 1.8 V. 100 nF decoupling capacitors to ground required.
6	V _P	Charge Pump Power Supply. V _P must have the same or greater value than AV _{DD} up to 5.5 V. Connect decoupling capacitors, as close to this pin as possible, to the analog ground plane.
7	CP _{OUT}	Charge Pump Output. When enabled, this output provides $\pm I_{CP}$ to the external loop filter. The output of the loop filter is connected to the V _{TUNE} pin of the external VCO.
8	CP _{GND}	Charge Pump Ground. This output is the ground return pin for the CP _{OUT} pin.
9	AV _{DD}	Analog Power Supply. This pin ranges from 3.135 V to 3.465 V. Connect decoupling capacitors, as close to this pin as possible, to the analog ground plane. AV _{DD} must have the same value as DV _{DD} and RFV _{DD} .
10	RF _{IN+}	RF Input. This small signal input must be ac-coupled to the external VCO.
11	RF _{IN-}	Complementary RF Input. Decouple this pin to the ground plane with a small bypass capacitor, typically 100 pF. If driven differentially, connect this input similar to RF _{IN+} .
12	AG _{ND}	Analog Ground. Ground return pins for the analog circuitry.
13	RF _{GND}	RF Ground. This output is the ground return pin for the RFV _{DD} pin.
14	RF _{OUT-}	Complementary RF Output. The output level is programmable. The VCO fundamental output or a divided-down version is available.
15	RF _{OUT+}	RF Output. The output level is programmable. The VCO fundamental output or a divided-down version is available.
16	RFV _{DD}	Analog Power Supply for RF Outputs. This pin ranges from 3.135 V to 3.465 V. Connect decoupling capacitors, as close to this pin as possible, to the analog ground plane. RFV _{DD} must have the same value as AV _{DD} and DV _{DD} .
17	PDB _{RF}	RF Power-Down. A logic low on this pin mutes the RF outputs. This function is also software controllable.
18	DV _{DD}	Digital Power Supply. This pin must be at the same voltage as AV _{DD} and RFV _{DD} . Connect decoupling capacitors, as close to this pin as possible, to the ground plane.
19	REF _{IN+}	Reference Input.
20	REF _{IN-}	Complementary Reference Input.
21	MUXOUT	Multiplexer Output. The multiplexer output allows the lock detect, the scaled RF, or the scaled reference frequency to be externally accessed.

Pin No.	Mnemonic	Description
22	C _{REG2}	Output of Internal LDO. Supply voltage to digital circuits. Nominal voltage of 1.8 V. 100 nF decoupling capacitors to ground required.
23	D _{GND}	Digital Ground. Ground return pins for the digital circuitry.
24	R _{SET}	Connect a resistor between this pin and ground to set the charge pump output current. The nominal voltage bias at the R _{SET} pin is 0.55 V. The relationship between I _{CP_MAX} and R _{SET} is as follows: $I_{CP_MAX} = 23.5/R_{SET}$ where: R _{SET} = 4.7 kΩ. I _{CP} = 5 mA.
	EPAD	Exposed Pad. The exposed pad must be connected to ground.

TYPICAL PERFORMANCE CHARACTERISTICS

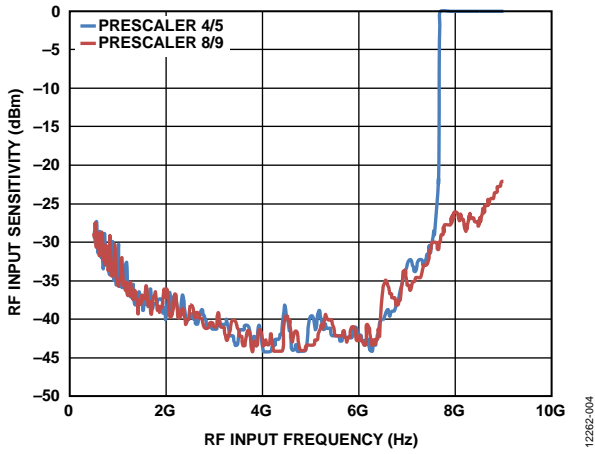


Figure 4. RF Input Sensitivity vs. RF Input Frequency, RF Output Disabled

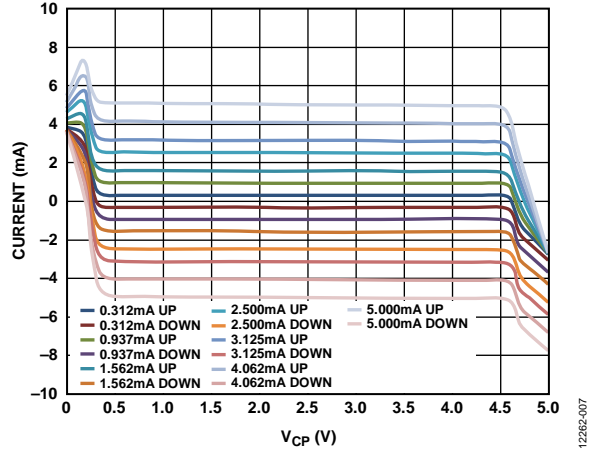


Figure 7. Charge Pump Output Characteristics, $V_P = 5\text{ V}$, Selected I_{CP} Values Between 0.312 mA (Minimum) and 5.000 mA (Maximum), $R_{SET} = 4.7\text{ k}\Omega$

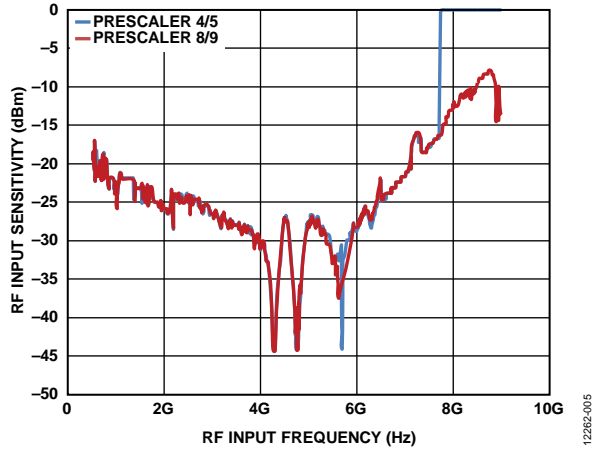


Figure 5. RF Input Sensitivity vs. RF Input Frequency, RF Output Enabled, RF Divide-by-2 Selected

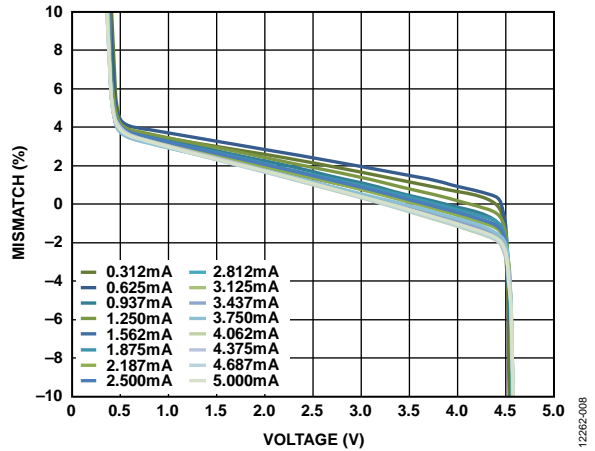


Figure 8. Charge Pump Output Mismatch vs. V_{CP} , Selected I_{CP} Values Between 0.312 mA (Minimum) and 5.000 mA (Maximum), $R_{SET} = 4.7\text{ k}\Omega$

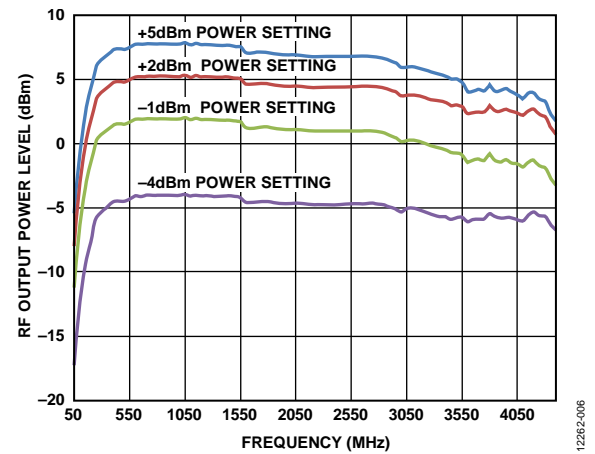


Figure 6. Single-Ended RF Output Power Level vs. Frequency and Power Setting, RF Output Pins Pulled Up to 3.3 V via 18 nH Inductors

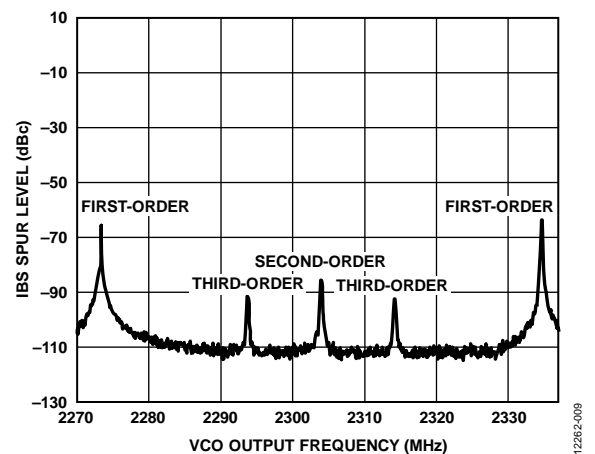


Figure 9. Integer Boundary Spurs (IBS) Spur Level vs. VCO Output Frequency, $f_{PD} = 61.44\text{ MHz}$, Sweep Resolution = 80 kHz

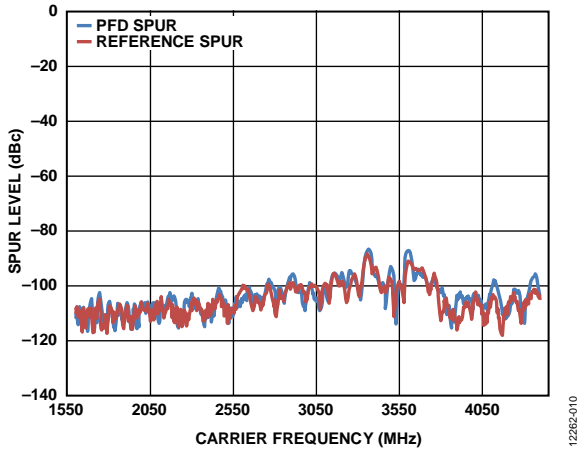


Figure 10. PFD and Reference Spur Level vs. Carrier Frequency Measured at VCO Output, $f_{PFD} = 61.44$ MHz, $REF_{IN+}/REF_{IN-} = 122.88$ MHz

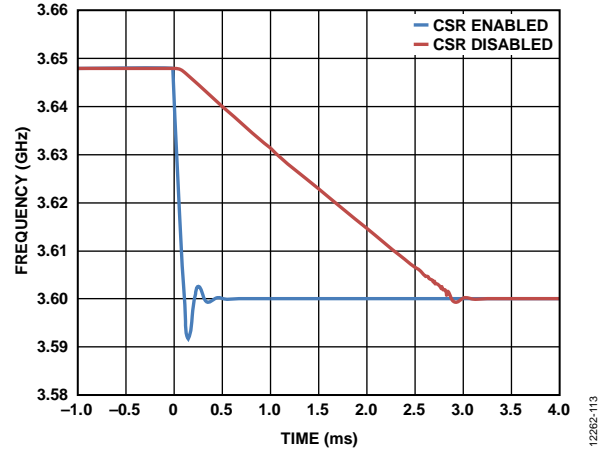


Figure 13. PLL Lock Time with Cycle Sleep Reduction (CSR) On/Off, Locking over 50 MHz Range (Jump from 3.648 GHz to 3.6 GHz), $f_{PFD} = 61.44$ MHz, Loop Bandwidth = 15 kHz, $I_{CP} = 0.31$ mA

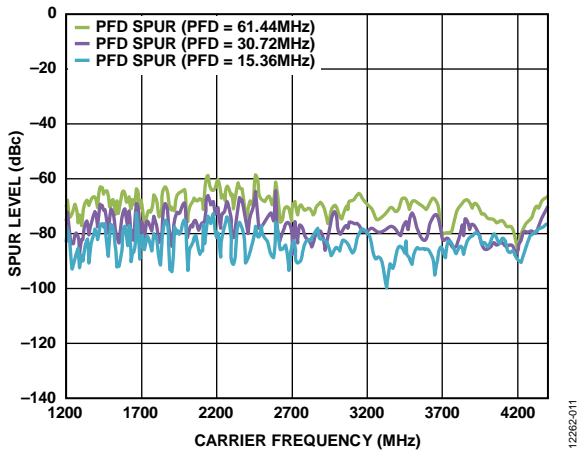


Figure 11. PFD Spur Level vs. Carrier Frequency Measured at RF Output, $REF_{IN+}/REF_{IN-} = 122.88$ MHz (Note the improvement in the PFD spurs when the PFD frequency is lower.)

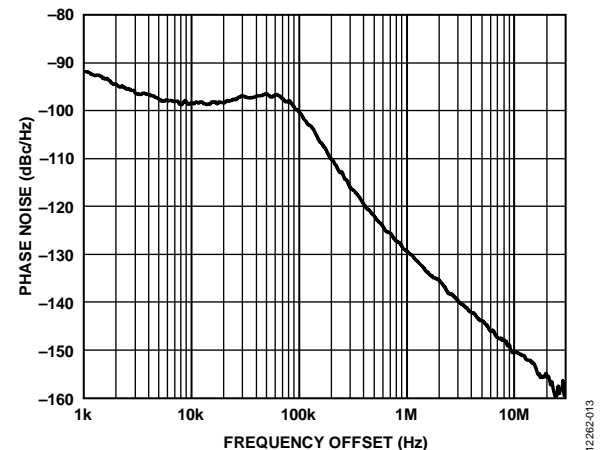


Figure 14. Integer-N Phase Noise and Spur Performance; $VCO_{OUT} = 5775.36$ MHz, $REF_{IN+}/REF_{IN-} = 122.88$ MHz, $f_{PFD} = 61.44$ MHz, Loop Filter Bandwidth = 60 kHz

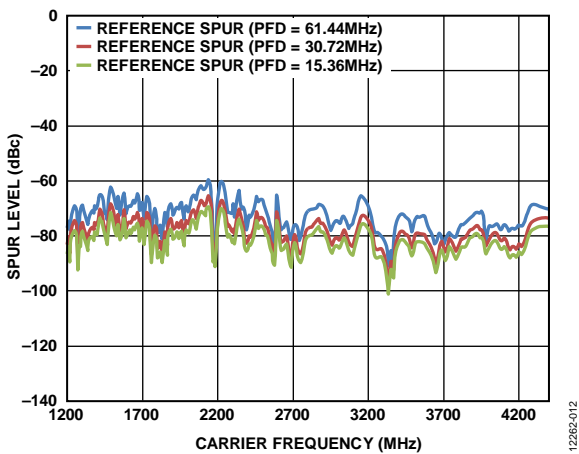


Figure 12. Reference Spur Level vs. Carrier Frequency Measured at RF Output, $REF_{IN+}/REF_{IN-} = 122.88$ MHz (Note the improvement in the PFD spurs when the PFD frequency is lowered.)

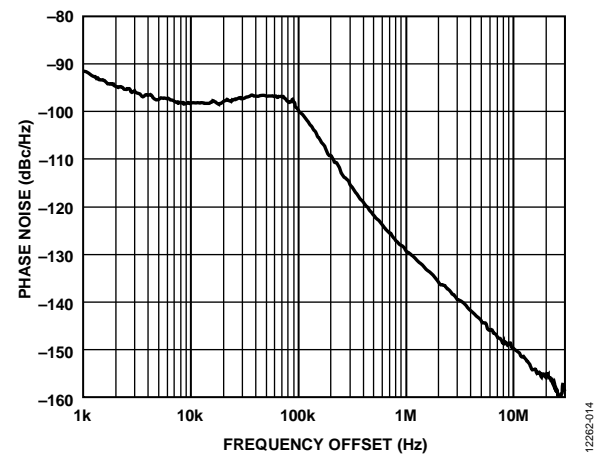


Figure 15. Fractional-N Phase Noise and Spur Performance, $VCO_{OUT} = 5800$ MHz, $REF_{IN+}/REF_{IN-} = 122.88$ MHz, $f_{PFD} = 61.44$ MHz, Loop Filter Bandwidth = 60 kHz

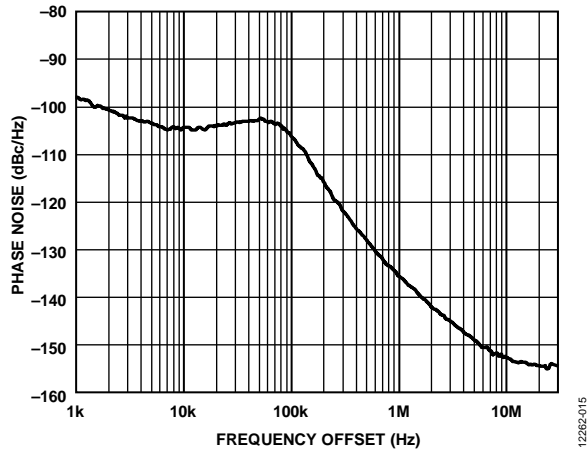


Figure 16. RF Output Phase Noise, RF Divider = 2 Enabled, Fractional-N, $RF_{OUT+} = 2900$ MHz, $REF_{IN+}/REF_{IN-} = 122.88$ MHz, $f_{PD} = 61.44$ MHz, Loop Filter Bandwidth = 60 kHz

CIRCUIT DESCRIPTION

REFERENCE INPUT SECTION

The reference input stage is shown in Figure 17. The reference input can accept both single-ended and differential signals, and the choice is controlled by the reference input mode bit (Bit DB30, Register 6). To use a differential signal for the reference input, this bit must be programmed high. In this case, the SW1 and SW2 switches are opened, the SW3 and SW4 switches are closed, and the current source driving the differential pair of the transistors is switched on. The differential signal is buffered, before it is fed to the emitter-coupled logic (ECL) to a CMOS converter. When a single-ended signal is used as the reference, Bit DB30 in Register 6 must be programmed to 0. In this case, the SW1 and SW2 switches are closed, the SW3 and SW4 switches are opened, and the current source driving the differential pair of transistors is switched off.

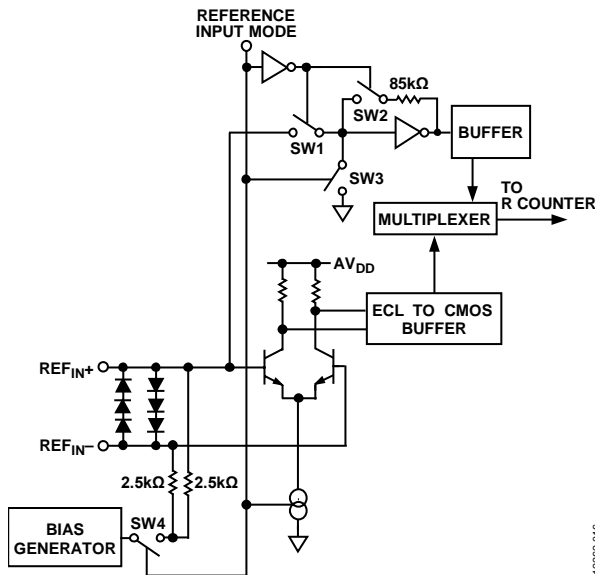


Figure 17. Reference Input Stage

RF N COUNTER

The RF N counter allows a division ratio in the PLL feedback path. The division ratio is determined by the INT, FRAC1, MOD1, FRAC2, and MOD2 values, which build up this divider (see Figure 18). Note that MOD1 is a fixed nonprogrammable value equal to 2^{24} .

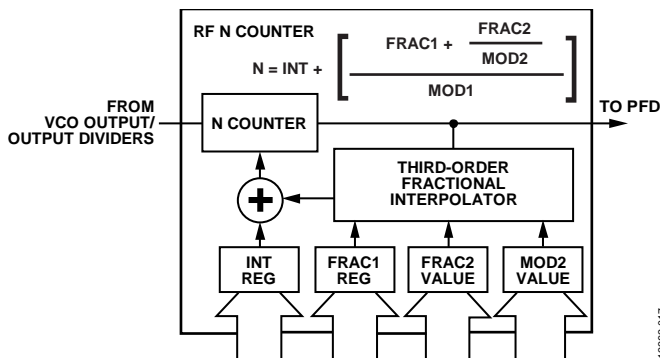


Figure 18. RF N Counter

INT, FRAC, MOD, and R Counter Relationship

The INT, FRAC1, FRAC2, MOD1, and MOD2 values, in conjunction with the R counter, make it possible to generate output frequencies that are spaced by fractions of the PFD frequency (f_{PFD}). For more information, see the RF Synthesizer—A Worked Example section.

Calculate the RF VCO frequency (RF_{OUT}) by the following:

$$RF_{OUT} = f_{PFD} \times N \quad (1)$$

where:

RF_{OUT} is the output frequency of the external VCO voltage controlled oscillator (without using the output divider).

f_{PFD} is a frequency of phase frequency detector.

N is the desired value of the feedback counter N .

Calculate the f_{PFD} by the following equation:

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

where:

REF_{IN} is the reference input frequency.

D is the REF_{IN} doubler bit.

R is the preset divide ratio of the binary 10-bit programmable reference counter (1 to 1023).

T is the REF_{IN} divide by 2 bit (0 or 1)

N comprises

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (3)$$

where:

INT is the 16-bit integer value (23 to 32,767 for 4/5 prescaler, 75 to 65,535 for 8/9 prescaler).

$FRAC1$ is the numerator of the primary modulus (1 – 16,777,215).

$FRAC2$ is the numerator of the 14-bit auxiliary modulus (1 – 16,383).

$MOD2$ is the programmable, 14-bit auxiliary fractional modulus (2 – 16,383).

$MOD1$ is a 24-bit primary modulus with a fixed value of 2^{24}

(16,777,216).

This results in a very fine frequency resolution with no residual frequency error. To apply this formula, take the following steps:

1. Calculate N by dividing RF_{OUT}/f_{PFD} .
2. The integer value of this number forms INT .
3. Subtract this value from the full N value.
4. Multiply the remainder by 2^{24} .
5. The integer value of this number forms $FRAC1$.
6. Calculate the $MOD2$ basis on the channel spacing (f_{CHSP}) by

$$MOD2 = f_{PFD}/GCD(f_{PFD}, f_{CHSP}) \quad (4)$$

where:

f_{CHSP} is the desired channel spacing frequency.

$GCD(f_{PFD}, f_{CHSP})$ is a greatest common divider of the PFD frequency and the channel spacing frequency.

7. Calculate $FRAC2$ by the following equation:

$$FRAC2 = [(N - INT) \times 2^{24} - FRAC1] \times MOD2 \quad (5)$$

INT N Mode

If FRAC1 and FRAC2 = 0, the synthesizer operates in integer-N mode.

R Counter

The 10-bit R counter allows the input reference frequency, REF_{IN}, to be divided down to produce the reference clock to the PFD. Division ratios from 1 to 1023 are allowed.

PHASE FREQUENCY DETECTOR AND CHARGE PUMP

The phase frequency detector takes inputs from the R counter and N counter and produces an output proportional to the phase and frequency difference between them. Figure 19 is a simplified schematic of the phase frequency detector. The PFD includes a fixed delay element that sets the width of the antibacklash pulse (ABP), which is typically 2.6 ns. This pulse ensures that there is no dead zone in the PFD transfer function and provides a consistent reference spur level.

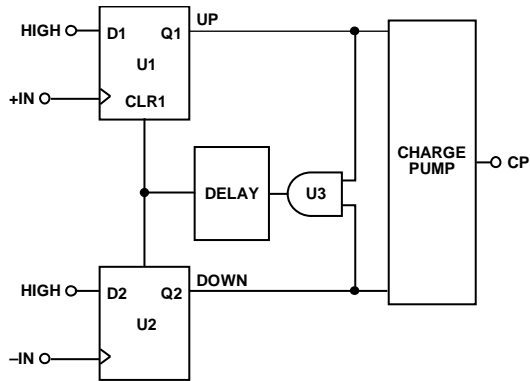


Figure 19. PFD Simplified Schematic

MUXOUT AND LOCK DETECT

The output multiplexer on the ADF4155 allows the user to access various internal points on the chip. The state of MUXOUT is controlled by the M3, M2, and M1 bits in Register 4 (for further details, see Figure 28). Figure 20 shows the MUXOUT section in block diagram form.

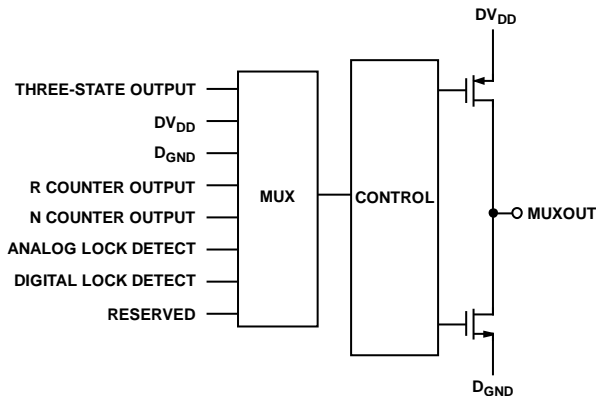


Figure 20. MUXOUT Schematic

INPUT SHIFT REGISTERS

Data is clocked into the 32-bit shift register on each rising edge of CLK. The data is clocked in MSB first. Data is transferred from the shift register to one of the nine latches on the rising edge of LE.

The destination latch is determined by the state of the four control bits (C4, C3, C2, and C1) in the shift register. These are the four LSBs: DB3, DB2, DB1, and DB0, as shown in Figure 2. The truth table for these bits is shown in Table 5. Figure 22 and Figure 23 summarize how the latches are programmed.

Table 5. Truth Table for the C4, C3, C2, and C1 Control Bits

Control Bits				Register
C4	C3	C2	C1	
0	0	0	0	Register 0 (R0)
0	0	0	1	Register 1 (R1)
0	0	1	0	Register 2 (R2)
0	0	1	1	Register 3 (R3)
0	1	0	0	Register 4 (R4)
0	1	0	1	Register 5 (R5)
0	1	1	0	Register 6 (R6)
0	1	1	1	Register 7 (R7)
1	0	0	0	Register 8 (R8)

PROGRAM MODES

Table 5 and Figure 24 through Figure 32 show how the program modes must be set up in the ADF4155.

The following ADF4155 settings are double buffered: the fractional value (FRAC1/FRAC2), the modulus value (MOD2), the reference doubler, the reference divide by 2 (RDIV2), the R counter value, the charge pump current setting, and the R divider select. This means that two events must occur before the device can use a new value for any of the double buffered settings. First, the new value must be latched into the device by writing to the appropriate register. Second, a new write must be performed on Register R0.

For example, any time that the modulus value is updated, Register 0 (R0) must be written to, to ensure that the modulus value is loaded correctly.

OUTPUT STAGE

For best spur performance, it is recommended to use the VCO output and disable the RF output (Bit DB6, Register 6) stage.

The RF output stage is used where lower frequency operation is required by enabling one of the output dividers.

The RF_{OUT+} and RF_{OUT-} pins of the ADF4155 are connected to the collectors of an NPN differential pair driven by a signal from the RF divider block, as shown in Figure 21.

To optimize the output power requirements, the tail current of the differential pair is programmable using Bits[DB5:DB4] in Register 6 (R6). Four current levels can be set. These levels give output power levels of -4 dBm, -1 dBm, +2 dBm, and +5 dBm.

The current consumption as a function of the output power and the RF divider is shown in Table 6.

The output stage uses an internal 50 Ω resistor to RFV_{DD}. An external pull-up inductor to RFV_{DD} is necessary prior to ac coupling into a 50 Ω load. Alternatively, the output can be combined in a 1 + 1:1 transformer or a 180° microstrip coupler. If the outputs are used individually, the unused complimentary output must be terminated with a similar circuit to the used output.

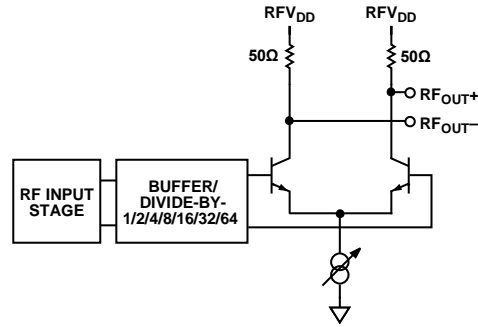


Figure 21. Output Stage

Another feature of the ADF4155 is that the supply current to the RF output stage can be shut down until the device achieves lock as measured by the digital lock detect circuitry. This shutdown is enabled by using the mute till lock detect (MTLD) bit (DB11) in Register 6 (R6).

Table 6. Total I_{DD} (DI_{DD} + AI_{DD} + RF_IDD)

Divide By	RF _{OUT} Off	RF _{OUT} = -4 dBm	RF _{OUT} = -1 dBm	RF _{OUT} = +2 dBm	RF _{OUT} = +5 dBm
1	37.4	55.3	67.5	83.9	96.0
2	46.5	64.4	76.6	93.0	105.1
4	53.1	70.9	83.2	99.6	111.7
8	61.3	79.1	91.4	107.8	119.8
16	66.3	84.2	96.4	112.8	124.9
32	70.4	88.2	100.5	116.9	129.0
64	72.9	90.8	103.0	119.4	131.5

REGISTER MAPS

REGISTER 0

RESERVED											PRESCALER	16-BIT INTEGER VALUE (INT)														CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	PR1	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	C4(0)	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1)																								DBR ¹				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0				
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)				

REGISTER 2

RESERVED											14-BIT AUXILIARY MODULUS VALUE (MOD2)														DBR ¹				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(0)	C2(1)	C1(0)	

REGISTER 3

RESERVED											14-BIT AUXILIARY FRACTIONAL WORD (FRAC2)														DBR ¹				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C4(0)	C3(0)	C2(1)	C1(1)	

REGISTER 4

RESERVED	DITHER 2	MUXOUT			REFERENCE DOUBLER DBR ¹	DBR ¹	10-BIT R COUNTER										DBR ¹	DOUBLE BUFFER	CHARGE PUMP CURRENT SETTING			DBR ¹	RESERVED	MUXOUT LEVEL SELECT	PHASE DETECTOR POLARITY	PD	CHARGE PUMP THREE-STATE COUNTER RESET	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	L2	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	0	LVS	U4	U3	U2	U1	C4(0)	C3(1)	C2(0)	C1(0)

REGISTER 5

RESERVED				PULSE BLEED DELAY	PB	RESERVED	ABP SELECT	RESERVED			CSR	RESERVED														CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	PB2	PB1	PB	0	ABP	0	0	0	CSR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(0)	C3(1)	C2(0)	C1(1)

¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

Figure 22. Register Summary (Register 0 to Register 5)

12286-021

REGISTER 6

RESERVED	REF _{IN} MODE	RESERVED						DBB ¹ RF DIVIDER SELECT				BLEED CURRENT SETTINGS								NEG BLEED	MTLD	RESERVED				RF OUTPUT ENABLE	OUTPUT POWER			CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
1	RM1	1	0	0	1	1	1	D12	D11	D10	BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BLE	D8	0	0	0	0	D3	D2	D1	C4(0)	C3(1)	C2(1)	C1(0)		

REGISTER 7

RESERVED																				LOCK DETECT CYCLE COUNT	LOL MODE	RESERVED	LD MODE	CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD5	LD4	LOL	1	1	LD1	C4(0)	C3(1)	C2(1)	C1(1)

REGISTER 8

RESERVED		DITHER 1	PHASE WORD																CONTROL BITS													
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	L1	1	1	1	0	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	C4(1)	C3(0)	C2(0)	C1(0)

¹ DBB = DOUBLE BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0 IF, AND ONLY IF, DB14 OF REGISTER 4 IS HIGH.

Figure 23. Register Summary (Register 6 to Register 8)

12285-002

REGISTER 0

Register 0 Control Bits

With Bits[C4:C1] set to 0000, Register 0 is programmed. Figure 24 shows the input data format for programming this register.

16-Bit Integer Value (INT)

The 16 bits [DB19:DB4] set the INT value, which determines the integer part of the feedback division factor. The INT value is used in Equation 3 (see the INT, FRAC, MOD, and R Counter Relationship section). All integer values from 23 to 32,767 are allowed for 4/5 prescaler. For prescaler 8/9, the minimum integer value is 75, and the maximum integer value value is 65,535.

Prescaler (P) Value

The dual-modulus prescaler ($P/P + 1$), along with the INT, FRAC1, MOD1, FRAC2, and MOD2 counters, determines the overall division ratio from the VCO output to the PFD input.

Operating at CML levels, the prescaler takes the clock from the VCO output and divides it down for the counters. It is based on a synchronous 4/5 core. When the prescaler is set to 4/5, the maximum RF frequency allowed is 6 GHz. Therefore, when operating the ADF4155 above 6 GHz, set the prescaler to 8/9. The prescaler limits the INT value to the following:

- $P = 4/5$, $INT_{MIN} = 23$, $INT_{MAX} = 32,767$
- $P = 8/9$, $INT_{MIN} = 75$, $INT_{MAX} = 65,535$

In the ADF4155, the PR1 bit (DB20) in Register 0 sets the prescaler value.

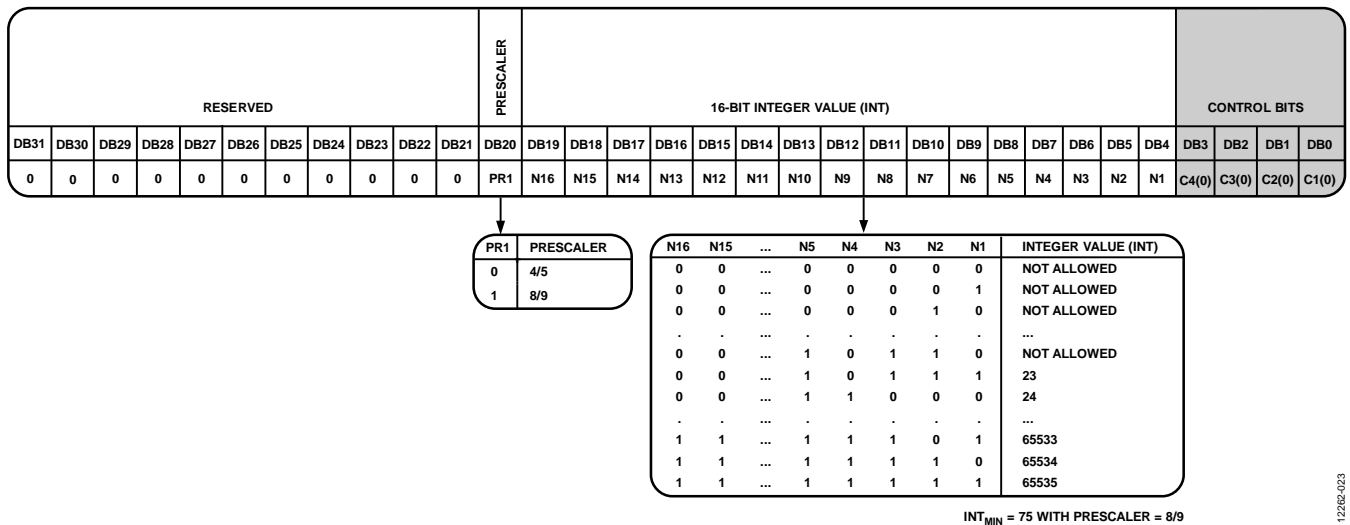


Figure 24. Register 0 (R0)

12282-023

REGISTER 1

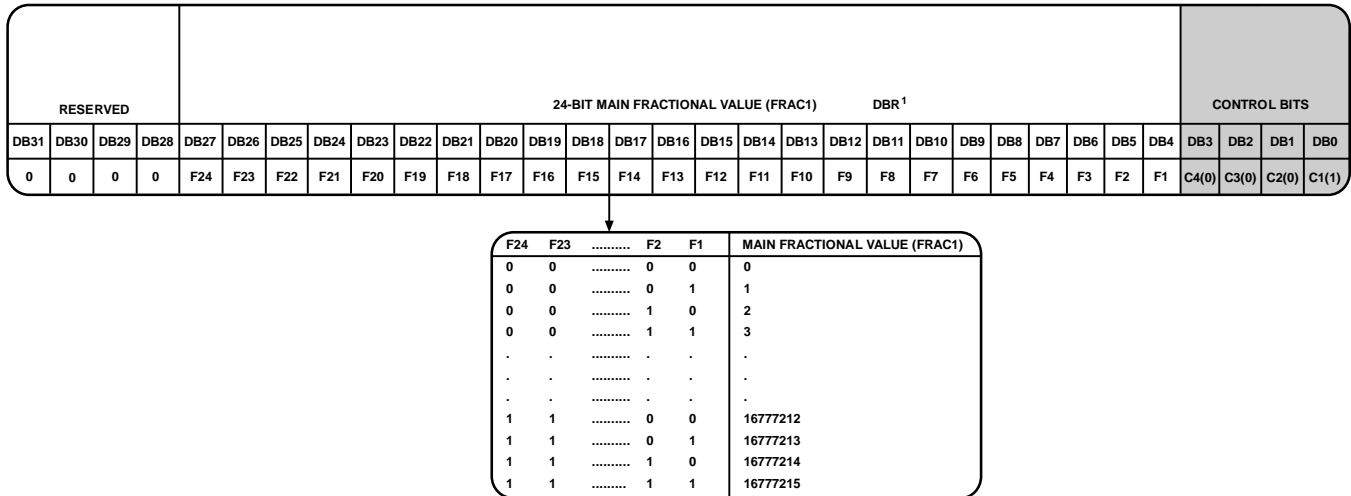
Register 1 Control Bits

With Bits[C4:C1] set to 0001, Register 1 is programmed. Figure 25 shows the input data format for programming this register.

24-Bit Main Fractional Value (FRAC1)

The 24 FRAC1 bits [DB27:DB4] together with FRAC2 and MOD2 set the numerator of the fraction that is input to the Σ - Δ

modulator. This fraction, along with the INT value, specifies the new frequency channel that the synthesizer locks to, as shown in the RF Synthesizer—A Worked Example section. FRAC1 values from 0 to $(2^{24} - 1)$ cover channels over a frequency range equal to the PFD reference frequency.



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

Figure 25. Register 1 (R1)

12282-024

REGISTER 2

Register 2 Control Bits

With Bits[C4:C1] set to 0010, Register 2 is programmed. Figure 26 shows the input data format for programming this register.

14-Bit Auxiliary Modulus Value (MOD2)

The 14 MOD2 bits [DB17:DB4] set the auxiliary fractional modulus. The auxiliary fractional modulus is used to correct any residual error due to the main fractional modulus. For more information, see the RF Synthesizer—A Worked Example section.

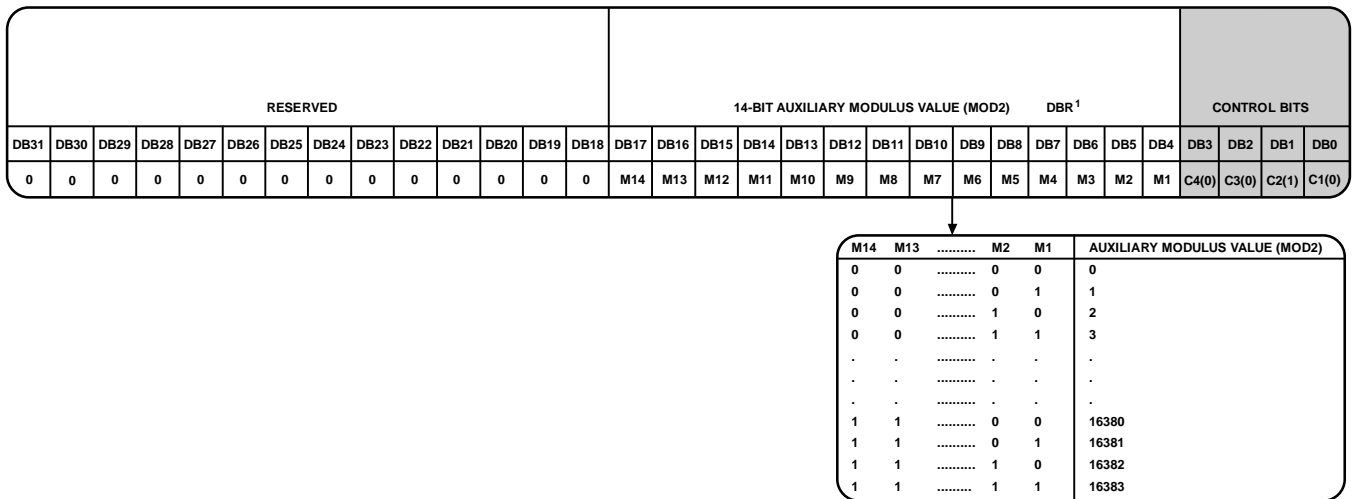
REGISTER 3

Register 3 Control Bits

With Bits[C4:C1] set to 0011, Register 3 is programmed. Figure 27 shows the input data format for programming this register.

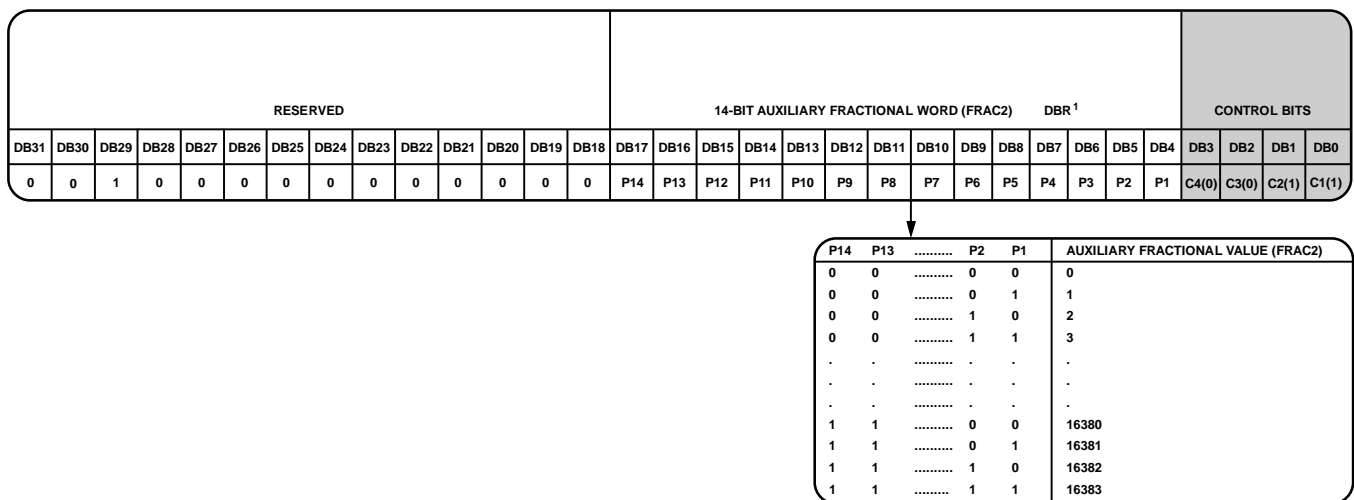
14-Bit Auxiliary Fractional Value (FRAC2)

The auxiliary fractional value bits [DB17:DB4] control the auxiliary fractional word. The word must be less than the MOD2 value programmed in Register 2.



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

Figure 26. Register 2 (R2)



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

Figure 27. Register 3 (R3)

REGISTER 4**Register 4 Control Bits**

With Bits[C4:C1] set to 0100, Register 4 is programmed. Figure 28 shows the input data format for programming this register.

Dither 2

Dither to the second stage of the main Σ - Δ modulator can be activated on the ADF4155 by setting Bit DB30 in Register 4 (see Figure 28) to 1. This feature allows the user to optimize a design for improved spurious performance.

Dither randomizes the fractional quantization noise so that it resembles white noise rather than spurious noise. As a result, the device is optimized for improved spurious performance. This operation is normally used for fast locking applications when the PLL closed-loop bandwidth is wide.

MUXOUT

The on-chip multiplexer is controlled by Bits[DB29:DB27] (see Figure 28).

Reference Doubler

Setting DB26 to 0 feeds the reference frequency input (REF_{IN}) directly to the 10-bit R counter, disabling the doubler. Setting this bit to 1 multiplies the REF_{IN} by a factor of 2 before feeding it into the 10-bit R counter. When the doubler is disabled, the REF_{IN} falling edge is the active edge at the PFD input to the fractional synthesizer. When the doubler is enabled, both the rising and falling edges of REF_{IN} become active edges at the PFD input.

When the doubler is enabled and the dither is enabled, the in-band phase noise performance is sensitive to the REF_{IN} duty cycle. The phase noise degradation can be as much as 5 dB for REF_{IN} duty cycles outside a 45% to 55% range. The phase noise is insensitive to the REF_{IN} duty cycle when the dither is switched off and when the doubler is disabled.

The maximum allowable REF_{IN} frequency when the reference doubler is enabled is 80 MHz.

RDIV2

Setting the DB25 bit to 1 inserts a divide by 2 toggle flip-flop between the R counter and PFD, which extends the maximum REF_{IN} input rate. This function allows a 50% duty cycle signal to appear at the PFD input, which is necessary for cycle slip reduction.

10-Bit R Counter

The 10-bit R counter allows the input reference frequency (REF_{IN}) to be divided down to produce the reference clock to the PFD. Division ratios from 1 to 1023 are allowed.

Double Buffer

The DB14 bit enables or disables double buffering of Bits[DB23:DB21] in Register 6. The Program Modes section explains how double buffering works.

Charge Pump Current Setting

Bits[DB13:DB10] set the charge pump current. Set this value to the charge pump current that the loop filter is designed with (see Figure 28).

MUXOUT Level Select

The DB8 bit sets the voltage level used on the MUXOUT output. If the bit is programmed to 0, the MUXOUT uses a value of 1.8 V as the high level. When this bit is set to 1, the high level on the MUXOUT output is equal to DV_{DD} ($3.3 \text{ V} \pm 5\%$).

Phase Detector Polarity

The DB7 bit sets the phase detector polarity. When a passive loop filter or a noninverting active loop filter is used, set this bit to 1. If an active filter with an inverting characteristic is used, set this bit to 0.

Power-Down (PD) Mode

DB6 provides the programmable power-down mode. Setting this bit to 1 performs a power-down. Setting this bit to 0 returns the synthesizer to normal operation. In software power-down mode, the device retains all information in its registers. The register contents are only lost if the supply voltages are removed.

Note that the software power-down issue requires a software workaround by using the following write sequence until fixed.

To perform a power-down, take the following steps:

1. Write $INT = 65535$ (0xFFFF) and prescaler = 1 in Register 0 (R0).
2. Write $DB6 = 1$ in Register 4 (R4).

To exit from a power-down, take the following steps:

1. Write the correct INT value and prescaler value in Register 0 (R0).
2. Write $DB6 = 0$ in Register 4 (R4).

When power-down is activated, the following events occur:

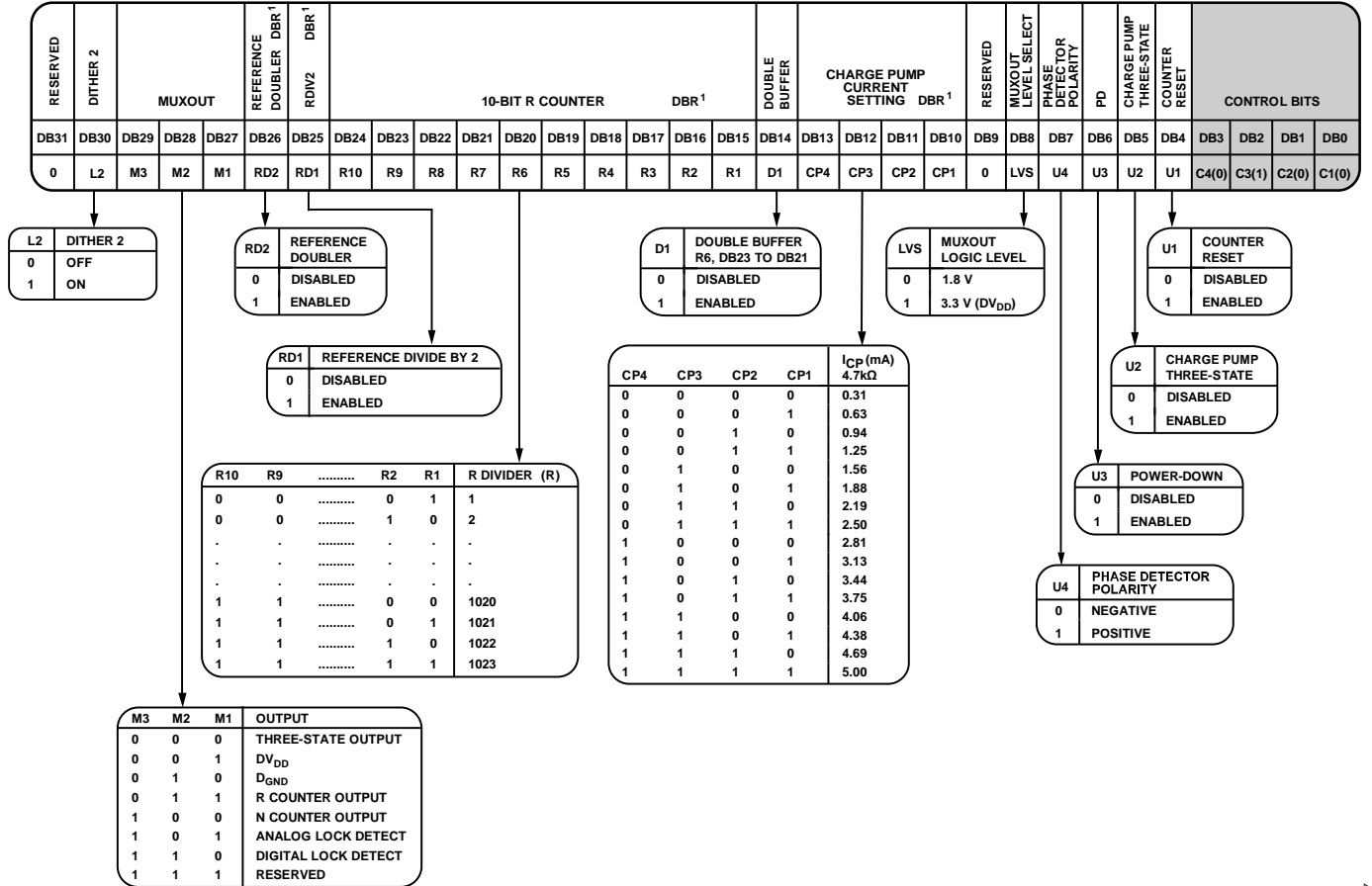
- Synthesizer counters are forced to their load state conditions.
- Charge pump is forced into three-state mode.
- Digital lock detect circuitry is reset.
- RF output buffers are disabled.
- Input registers remain active and capable of loading and latching data.

Charge Pump (CP) Three-State

Setting the DB5 bit to 1 puts the charge pump into three-state mode. Set this bit to 0 for normal operation.

Counter Reset

The DB4 bit is the reset bit for the R counter and the N counter of the ADF4155. When this bit is set to 1, the RF synthesizer N counter and R counter are held in reset. For normal operation, set this bit to 0.



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

Figure 28. Register 4 (R4)

12262-027

REGISTER 5

Register 5 Control Bits

With Bits[C4:C1] set to 0101, Register 5 is programmed. Figure 29 shows the input data format for programming this register.

Pulse Bleed Delay

In some cases, pulsed bleed (DB25) can improve spurious performance compared to constant negative bleed. If enabling pulsed bleed, disable the constant negative bleed bit (Register 6, Bit DB12). Pulsed bleed works by adding a programmable delay to the charge pump down pulse, thereby introducing a phase offset in the loop and improving the linearity of the charge pump. The advantage over the constant negative bleed is that the programmable delay is only on for a short time within one PFD period compared to the constant negative bleed which is constantly on. This pulsed bleed can improve the spurious performance. The downside of a pulsed bleed is that there is less resolution to program the amount of bleed compared to the constant negative bleed.

The pulsed bleed delay is programmed using Bits[DB27:DB26].

Selecting the pulsed bleed delay so that the phase offset is <90 degrees is recommended.

$$PHASE_OFFSET_{DEGREES} = (PULSED_BLEED_DELAY \times f_{PFD}) \times 360$$

Pulse bleed on the ADF4155 can be activated by setting Bit DB25 to 1 (see Figure 29).

Antibacklash Pulse (ABP) Select

Set DB23 to 0 to select the pulsed bleed delay, Bits[DB27:DB26] as the antibacklash pulse width. The recommended default setting is pulse bleed delay (2.6 ns). The pulse bleed delay bits (DB27:DB26) function as the antibacklash pulse width irrespective of whether the pulse bleed is enabled or disabled.

Set DB23 to 1 to use a narrow antibacklash pulse width of 1.6 ns. For PFD frequencies greater than 80 MHz, it is recommended to use the 1.6 ns pulse width.

Cycle Slip Reduction (CSR)

Setting DB19 to 1 enables cycle slip reduction. When using cycle slip reduction, the signal at the PFD must have a 50% duty cycle for the cycle slip reduction to work. The charge pump current setting must also be set to a minimum. Refer to the Cycle Slip Reduction for Faster Lock Times section for more information.

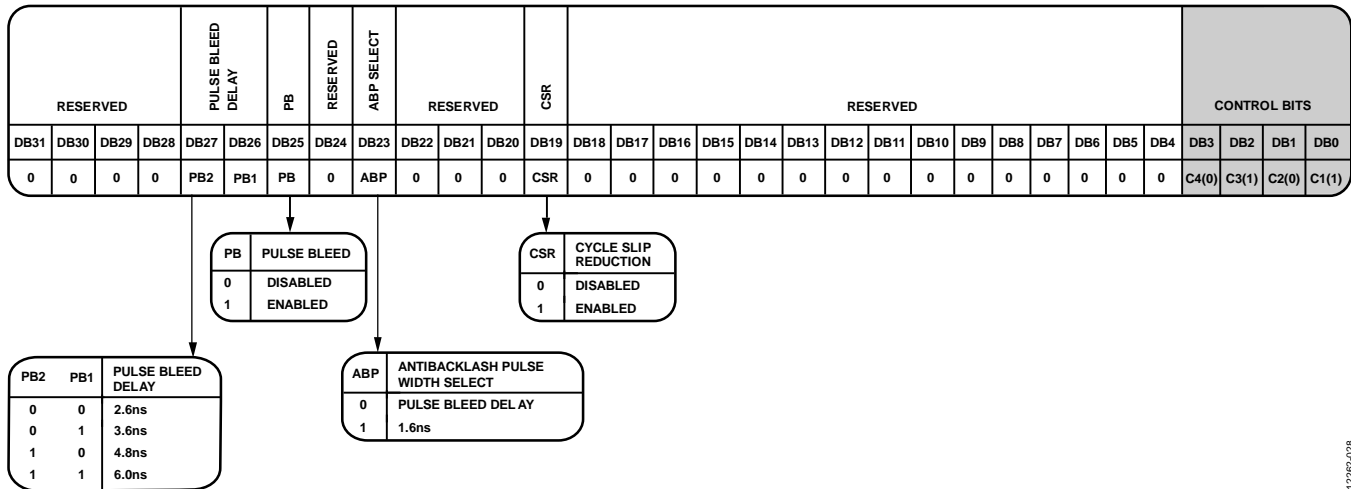


Figure 29. Register 5 (R5)

12282-028

REGISTER 6

Register 6 Control Bits

With Bits[C4:C1] set to 0110, Register 6 is programmed. Figure 30 shows the input data format for programming this register.

Reference Input (REF_{IN}) Mode

When DB30 is set to 1, differential mode is used on the reference input. When this bit is set to 0, single-ended mode is used on the reference input.

RF Divider Select

Bits[DB23:DB21] select the value of the RF output divider (see Figure 30).

Bleed Current Settings

Enabling the constant negative bleed (DB12) is the recommended default mode to optimize the PLL in-band phase noise and spur performance. Constant negative bleed works by adding a constant offset to the charge pump and, therefore, improves its linearity.

Bits[DB20:DB13] and DB12 are used to control the amount of constant negative bleed current.

Bits[DB20:DB13] set the value of this bleed current with a resolution of 3.75 μA. The correct value of bleed current (I_{BLEED}) depends on the programmed charge pump current (I_{CP}) and the N counter value and must be calculated with following formula:

$$I_{BLEED} = 6 \times I_{CP} / N$$

The closest higher value must be chosen with the bleed current setting bits.

Constant Negative Bleed Current

When set to 1, Bit DB12 enables the constant negative bleed current. When set to 0, it disables the constant negative bleed current.

Mute Till Lock Detect (MTLD)

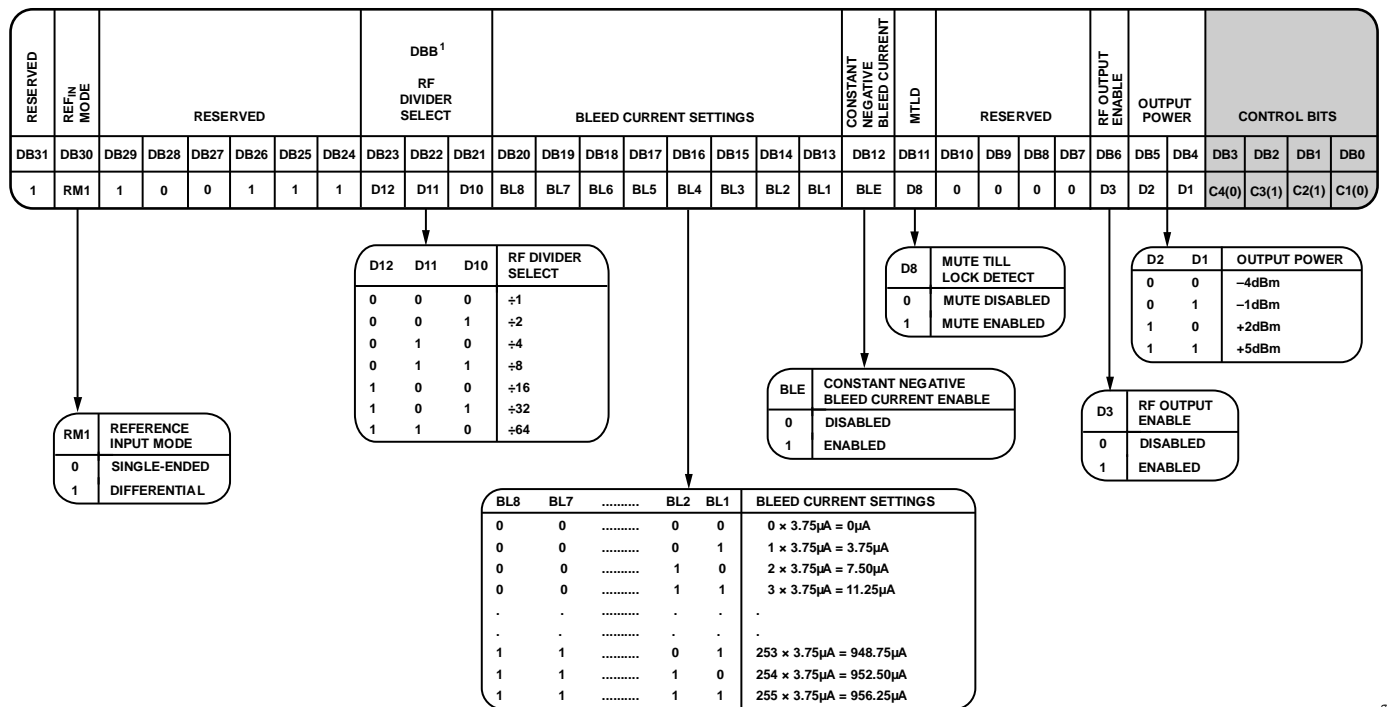
When DB11 is set to 1, the supply current to the RF output stage is shut down until the device achieves lock, as measured by the digital lock detect circuitry.

RF Output Enable

The DB6 bit enables or disables the RF output. If DB5 is set to 0, the RF output is disabled. If DB5 is set to 1, the RF output is enabled.

Output Power

Bits[DB5:DB4] set the value of the RF output power level (see Figure 30).



¹DBB = DOUBLE BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0 IF, AND ONLY IF, DB14 OF REGISTER 4 IS HIGH.

Figure 30. Register 6 (R6)

REGISTER 7

Register 7 Control Bits

With Bits[C4:C1] set to 0111, Register 7 is programmed. Figure 31 shows the input data format for programming this register.

Lock Detect Cycle Count

Bits[DB9:DB8] set the number of consecutive cycles counted by the lock detect circuitry before asserting the lock detect high. See Figure 31 for more details.

Loss of Lock (LOL) Mode

Use this function if the application is a fixed frequency application in which the reference (REF_{IN+}/REF_{IN-}) is likely to be removed, such as a clocking application. The standard lock detect circuit assumes that the reference is always present. This functionality is enabled by setting DB7 to 1.

Lock Detect (LD) Mode

If DB4 is set to 0, each reference cycle is 5 ns long, which is appropriate for fractional-N mode. If DB4 is set to 1, each reference cycle is 2.4 ns long, which is more appropriate for integer-N mode. The lock detect signal goes high after the proper number of reference cycles, programmed by bits of the lock detect count field (Bits[DB9:DB8]), occurs.

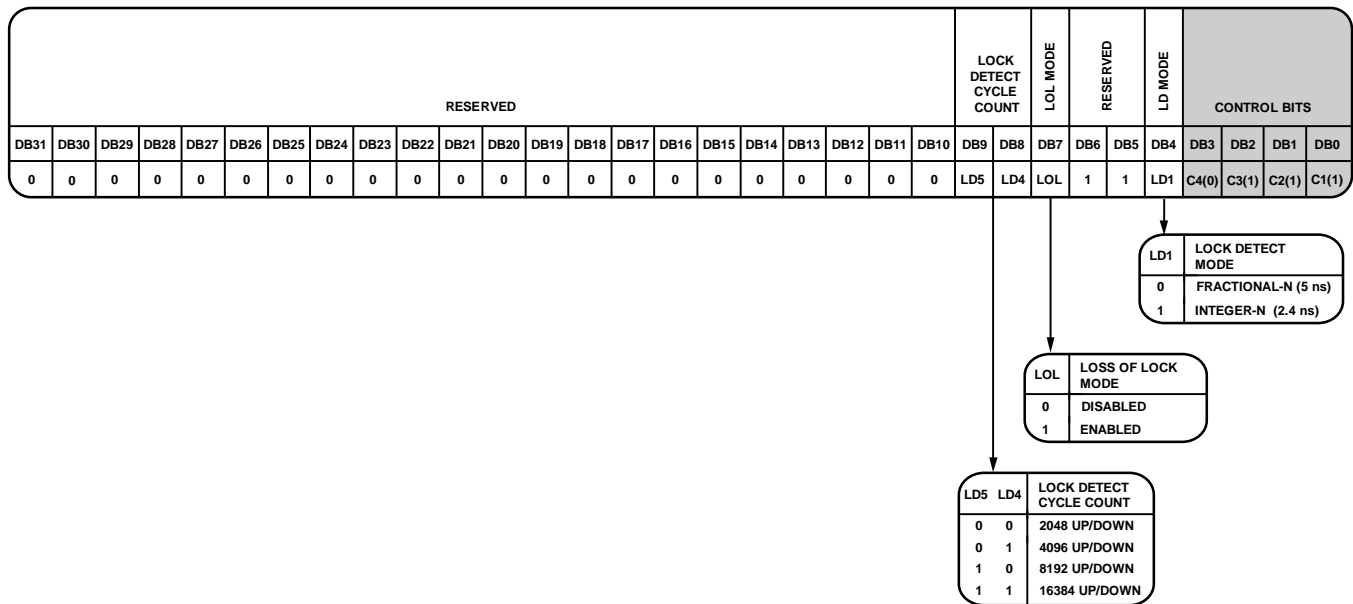


Figure 31. Register 7 (R7)

12282-030

REGISTER 8

Register 8 Control Bits

With Bits[C4:C1] set to 1000, Register 8 is programmed. Figure 32 shows the input data format for programming this register.

Dither 1

Dither to the fixed accumulator (FRAC1/MOD1) can be activated on the ADF4155 by setting DB28 in Register 8. This is the default setting to optimize the spurious performance.

Phase Word

Bits[DB27:DB4] set the phase word that is also the seed word for the Σ - Δ modulator. For best spur performance, setting this value to a nonzero prime number is recommended. A register setting of 0x01EA5FE18 is the recommended default value.

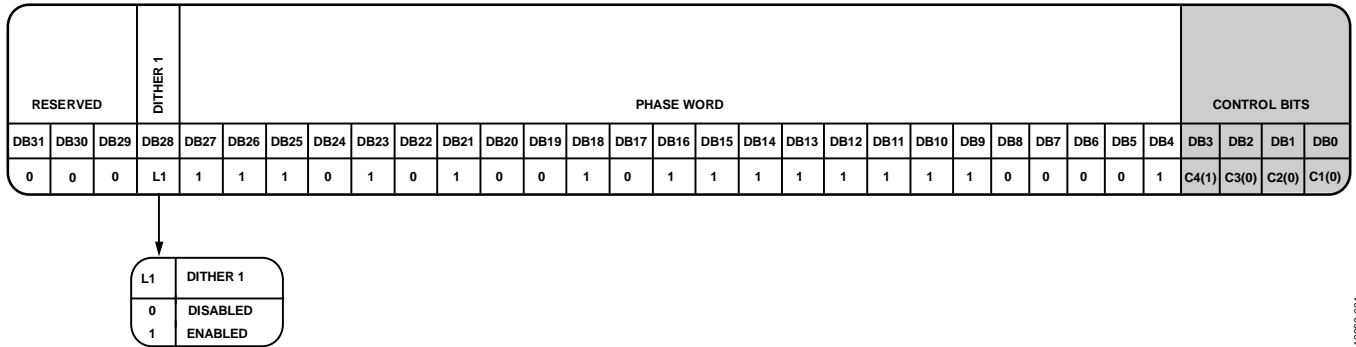


Figure 32. Register 8 (R8)

12262-031

REGISTER INITIALIZATION SEQUENCE

At initial power-up, after the correct application of voltages to the supply pins, start the ADF4155 registers in the following sequence:

1. Register 8
2. Register 7
3. Register 6
4. Register 5
5. Register 4
6. Register 3
7. Register 2
8. Register 1
9. Register 0

RF SYNTHESIZER—A WORKED EXAMPLE

The following equations are used to program the ADF4155 synthesizer:

$$RF_{OUT} = \left(INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \times \frac{f_{PFD}}{RF\ Divider} \quad (6)$$

where:

RF_{OUT} is the RF frequency output.

INT is the integer division factor.

$FRAC1$ is the 24-bit main fractional value.

$FRAC2$ is the 14-bit auxiliary fractional value.

$MOD2$ is the 14-bit auxiliary modulus value.

$MOD1$ is the 24-bit fixed modulus value.

$RF\ Divider$ is the output divider that divides down the VCO frequency.

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (7)$$

where:

REF_{IN} is the reference frequency input.

D is the reference doubler bit.

R is the reference division factor.

T is the reference divide by 2 bit (0 or 1).

For example, in a UMTS system where a 2114.6 MHz RF frequency output (RF_{OUT}) is required, a 122.88 MHz reference frequency input (REF_{IN}) is available. Therefore, the RF divider of 2 can be used to improve the phase noise at the RF outputs (VCO frequency = 4229.2 MHz, $RF_{OUT} = \text{VCO frequency}/\text{RF divider} = 4229.2 \text{ MHz}/2 = 2114.6 \text{ MHz}$).

The ADF4155 allows closing the loop only before the output divider (see Figure 33).

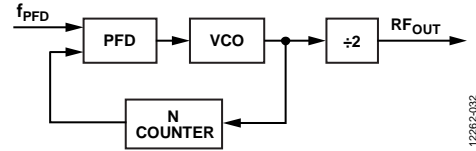


Figure 33. Loop Closed Before Output Divider

With $REF_{IN} = 122.88 \text{ MHz}$, a $f_{PFD} = 61.44 \text{ MHz}$ is selected.

Use the following values with Equation 6:

- $N\ \text{counter} = \text{VCO Frequency}/f_{PFD}$
- $INT = \text{integer}(\text{VCO Frequency}/f_{PFD})$; $INT = 68$
- $FRAC = \text{remainder}(\text{VCO Frequency}/f_{PFD}) = 0.834635$
- $MOD1 = 2^{24} = 16,777,216$
- $FRAC1 = \text{integer}(\text{MOD1} \times \text{FRAC}) = 14,002,858$
- $\text{Remainder} = 0.6672 = \text{FRAC2}/\text{MOD2}$

With a channel spacing of 200 kHz, $MOD2$ and $FRAC2$ equal the following:

- $MOD2 = 61440 \text{ kHz}/\text{GCD}(61440 \text{ kHz}, 200 \text{ kHz})$.
 $\text{GCD}(f_{PFD}, f_{CHSP})$ is a greatest common divisor of the PFD frequency and the channel spacing frequency. Therefore, $MOD2 = 1536$.
- $FRAC2 = \text{integer}(\text{MOD2} \times 0.6672) = 1024$

From Equation 7, the following is true:

$$f_{PFD} = [122.88 \text{ MHz} \times (1 + 0)]/2 = 61.44 \text{ MHz}$$

$$2112.6 \text{ MHz} = [61.44 \text{ MHz} \times [(INT + (FRAC1 + \text{FRAC2}/\text{MOD2})/2^{24})]/2]$$

where:

$INT = 68$.

$FRAC1 = 14,002,858$.

$FRAC2 = 1024$.

$MOD2 = 1536$.

$RF\ Divider = 2$.

REFERENCE DOUBLER AND REFERENCE DIVIDER

The on-chip reference doubler allows the input reference signal to be doubled. This feature is useful for increasing the PFD comparison frequency. Making the PFD frequency higher improves the noise performance of the system. Doubling the PFD frequency usually improves noise performance by 3 dB. Note that the PFD frequency cannot operate above 125 MHz due to a limitation in the speed of the Σ - Δ circuit of the N counter.

The reference divide by 2 divides the reference signal by 2, resulting in a 50% duty cycle PFD frequency.

CYCLE SLIP REDUCTION FOR FASTER LOCK TIMES

To achieve good attenuation of the unwanted spurs, narrow loop bandwidth is recommended. However, in fast locking applications, the loop bandwidth generally needs to be wide, and, therefore, the filter does not provide much attenuation of the spurs. If the cycle slip reduction feature is enabled, the narrow loop bandwidth is maintained for spur attenuation but faster lock times are still possible.

Cycle Slips

Cycle slips occur in integer-N/fractional-N synthesizers when the loop bandwidth is narrow compared to the PFD frequency. The phase error at the PFD inputs accumulates too fast for the PLL to correct, and the charge pump temporarily pumps in the wrong direction, slowing down the lock time dramatically. The ADF4155 contains a cycle slip reduction feature that extends the linear range of the PFD, allowing faster lock times without modifications to the loop filter circuitry.

When the circuitry detects that a cycle slip is about to occur, it turns on an extra charge pump current cell. This outputs a constant current to the loop filter or removes a constant current from the loop filter (depending on whether the VCO tuning voltage needs to increase or decrease to acquire the new frequency). The effect is that the linear range of the PFD is increased. Loop stability is maintained because the current is constant and is not a pulsed current.

If the phase error increases again to a point where another cycle slip is likely, the ADF4155 turns on another charge pump cell. This cycle slip and addition of a charge pump cell continues until the ADF4155 detects that the VCO frequency has gone past the desired frequency. The extra charge pump cells are turned off one by one until all the extra charge pump cells have been disabled, and the frequency is settled with the original loop filter bandwidth.

Up to seven extra charge pump cells can be turned on. In most applications, it is enough to eliminate cycle slips altogether, giving much faster lock times.

Setting Bit DB19 in Register 5 to 1 enables cycle slip reduction. Note that the PFD requires a 45% to 55% duty cycle for CSR to operate correctly.

SPURIOUS OPTIMIZATION

Narrow loop bandwidths can filter unwanted spurious signals; however, these bandwidths usually have a long lock time. A wider loop bandwidth achieves faster lock times but can lead to increased spurious signals inside the loop bandwidth.

SPUR MECHANISMS

This section describes the different spur mechanisms that arise with a fractional-N synthesizer, and how to minimize them in the ADF4155.

Integer Boundary Spurs

One of the mechanisms for fractional spur creation is the interactions between the RF VCO frequency and the reference frequency. When these frequencies are not integer related (the purpose of a fractional-N synthesizer), spur sidebands appear on the VCO output spectrum at an offset frequency that corresponds to the beat note or the difference frequency between an integer multiple of the reference and the VCO frequency. These spurs are attenuated by the loop filter and are more noticeable on channels close to integer multiples of the reference where the difference frequency can be inside the loop bandwidth (thus the name integer boundary spurs).

Reference Spurs

Reference spurs are generally not a problem in fractional-N synthesizers because the reference offset is far outside the loop bandwidth. However, any reference feedthrough mechanism that bypasses the loop can cause a problem. Feedthrough of low levels of on-chip reference switching noise, through the RF_{IN+}/RF_{IN-} pins back to the VCO, can result in reference spur levels as high as -90 dBc. The printed circuit board (PCB) layout must ensure adequate isolation between VCO traces and the input reference to avoid a possible feedthrough path on the board.

Fractional Spurs

The combination of the high fixed modulus MOD1 and the programmable modulus MOD2 gives a very high effective 38-bit resolution and spreads the Σ - Δ quantization energy into small subhertz discrete bins that then appear as broadband noise rather than discrete spurs. The use of negative bleed at the recommended setting (see Register 6 and Figure 30), and the wider ABP of 2.6 ns, linearizes the transfer function from the Σ - Δ output to the VCO output and minimizes the spur regrowth. For some combinations of FRAC2 and MOD2, discrete spurs can reappear. In these cases, changing FRAC2 or MOD2 by 1 LSB often removes these spurs.

For best spur performance, take the PLL output from the external VCO rather than the internal RF buffer.

APPLICATIONS INFORMATION

LOCAL OSCILLATOR WITH RF BUFFER

Figure 34 shows the **ADF4155** used with a VCO and an RF buffer to produce a local oscillator (LO) at 5.8 GHz.

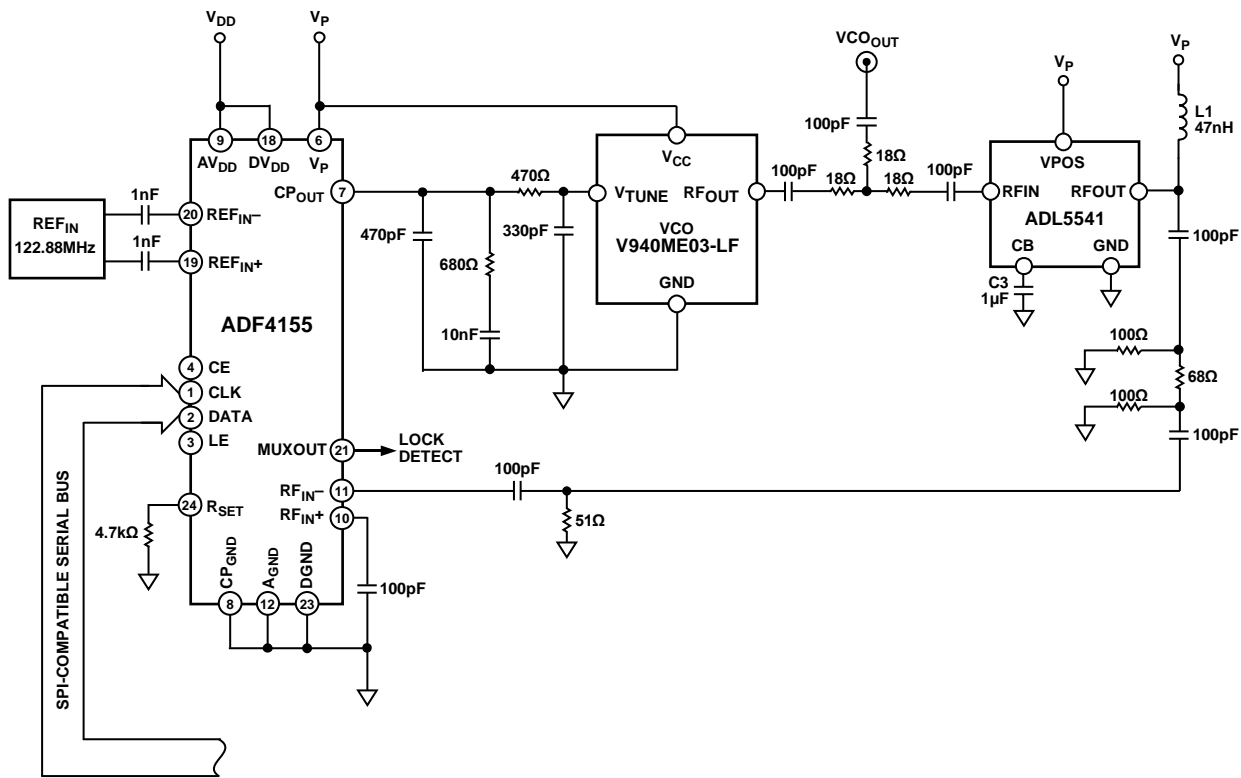
The differential reference input signal is applied to the circuit at REF_{IN+} and REF_{IN-} . A 122.88 MHz reference is used, which is divided by 2 to serve as the 61.44 MHz PFD frequency.

The charge pump output ($I_{CP} = 0.938$ mA) of the **ADF4155** drives the loop filter. The **ADIsimPLL** design tool is used to calculate the loop filter components. It is designed for a loop bandwidth of 80 kHz and a phase margin of 45° .

The loop filter output drives the VCO, whose output is fed back to the RF input of the PLL synthesizer via an RF buffer. It also drives the RF output terminal (VCO_{OUT}). A T-circuit configuration provides $50\ \Omega$ matching between the VCO_{OUT} , the $RFOUT$, and the $RFIN$ pins of the **ADL5541** RF buffer.

The RF buffer is an optional buffer inserted in the feedback between the VCO and the RF_{IN+}/RF_{IN-} pins of the PLL, where an improvement in spur performance is required. The pie attenuator is required to reduce the RF buffer output to within the required range of the PLL RF_{IN+}/RF_{IN-} pins.

In a PLL system, it is important to know when the loop is in lock. The locking is achieved by using the **MUXOUT** signal from the synthesizer. The **MUXOUT** pin can be programmed to monitor various internal signals in the synthesizer. One of these is the lock detect signal.



NOTES
THIS IS A SIMPLIFIED SCHEMATIC, DECOUPLING CAPACITORS AND SPI CONNECTION DETAILS HAVE BEEN OMITTED FOR CLARITY.

Figure 34. Typical Application Diagram

12262-033

NOTES

NOTES

NOTES

Résumé

Compte tenu du projet d'implémentation du réseau de cinquième génération (5G) dans le futur et de sa mise en place progressive, ce modeste travail peut servir aux chercheurs portant intérêt sur les nouvelles technologies de la 5G, en leur fournissant d'avantages idées pour la poursuite de leurs travaux et de leurs réflexions. Dans ce sens, l'étude menée dans cette thèse, s'appuie grandement sur la littérature, intégrant les connaissances issues des travaux de recherches portant sur la mise en œuvre des synthétiseurs de fréquences dans les systèmes de communication, avec pour objectif une modélisation et caractérisation d'une PLL associée à une synthèse de la bande de fréquence-E, requise par la norme 5G. La particularité du modèle proposé réside dans son architecture à la fois simple et performante dont l'usage est dédié aux émetteurs-récepteurs 5G.

Mots clés : Synthétiseur de fréquences, PLL, 5G, bande de fréquence-E, ADF4155.

Abstract

This research work may help researchers interested in new 5G technologies, providing them with ideas to further their work in this domain. In this sense, the study conducted in this thesis is based on the literature revolving around frequency synthesizers for communication systems, with the objective of modelling and characterizing a PLL associated with a synthesis of the E-frequency band, required by the 5G standard. The particularity of the suggested model lies in its simple and efficient architecture, which is dedicated to 5G transceivers.

Key words: Frequency synthesizer, PLL, 5G, E-band frequency, ADF4155.