

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE



UNIVERSITE ABOU BEKR BELKAID-TLEMCEN
FACULTE DE TECHNOLOGIE



DEPARTEMENT DE GENIE ELECTRIQUE ET ELECTRONIQUE

Thèse

Pour l'obtention du diplôme de Doctorat en micro-électronique

Thème

Etude, conception et simulation des performances
des MOSFET à grille multiple sur SOI
MUGFET SOI

Présentée par :

M^{elle} RAHOU Fatima Zohra

Soutenue en 21/11/ 2015 devant les membres du jury :

GHAFFOUR Kheir-Eddine	Professeur	U.Tlemcen	Président
BOUAZZA née GUEN Ahlam	MCA	U.Tlemcen	Directeur de thèse
LASRI Boumédiène	Professeur	U.Saida	Examineur
AYACHE née SAYAH Choukria	MCA	C.U.Ain Temouchent	Examineur
HAMDOUNE Abdelkader	Professeur	U.Tlemcen	Invité

Dédicace

Je dédie ce modeste travail :

*A mes parents, les plus chers au monde qu'ils
m'ont encouragé,*

A mon frère et mes sœurs,

A toute ma famille et tous ceux qui me sont chers,

A mes collègues et toutes mes amies.

Rahou Fatima Zohra

Remerciements

Je remercie **ALLAH** le tout-puissant de m'avoir donné le courage et la volonté de mener à terme ce travail.

Les travaux présentés dans ce manuscrit ont été réalisés à la Faculté de Technologie, Département de Génie Electrique et Electronique de l'Université Abou-Bekr Belkaid de Tlemcen et à l'Unité de Recherche Matériaux et des Energies Renouvelables (URMER) de la faculté des sciences, sous la direction de madame **Ahlam Guen Bouazza**, Maîtres de Conférences à l'Université Abou Bekr -Belkaid-Tlemcen, à qui je voudrais témoigner toute ma reconnaissance et toute ma gratitude, elle a fait preuve de tant de patience et de pédagogie tout au long de ce travail. Je lui exprime toute ma reconnaissance pour m'avoir fait bénéficier de toutes ses compétences et sa rigueur scientifiques, ses connaissances et sa maîtrise en la matière. Je voudrais aussi lui témoigner toute ma gratitude pour ses qualités humaines et sa constante disponibilité.

J'adresse mes sincères remerciements à monsieur **K.E. Ghaffour**, Professeur à l'Université Abou Bekr Belkaid-Tlemcen, d'avoir accepté de présider le Jury de cette thèse.

Je remercie sincèrement monsieur **B.Lasri** Professeurs à l'Université de Saida et madame **C. Sayah** Maîtres de Conférences au Centre Universitaire de Ain Temouchent ainsi que monsieur **A. Hamdoune** Professeur à l'Université Abou Bekr Belkaid-Tlemcen d'avoir accepté de faire partie du Jury.

Je ne peux terminer ces remerciements sans exprimer toute ma gratitude à tous les membres de ma famille qui m'ont supporté, soutenu et conseillé tout au long de ma vie, en particulier ma **mère** et mon **père**.

Table des matières

Liste des figures.....	11
Liste des tableaux.....	21
Liste des constantes, symboles et abréviations.....	22
Introduction générale.....	32
Chapitre I. Le transistor et sa miniaturisation	
I.1. Introduction.....	41
I.2. Le transistor MOSFET.....	42
I.2.1.Principe de base et structures des transistors MOS	43
I.2.1.1. Effet de champ.....	43
I.2.1.2. Structure possibles	43
I.3. Principe de fonctionnement.....	45
I.3.1. La tension de seuil V_{th} (threshold voltage).....	46
I.3.2. Les régimes de fonctionnement du transistor MOS	46
I.4. Analyse physique de la structure métal/oxyde/semi-conducteur idéale.....	49
I.4.1. Diagramme d'énergie à l'équilibre thermodynamique.....	49
I.4.2. Régime d'accumulation.....	50
I.4.3. Régime de désertion.....	52
I.4.4. Régime de faible inversion.....	53
I.4.5. Régime de forte inversion.....	54
I.4.6. Résolution de l'équation de Poisson.....	55
I.4.7. Variation de la concentration de charge en surface en fonction de la polarisation de grille.....	57
I.4.7.1. Régime d'accumulation.....	57
I.4.7.2. Régime de désertion ou d'appauvrissement.....	58
I.4.7.3. Régime de faible inversion.....	58
I.4.7.4. Régime de forte inversion.....	59
I.4.7.5. Variations de Q_s en fonction de ψ_s	59
I.5. Principaux paramètres des MOSFETs.....	61
I. 6. Transistor MOS : schéma équivalent.....	64
I.7. La miniaturisation et ses effets parasites	66

Table des matières

I.7.1. La mobilité effective.....	67
I.7.2. Les effets des canaux courts.....	69
I.7.2.1. Effets de la modulation de la longueur du canal (effet Early).....	69
I.7.2.2. Vitesse de saturation.....	70
I.7.2.3. Diminution de la tension de seuil V_{th} dans les canaux courts.....	71
I.7.2.4. Effets de réduction de la barrière de potentiel induit par le drain (Effet de perçement).....	73
I.7.2.5. Résistances séries parasites.....	74
I.7.2.6. Effet de perçage « punch-through ».....	75
I.7.2.7. Le partage des charges.....	76
I.7.2.8. Effet de canal court inverse.....	78
I.7.3. Injection de porteurs chauds.....	78
I.7.4. Effet tunnel dans les oxydes minces.....	79
I.7.5. Les effets liés à la grille.....	80
I.7.5.1. Épaisseur effective de grille.....	81
I.7.5.1.1. Effets de poly-désertion.....	81
I.7.5.1.2. Les effets quantiques.....	82
I.7.5.2. Le courant de grille.....	83
I.7.5.3. Effet GIDL.....	85
I.7.6. L'ionisation par impact.....	86
I.7.7. Les claquages et le régime d'avalanche.....	88
I.8. Solutions apportées aux effets indésirables de la miniaturisation	88
I.8.1. La technologie SOI.....	88
I.8.1.1. Introduction.....	88
I.8.1.2. Le SOI totalement déserté (FDSOI).....	90
I.8.1.3. Avantage de la technologie SOI.....	90
I.8.1.3.1. Augmentation de la densité d'intégration.....	91
I.8.1.3.2. Réduction des capacités parasites du substrat.....	91
I.8.1.3.3. Suppression du thyristor parasite (latch-up).....	91
I.8.1.3.4. Simplification des étapes de siliciuration ou de métallisation.....	92
I.8.1.3.5. Diminution du nombre d'étapes de développement.....	93
I.8.1.3.6. Meilleure caractéristiques de courants.....	94
I.8.1.3.6.1. Réduction de l'effet de substrat.....	94
I.8.1.3.6.2. Plus grand courant de saturation.....	94

Table des matières

I.8.1.3.6.3. Plus grande mobilité et transconductance de grille.....	94
I.8.1.3.7. Réduction des effets de canaux courts.....	95
I.8.1.3.8. Diminution de l'inverse de la pente sous le seuil.....	95
I.8.1.4. Inconvénient majeur de la technologie SOI.....	96
I.9. Conclusion	97
Références chapitre I	98

Chapitre II. Les transistors à grilles multiples MUGFET

II.1. Introduction	104
II.2. Présentation des différentes architectures MOSFET multi-grille	105
II.2.1. Les architectures Double Grille.....	105
II.2.1.1. Le Double Grille planaire.....	106
II.2.1.1.1. Procédé de fabrication.....	107
II.2.1.1.2. Performances électriques-Discussions.....	108
II.2.1.2. Transistor double-grille à conduction verticale.....	109
II.2.1.2.1. Introduction.....	109
II.2.1.2.2. Transistor à conduction verticale réalisé par diffusion de source, solide (VRG).....	110
II.2.1.2.2.1. Procédé de fabrication.....	110
II.2.1.2.2.2. Performances électriques-Discussion.....	111
II.2.1.3. Transistor à conduction verticale réalisé par épitaxie.....	112
II.2.1.3.1. Procédé de fabrication.....	112
II.2.1.3.2. Performances électriques-Discussion.....	113
II.2.1.4. Transistor à conduction verticale réalisé par implantation.....	113
II.2.1.4.1. Procédé de fabrication.....	113
II.2.1.4.2. Performances électriques-Discussion.....	114
II.2.1.5. Transistor à conduction latérale.....	114
II.2.1.5.1. Delta-FET.....	114
II.2.1.5.1.1. Procédé de fabrication.....	114
II.2.1.5.1.2. Performances électriques.....	115
II.2.1.5.2. FinFET.....	116
II.2.1.5.2.1. Introduction.....	116
II.2.1.5.2.1.1. Procédé «gate last».....	116

Table des matières

II.2.1.5.2.1.1.1. Procédé de fabrication.....	116
II.2.1.5.2.1.1.2.Performances électriques- Discussion.....	118
II.2.1.5.2.2. Procédé «gate first».....	118
II.2.1.5.2.2.1. Procédé de fabrication.....	118
II.2.1.5.2.2.2.Performances électriques- Discussion.....	119
II.2.2. Les architectures Triple Grille.....	121
II.2.2.1. Triple-Grille classique.....	121
II.2.2.2. Pi-gate - Omega-Gate.....	122
II.2.3. Procédé innovant de fabrication d'un transistor FinFET, FinFET Triple-Gate , Pi-Gate et Omega-Gate.....	123
II.2.3.1. Introduction.....	123
II.2.3.2. Nettoyage du substrat SOI.....	124
II.2.3.3. Définition des ailettes de silicium.....	124
II.2.3.3.1. Lithographie électronique.....	124
II.2.3.3.2. Transfert des motifs par gravure plasma RIE.....	124
II.2.3.4.3. Définition de la matrice isolante de HSQ.....	125
II.2.3.4. Ouverture Damascène.....	125
II.2.3.5. Formation de l'oxyde de grille.....	126
II.2.3.6. Dépôt du matériau de grille.....	127
II.2.3.6.1. Choix du matériau de grille.....	127
II.2.3.6.2. Pulvérisation et planarisation du matériau de grille.....	128
II.2.3.7. Formation des espaceurs.....	128
II.2.3.8. Définition de la source et du drain.....	129
II.2.3.9. Alternatives-Perspectives.....	130
II.2.3.9.1. Réalisation d'un transistor MOS triple-grille.....	130
II.2.3.9.2. Dopage de la source et du drain.....	131
II.2.3.9.3. Grille asymétrique.....	131
II.2.4. L'architecture MOSFET à grille enrobée.....	131
II.2.4.1. Les différentes catégories de la technologie GAA MOSFET.....	133
II.2.4.1.1. Le transistor GAA MOSFET rectangulaire.....	133
II.2.4.1.2. Le transistor GAA MOSFET triangulaire.....	134

Table des matières

III.3. Modèles physiques utilisés	178
III.3.1. Les modèles de mobilité.....	179
III.3.1.1. Modèle de Lombardi (CVT).....	180
III.3.1.2. Modèle de FLDMOB.....	181
III.3.1.3. Modèle de CONMOB.....	182
III.3.2. Mécanismes de recombinaison.....	183
III.3.2.1. Recombinaison SRH (Schokley-Read-Hall).....	184
III.3.2.2. Recombinaison Auger.....	186
III.3.3. Rétrécissement de la bande interdite (Bandgap-Narrowing)-modèle BGN.....	188
III.4. Les modèles d'ionisation par impact	189
III.4.1. Modèles s'appuyant sur la formule de Chynoweth.....	190
III.4.2. Modèle de Crowell et Sze.....	190
Références chapitre III	191
 Chapitre IV : Résultats et Interprétations	
IV.1. Introduction	196
IV.2. Présentation du logiciel TCAD-SILVACO	196
IV.2.1. Présentation du paquet des programmes SILVACO.....	197
IV.2.1.1. Les outils de simulation (VWF core tools).....	197
IV.2.1.2. Les outils interactifs (VWF interactive tools).....	197
IV.2.1.3. Les outils d'automatisation (VWF automation tools).....	197
IV.2.1.3.1. Les outils interactifs VWF.....	198
IV.2.1.3.2. Les outils de simulation.....	199
IV.2.2. Présentation d'Atlas.....	199
IV.2.2.1. Logique de programmation.....	203
IV.2.2.1.1. Spécification de la structure.....	204
IV.2.2.1.2. Spécification des modèles physiques.....	205
IV.2.2.1.3. Sélection de la méthode numérique.....	206
IV.2.2.1.4. Spécification des solutions.....	207
IV.2.2.1.5. Analyse des résultats.....	207
IV.2.2.2. Diagramme de la simulation numérique de Silvaco.....	208
IV.3. Structures MUGFET SOI simulées par SILVACO	210
IV.4. Simulation et discussion des résultats	212
IV.4.1. Caractéristique électriques des transistors MUGFET SOI simulés.....	212

Table des matières

IV.4.1.1. Caractéristique de transfert $I_{DS}-V_{DS}$	212
IV.4.1.2. Caractéristique de transfert $I_{DS}-V_{GS}$	213
IV.4.1.3. La pente sous le seuil.....	214
IV.4.1.4. Le courant de fuite I_{off} de structures simulées.....	215
IV.4.1.5. Le courant dans l'état ON (I_{on}) de structures simulées.....	216
IV.4.1.6. Le rapport I_{on} / I_{off} des structures simulées.....	216
IV.4.1.7. Le DIBL: l'abaissement de la barrière de potentiel induit par le drain.....	217
IV.5. Les transistors multi-grille à base de matériaux innovants	219
IV.5.1. Caractéristique de transfert $I_{DS}-V_{DS}$	222
IV.5.2. Caractéristique de transfert $I_{DS}-V_{GS}$	223
IV.5.3. La pente sous le seuil.....	223
IV.5.4. Le courant de fuite I_{off}	224
IV.5.5. Le courant dans l'état ON (I_{on}).....	225
IV.5.6. Le rapport I_{on} / I_{off}	226
IV.5.7. Le DIBL: l'abaissement de la barrière de potentiel induit par le drain.....	226
IV.6. Modulation du travail de sortie du métal de la grille	228
IV.7. Conclusion	232
Références chapitre IV	234
Conclusion générale et perspectives	236

Liste des figures

Figure I : a) Différentes configurations de SOI MOSFETs multi-grilles. b) Sections transverses schématiques classées en fonction du nombre équivalent de grilles.....	34
Figure I.1 : Processeur Intel : (a) Intel 4004 et (b) Intel Pentium IV.....	41
Figure I.2 : Représentation schématique d'un transistor nMOS sur silicium massif	42
Figure I.3 : Effet de champ dans un transistor MOS.....	43
Figure I.4 : Structures et symboles des transistors MOS.....	44
Figure I.5 : Coupes et représentations symboliques des différents types de transistors MOS.....	45
Figure I.6 : Coupe de MOSFET représentative de son fonctionnement en absence de polarisation (régime bloqué).....	47
Figure I.7 : Coupe de MOSFET représentative de son fonctionnement : activation du canal ($V_g > V_t$).....	47
Figure I.8 : Coupe du MOSFET représentative de son fonctionnement en régime linéaire dit ohmique.....	47
Figure I.9 : Coupes de MOSFETs représentatives de son fonctionnement en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de ΔL (droite).....	47
Figure I.10 : Caractéristiques idéales de transfert d'un transistor MOS de type N.....	49
Figure I.11 : Caractéristiques de sortie d'un transistor MOS de type N. La courbe pointillée correspond à la tension V_{dsat} . Pour $V_d > V_{dsat}$ le courant reste constant à I_{dsat}	49
Figure I.12 : diagrammes d'énergie à l'équilibre thermodynamique des différents matériaux de la structure MOS avant contact puis après contact. Le niveau de Fermi est dans la bande de conduction pour le métal. La largeur de la bande interdite de l'oxyde est très grande devant celle du semi-conducteur. Le semi-conducteur est dopé p dans cet exemple, le niveau de Fermi se trouve donc proche de la bande de valence.....	50
Figure I.13 : variation du potentiel à travers la structure. La variation est linéaire dans l'oxyde. ψ_s est le potentiel à l'interface. Le potentiel de la grille est égal à la somme des potentiels dans l'oxyde et le semi-conducteur.....	51
Figure I.14 : diagramme d'énergie de la structure en régime d'accumulation. Au niveau de l'interface oxyde/semi-conducteur, le niveau de Fermi est plus proche de la bande de valence.....	52

Figure I.15 : Diagramme d'énergie de la structure en régime de désertion pour un substrat dopé p. La courbure est dans ce cas vers le bas et le niveau de Fermi à l'interface s'écarte de la bande de valence et se rapproche du niveau de Fermi intrinsèque.....53

Figure I.16 : Diagramme d'énergie de la structure en régime d'inversion pour un substrat dopé p. La courbure est dans ce cas vers le bas et le niveau de Fermi à l'interface est passé au-dessus du niveau de Fermi intrinsèque.....53

Figure I.17 : diagramme d'énergie de la structure en forte inversion. Le niveau de Fermi à l'interface est au moins aussi proche de la bande de conduction qu'il n'est de la bande de valence dans le volume neutre.....54

Figure I.18 : Représentation de la distribution des charges dans la structure en régime de forte inversion. La concentration en électrons à l'interface oxyde-semi-conducteur est très élevée, l'épaisseur de cette zone est très faible. Il en est de même du côté métal.....55

Figure I.19 : Variation de la charge en fonction du potentiel à l'interface oxyde semi-conducteur dans le cas d'un substrat de type p. En régime d'accumulation ou de forte inversion la variation est très rapide.....59

Figure I.20 : Représentation schématique de la structure MOS en régime de conduction non saturée. Le canal existe partout sous la grille. Le potentiel de surface varie en fonction de la position y ; il en est de même pour la charge d'interface Q_f . L'intégrale de la résistance entre 0 et L permet de déterminer le courant total drain-source traversant le transistor. La résistance augmente lorsque la polarisation drain-source augmente.....60

Figure I.21 : Caractéristique de transfert typique d'un transistor NMOS intégré. Le courant drain-source varie sur une dizaine de décade pour une variation de l'ordre du volt pour la tension de grille.....61

Figure I.22 : Caractéristiques $I_D(V_{DS})$ typiques à différents V_{GS} d'un transistor NMOS.....62

Figure I.23 : Caractéristique $I_D(V_{GS})$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , G_m et V_T sont indiqués.....63

Figure I.24 : Caractéristique $\log [I_D(V_{GS})]$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , I_{off} et S sont indiqués.....63

Figure I.25 : Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en inversion.....64

Figure I.26 : Décomposition de la capacité parasite C_{GSpara} de la en capacité C_{bord} et capacité de recouvrement C_{rec} grille/caisson.....65

Figure I.27 : Caractéristiques d'un nMOSFET avec $L_g = 0,12 \mu\text{m}$ et $W = 2,5 \mu\text{m}$ pour deux polarisations distincte de V_{ds}	67
Figure I.28 : Variations de la caractéristique dI_{ds}/dV_{gs} en fonction de V_{gs} et de V_{sb} , pour un nMOSFET avec $L_g = 5 \mu\text{m}$ et $W = 2,5 \mu\text{m}$, V_{sb} varie de -0.5 V à 1 V par pas de $0,25 \text{ V}$, $V_{ds} = 0,1 \text{ V}$	68
Figure I.29 : Déplacement du point de pincement du canal.....	69
Figure I.30 : Caractéristiques $I_{dsat}(L_g)$ pour différents MOSFET.....	70
Figure I.31 : Evolution de la bande de conduction dans un MOS « long » ($L_G > 2.d$) et un MOS « court » ($L_G < 2.d$) selon l'axe source-drain à faible V_{DS} et avec V_{GS} égal à la tension de bande plate V_{FB} « d » épaisseur des ZCE des jonctions caissons/canal.....	71
Figure I.32 : Influence des zones de déplétion engendrées par la grille, la source et le drain..	72
Figure I.33 : Illustration des effets de percement. La tension de drain vient modifier la barrière de potentiel qui limite l'injection des porteurs dans le canal (percement en volume).....	73
Figure I.34 : Caractéristiques $I_{DS}(V_{GS})$ d'un transistor nMOS (technologie SOI $0,13 \mu\text{m}$), pour des tensions de drain différentes: $V_{DS}=1,2\text{V}$ (courbe bleue) et $V_{DS}=0,1\text{V}$ (courbe rouge) montrant l'effet DIBL.....	74
Figure I.35 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d'accès.....	74
Figure I.36 : recouvrement des zones de déplétion dans le substrat générant le punch-through.....	76
Figure I.37 : Visualisation des effets liés au partage des charges par comparaison de la région de désertion sous le canal pour, a), un MOSFET à canal long et, b), à canal court. Un grossissement de la région de désertion est donné en c)	77
Figure I.38 : Variations de la tension de seuil en fonction de la longueur du canal pour différents MOSFET. $V_{DS}= 1,2\text{V}$	77
Figure I.39 : Illustration des différents effets parasites générés par les porteurs chauds: phénomène d'avalanche {1}, courant de grille {2}, dégradation de l'oxyde {3}, courant de substrat {4}, abaissement de la barrière à la jonction source-canal {5}.....	79
Figure I.40 : Barrière vue par les électrons lorsqu'ils traversent un milieu isolant.....	80
Figure I.41 : Evolution de la densité de courant de fuite en fonction de la tension de grille pour différentes épaisseurs d'oxyde (20 \AA , 18 \AA , 16 \AA , 12 \AA), pour un transistor nMOS (trait plein: modèle, carré et triangle: données expérimentales).....	80

Figure I.42: Impact de la désertion de grille sur les caractéristiques C-V.....	81
Figure I.43 : Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET a) et illustration des effets de mécanique quantique et de poly-désertion par le diagramme des bandes b).....	82
Figure I.44 : Structure de bandes lorsque le courant de grille se manifeste.....	83
Figure I.45 : Représentation des courants tunnel traversant l'oxyde de grille d'un MOSFET à canal n.....	84
Figure I. 46 : Variations de la caractéristique $I_{ds}(V_{gs})$ en fonction de V_{ds}	85
Figure I.47 : Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL.....	85
Figure I.48 : Schématisation du processus d'ionisation par impact dans un MOSFET à canal n.....	87
Figure I.49 : Schéma de principe du procédé de fabrication des plaques SOI utilisant le procédé Smart Cut.....	89
Figure I.50 : Représentation schématique d'un transistor PDSOI (a) et d'un transistor FDSOI.....	90
Figure I.51: Capacités de jonctions parasites.....	91
Figure I.52 :.a: Thyristor parasite pour deux transistors MOSFET voisins sur substrat massif.....	92
Figure I.52:.b: Effets de la couche isolante SiO ₂ du substrat SOI sur les transistors parasites et les capacités parasites des jonctions pn.....	92
Figure I.53 : Formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat massif (A) et d'un composant sur substrat SOI (B).....	92
Figure I.54 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (gauche) et à canal court (droite).....	95
Figure I.55: Influence électrostatique sur le SOI à une grille.....	96
Figure II.1 : Les différentes structures multi-grilles	104
Figure II.2: Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale.....	105
Figure II.3: schéma d'un transistor double grille planaire (gauche) et image obtenue au microscope électronique à transmission (TEM) d'un transistor double grille planaire obtenu par collage (droite).....	107
Figure II.4: Procédé de fabrication d'un transistor double-grille planaire.....	108

Figure II.5: Différentes architectures de transistors double-grille verticaux.....	110
Figure II.6: Procédé de fabrication d'un transistor vertical double-grille basé sur la diffusion de sources solides.....	111
Figure II.7: Figure schématique d'un transistor vertical réalisé par épitaxie.....	112
Figure II.8: Procédé de fabrication d'un transistor vertical basé sur l'implantation de source/drain.....	114
Figure II.9 : Procédé de fabrication du transistor DELTA-FET.....	115
Figure II.10: Procédé de fabrication «gate last» pour la réalisation d'un transistor FinFET.....	117
Figure II.11: Procédé de fabrication «gate first» pour la réalisation d'un transistor FinFET.....	119
Figure II.12: Variation de la densité des ailettes obtenues pour les deux types de lithographie.....	119
Figure II.13: Variation des dimensions critiques pour les deux types de lithographie.....	120
Figure II.14: Vue 3D d'un quart de structure de transistor FinFET après gravure des espaceurs, présence de résidus de gravure (stringers).....	120
Figure II.15: Caractéristique de sortie d'un ring oscillateur comprenant 41 inverseurs, $L_g=25$ nm	121
Figure II.16: schéma d'une vue en coupe dans le sens de la largeur de transistors : a) triple grille, b) π -FET et c) Ω -FET.....	121
Figure II.17: Vue en coupe des transistors Pi-Gate et Omega-Gate.....	122
Figure II.18: Simulations du DIBL et de la variation de la tension de seuil (ΔV_{th}) dans des transistors MOSFET sur SOI totalement déplété pour différentes structures de grille et différentes longueur de grille $W = T_{Si} = 30$ nm, $N_A = 8.10^{17}$ atomes/cm ³ , extension de grille du Pi-Gate de 60 nm, $V_{DS}=0,1$ V.....	123
Figure II.19: (a) HSQ avant insolation (b) Lignes de HSQ après insolation et développement.....	124
Figure II.20: (a) Formation des ailettes de silicium par gravure RIE (b) Gravure humide des résidus de HSQ dans le HF 1%	125
Figure II.21: Vue en 3D de la matrice isolante de HSQ déposé par tournette	125
Figure II.22: (a) Dépôt du masque dur par PECVD (b) Insolation et développement de la résine positive (PMMA) (c) Gravure RIE du masque dur de nitrure (d) Gravure RIE de la matrice isolante jusqu'à l'oxyde enterré.....	126

Figure II.23: Vues en 3D (a) du dépôt du matériau de grille (tungstène) par pulvérisation cathodique (b) de la planarisation de la structure par CMP, en utilisant le nitrure comme couche d'arrêt128

Figure II.24: Vues en 3D (a) de la suppression du masque dur de nitrure (b) de la formation des espaceurs par dépôt PECVD.....129

Figure II.25: Vues en 3D (a) de la suppression de la matrice isolante de HSQ par gravure RIE (b) de la formation des plots de contacts de la source et du drain.....130

Figure II.26: (a) Sur-gravure de l'oxyde enterré par le HF 1% (b) Extension de la grille permettant de protéger le dispositif contre les lignes de champ du drain.....131

Figure II.27: Trois architectures du transistor GAA MOSFET avec des sections différentes132

Figure II.28: Coupe et vue en 3D du transistor GAA MOSFET carré134

Figure II.29: (a) vue de dessus du layout d'un GAA MOSFET. (b) vue de coupe avec SEM du GAA MOSFET triangulaire avec dimensions (c) schéma 3D du GAA MOSFET134

Figure II.30 : Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire, et (b) GAA MOSFET pentagonale.....135

Figure II.31 : Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et Ω -gate135

Figure II.32 : (a) vue schématique en 3D du transistor GAA MOSFET (b) vue de section du DG MOSFET (c) vue schématique en 3D du transistor (SOI) FinFET.....136

Figure II.33 : Coupe et géométrie 3D du transistor GAA MOSFET carré à un canal.....136

Figure II.34 : (a) schéma 3D du transistor GAA TSNWFET (b) images TEM de la coupe du TSNWFET.....137

Figure II.35 : (a) image TEM de la section du transistor n-MCFET.....137

Figure II.36 : Image SEM d'un transistor vertical avec une épaisseur de ~ 20 nm et une hauteur d' $1\mu\text{m}$ 138

Figure II.37: Procédé de fabrication d'un transistor SON simple grille139

Figure II.38 : Vue en coupe TEM d'un transistor GAA SON Latbridge a) dans le sens de la longueur de grille et b) dans le sens de la largeur140

Figure II.39 : Vue en coupe TEM d'un transistor GAA adapté à la conception ; a) dans le sens de la longueur et b) dans le sens de la largeur permettant de mettre en évidence l'aspect enrobant de la grille (Si poly N+) par rapport au canal (Si mono)141

Figure II.40 : Vue en coupe TEM d'un transistor SADAGAA dans le sens de la longueur.....142

Figure II.41 : Vue en coupe TEM d'un transistor SADAGAA avec un empilement de grille high-k/métal.....	142
Figure II.42 : Vue en coupe TEM du nanodot proposé par Bidal et al. [115] avec dans le coin supérieure-droit une image TEM en W.....	142
Figure II.43 : Vue en coupe TEM du MCFET proposé par Bernard et al. avec dans le coin supérieure droit un zoom sur un canal.....	143
Figure II.44 : Vue en coupe TEM dans le sens de sa largeur d'un MCFET proposé par Lee et al. mettant en évidence les deux canaux de silicium enrobés par la grille.....	143
Figure II.45 : Vue en coupe TEM a) d'un dispositif composé de 3 nanofils à grille commune. b) d'un dispositif composé de 4 nanofils ayant 2 grilles indépendantes (Φ FET).....	144
Figure II.46 : image au MEB tilté d'une matrice de nanofils.....	144
Figure II.47 : Schéma d'intégration du transistor GAA réalisé sur substrat SOI.....	145
Figure II.48 : Schéma d'intégration du transistor GAA réalisé sur substrat de silicium massif.....	145
Figure II.49 : Vue en coupe TEM d'une tricouche SiGe/Si/SiGe épitaxiée.....	146
Figure II.50 : Vue en coupe TEM d'un GAA sur BULK après l'étape de gravure anisotrope des jonctions source/drain.....	146
Figure II.51 : Vue en coupe TEM d'un transistor GAA sur SOI après épitaxie des jonctions source/drain. Le marqueur SiGe avait été utilisé pour repérer la profondeur de la gravure jonction.....	146
Figure II.52 : Vue en coupe TEM d'un transistor GAA sur BULK après épitaxie des jonctions source/drain.....	146
Figure II.53 : Vue en coupe TEM d'un transistor GAA après gravure sélective du SiGe. a) dans le sens de la longueur de grille et b) dans le sens de la largeur où l'on devine que lors du remplissage du tunnel, la grille enrobera le canal de Si.....	147
Figure II.54 : Vue en coupe TEM d'un transistor GAA avant la siliciuration : a) dans le sens de la longueur de grille mettant en évidence l'aspect double grille planaire b) dans le sens de la largeur où l'on remarque la grille qui enrobe le canal de silicium.....	148
Figure II.55 : Vue en coupe TEM d'un transistor GAA sur SOI ; a) après épitaxie des jonctions source et drain, mettant en évidence la présence de silicium polycristallin sur les flancs du masque dur SiN ; b) après gravure du SiGe, le polycristallin a été consommé et le masque dur s'est effondré dans le tunnel supérieur.....	149
Figure II.56 : schéma d'intégration détaillant l'étape de gravure de la zone active donnant accès aux couches de SiGe.....	150

Figure II.57 : vue en coupe TEM (en W) d'un GAA sur SOI après gravure (partielle) du SiGe. Cette vue en coupe met en évidence l'isolation MESA.....	150
Figure II.58 : image MEB (vue de dessus) ; a) de la rupture de la résine "classique" due à la forte topologie de l'architecture ; b) de la résistance de la résine plus épaisse.....	151
Figure II.59 : représentation schématique d'un GAA sur SOI après gravure grille. L'empilement de grille doit être sur-gravé pour être retiré des flancs du SOI.....	152
Figure II.60 : vue en coupe TEM des couches SiGe/Si/SiGe enterrées par rapport au STI .	152
Figure II.61 : vue en coupe TEM (en W) avec cartographie chimique d'un GAA sur BULK après gravure du SiGe. Le STI n'a pas été suffisamment gravé, l'accès à la seconde couche de SiGe n'est pas ouvert.....	153
Figure II.62 : vue en coupe TEM (en W) avec cartographie chimique d'un GAA sur BULK après gravure anisotrope de la grille. Les grilles inférieure et supérieure sont bien connectées l'une avec l'autre.....	153
Figure II.63 : Caractéristiques I_D-V_{DS} des multi-grilles pour $L=15\text{nm}$, (a) $t_{Si} = 5\text{nm}$ et (b) 10nm . En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille.....	154
Figure II.64 : Caractéristiques I_D-V_{GS} des multi-grilles pour $L = 15\text{nm}$, (a) $t_{Si}= 5\text{ nm}$ et (b) $t_{Si}=10\text{nm}$	155
Figure II.65 : Caractéristiques $I_D -V_{GS}$ en échelle logarithmique des SOI multi-grilles pour $L=15\text{nm}$, (a) $t_{Si} = 5\text{nm}$ et (b) 10nm	156
Figure II.66 : Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour $V_{GS} = 0\text{V}$ suivant la profondeur du film de silicium à V_{DS} faible et fort. $L_c= 15\text{nm}$ et $t_{Si}= 5\text{nm}$	157
Figure II.67 : Minimisation du DIBL avec l'augmentation du nombre de grille pour $W= t_{Si} =10\text{nm}$	157
Figure II.68 : Courant à l'état passant Ion en fonction du courant à l'état bloqué Ioff pour les différentes architectures.....	158
Figure III.1 : Mécanisme de recombinaison Schokley-Read-Hall (SRH).....	184
Figure III.2 : Mécanisme de recombinaison Auger. L'excès d'énergie issu de la recombinaison peut être transféré à un électron (a) ou à un trou (b).....	186
Figure III.3 : Influence du dopage sur les durées de vie Auger et SRH dans le volume du Silicium	188

Figure IV.1 : Organigramme de la structure VWF.....	198
Figure IV.2 : Entrées et sorties d’Atlas.....	200
Figure IV.3 : Les composants (ou les modules) d’Atlas.....	201
Figure IV.4 : Structure 3D et Coupe 2D du SOI Tri Gate FINFET simulé.....	210
Figure IV.5 : Structure 3D et Coupe 2D du π Gate SOI MOSFET simulé.....	211
Figure IV.6 : Structure 3D et Coupe 2D du Ω Gate SOI MOSFET simulé.....	211
Figure IV.7 : Structure 3D et Coupe 2D du GAA SOI MOSFET à section rectangulaire simulé.....	211
Figure IV.8: Caractéristiques $I_{DS}-V_{DS}$ des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire	212
Figure IV.9: caractéristiques $I_{DS}-V_{GS}$ des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire	213
Figure IV.10 : Caractéristiques $I_{DS}-V_{GS}$ subthreshold tension des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire	214
Figure IV.11 : Courant Ion-Ioff dans les transistors : SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire	215
Figure IV.12 : L’effet DIBL dans les transistors : SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire	218
Figure IV.13 : Structure 3D et Coupe 2D du GAA SOI MOSFET à section rectangulaire simulé avec un empilement (a)TiN / 1nm Al_2O_3 /0.8nm SiO_2 , (b) TiN / 2nm HfO_2 /0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 /0.8nm SiO_2	221
Figure IV.14 : Caractéristiques $I_{DS}-V_{DS}$ du transistor GAA SOI MOSFET à section rectangulaire avec un empilement (a) TiN / 1nm Al_2O_3 /0.8nm SiO_2 , (b) TiN / 2nm HfO_2 /0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 /0.8nm SiO_2	222
Figure IV.15 : Caractéristiques $I_{DS}-V_{GS}$ of du transistor GAA SOI MOSFET à section rectangulaire avec un empilement TiN / 1nm Al_2O_3 /0.8nm SiO_2 , TiN / 2nm HfO_2 /0.8nm SiO_2 et TiN / 3nm La_2O_3 /0.8nm SiO_2	223

Figure IV.16 : Caractéristiques $I_{DS}-V_{GS}$ subthreshold tension du transistor GAA SOI MOSFET à section rectangulaire avec un empilement : (a) TiN / 1nm Al_2O_3 /0.8nm SiO_2 , (b) TiN / 2nm HfO_2 /0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 /0.8nm SiO_2224

Figure IV.17: Courant Ioff-Ion dans le transistor GAA SOI MOSFET à section rectangulaire avec un empilement (a) TiN / 1nm Al_2O_3 /0.8nm SiO_2 , (b) TiN / 2nm HfO_2 /0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 /0.8nm SiO_2225

Figure IV.18: L'effet DIBL dans le transistor GAA SOI MOSFET à section rectangulaire avec un empilement (a) TiN / 1nm Al_2O_3 /0.8nm SiO_2 , (b) TiN / 2nm HfO_2 /0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 /0.8nm SiO_2226

Figure IV.19 : Structure 3D et Coupe 2D du GAA SOI MOSFET à section rectangulaire simulé avec un empilement 3nm TaN/ 3nm TiN / 2nm HfO_2 /0.8nm SiO_2228

Figure IV.20 : Caractéristiques $I_{DS}-V_{DS}$ of du transistor GAA SOI MOSFET à section rectangulaire avec un empilement 3nmTaN/ 3nmTiN / 2nm HfO_2 /0.8nm SiO_2 229

Figure IV.21 : caractéristiques $I_{DS}-V_{GS}$ du transistor GAA SOI MOSFET à section rectangulaire avec un empilement 3nmTaN/ 3nmTiN / 2nm HfO_2 /0.8nm SiO_2229

Figure IV.22 : caractéristiques $I_{DS}-V_{GS}$ subthreshold tension du transistor GAA SOI MOSFET à section rectangulaire empilement 3nmTaN/3nmTiN /2nm HfO_2 /0.8nm SiO_2 ...230

Figure IV.23 : courant Ion-Ioff dans le transistor GAA SOI MOSFET à section rectangulaire avec empilement 3nmTaN/ 3nmTiN / 2nm HfO_2 /0.8nm SiO_2230

Figure IV.24 :L'effet DIBL dans le transistor GAA SOI MOSFET à section rectangulaire avec empilement 3nmTaN/ 3nmTiN / 2nm HfO_2 /0.8nm SiO_2 231

Liste des tableaux

Tableau I.1 : Comparaison des étapes de conception d'un CMOS en technologie sur substrat massif et SOI.....	94
Tableau III.1 : Description des modèles physiques utilisés.....	179
Tableau III.2 : Paramètres utilisés par défaut dans Silvaco pour le modèle de mobilité qui dépend du champ électrique.....	182
Tableau III.3 : Paramètres utilisés par défaut dans Atlas pour le modèle de mobilité dépendant du dopage et de la température.....	183
Tableau III.4 : Paramètres utilisés par défaut dans Atlas pour le modèle de mobilité dépendant du dopage et de la température.....	183
Tableau III.5 : Paramètres utilisés par défaut des équations (III.34) et (III.35) dans Atlas pour le modèle de mobilité dépendant du dopage et de la température.....	183
Tableau III.6 : Paramètres par défaut du modèle Schokley-Read-Hall dans Silvaco.....	185
Tableau III.7 : Paramètres par défaut du modèles CONSRH dans Silvaco.....	185
Tableau III.8 : Paramètres par défaut des équations (III.41) et (III.42) dans Silvaco.....	186
Tableau III.9 : Paramètres par défaut du modèle de recombinaison standard AUGER dans Silvaco.....	187
Tableau III.10 : Paramètres par défaut des équations III.45 et III.46 dans Silvaco.....	187
Tableau III.11 : Paramètres par défaut des équations (III.45) et (III.46) dans Silvaco.....	187
Tableau III.12 : Paramètres utilisés par défaut dans Silvaco pour les modèles de Benett-Wilson et Del-Alamo.....	189
Tableau IV.1 : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes).....	204
Tableau IV.2 : Diagramme de la simulation numérique de Silvaco.....	209
Tableau IV.3 : paramètres des structures MUGFET SOI.....	210
Tableau IV.4 : Résultats de simulation des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire	219
Tableau IV.5 : Matériaux high-k qui sont actuellement les plus prometteurs, ainsi que leurs permittivités diélectriques.....	220
Tableau IV.6 : Résultats de Simulations du transistor GAA SOI MOSFET à section rectangulaire avec high-k diélectriques.....	227
Tableau IV.7 : Résultats de simulations du transistor GAA SOI MOSFET à section rectangulaire avec l'empilement 3nm TaN/3nmTiN /2nm HfO ₂ /0.8nm SiO ₂	231

Liste des constantes, symboles et abréviations

Constantes	Significations/Valeurs
ϵ_0	Permittivité diélectrique du vide, $\epsilon_0 = 8,85.10^{-12}$ F/m
ϵ_{Si}	Permittivité diélectrique du silicium, $\epsilon_{Si} = 11,8.\epsilon_0$
ϵ_{SiO_2}	Permittivité diélectrique de l'oxyde de silicium, $\epsilon_{SiO_2} = 3,9.\epsilon_0$
$\epsilon_{Al_2O_3}$	Permittivité diélectrique de l'oxyde d'Aluminium, $\epsilon_{Al_2O_3}=9$
ϵ_{HfO_2}	Permittivité diélectrique de l'oxyde d'Hafnium, $\epsilon_{HfO_2}=20$
$\epsilon_{La_2O_3}$	Permittivité diélectrique de l'oxyde de Lanthane, $\epsilon_{La_2O_3}=30$
$\epsilon_{Y_2O_3}$	Permittivité diélectrique de l'oxyde d'Yttrium, $\epsilon_{Y_2O_3}=15$
ϵ_{ZrO_2}	Permittivité diélectrique de l'oxyde de Zirconium, $\epsilon_{ZrO_2}=25$
k_B	Constante de Boltzmann, $k_B = 8,617385.10^{-5}$ eV/K
Q	Charge élémentaire, $q = 1,602.10^{-19}$ C

Symboles	Significations	Unités
Φ_m	Le travail de sortie du métal	eV
Φ_{sc}	Le travail de sortie du semi-conducteur	eV
Φ_B	La hauteur de barrière métal-oxyde	eV
Φ_{ms}	La différence entre les travaux de sortie de la grille et du semi-conducteur	eV
ϕ_D	Le potentiel de diffusion de la jonction drain-substrat	eV
Φ_F	Le potentiel de Fermi	eV
Φ_{Fi}	Le potentiel de surface	
Φ_n	quasi-niveaux de Fermi pour les électrons	eV
Φ_p	quasi-niveaux de Fermi pour les trous	eV
Φ_s	Le potentiel de surface à l'interface Si-SiO ₂	V
E_g	La largeur de la bande interdite du semi-conducteur	eV
E_F	L'énergie du niveau de Fermi	eV
E_i	Le niveau de Fermi intrinsèque	eV
E_t	La position énergétique des états de piège	eV
E_{bgn}	Paramètre du matériau qui caractérise la variation du gap	eV

Liste des constantes, symboles et abréviations

Q_G	La charge au niveau de la grille	$C m^{-2}$
Q_I	La charge d'interface	$C m^{-2}$
Q_{SC}	La charge du semi-conducteur	$C m^{-2}$
Q_{dep}	La charge de la zone désertée	$C m^{-2}$
Q_s	La charge d'inversion	$C m^{-2}$
N_A	la concentration en atomes accepteurs ionisés	cm^{-3}
N_D	La concentration en atomes donneurs ionisés	cm^{-3}
N_C	la densité d'état effective des électrons dans la bande de conduction	cm^{-3}
N_V	la densité d'état effective des trous dans la bande de valence	cm^{-3}
n_i	La concentration intrinsèque de porteurs libres	cm^{-3}
ρ	La densité de charges	C
ϵ	La permittivité électrique	F/m
ϵ_r	La permittivité relative du matériau	F/m
Δn	La densité d'électrons	C
Δp	La densité de trous	C
μ_0	La mobilité des électrons dans le canal à faible champ électrique	$m^{-2} V^{-1} s^{-1}$
μ_{eff}	La mobilité effective	$m^{-2} V^{-1} s^{-1}$
μ_n	La mobilité des électrons	$m^{-2} V^{-1} s^{-1}$
μ_p	La mobilité des trous	$m^{-2} V^{-1} s^{-1}$
μ_{ac}	La la mobilité des porteurs due au phénomène de "Phonon Scattering"	$m^{-2} V^{-1} s^{-1}$
μ_b	La mobilité dans le volume dépendant principalement de nbl' "Impurity Scattering",	$m^{-2} V^{-1} s^{-1}$
μ_{sr}	La mobilité introduite par le "Surface Roughness Scattering"	$m^{-2} V^{-1} s^{-1}$
C	La capacité totale d'une capacité MOS	$F m^{-2}$

Liste des constantes, symboles et abréviations

C_{ox}	La capacité d'oxyde	$F m^{-2}$
C_{SC}	La capacité du semi-conducteur	$F m^{-2}$
C_{ZCE}	La capacité de la zone de charge d'espace	$F m^{-2}$
C_{inv}	La capacité d'inversion	$F m^{-2}$
C_{GSpara}	La capacité parasite côté source	$F m^{-2}$
C_{DSpara}	La capacité parasite côté drain	$F m^{-2}$
C_{bord}	La capacité due à des effets de bord	$F m^{-2}$
C_{rec}	La capacité de recouvrement	$F m^{-2}$
C_{gd}	La capacité grille-drain	$F m^{-2}$
C_{gs}	La capacité grille-source	$F m^{-2}$
C_{ox1}	La capacité d'oxyde de grille	$F m^{-2}$
C_{ox2}	La capacité d'oxyde enterré	$F m^{-2}$
C_b	La capacité entre le canal d'inversion et la face arrière du substrat	$F m^{-2}$
C_{si}	La capacité du film de silicium	$F m^{-2}$
C_{totale}	la capacité totale de la grille,	$F m^{-2}$
C_p	la charge de déplétion du polysilicium.	$F m^{-2}$
I_D	Le courant de drain	A
I_{dsat}	Le courant de drain de saturation	A
I_{off}	Le courant de drain I_D à $V_{DS}=V_{DD}$ et $V_{GS}=0 V$	A
I_{on}	Le courant de drain I_D à $V_{DS}=V_{GS}=V_{DD}$	A
I_{dsv0}	Le courant de drain sans les effets de saturation de la vitesse	A
I_{dsv}	Le courant de drain incluant les effets de saturation de la vitesse	A
J_g	Les courants tunnel	A
I_{db}	Le courant de substrat	A
I_{gidl}	Le courant de trou issu de l'effet GIDL	A
$\vec{J}_{n.drift}$	Le courant de drift pour les électrons	A

Liste des constantes, symboles et abréviations

\vec{J}_{pdift}	Le courant de drift pour les trous	A
J_n	La densité de courant des électrons	A/m ²
J_p	La densité de courant des trous	A/m ²
Ψ	le potentiel à l'abscisse x	V
ψ	Le potentiel électrostatique,	V
Ψ_s	le potentiel de surface	V
V_{DS}	La tension Drain/Source	V
V_{DD}	La tension d'alimentation	V
V_{dsat}	La tension Drain/Source à partir de laquelle a lieu la saturation du courant I_D	V
V_{GS}	La tension Grille/Source	V
V_{FB}	La tension de bandes plates	V
V_p	La tension de pincement	V
V_{th}, V_t	La tension de seuil	V
V_{sb}	La tension source-substrat	V
V_o	la chute de potentiel dans l'oxyde,	V
V_{ox}	La tension appliquée aux bornes de l'oxyde	V
V_{bs}	Le potentiel de la zone neutre (body)-source	V
V_{bd}	Le potentiel de la zone neutre (body)-drain	V
β	Le potentiel thermique (q/kT)	V
\vec{v}_n	La vitesse des électrons	m/s
\vec{v}_p	La vitesse des trous	m/s
ξ_y	Le champ électrique	V/m
\vec{E}	Le champ électrique	V/m

Liste des constantes, symboles et abréviations

E_c	Le champ électrique critique	V/m
E_c	Niveau inférieur de la bande de conduction	eV
E_v	Niveau supérieur de la bande interdite (eV)	eV
$E_{ }$	Le champ électrique longitudinal	eV
G_m	La transconductance de drain du transistor	S
G_d	la conductance de drain du transistor	S
R_{on}	La résistance à l'état passant	Ω
R_D	La résistance du drain	Ω
R_S	La résistance de la source	Ω
S	La pente sous le seuil	mV/dec
S'	la surface de la zone de charge de déplétion	m^2
T_{ox}	L'épaisseur de la couche d'oxyde	m
T_{Si}	L'épaisseur de la zone active de silicium	m
T_{ZCE}	L'épaisseur de la zone de charge d'espace	m
T_{box}	L'épaisseur d'oxyde enterré BOX	m
t_d	L'épaisseur de la région n+ de drain	m
X_{EXT}	la profondeur de diffusion des dopants dans les extensions	m
X_{SD}	la profondeur de diffusion des dopants dans les jonctions source-drain	m
W	La largeur du canal	m
W_{FIN}	Largueur du FIN	m
H_{FIN}	Hauteur du FIN	m
L	La longueur du canal	m
L_{eff}	La longueur effective du canal	m

Liste des constantes, symboles et abréviations

L_G	La longueur de la grille	m
L_{sat}	La longueur du canal de la source au point de pincement	m
l_p	La longueur caractéristique	m
T	La température	°K
τ_{n0}	La durée de vie pour les électrons et les trous,	-
τ_{p0}	La durée de vie pour les trous	-
CAug.n	Le coefficient Auger pour les électrons	-
CAug.p	Le coefficient Auger pour les électrons	-
α	Paramètre d'ajustement	-
α_n	Le coefficient d'ionisation des électrons	-
α_p	Le coefficient d'ionisation des trous	-
$\theta_a, \theta_b, \theta_c$	Paramètres d'ajustement	-
α_1, α_2	Paramètres d'ajustement	-
K_i, V_i	Paramètres empiriques d'ajustement	-
b_1, b_2	Constantes	-
A,B	Constantes	-
K_L	facteur de correction longitudinal défini par Yau	-
G_n	Le taux de génération pour les électrons	%
G_p	Le taux de génération pour les trous	%
R_n	Le taux de recombinaisons pour les électrons	%
R_p	Le taux de recombinaisons pour les trous	%

Liste des constantes, symboles et abréviations

Sigle/Abréviation	Signification
MOS	Metal Oxide Semiconductor
CMOS	Complementary MOS
DRAM	Dynamic Random Acces
MOSFET	Metal Oxide Semiconductor Field Effect Transistor- transistor à effet de champ MOS
NMOS	Transistor à effet de champ MOS à canal N
PMOS	Transistor à effet de champ MOS à canal P
SG-MOSFET	Single Gate Metal Oxide Semiconductor Field Effect Transistor
DG-MOSFET	Double Gate Metal Oxide Semiconductor Field Effect Transistor
ZCE	Zone de charge d'espace
DIBL	Drain Induced Barrier Lowering : Abaissement de la barrière d'injection source/drain due à la tension de drain
GIDL	Gate Induced Drain Leakage
LDD	Ligthly Doped Drain
SOI	Silicon On Insulator
BOX	Buried OXide- couche d'oxyde de silicium
SCE	Short Channel Effects
FDSOI	Transistor totalement déserté sur isolant
PDSOI	Transistor partiellement déserté sur isolant
RIE	Une gravure ionique (Reactive Ion Etching)
LTO	Low Temperature Oxide
VRG	Vertical Replacement Gate
high-k	oxydes à haute permittivité électrique

Liste des constantes, symboles et abréviations

LOCOS	Local Silicon Oxidation
LPCVD	Low Pressure Chemical Vapor Deposition
CVD	Chemical Vapor Deposition
EDI	l'eau désionisée
HSQ	HydrogèneSilses Quioxane
CMP	Chemical Mechanical Planarization
PECVD	Plasma Enhanced Chemical Vapor Deposition
PMMA	Poly-méthyl-méthacrylate
RTA	Rapid Thermal Annealing
SGT	surrounding gate transistor
GAA	gate all- around,
TSNWFET	Twin Silicon NanoWire Field Effect Transistor
MCFET	Multi-Channel Field Effect Transistor
MBCFET	Multi- Bridge-Channel Field Effect Transistor
SON	la technologie Silicon On Nothing
ALD	Atomic Layer Deposition
TCAD	Technology Computer Aided Design
IC	integrated circuits
SPICE	Simulation Program with Integrated Circuit Emphasis
UTMOST	Universal Transistor MOdeling SofTware
IC CAD	Integrated Circuit Computer Aided Design
VWF	Virtual Wafer Fab
GUI	Graphical User Interface,
EEPROM	Electrically Erasable Programmable Read Only Memory

Liste des constantes, symboles et abréviations

HBT	Heterojonction Bipolar Transistor
HEMT	High Electron Mobility Transistor
LED	Light Emitting Diode
IGBT	Insulated Gate Bipolar Transistor
VCSEL	Vertical Cavity Surface Emitting Lasers
TaN	Nitruire de Tantale
TiN	Nitruire de Titane
W	Tungsten
WN	Nitruire de Tungsten

Introduction générale

Introduction générale

Les micro- et nano - technologies sont présentes dans la plupart des objets d'activités quotidiennes et constituent un élément de base de la plupart des secteurs d'activités économiques : télécommunications, électronique grand public, automatisation industrielle, énergie, automobile, santé. Depuis la réalisation des premiers circuits MOS intégrés en 1959 [1, 2], les circuits électroniques ont acquis une importance considérable dans le domaine de la technologie et de l'industrie, mais également, par leur poids dans l'économie mondiale.

La force motrice du développement de la micro- et nano- électronique reste encore la miniaturisation des composants, conduisant à l'augmentation du nombre de fonctionnalités des circuits électroniques. Parmi les principaux avantages induits par la réduction des dimensions des composants on peut évoquer l'augmentation de la densité d'intégration, la réduction des coûts de fabrication, l'augmentation de la fréquence de commutation du fonctionnement, la réduction de la consommation. Cependant, le dessin, l'optimisation et la fabrication des transistors MOS en technologies fortement submicroniques et nanométriques posent des défis en raison des barrières technologiques et physiques. Pendant plus de quarante ans, le succès de la miniaturisation du transistor MOS a suivi la loi de Moore [3], selon laquelle le nombre de transistors sur une puce (en anglais « wafer ») double toutes les 18 mois environ.

Le transistor MOS bulk planaire est le transistor original et conventionnel de la microélectronique. L'ITRS (international technology roadmap for semiconductors) prévoit la fin de la miniaturisation du transistor MOS conventionnel en 2017. Des courants parasites apparaissent et augmentent avec la réduction de la longueur de grille. Cette dégradation des performances électriques provient principalement de la perte de contrôle électrostatique dans le transistor. Des solutions technologiques sont mises en œuvre afin de réduire ces courants parasites. Malgré les diverses solutions proposées, il est de plus en plus difficile d'optimiser les procédés de fabrication des architectures classiques de transistors MOS. Des solutions alternatives au MOSFET conventionnel sont développées pour les futurs nœuds technologiques. Il s'agit du transistor MOS sur substrat SOI « Silicium sur Isolant », également appelée SOI (pour Silicon On Insulator).

Cette nouvelle structure remplace le substrat massif par une fine couche de silicium d'épaisseur t_{Si} intercalée entre l'oxyde de grille et l'oxyde enterré (BOX).

En pratique, il existe deux types de dispositif sur film mince. Lorsque l'épaisseur t_{Si} du film est suffisamment épaisse, une partie seulement du substrat est désertée. On parle alors de transistor sur isolant partiellement déserté (PD-SOI pour Partially Depleted Silicon on Insulator). Le fonctionnement et les caractéristiques de ce type de transistor sont proches de ceux du transistor sur silicium massif.

Lorsque l'épaisseur t_{Si} est plus fine, l'ensemble du substrat est déserté et on parle cette fois de transistor sur isolant totalement déserté (FD-SOI pour Fully Depleted Silicon on Insulator). Ces dispositifs FD-SOI présentent de nombreux avantages par rapport aux dispositifs classiques, parmi lesquels nous pouvons citer l'excellent contrôle électrostatique du canal qui limite ainsi les effets parasites sur les transistors à canaux courts, les faibles capacités parasites de jonction (augmentation de la vitesse de fonctionnement du dispositif) ou encore une très bonne résistance aux rayonnements ionisants, ce qui en fait un élément de choix pour les applications spatiales. Cependant, quelques inconvénients subsistent sur ces dispositifs, comme l'augmentation des résistances d'accès, l'auto-échauffement des transistors ou encore la perte de mobilité des porteurs dans le canal liée à la faible épaisseur de film. Signalons enfin que le contrôle de l'épaisseur du film pour des dimensions sub-nanométriques constitue un challenge technologique de taille pour les futures générations de dispositifs FD-SOI.

Malgré ces quelques limitations, les transistors SOI sont très prometteurs et présentent déjà des résultats intéressants dans de nombreux domaines de la microélectronique : DRAM, applications haute fréquence et basse consommation, microprocesseurs... Aujourd'hui, de nombreuses industries de la microélectronique intègrent donc des transistors sur isolant dans leurs différentes applications (AMD, INTEL...).

Outre les progrès obtenus grâce aux transistors SOI, ce nouveau type de substrat a également ouvert la voie à des architectures plus évoluées encore, regroupées sous la dénomination de transistor MOS à grilles multiples.

L'introduction de grilles supplémentaires par rapport aux transistors MOS classiques est bénéfique au fonctionnement du dispositif à plusieurs égards. Aux avantages liés à la structure SOI et décrits précédemment, viennent s'ajouter d'autres améliorations de performance dues aux grilles multiples elles mêmes. Parmi ces divers avantages, citons l'amélioration des caractéristiques sous le seuil du transistor (augmentation du rapport I_{on}/I_{off}), l'augmentation du courant de drain débité par surface de transistor grâce à la multiplication des canaux de

conduction ou encore une meilleure mobilité des porteurs dans le canal (champ effectif transverse réduit, conduction volumique...).

Les SOI MOSFETs multi-grilles, tels que le Tri-gate, le Pi-gate, le Omega-gate et le Gate-all-around MOSFET (Figure I) sont pressentis comme de sérieux candidats pour continuer la diminution des composants jusqu'à l'échelle nanométrique, malgré cela, des progrès technologiques restent à faire pour optimiser ces dispositifs.

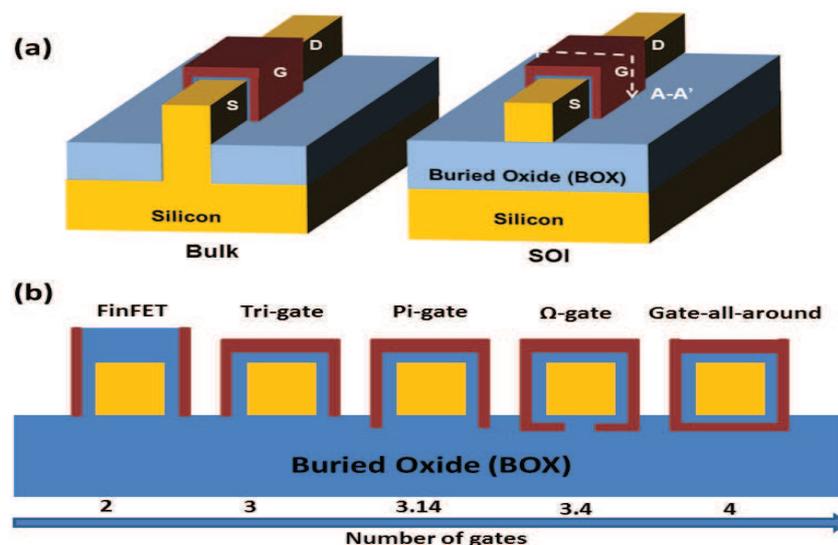


Figure I: a) Différentes configurations de SOI MOSFETs multi-grilles. b) Sections transverses schématisées classées en fonction du nombre équivalent de grilles [4].

La dernière option envisagée par les industriels et les chercheurs pour repousser les limites du transistor classique consiste à remplacer les matériaux actuellement utilisés par des matériaux aux propriétés plus intéressantes sur le plan électrique.

Ces nouveaux matériaux sont ainsi « incorporés » à divers endroits du transistor pour optimiser les performances du dispositif : substrat à forte mobilité (germanium, semi-conducteurs III-V) en remplacement du silicium, source et drain métalliques pour réduire les résistances d'accès, liner de contrainte, empilement de grille intégrant des matériaux de forte permittivité...

Ce manuscrit s'articule autour de quatre chapitres, regroupant les principaux travaux effectués lors de cette thèse.

Le premier chapitre présente le transistor MOS bulk ainsi que les problèmes engendrés par sa miniaturisation, évoque ensuite les solutions technologiques possibles pour répondre à ces problèmes, expose ainsi la technologie SOI avec ses solutions émergentes. Nous y présentons les principales techniques de réalisation des substrats SOI, puis ses avantages par rapport aux technologies CMOS sur substrat massif, ensuite, le fonctionnement des transistors MOSFET réalisés sur des substrats SOI partiellement désertés ou totalement désertés.

Le deuxième chapitre est consacré aux transistors à grilles multiples MUGFET, nous présentons un aperçu des différentes architectures multi-grille alternatives: Double-Grille (planaire ou verticale), Triple-Grille (FinFET, Ω -gate, π -gate), dispositifs à grille enrobante (GAA (pour Gate-All-Around) et nanofils (cylindriques ou rectangulaires)) pour ne citer que les plus importantes.

Le chapitre 3 met en évidence l'importance du choix des modèles physiques afin d'introduire le lecteur à la logique du processus de simulation. Dans une première partie nous présentons les équations fondamentales dans les semi-conducteurs. Dans une seconde partie, nous exposons les modèles physiques de TCAD utilisés dans cette étude tels que CVT (modèle de Lombardi pour la mobilité), CONMOB (modèle de la mobilité dépendant de la concentration), FLDMOB (modèle de la mobilité dépendant du champ électrique parallèle), SRH (modèle de Shockley-Read-Hall), AUGER (modèle Recombinaisons Auger), BGN (Modèle de rétrécissement de bande interdite) et IMPACT SELB (modèle de génération de porteurs par ionisation par impact).

Dans le chapitre 4, Nous présentons dans un premier temps l'outil de simulation numérique du dispositif et process SILVACO-TCAD puis nous élaborons la structure SOI nanométrique de type SOI Tri-Gate FinFET, Pi Gate SOI MOSFET, OMEGA Gate SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

Ces structures en 3D sont simulées grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD afin de réaliser des études physiques des différents phénomènes perturbant le fonctionnement classique de ces dispositifs.

Dans la deuxième partie de ce chapitre, nous sommes intéressés à la structure GAA SOI MOSFET à section rectangulaire dans la quelle nous avons remplacé l'empilement de grille Poly-Si/SiO₂ simulé dans la première partie par un empilement de type grille métallique

(le nitrure de titane TiN)/diélectrique de forte permittivité: TiN/ Al_2O_3 ($k \sim 9$)/ SiO_2 , TiN/ HfO_2 ($k \sim 20$)/ SiO_2 et TiN/ La_2O_3 ($k \sim 30$)/ SiO_2 .

Et pour améliorer de plus en plus les performances du transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2 nm HfO_2 / 0.8 nm SiO_2 , nous avons utilisé une nouvelle technologie qui consiste à moduler le travail de sortie du métal contact de la grille : dans notre cas c'est le TiN par l'intégration de grilles duales métal.

Dans cette structure, nous avons conçu le contacte de la grille avec double métaux : le TaN et TiN de même épaisseur $T_{M1}(\text{TaN})= T_{M2}(\text{TiN})=3\text{nm}$ et nous avons gardé les mêmes paramètres de la structure GAA SOI MOSFET à section rectangulaire simulée dans la deuxième partie sauf que nous avons remplacé l'empilement TiN / 2nm HfO_2 /0.8nm SiO_2 par l'empilement 3nm TaN/3nm TiN / 2nm HfO_2 /0.8nm SiO_2 .

Références

[1] Kilby J.S., US Patent 3138763, filed Feb. 1959, granted 1964.

[2] Noyce R.N. US Patent 2981877, filed July 1959, granted 1961.

[3] G.E. Moore, Cramming more components onto integrated circuits, Electronics 1965 ; 38 : 8.

[4] Isabelle Ferain, Cynthia A. Colinge , Jean-Pierre Colinge, Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors, Nature International Weekly Journal Of Science, Nature 479,310–316,November.

Chapitre I

Le transistor MOSFET

et sa miniaturisation

Sommaire du chapitre I

I.1. Introduction	41
I.2. Le transistor MOSFET	42
I.2.1.Principe de base et structures des transistors MOS	43
I.2.1.1. Effet de champ.....	43
I.2.1.2. Structure possibles	43
I.3. Principe de fonctionnement	45
I.3.1.La tension de seuil V_{th} (threshold voltage).....	46
I.3.2. Les régimes de fonctionnement du transistor MOS	46
I.4. Analyse physique de la structure métal/oxyde/semi-conducteur idéale	49
I.4.1. Diagramme d'énergie à l'équilibre thermodynamique.....	49
I.4.2. Régime d'accumulation.....	50
I.4.3. Régime de désertion.....	52
I.4.4. Régime de faible inversion.....	53
I.4.5. Régime de forte inversion.....	54
I.4.6. Résolution de l'équation de Poisson.....	55
I.4.7. Variation de la concentration de charge en surface en fonction de la polarisation de grille.....	57
I.4.7.1. Régime d'accumulation.....	57
I.4.7.2. Régime de désertion ou d'appauvrissement.....	58
I.4.7.3. Régime de faible inversion.....	58
I.4.7.4. Régime de forte inversion.....	59
I.4.7.5. Variations de Q_s en fonction de ψ_s	59
I.5. Principaux paramètres des MOSFETs	61
I. 6. Transistor MOS : schéma équivalent	64
I.7. La miniaturisation et ses effets parasites	66
I.7.1. La mobilité effective.....	67
I.7.2. Les effets des canaux courts.....	69
I.7.2.1. Effets de la modulation de la longueur du canal (effet Early).....	69
I.7.2.2. Vitesse de saturation.....	70
I.7.2.3. Diminution de la tension de seuil V_{th} dans les canaux courts.....	71
I.7.2.4. Effets de réduction de la barrière de potentiel induit par le drain (Effet de percement).....	73

I.7.2.5. Résistances séries parasites.....	74
I.7.2.6. Effet de perçage « punch-through ».....	75
I.7.2.7. Le partage des charges.....	76
I.7.2.8. Effet de canal court inverse.....	78
I.7.3. Injection de porteurs chauds.....	78
I.7.4. Effet tunnel dans les oxydes minces.....	79
I.7.5. Les effets liés à la grille.....	80
I.7.5.1. Épaisseur effective de grille.....	81
I.7.5.1.1. Effets de poly-désertion.....	81
I.7.5.1.2. Les effets quantiques.....	82
I.7.5.2. Le courant de grille.....	83
I.7.5.3. Effet GIDL.....	85
I.7.6. L'ionisation par impact.....	86
I.7.7. Les claquages et le régime d'avalanche.....	88
I.8. Solutions apportées aux effets indésirables de la miniaturisation	88
I.8.1. La technologie SOI.....	88
I.8.1.1. Introduction.....	88
I.8.1.2. Le SOI totalement déserté (FDSOI).....	90
I.8.1.3. Avantage de la technologie SOI.....	90
I.8.1.3.1. Augmentation de la densité d'intégration.....	91
I.8.1.3.2. Réduction des capacités parasites du substrat.....	91
I.8.1.3.3. Suppression du thyristor parasite (latch-up).....	91
I.8.1.3.4. Simplification des étapes de siliciuration ou de métallisation.....	92
I.8.1.3.5. Diminution du nombre d'étapes de développement.....	93
I.8.1.3.6. Meilleure caractéristiques de courants.....	94
I.8.1.3.6.1. Réduction de l'effet de substrat.....	94
I.8.1.3.6.2. Plus grand courant de saturation.....	94
I.8.1.3.6.3. Plus grande mobilité et transconductance de grille.....	94
I.8.1.3.7. Réduction des effets de canaux courts.....	95
I.8.1.3.8. Diminution de l'inverse de la pente sous le seuil.....	95
I.8.1.4. Inconvénient majeur de la technologie SOI.....	96
I.9. Conclusion	97
Références chapitre I	98

I.1. Introduction

C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO_2 . Le silicium fut un choix très judicieux. Il est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS inventée en 1968 qui consomme très peu d'énergie. Depuis, les applications en logique CMOS mais aussi les mémoires qui constituent l'autre grande application des MOSFET ont bénéficié d'une très forte et continue augmentation de leur rapidité et de leur densité d'intégration.

En 1967, Dennard invente la mémoire DRAM (Dynamic Random Acces Memory) par association d'un transistor MOSFET et d'une capacité de stockage. 1971 est l'année de la conception du premier microprocesseur par Hoof et al de la société Intel. Il s'agit d'un processeur 4 bits (Intel 4004) de 3mm par 4mm comportant 2300 transistors ayant une longueur de $8\mu\text{m}$ (Figure I.1.a).

Depuis lors de nombreuses autres nouvelles technologies ont permis, sans changer vraiment les méthodes de fabrication de réduire la taille des transistors et ainsi la densité des mémoires et la puissance des microprocesseurs.

Cette course à la miniaturisation permet aujourd'hui de concevoir des transistors d'une longueur de 130nm tel que celui présenté sur la Figure I.1.b. Ce qui permet de concevoir des processeurs tels que le Pentium IV (Intel) qui comporte environ 40 millions de transistors.

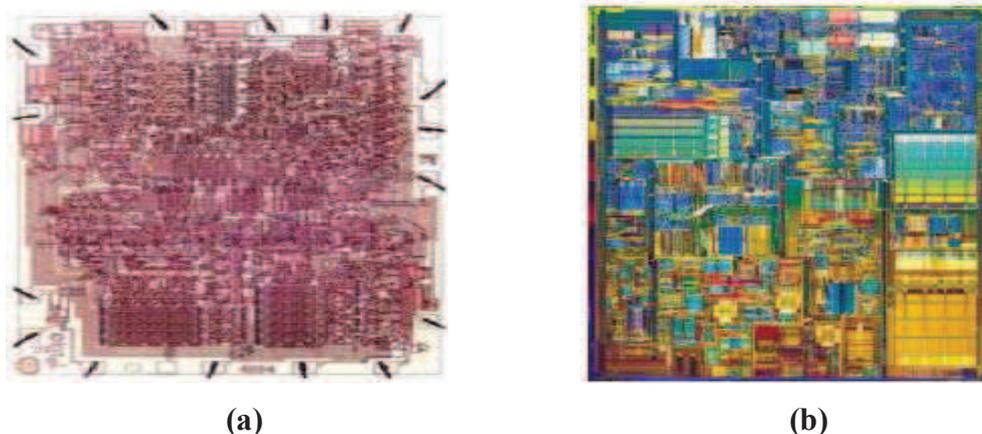


Figure I.1 : Processeur Intel : (a) Intel 4004 et (b) Intel Pentium IV [1]

I.2. Le transistor MOSFET

Le transistor MOS constitue l'élément de base des circuits intégrés utilisés dans le domaine de la microélectronique. Sa fonction est assez similaire à celle d'un interrupteur. En effet, il a pour rôle de laisser passer un courant ou de le bloquer. Afin de réaliser des fonctions logiques, deux types de transistors MOS sont utilisés : les n-MOS, pour lesquels les porteurs du canal de conduction sont des électrons, et les p-MOS, pour lesquels les porteurs sont des trous. La modulation de la concentration des porteurs dans le canal est obtenue par l'application d'un potentiel électrique sur l'électrode de grille qui crée un champ électrique vertical.

Un transistor MOS sur silicium massif (également appelé transistor bulk) est réalisé sur un substrat (de type p pour les n-MOS et de type n pour les p-MOS) dans lequel on trouve des zones fortement dopées (de type n pour les n-MOS et de type p pour les p-MOS) qui servent d'électrodes de source et de drain, comme le montre la Figure I.2. Ces deux jonctions jouent le rôle de réservoirs de porteurs et sont obtenues par implantation ionique de dopants. Le transistor est isolé électriquement par des tranchées d'oxyde appelées STI (pour Shallow Trench Isolation). La région de silicium située entre deux tranchées correspond à la zone active où est fabriqué le transistor. L'électrode de grille est constituée d'un empilement de plusieurs matériaux, à savoir un oxyde, un métal de grille et une couche de polysilicium. Une siliciuration des jonctions source-drain et du sommet de la grille est effectuée dans le but d'optimiser le contact avec les vias métalliques servant de connexions vers différents niveaux de métaux, ainsi que pour diminuer les résistances d'accès. Les dimensions caractéristiques d'un transistor (Figure I.2) sont la longueur de grille L , la longueur effective du canal de conduction (L_{EFF}), la largeur de la zone active (W , non représentée sur ce schéma car perpendiculaire au plan), l'épaisseur de l'oxyde de grille (T_{OX}), la profondeur de diffusion des dopants dans les extensions (X_{EXT}) et la profondeur de diffusion des dopants dans les jonctions source-drain (X_{SD}).

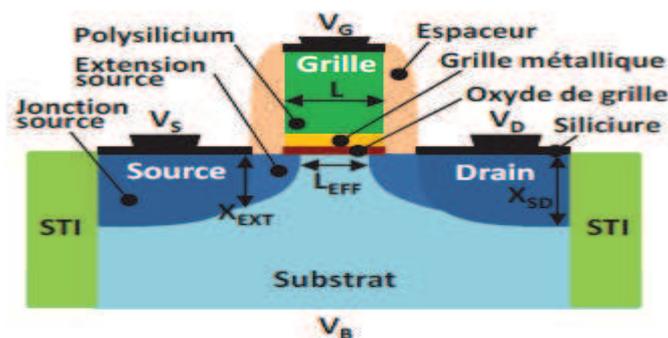


Figure I.2 : Représentation schématique d'un transistor n-MOS sur silicium massif [2].

I.2.1.Principe de base et structures des transistors MOS

I.2.1.1. Effet de champ

Le principe de fonctionnement d'un transistor MOS (Métal- Oxyde-Semi-conducteur) repose sur l'effet « **de champ** », qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique, comme dans une capacité plane.

La Figure I.3 illustre l'effet de champ dans un transistor MOS schématisé comme suit:

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles ;
- l'autre électrode (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles.

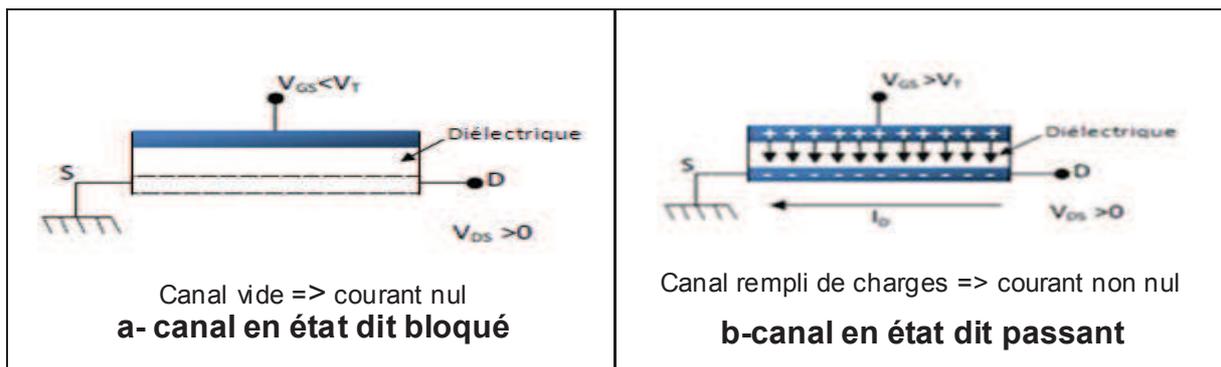


Figure I.3 : Effet de champ dans un transistor MOS.

I.2.1.2.Structure possibles

En général, un transistor MOS contient une grille G en silicium polycristallin, séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent SiO₂. Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction.

Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou N-MOS, conduction par électrons) et de transistors à canal P (ou P-MOS, conduction par trous). La Figure I.4 illustre ces deux types de transistors.

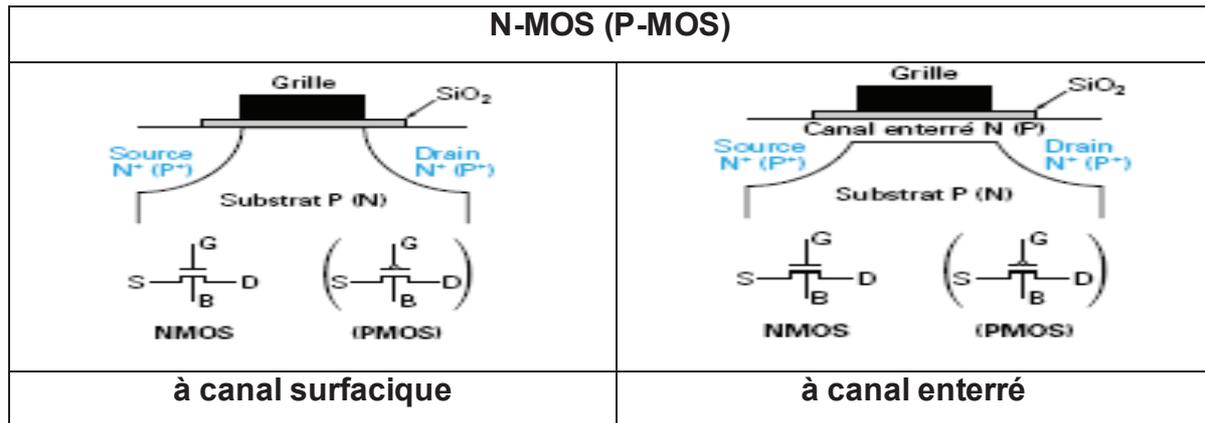


Figure I.4 : Structures et symboles des transistors MOS [5].

Chacun de ces deux transistors peut avoir une construction à **canal** « surfacique » ou à canal « enterré ».

- **Le canal surfacique** (aussi appelé canal d'inversion) est induit électrostatiquement par l'effet de champ. Il est du type des porteurs, N ou P, et donc opposé (d'où le nom d'inversion) à celui du substrat, mais de même type que les régions de source et de drain, rendant ainsi le passage du courant possible. Notons que si la couche d'inversion n'est pas créée par l'effet de champ, la structure se réduit à deux diodes tête-bêche (jonction N+PPN+) pour un N-MOS ou (P+NNP+) pour un P-MOS ; aucune conduction n'est alors possible (NORMALLY OFF).
- **Le canal enterré** (aussi appelé canal d'accumulation) est un canal constitué par une fine couche fixe (dite enterrée) du semi-conducteur dopé, du même type de conduction que les régions de source et de drain. Si cette couche est suffisamment épaisse, le passage du courant est autorisé même sans l'effet de champ, car le canal représente une résistance (N+NN+) (NORMALLY ON). Une polarisation positive de la grille pour le N-MOS (négative pour le P-MOS) induit une accumulation de porteurs dans le canal, augmentant ainsi le niveau de conduction. Une polarisation contraire, négative pour le N-MOS (positive pour le P-MOS), appauvrit le canal de porteurs libres, le rendant ainsi bloqué pour la conduction. La Figure I.5 illustre les différents types du transistor MOSFET et leurs symboles.

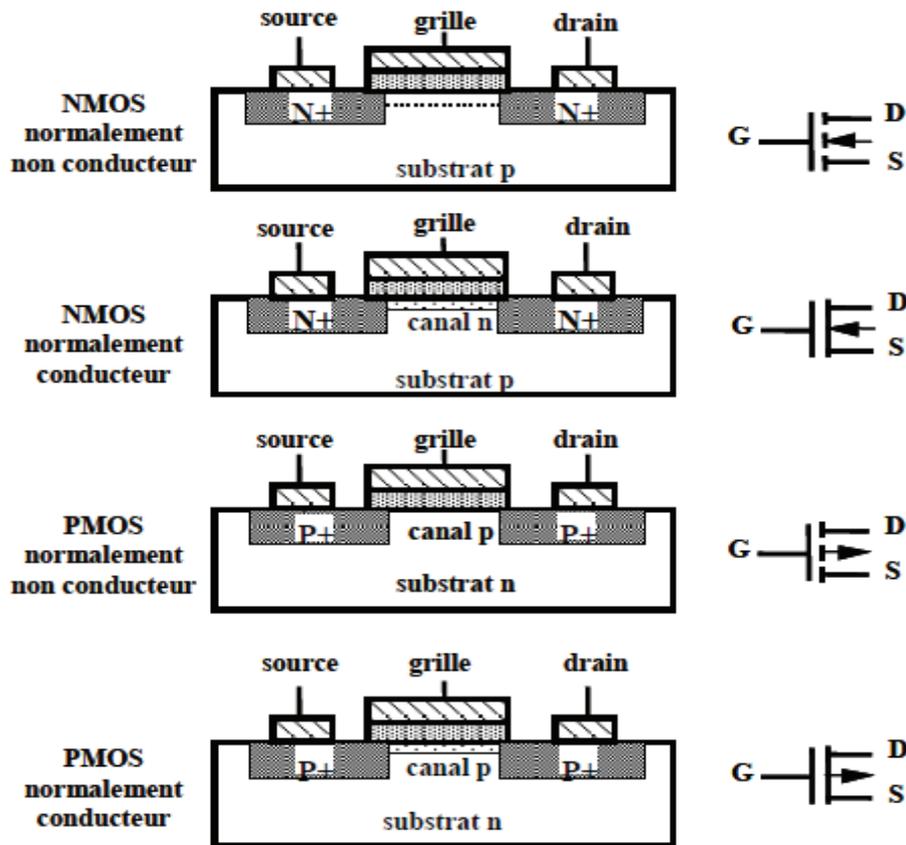


Figure I.5 : Coupes et représentations symboliques des différents types de transistors MOS [3].

I.3. Principe de fonctionnement du transistor MOSFET

Le principe de fonctionnement du transistor MOS (ou MOSFET) repose sur la modulation d'une densité de porteurs d'une zone semi-conductrice par un champ électrique qui lui est perpendiculaire. Ce champ électrique est appliqué par l'électrode de commande (la grille) à travers un isolant (diélectrique de grille). Les porteurs créés sont des charges mobiles : électrons dans le cas d'un transistor N-MOS, trous dans le cas d'un transistor P-MOS. Lorsque la tension appliquée sur la grille est supérieure à une tension appelée tension de seuil, notée V_{th} , ces charges mobiles constituent un canal de conduction entre la source et le drain.

Lorsqu'une différence de potentiel, V_{DS} , est appliquée entre la source et le drain, les porteurs affluant (côté source, de façon conventionnelle) sont collectés par le drain sous la forme d'un courant. Ainsi, de façon macroscopique, le transistor MOS se comporte comme un dispositif régulant un courant entre deux électrodes par une commande en tension.

I.3.1. La tension de seuil V_{th} (threshold voltage)

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire $\Psi_S = 2\phi_F$

Sous cette condition, la tension de seuil s'exprime comme suit :

$$V_{th} = V_{FB} + 2\phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{ox}} \quad (I.1)$$

Avec

$$V_{FB} = \phi_M - \phi_{Si} \quad (I.2)$$

ϕ_M et ϕ_{Si} sont tels que $e \cdot \phi_M$ et $e \cdot \phi_{Si}$ représentent respectivement les travaux de sortie de la grille et du silicium, ϵ_{Si} est la constante diélectrique du silicium, et enfin $C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$: représente la capacité de l'oxyde par unité de surface. Cette expression de V_{th} (I.1) est valable pour le transistor MOS bulk à canal long.

I.3.2. Les régimes de fonctionnement du transistor MOS

Une fois les porteurs mobiles induits dans le canal par l'effet de champ vertical (créé par la polarisation de la grille), il faut vérifier la conduction du courant I_D qui circule entre le drain et la source. Pour cela, on applique une tension $V_{DS} > 0V$, afin d'imposer un champ électrique accélérateur dans le canal et parallèle à l'interface oxyde-semi-conducteur.

Pour comprendre le fonctionnement d'un transistor MOS, il est indispensable de remarquer qu'à la modulation de la résistance du canal par l'effet de champ vertical, s'ajoute une autre modulation provenant de la polarisation du drain qui crée un champ électrique longitudinal. Il en résulte que le canal polarisé entre source et drain voit un potentiel variable en chaque point de sa longueur, ce dernier passant de ϕ_d à la source, $\phi_d + V_{DS}$ au drain. Tenant compte du fait que la grille est équipotentielle, cela implique que la tension à travers le diélectrique de grille est non uniforme le long du canal. Par conséquent l'effet de champ devient lui aussi non uniforme, ce qui signifie une résistivité du canal variable en chaque point et en fonction de l'importance de la polarisation de drain, nous pouvons distinguer trois régimes de fonctionnement du transistor MOS.

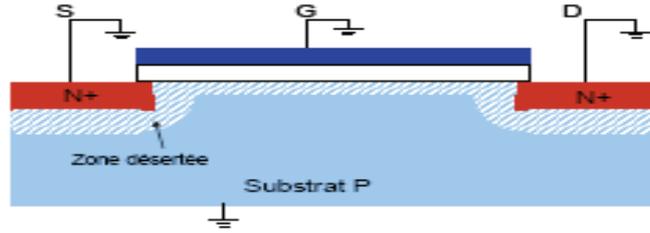


Figure I.6 : Coupe de MOSFET représentative de son fonctionnement en absence de polarisation (régime bloqué) [6].

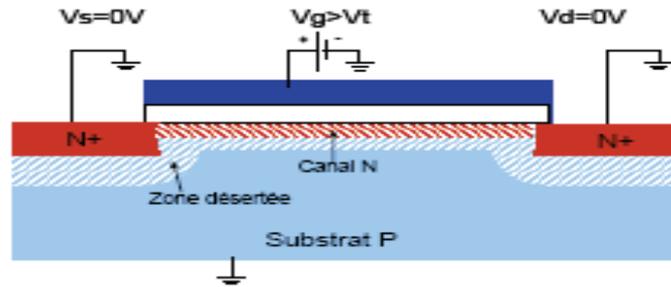


Figure I.7 : Coupe de MOSFET représentative de son fonctionnement : activation du canal ($V_g > V_t$) [6].

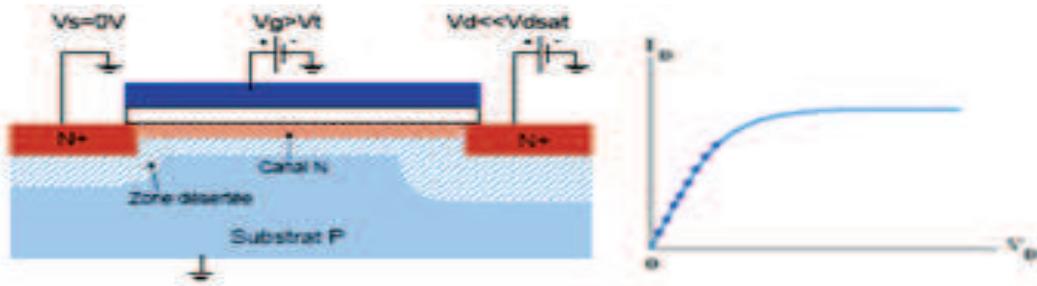


Figure I.8 : Coupe du MOSFET représentative de son fonctionnement en régime linéaire dit ohmique [6].

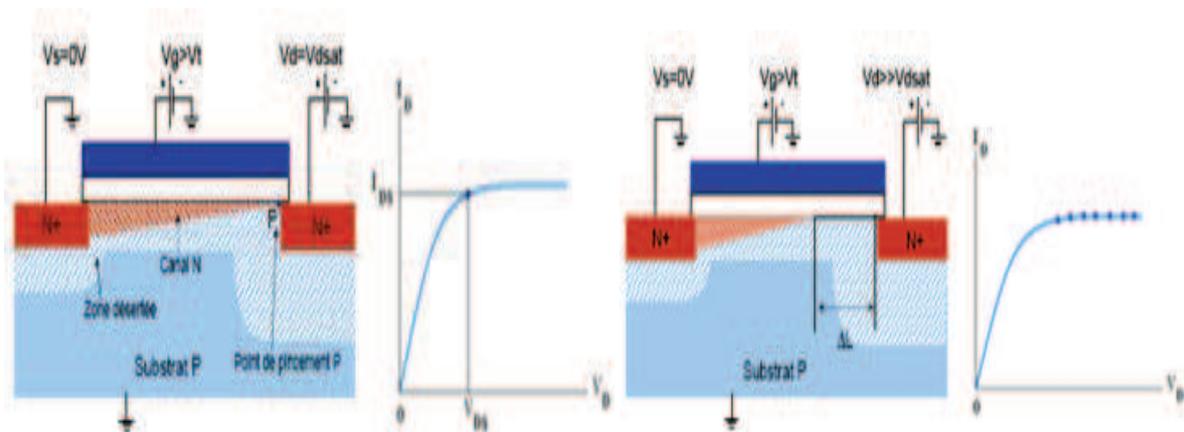


Figure I.9 : Coupes de MOSFETs représentatives de son fonctionnement en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de ΔL (droite) [6].

Les Figures I.6, 7,8 et 9, représentent le principe de fonctionnement du transistor à canal N à enrichissement (normally-off).

En l'absence de toute polarisation de grille V_{GS} , le régime bloqué représente l'état du composant, le transistor MOS est alors représenté par deux jonctions PN tête-bêche. Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué (I_{off}) doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant (Figure I.6).

L'application d'une tension positive (négative pour le P-MOS) sur l'électrode de grille supérieure à une certaine tension de seuil V_{th} produit l'apparition d'une couche d'inversion de type N entre la source et le drain (Figure I.7). Un canal de type N relie la source au drain. Plus la tension de grille V_{GS} est élevée, plus la densité de porteurs dans la couche augmente.

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (Figure I.8). La variation de la tension V_{DS} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain V_{DS} reste faible, le courant reste proportionnel à la tension V_{DS} appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{GS} .

Plus la tension V_{DS} appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à V_{DS} et aboutit à un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ($V_{GS}-V_{DS}$) égale à la tension de seuil V_{th} le canal se pince côté drain et la conductivité du canal s'annule au voisinage du drain. La tension de drain à laquelle le pincement a lieu est appelée tension de saturation V_{dsat} , et le courant correspondant est appelé courant de saturation I_{dsat} (Figure I.9).

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à V_{dsat} . Si la variation relative $\Delta L/L$ de la longueur du canal est faible, le courant de drain est égal à I_{dsat} et indépendant de V_{DS} (Figure I.9).

Les caractéristiques de transfert - $I_D(V_{GS})$ - et de sortie - $I_D(V_{DS})$ - sont respectivement illustrées par les Figures I-10 et I-11.

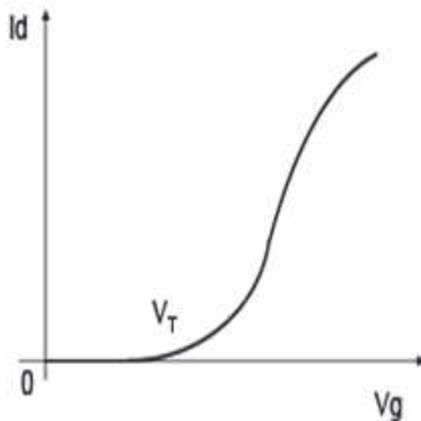


Figure I.10 : Caractéristiques idéales de transfert d'un transistor MOS de type N [6].

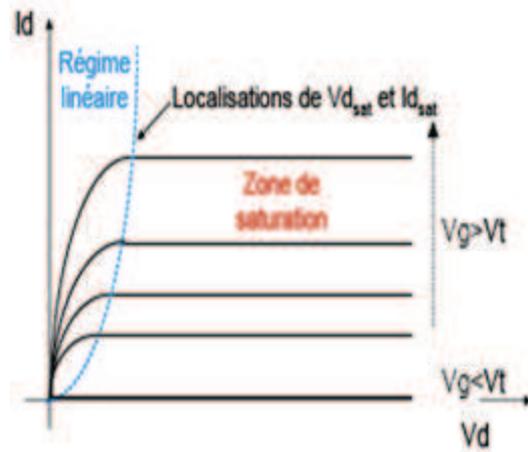


Figure I.11: Caractéristiques de sortie d'un transistor MOS de type N. La courbe pointillée correspond à la tension V_{dsat} . Pour $V_d > V_{dsat}$ le courant reste constant à I_{dsat} [6].

I.4. Analyse physique de la structure métal/oxyde/semi-conducteur idéale

I.4.1. Diagramme d'énergie à l'équilibre thermodynamique

La structure Métal/Oxyde/Semi-conducteur est donc un sandwich de couches constituées de matériaux de nature différente : conducteur, isolant et semi-conducteur. Nous allons pour simplifier l'étude considérer que ces matériaux sont homogènes et ont des travaux de sortie identiques.

En d'autres termes, l'écart énergétique entre le niveau du vide et le niveau de Fermi du métal est égal à celui du semi-conducteur dopé constituant le substrat. A l'équilibre thermodynamique, il n'y a donc pas de différence de potentiel et donc pas de champ électrique local entre le conducteur et le semi-conducteur.

La Figure I.12 montre les diagrammes d'énergie avant et après contact entre les différents matériaux. Nous considérerons toujours un modèle unidimensionnel : l'orientation est perpendiculaire aux interfaces.

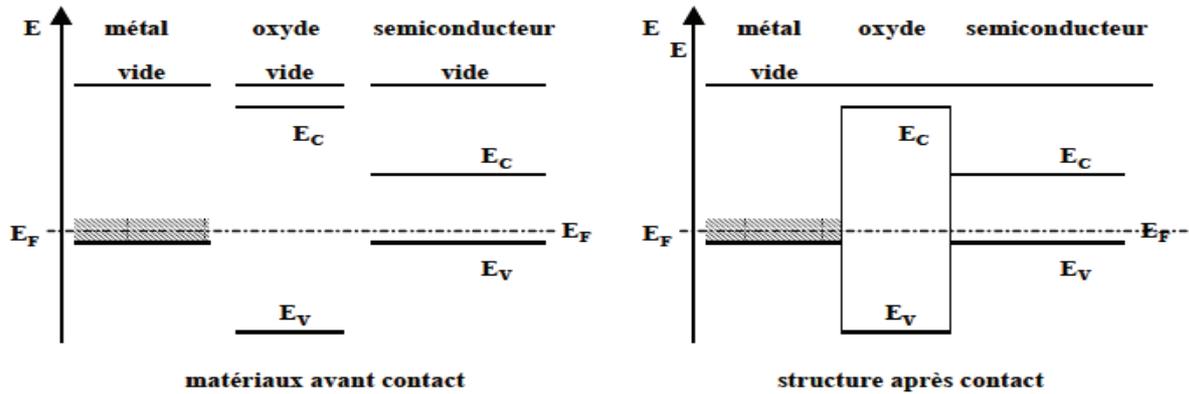


Figure I.12 : diagrammes d'énergie à l'équilibre thermodynamique des différents matériaux de la structure MOS avant contact puis après contact. Le niveau de Fermi est dans la bande de conduction pour le métal. La largeur de la bande interdite de l'oxyde est très grande devant celle du semi-conducteur. Le semi-conducteur est dopé p dans cet exemple, le niveau de Fermi se trouve donc proche de la bande de valence [3].

A l'équilibre thermodynamique, le métal et le semi-conducteur sont au même potentiel, les niveaux de Fermi sont donc alignés. Nous allons prendre comme potentiel de référence le potentiel du semi-conducteur loin d l'interface oxyde/semi-conducteur.

I.4.2. Régime d'accumulation

Pour ce régime, une tension est appliquée sur le métal par rapport au semi-conducteur qui correspond à la tension de grille appliquée par rapport au substrat.

La chute de potentiel va se répartir entre l'oxyde et le semi-conducteur près de l'interface. L'oxyde étant supposé idéal, il n'existe aucune charge à l'intérieur, ni statiques, ni en transit. D'après l'équation de Poisson, le champ électrique ξ est constant la variation de potentiel linéaire. Puisqu'il existe une charge d'espace possible dans le semi-conducteur, le champ peut varier dans cette zone, le potentiel aussi.

La Figure I.13 montre de façon qualitative la variation du potentiel dans la structure, et donc la variation du niveau du vide.

Sur cette figure, nous appelons :

- $-\psi_s$ le potentiel à l'interface,
- V_o , la chute de potentiel dans l'oxyde,
- ψ le potentiel à l'abscisse x .

Lorsque V_G est négatif, ψ l'est aussi. Le niveau de Fermi dans la zone considérée se rapproche de la bande de valence. Notons la relation : $V_G = V_o + \psi_s$.

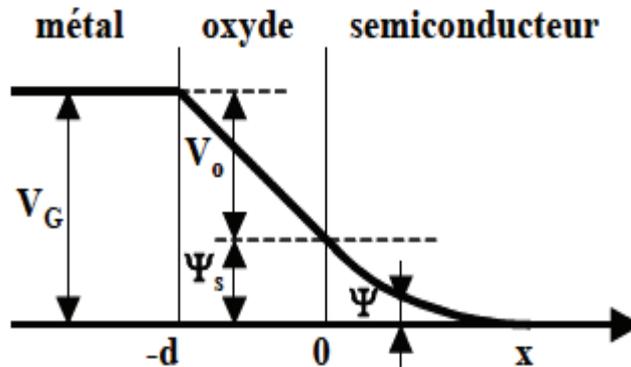


Figure I.13 : variation du potentiel à travers la structure. La variation est linéaire dans l'oxyde. ψ_s est le potentiel à l'interface. Le potentiel de la grille est égal à la somme des potentiels dans l'oxyde et le semi-conducteur [3].

Comme :

$p = N_v \cdot \exp\left[-\frac{E_F - E_V}{kT}\right]$, le semi-conducteur s'enrichit en trous majoritaires. Nous appelons ce régime, le régime d'accumulation.

La zone de charge d'espace est alors remplie par des trous majoritaires et les concentrations des autres types de charges deviennent négligeables. La Figure I.14 montre le diagramme d'énergie dans ce régime. Dans le cas présenté, le potentiel du métal est plus faible que celui du semi-conducteur (sens inverse des énergies). La courbure de bande est dite « vers le haut ».

Ce régime sera mis en œuvre dans certaines structures particulières pour enrichir la zone de canal.

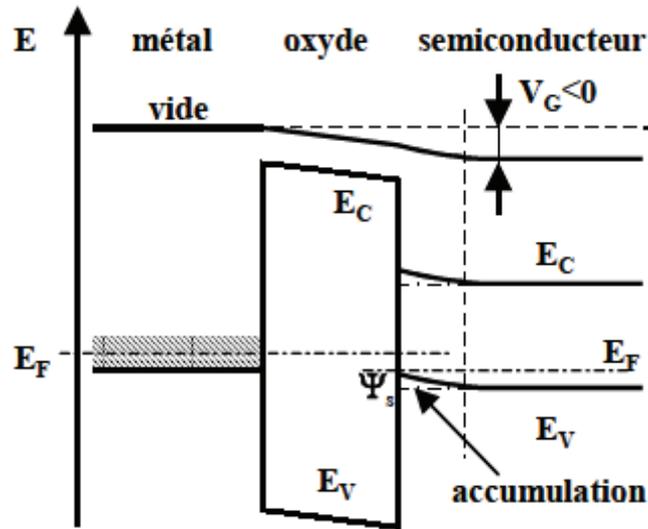


Figure I.14 : diagramme d'énergie de la structure en régime d'accumulation. Au niveau de l'interface oxyde/semi-conducteur, le niveau de Fermi est plus proche de la bande de valence [3].

I.4.3. Régime de désertion

Dans ces conditions, la tension appliquée sur le métal est positive : $V_G > 0$, mais pas trop élevée. La courbure des bandes d'énergie est changée de sens par rapport au cas précédent. Le potentiel de surface, ψ_s , est positif et donc le niveau de Fermi à l'interface s'éloigne de la bande de valence et se rapproche du milieu de la bande interdite, c'est-à-dire du niveau de Fermi intrinsèque. Il y a appauvrissement de porteurs, en trous dans cet exemple. La zone de charge d'espace contient principalement des atomes dopants ionisés (accepteurs dans ce cas). La Figure I.15 montre le diagramme d'énergie dans ces conditions. Il faut analyser la position du niveau de Fermi à l'interface oxyde-semi-conducteur. Dans ce cas, $|q\psi_s| < |q\phi_p|$, ce qui signifie que le niveau de Fermi reste dans la partie inférieure de la bande interdite. La concentration en trous est très inférieure à la concentration en dopant et la concentration en électrons reste complètement négligeable. La zone de charge d'espace s'étend en fonction de la tension appliquée sur la grille. Quand la courbure augmente, l'extension augmente.

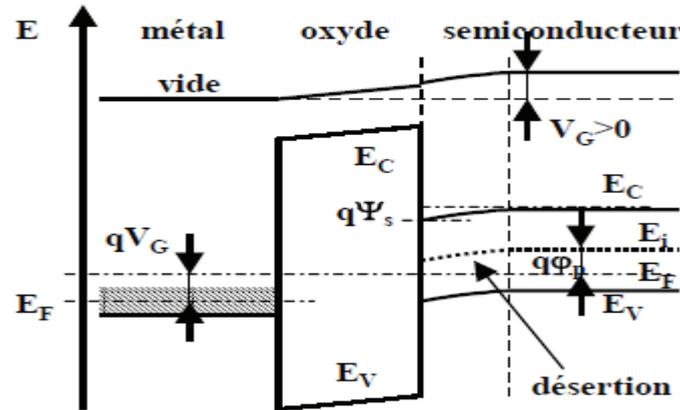


Figure I.15 : Diagramme d'énergie de la structure en régime de désertion pour un substrat dopé p. La courbure est dans ce cas vers le bas et le niveau de Fermi à l'interface s'écarte de la bande de valence et se rapproche du niveau de Fermi intrinsèque [3].

I.4.4. Régime de faible inversion

La tension appliquée sur le métal est plus élevée de manière à ce que le potentiel de surface (en énergie) soit supérieur à l'écart énergétique entre le niveau de Fermi et le niveau de Fermi intrinsèque dans le substrat semi-conducteur initial, $q\phi_p$.

Dans ces conditions, telles que représentées Figure I.16, la courbure est « vers le bas », le niveau de Fermi à l'interface est passé au-dessus du niveau de Fermi intrinsèque ; le niveau de Fermi à l'interface est plus proche de la bande de conduction que de la bande de valence. Les électrons sont alors plus nombreux que les trous mais restent néanmoins en concentration négligeable par rapport aux atomes dopants ionisés. La population de porteurs s'est inversée à l'interface. Nous appelons ce régime la faible inversion.

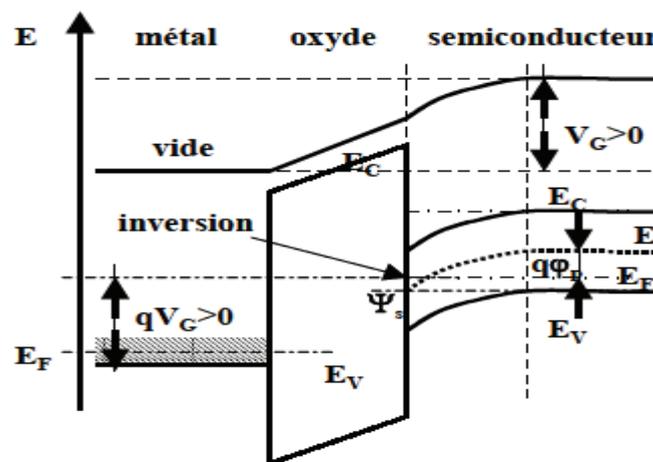


Figure I.16 : Diagramme d'énergie de la structure en régime d'inversion pour un substrat dopé p. La courbure est dans ce cas vers le bas et le niveau de Fermi à l'interface est passé au-dessus du niveau de Fermi intrinsèque [3].

I.4.5. Régime de forte inversion

Ce régime débute lorsque le canal tel que nous l'avons défini commence à exister, c'est-à-dire dans le cas proposé, lorsque la concentration en électrons devient égale en surface du semi-conducteur à la concentration d'atomes dopants ionisés, ce qui correspond à la concentration en trous dans le volume neutre (loin de l'interface). Dans ces conditions, l'écart énergétique entre le niveau de Fermi de surface et le niveau de Fermi intrinsèque est égal en valeur absolue à celui du volume neutre. Autrement dit, le potentiel en surface est égal ou supérieur à 2 fois ϕ_p .

Nous noterons : $|\Psi_s| \geq 2\phi_p$; lorsque $|\Psi_s| = 2\phi_p$ alors $|V_G| = |V_{th}$ c'est-à-dire que la tension de grille est égale à la tension de seuil. La Figure I.17 montre cette situation. La courbure de bande a augmenté et la zone de charge d'espace atteint pratiquement un maximum.

En effet, la zone de charge d'espace comporte deux parties chargées avec des éléments portant le même signe :

- la zone désertée de concentration, N_A dans notre cas,
- la zone de canal de concentration n très élevée et supérieure à N_A .

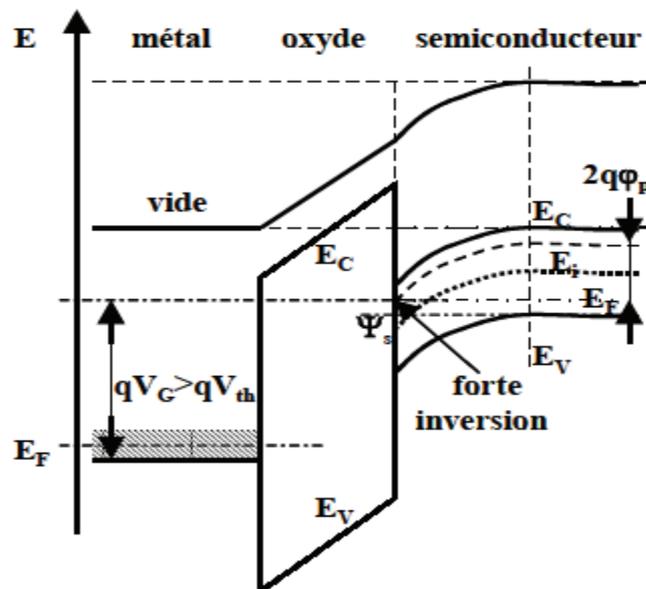


Figure I.17 : diagramme d'énergie de la structure en forte inversion. Le niveau de Fermi à l'interface est au moins aussi proche de la bande de conduction qu'il n'est de la bande de valence dans le volume neutre [3].

La zone de canal est en fait très fine (quelques Angström à quelques dizaines d'Angström) puisque les porteurs « s'agglutinent » contre la paroi d'oxyde. La charge totale de ces deux contributions se retrouve de signe opposé sur la grille comme le montre la Figure I.18.

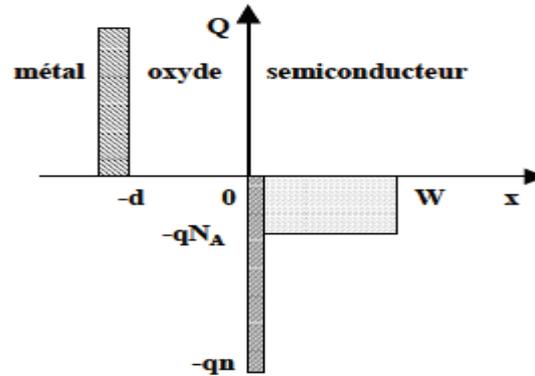


Figure I.18 : Représentation de la distribution des charges dans la structure en régime de forte inversion. La concentration en électrons à l'interface oxyde-semi-conducteur est très élevée, l'épaisseur de cette zone est très faible. Il en est de même du côté métal [3].

Sur cette figure, très schématisée, il est possible de se rendre compte de la faible épaisseur du canal. Du côté du métal, la concentration en électrons est tellement forte que l'épaisseur concernée, correspondant à un déficit d'électrons est presque nulle.

I.4.6. Résolution de l'équation de Poisson

L'intégration de l'équation de Poisson est plus compliquée dans ce cas puisqu'il n'est pas possible, a priori, de négliger les différents types de charges devant les autres dans la mesure où suivant le régime l'importance relative de leur concentration est modifiée fondamentalement.

$$\frac{d^2\Psi}{dx^2} = -\frac{\rho}{\epsilon_r \epsilon_0} = -\frac{q(N_D^+ - N_A^- + p - n)}{\epsilon_r \epsilon_0} \quad (I.3)$$

Dans le volume neutre du substrat, à l'équilibre thermodynamique, en considérant les dopages constants, et en notant n_0 et p_0 les concentrations des porteurs, nous avons :

$$N_D^+ - N_A^- + p_0 - n_0 = 0 \Rightarrow N_D - N_A = n_0 - p_0$$

En appliquant la statistique de Boltzmann, le niveau de Fermi est situé entre la bande de valence et la bande de conduction :

$$n = n_0 \cdot \exp\left[+\frac{q\Psi}{kT}\right] \text{ et } p = p_0 \cdot \exp\left[-\frac{q\Psi}{kT}\right] \quad (I.4)$$

Le changement de signe provenant de l'orientation des énergies.

En remplaçant les expressions précédentes dans l'équation de Poisson, nous obtenons :

$$\frac{d^2\Psi}{dx^2} = -\frac{q}{\varepsilon_r\varepsilon_0} \left(n_0 - p_0 + p_0 \cdot \exp\left[-\frac{q\Psi}{kT}\right] - n_0 \cdot \exp\left[+\frac{q\Psi}{kT}\right] \right)$$

Il est clair que la résolution de cette équation n'est pas triviale. Il faut utiliser un facteur intégrant, $\frac{d\Psi}{dx}$, sachant que $\frac{d\Psi}{dx} \frac{d^2\Psi}{dx^2} = \frac{1}{2} \frac{d}{dx} \left(\frac{d\Psi}{dx} \right)^2$

De plus, sachant que le champ dérive du potentiel, $\xi = -\frac{d\Psi}{dx}$

$$\frac{d}{dx} \left(\frac{d\Psi}{dx} \right)^2 = -\frac{2qp_0}{\varepsilon_r\varepsilon_0} \left[-\exp\left[-\frac{q\Psi}{kT}\right] + 1 + \frac{n_0}{p_0} \left[\exp\left[+\frac{q\Psi}{kT}\right] - 1 \right] \right] \frac{d\Psi}{dx}$$

Cette équation peut être alors intégrée entre les limites de la zone de charge d'espace, donc de 0 à W.

$$\left(\frac{d\Psi}{dx} \right)^2 = [(-\xi)^2]_0^W = \left[\frac{2kTp_0}{\varepsilon_r\varepsilon_0} \left[\exp\left[-\frac{q\Psi}{kT}\right] + \frac{q\Psi}{kT} + \frac{n_0}{p_0} \left[\exp\left[+\frac{q\Psi}{kT}\right] - \frac{q\Psi}{kT} \right] \right] \right]_{\Psi(0)}^{\Psi(W)}$$

or en $x=W$, $\Psi=0$ et $-\frac{d\Psi}{dx} = \xi = 0$

et en $x=0$, $\Psi = \Psi_s$ et $-\frac{d\Psi}{dx} = \xi_s$

$$(-\xi_s)^2 = \frac{2kTp_0}{\varepsilon_r\varepsilon_0} \left[-\exp\left[-\frac{q\Psi_s}{kT}\right] + 1 - \frac{q\Psi_s}{kT} + \frac{n_0}{p_0} \left[1 - \exp\left[+\frac{q\Psi_s}{kT}\right] + \frac{q\Psi_s}{kT} \right] \right] \quad (I.5)$$

Le terme en $\frac{2kTp_0}{\varepsilon_r\varepsilon_0}$ peut s'écrire sous la forme $\frac{2kTp_0}{\varepsilon_r\varepsilon_0} = \frac{(2kT)^2}{q^2} \frac{qp_0}{2\varepsilon_r\varepsilon_0} \frac{q}{kT}$

Le deuxième terme de cette égalité contient l'expression $\frac{qp_0}{2\varepsilon_r\varepsilon_0} \frac{q}{kT}$ qui est homogène à l'inverse d'une longueur au carré. Nous noterons :

$$L_D = \sqrt{\frac{2\varepsilon_r\varepsilon_0 kT}{p_0 q^2}} \quad (I.6)$$

Appelée longueur de Debye. Notons que cette longueur a exactement la même forme que celle d'une extension de zone de charge d'espace pour laquelle le potentiel serait le potentiel thermodynamique.

Remarque : dans certains ouvrages, la longueur de Debye est définie sans le nombre 2. La différence est dans le rapport racine de 2 et perd en partie son analogie. Nous verrons l'aspect intéressant de notre choix un peu plus loin.

$$N_D x_n = N_A x_p \quad (I.7)$$

$$J_n = +qD_n \frac{dn}{dx} + qn\mu_n E = 0 \quad (I.8)$$

Des expressions (I.5) et (I.6) nous pouvons exprimer le champ électrique à l'interface oxyde-semi-conducteur, en valeur absolue :

$$|\xi_s| = \frac{2kT}{qL_D} \left[-\exp\left[-\frac{q\Psi_s}{kT}\right] + 1 - \frac{q\Psi_s}{kT} + \frac{n_0}{p_0} \left[1 - \exp\left[+\frac{q\Psi_s}{kT}\right] + \frac{q\Psi_s}{kT} \right] \right]^{1/2}$$

Qui se note aussi :

$$|\xi_s| = \frac{2kT}{qL_D} F\left(\Psi_s, \frac{n_0}{p_0}\right)$$

$F\left(\Psi_s, \frac{n_0}{p_0}\right)$ étant la fonction de Kingston-Neustader.

$$F\left(\Psi_s, \frac{n_0}{p_0}\right) = \left[1 - \exp\left[-\frac{q\Psi_s}{kT}\right] - \frac{q\Psi_s}{kT} + \frac{n_0}{p_0} \left[1 - \exp\left[+\frac{q\Psi_s}{kT}\right] + \frac{q\Psi_s}{kT} \right] \right]^{1/2} \quad (I.9)$$

Cette expression du champ électrique en surface est très importante car elle va permettre d'évaluer la valeur de la charge en surface en appliquant le théorème de Gauss et en déduire dans la suite la capacité équivalente vue depuis la grille de la structure MOS.

A partir du théorème de Gauss nous pouvons exprimer la charge par unité de surface :

$$Q_s = -\varepsilon_r \varepsilon_0 \xi_s \Rightarrow Q_s = \pm \frac{2\varepsilon_r \varepsilon_0 kT}{qL_D} F\left(\Psi_s, \frac{n_0}{p_0}\right)$$

Nous allons analyser dans la suite en fonction des différents régimes imposés par la tension de grille l'expression de cette charge.

Remarque : dans la fonction F, le rapport n_0/p_0 est une valeur très faible qui correspond au rapport des concentrations des porteurs minoritaires à celui des majoritaires. Si $N_A = 10^{16} \text{ cm}^{-3}$, $p_0 = 10^{16} \text{ cm}^{-3}$ et $n_0 = n_i^2/N_A \sim 10^4 \text{ cm}^{-3}$, $n_0/p_0 \sim 10^{-14}$. Le terme exponentiel en facteur dans F, deviendra du même ordre de grandeur quand $-\frac{q\Psi_s}{kT}$ sera égal à 10^{14} , c'est-à-dire en pratique pour $|\Psi_s| = 2 \left| \varphi_p \right|$. Autrement dit $\frac{n_0}{p_0} = \frac{n_i^2}{N_A^2} = \exp\left[\frac{2q\varphi_p}{kT}\right]$, [3].

I.4.7. Variation de la concentration de charge en surface en fonction de la polarisation de grille

Nous allons exprimer puis tracer Q_s dans les différents régimes dans le cas d'un substrat de type p pour lequel les trous sont majoritaires et les électrons minoritaires à l'équilibre thermodynamique.

I.4.7.1. Régime d'accumulation

Dans l'expression de Q_s , $\Psi_s > 0$, $Q_s > 0$, seul le terme en $\exp\left[-\frac{q\Psi_s}{kT}\right]$ subsiste dans F. Ainsi :

$$Q_s = + \frac{2\varepsilon_r\varepsilon_0kT}{qL_D} \exp\left[-\frac{q\Psi_s}{kT}\right] \quad (\text{I.10})$$

En appelant p_s la concentration en surface, c'est-à-dire à l'interface oxyde-semi-conducteur,

$p_s = p_0 \exp\left[-\frac{q\Psi_s}{kT}\right]$ l'expression de la charge devient en remplaçant L_D par son expression :

$$Q_s = + \sqrt{2q\varepsilon_r\varepsilon_0 \frac{kT}{q}} \sqrt{p_s} \quad (\text{I.11})$$

Cette forme est intéressante car elle met en évidence l'importance de la concentration en surface dans l'expression de la charge qui traduit aussi une loi exponentielle en fonction du potentiel de surface.

1.4.7.2. Régime de désertion ou d'appauvrissement

Dans l'expression de Q_s , $\Psi_s > 0, Q_s < 0$, avec $0 < |\Psi_s| < |\phi_p|$, seul le terme en $\frac{q\Psi_s}{kT} - 1$ subsiste dans F. Ainsi :

$$Q_s = - \frac{2\varepsilon_r\varepsilon_0kT}{qL_D} \sqrt{\frac{q\Psi_s}{kT} - 1} \quad (\text{I.12})$$

Expression qui s'écrit encore :

$$Q_s = - \sqrt{2\varepsilon_r\varepsilon_0qp_0 \left[\frac{q\Psi_s}{kT} - 1\right]} \quad (\text{I.13})$$

Remarque : $Q_s = -qN_A W$ donne $W = -\sqrt{\frac{2\varepsilon_r\varepsilon_0}{qN_A} \left[\Psi_s - \frac{kT}{q}\right]}$. Nous retrouvons ainsi l'expression de l'extension de la zone de charge d'espace habituelle. En fait, le calcul complet que nous venons de mener amène une correction égale au potentiel thermodynamique, V_T . Cela signifie qu'en faisant l'approximation de Shockley, l'erreur est très faible. La modification apparaît sur la longueur de Debye, distance sur laquelle nous n'aurions pas le droit de faire l'approximation que la concentration en porteurs est négligeable devant la concentration en atomes dopants ionisés.

1.4.7.3. Régime de faible inversion

Dans l'expression de Q_s , $\Psi_s > 0, Q_s < 0$, avec $|\phi_p| < |\Psi_s| < 2|\phi_p|$, le terme incluant le facteur n_0/p_0 est toujours négligeable et donc l'expression de cette charge reste identique au cas précédent :

$$Q_s = - \sqrt{2\varepsilon_r\varepsilon_0qp_0 \left[\frac{q\Psi_s}{kT} - 1\right]} \quad (\text{I.14})$$

1.4.7.4. Régime de forte inversion

Dans l'expression de Q_s , $\Psi_s > 0, Q_s < 0$, avec $|\Psi_s| > 2|\phi_p|$, le terme facteur de n_0/p_0 devient alors supérieur à $\exp\left[\frac{2q\phi_p}{kT}\right]$ et cette partie de l'expression de F devient prépondérante. Ainsi :

$$Q_s = -\frac{2\epsilon_r\epsilon_0kT}{qL_D} \exp\left[\frac{q\Psi_s}{2kT}\right] \sqrt{\frac{n_0}{p_0}} \quad (I.15)$$

Sachant que

$$n_s = n_0 \exp\left[\frac{q\Psi_s}{kT}\right],$$

$$Q_s = +\sqrt{2q\epsilon_r\epsilon_0\frac{kT}{q}} \sqrt{n_s} \quad (I.16)$$

L'aspect intéressant de cette dernière expression est que nous retrouvons exactement le même type d'expression que dans le cas de l'accumulation (formule I.11) mais en changeant le type de porteurs de charge ; dans notre exemple d'une structure sur substrat p, nous changeons p_s en n_s . Il est clair que la structure a été inversée par rapport à la situation de départ.

1.4.7.5. Variations de Q_s en fonction de Ψ_s

La Figure I.19 montre la variation de la charge en fonction du potentiel de surface. Il faut se rappeler que celui-ci dépend directement de la polarisation appliquée sur la grille. Cette charge augmente très fortement en valeur absolue dans les régimes d'accumulation et de forte inversion et varie très peu entre. Puisque cette charge compense l'effet de la tension appliquée sur la grille, cela aura pour conséquence que dans les régimes extrêmes, la tension appliquée sur la grille pourra être relativement importante.

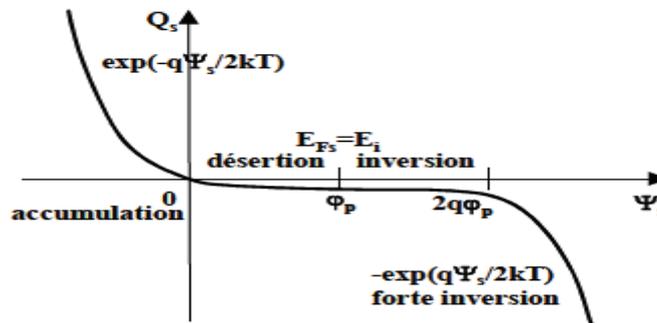


Figure I.19 : Variation de la charge en fonction du potentiel à l'interface oxyde semi-conducteur dans le cas d'un substrat de type p. En régime d'accumulation ou de forte inversion la variation est très rapide [3].

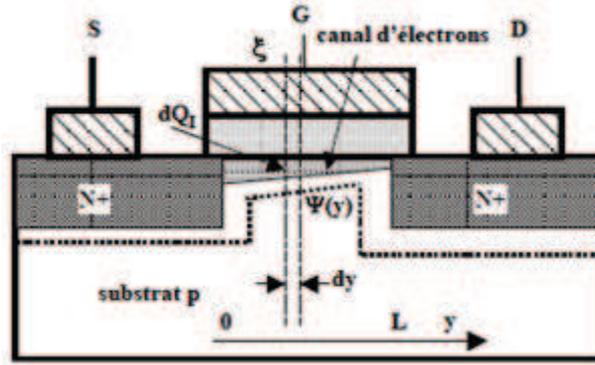


Figure I.20 : Représentation schématique de la structure MOS en régime de conduction non saturée. Le canal existe partout sous la grille. Le potentiel de surface varie en fonction de la position y ; il en est de même pour la charge d'interface Q_I . L'intégrale de la résistance entre 0 et L permet de déterminer le courant total drain-source traversant le transistor. La résistance augmente lorsque la polarisation drain-source augmente [3].

$$I_D = -Z \mu_n Q_I \xi_y \quad \text{et} \quad \xi_y = -\frac{d\Psi}{dy}$$

$$I_D = Z \mu_n C_0 (V_G - V_{th} - \Psi(y)) \frac{d\Psi}{dy}$$

En intégrant cette équation tout le long du canal entre 0 et L , le potentiel variant de 0 à V_D ,

$$\int_0^L I_D dy = Z \mu_n C_0 \int_0^{V_D} (V_G - V_{th} - \Psi) d\Psi$$

$$I_D L = Z \mu_n C_0 \left[(V_G - V_{th}) V_D - \frac{V_D^2}{2} \right]$$

$$I_D = \frac{Z}{L} \mu_n C_0 \left[(V_G - V_{th}) V_D - \frac{V_D^2}{2} \right] \quad (I.17)$$

L'expression du courant trouvée ici est très simplifiée mais donne un bon aperçu de l'équation de la caractéristique du transistor. Sans les approximations, la résolution est beaucoup plus compliquée.

Dans le calcul ci-dessus, nous avons supposé que le canal existe sur toute la longueur L en régime limite. Lorsque $V_{DS} = V_{GS} - V_{th}$, le point de pincement du canal apparaît au niveau du drain. Cette situation correspond au début de la saturation du courant ; le courant de saturation sera noté I_{Dsat} .

$$V_{Dsat} = V_G - V_{th}$$

$$I_{Dsat} = \frac{Z}{L} \mu_n C_0 \left[(V_G - V_{th})^2 - \frac{(V_G - V_{th})^2}{2} \right]$$

$$I_{Dsat} = \frac{Z}{L} \mu_n C_0 \frac{(V_G - V_{th})^2}{2} \quad (I.18)$$

Ainsi, nous déterminons le courant de saturation qui ne dépend que de la différence entre la tension de grille et la tension de seuil.

Il faut cependant remarquer que pour la tension de grille très légèrement inférieure ou égale à la tension de seuil, le courant n'est pas nul. Pour connaître le comportement électrique au-dessous du seuil, il faut reprendre les équations qui déterminent la quantité effective des porteurs (dans notre cas les électrons) dont la concentration est inférieure à la concentration de dopant mais est loin d'être nulle (10^{17} cm^{-3} par exemple). Dans ces conditions, nous déterminons la caractéristique de transfert sous le seuil, le courant pouvant varier sur une bonne dizaine de décades pour atteindre la valeur du courant inverse d'une des deux jonctions drain-canal ou source-canal.

La forme de cette caractéristique et plus particulièrement sa pente dans une échelle logarithmique est directement liée à l'épaisseur d'oxyde, au dopage de la zone de canal et à la densité de charge parasite liée essentiellement aux défauts d'interface oxyde/zone canal (Figure I.21).

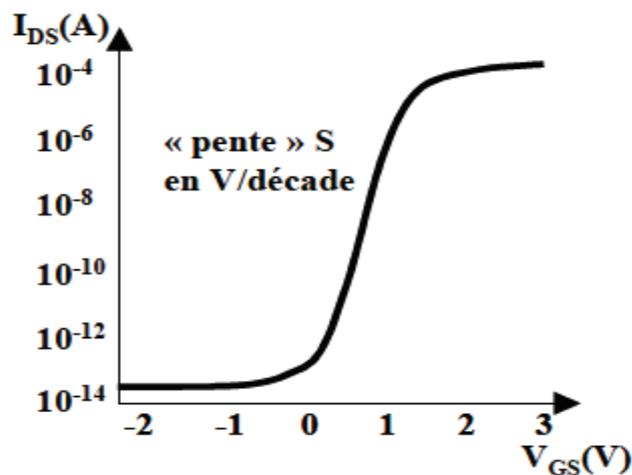


Figure I.21 : Caractéristique de transfert typique d'un transistor N-MOS intégré. Le courant drain-source varie sur une dizaine de décade pour une variation de l'ordre du volt pour la tension de grille [3].

I.5. Principaux paramètres des MOSFETs

Les trois régimes de fonctionnement (bloqué, ohmique et source de courant) décrits au paragraphe précédent sont indiqués sur les caractéristiques $I_D(V_{DS})$ à différentes tensions de grille V_{GS} reportées en Figure I.22.

L'état passant d'un transistor (zone ohmique et source de courant) MOSFET se caractérise principalement par [4] :

- La résistance à l'état passant R_{on} : inverse de la pente de courbe $I_D(V_{DS})$ à $V_{GS}=V_{DD}$ et faible V_{DS} où V_{DD} est la tension d'alimentation du transistor (Figure I.22).
- Le courant de saturation : I_{on} , c'est-à-dire le courant I_D à $V_{GS}=V_{DD}$ et $V_{DS}=V_{DD}$ (Figure I.23).
- la transconductance G_m . G_m correspond à la pente de la courbe $I_D(V_{GS})$ à fort V_{DS} (Figure I.23) soit :

$$G_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = cste} \quad (I.19)$$

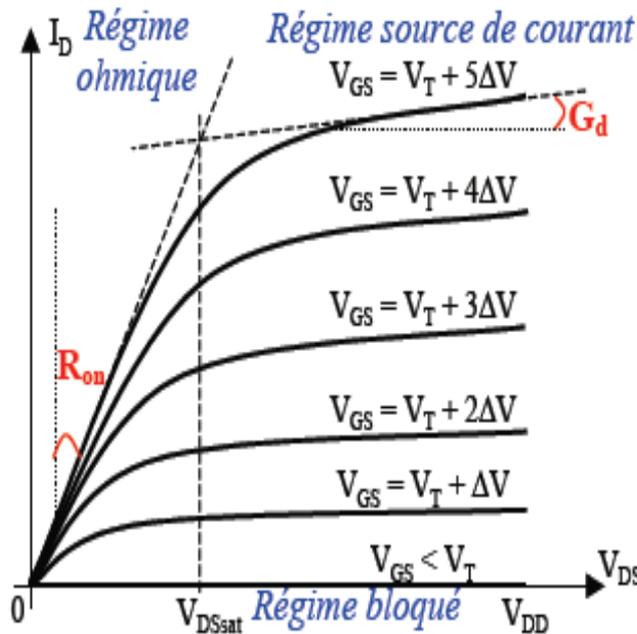


Figure I.22 : Caractéristiques $I_D(V_{DS})$ typiques à différents V_{GS} d'un transistor N-MOS [4].

La conductance G_d quantifie l'imperfection de la saturation. Elle est égale à la pente de la courbe $I_D(V_{DS})$ à $V_{DS} > V_{dsat}$ soit :

$$G_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS} = cste} \quad (\text{en régime source de courant}) \quad (I.20)$$

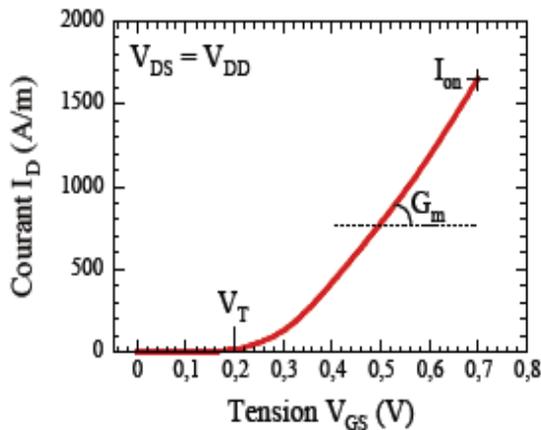


Figure I.23 : Caractéristique $I_D(V_{GS})$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , G_m et V_T sont indiqués [4].

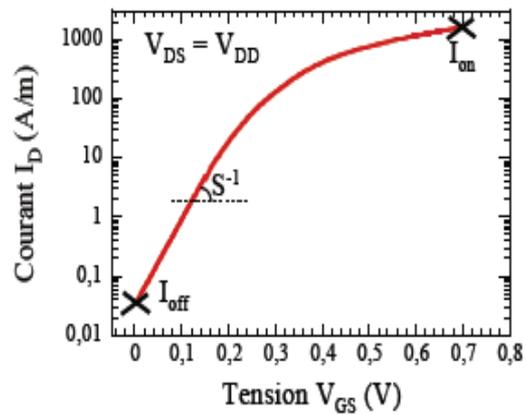


Figure I.24 : Caractéristique $\log [I_D(V_{GS})]$ à $V_{DS} = V_{DD}$ typique d'un NMOS. I_{on} , I_{off} et S sont indiqués [4].

Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ($I_D \neq 0$).

Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif, d'où la dépendance exponentielle de la caractéristique $I_D(V_{GS})$ sous le seuil illustrée en Figure I.24.

- le courant à l'état bloqué I_{off} correspond au courant I_D à $V_{GS} = 0$ V et $V_{DS} = V_{DD}$ (Figure I.24),
- de plus on définit la pente sous le seuil S comme l'inverse de la pente $\log [I_D(V_{GS})]$ à faible V_{GS} .

$$\text{Soit } S = \left[\frac{\partial \log(I_D)}{\partial V_{GS}} \Big|_{V_{DS} = \text{cste}} \right]^{-1} \quad (\text{I.21})$$

La modélisation du courant sous le seuil [5] donne une pente :

$$S = \frac{k_B T}{q} \ln(10) \left[1 + \frac{C_{ZCE}}{C_{OX}} \right] \quad (\text{I.22})$$

où k_B est la constante de Boltzmann, T la température, q la charge élémentaire, C_{OX} la capacité d'oxyde et C_{ZCE} la capacité de la zone de charge d'espace.

Pour $C_{OX} \gg C_{ZCE}$ on obtient la pente S idéale :

$$S_{\text{idéale}} = k_B \times T / q \times \ln(10) \quad (\text{I.23})$$

C'est-à-dire égale à 60mV par décade à 300°K.

I. 6. Transistor MOS : schéma équivalent

La Figure I.25 présente le schéma électrique équivalent d'un transistor MOSFET intrinsèque en régime d'inversion ($V_{GS} > V_{th}$). Cette modélisation inclut les différentes résistances et capacités parasites habituelles. La superposition du schéma électrique et de la coupe du transistor met en évidence les origines physiques de ces éléments parasites.

Les régions source et drain sont des zones fortement dopées, les porteurs qui les traversent y subissent donc un grand nombre d'interactions avec les impuretés dopantes ionisées. Les résistances d'accès intrinsèques R_S et R_D de ces zones peuvent être non négligeables si elles deviennent du même ordre, voire plus importantes, que la résistance minimale du canal [8].

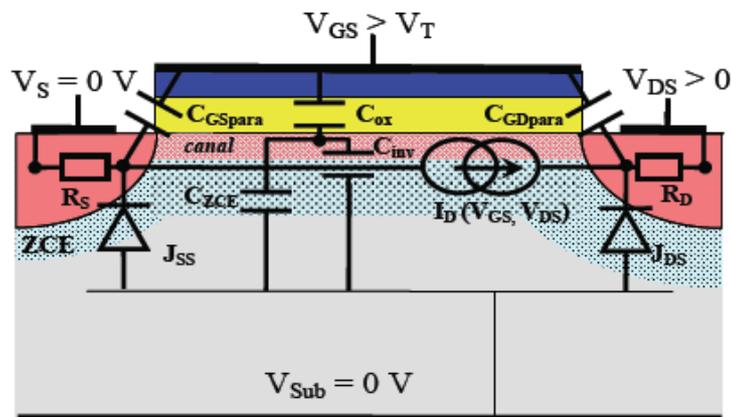


Figure I.25 : Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en inversion [4].

On a vu précédemment que l'effet de champ crée un canal de porteurs libres par l'intermédiaire de la capacité MOS. La longueur et la largeur de l'oxyde de grille étant très grandes devant son épaisseur (W et $L \gg T_{ox}$), les effets de bord sont négligeables en première approximation. La capacité MOS n'a donc qu'une seule dimension et on ne va considérer que des grandeurs surfaciques. La variation de charges surfaciques commandée par la grille $\Delta Q(V_{GS})$ se répartit dans le semi-conducteur entre le canal d'inversion ΔQ_{inv} et la zone de charge d'espace ΔQ_{ZCE} soit:

$$\Delta Q(V_{GS}) = \Delta Q_{inv} + \Delta Q_{ZCE} \quad (I.24)$$

Cette capacité MOS est modélisée par une capacité d'oxyde C_{ox} en série avec un montage en parallèle d'une capacité d'inversion C_{inv} et d'une capacité de substrat C_{ZCE} . La capacité surfacique d'oxyde C_{ox} est liée à la structure métal de grille/isolant: $C_{ox} = \epsilon_{ox}/T_{ox}$. La tension à ses bornes est égale à la différence de potentiel aux limites de l'oxyde. La capacité

surfâcique C_{inv} est liée à la variation, sous l'effet de la tension de grille, de la charge d'inversion formée par les porteurs libres du canal ΔQ_{inv} . En outre, pour $V_{GS} > V_{th}$, la charge surfâcique d'inversion Q_{inv} est donnée par :

$$Q_{inv} = C_{ox} \cdot (V_{GS} - V_{th}) \quad (I.25)$$

La capacité surfâcique C_{ZCE} correspond à la variation de charge surfâcique de la zone de charge d'espace du substrat, d'extension T_{ZCE} , commandée par la grille donc [6] :

$$C_{ZCE} = \epsilon_{Si} / T_{ZCE} \quad (I.26)$$

Avec ϵ_{Si} permittivité diélectrique du silicium.

Pour augmenter le contrôle de la grille sur le canal, ΔQ_{ZCE} et donc la capacité C_{ZCE} doivent rester les plus faibles possibles pour ne pas dégrader les caractéristiques du transistor, en particulier sous le seuil.

Les capacités C_{GSpara} et C_{GDpara} modélisent des phénomènes capacitifs supplémentaires qui se rajoutent, côté drain et côté source, à ceux de la structure MOS idéale. Chacune de ces capacités peut inclure différents types de couplage électrostatique comme illustré en Figure I.26. Tout d'abord, il peut exister un couplage dû à des effets de bord nommé C_{bord} : des lignes de champ (à 2 dimensions) se propagent entre l'électrode de grille et les caissons dans l'espace au-dessus des caissons. Dans le cas d'un recouvrement par la grille des caissons, il y a création, en régime d'inversion du canal, d'une zone d'accumulation dans les caissons et apparition de la capacité C_{rec} associée qui peut être très pénalisante. De plus, si la grille recouvre les ZCE de jonction caisson/substrat, il y a compétition entre les ZCE commandées par la grille et la source. Cela se traduit par une modification de la capacité surfâcique C_{ZCE} près des caissons [4].

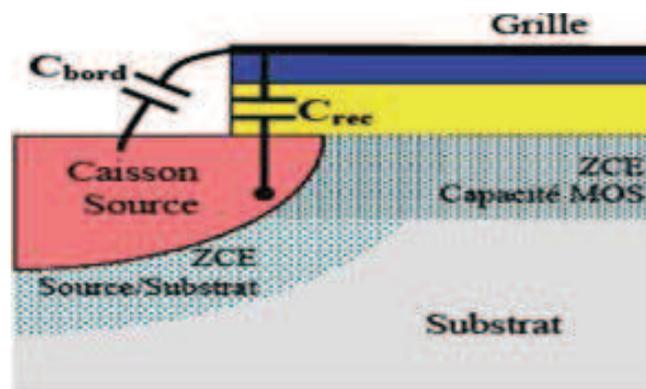


Figure I.26 : Décomposition de la capacité parasite C_{GSpara} de la en capacité C_{bord} et capacité de recouvrement C_{rec} grille/caisson [4].

Enfin, on constate la présence des jonctions N+/P Source/Substrat et aussi Drain/Substrat qui induisent des comportements résistifs et capacitifs susceptibles de détériorer aussi le comportement dynamique du transistor.

I.7. La miniaturisation et ses effets parasites

Fonctionnel pour la première fois en 1960, le transistor MOS n'a dès lors plus cessé d'évoluer et le fait qu'il soit un élément central des circuits intégrés, grâce à la logique CMOS (Complementary MOS, à base de N-MOS et de P-MOS), est un véritable moteur. Cette évolution, qui consiste principalement à réduire les dimensions des dispositifs, est motivée par la demande croissante en circuits intégrés denses, rapides et qui consomment peu d'énergie. L'espace ainsi gagné permet l'intégration de nouvelles fonctionnalités sur une même puce, nous parlons aujourd'hui de SOC (System-On-Chip). Cette augmentation de l'intégration suit une loi empirique, observée par Gordon Moore, co-fondateur d'Intel, d'où son nom de "loi de Moore". Ainsi, la tendance générale vise à doubler la densité des transistors intégrés tous les 18 mois.

Concrètement, le premier microprocesseur d'Intel en 1971 intégrait 2300 transistors avec une longueur critique de $10\mu\text{m}$ et ce sur une surface de 12mm^2 . En 2010, ce même Intel a intégré 3,1 milliards de transistors de longueur critique 32nm sur une surface de 544mm^2 .

La miniaturisation du transistor MOS sur silicium s'est effectuée, jusqu'à la génération $0.5\mu\text{m}$, grâce à l'application d'une théorie simple de diminution de l'ensemble des paramètres définissant une technologie ; à savoir la longueur de grille L_G , la largeur de la zone active W , l'épaisseur d'oxyde T_{OX} et la profondeur des jonctions X_j , théorie proposée par Dennard en 1974 [7]. Cette loi montre que la simple réduction d'échelle (ou scaling) permettait, à elle seule, l'amélioration des performances d'un circuit. Les seules limitations à ce scaling étaient alors principalement d'ordre technologique, les principaux défis concernaient la mise au point de moyens techniques de fabrication du transistor (équipements, procédé).

Depuis cette génération, la course à la miniaturisation, indispensable à l'évolution des nouvelles technologies et à l'amélioration de leurs performances, ne se déroule plus aussi systématiquement, et la loi de Dennard n'est plus valable. En effet, si jusqu'à la génération $0.5\mu\text{m}$ la réduction d'échelle se faisait à tension d'alimentation constante ($V_{DD}=5\text{V}$), pour des raisons de fiabilité d'oxyde de grille et dans un souci de réduction de la consommation des circuits elle est désormais diminuée pour chaque nouvelle génération de transistor.

De plus, pour de telles dimensions (actuellement $L_G=32\text{-}28\text{nm}$), les transistors sont sujets à des effets parasites, véritables effets secondaires de cette course à la miniaturisation.

I.7.1. La mobilité effective

Le champ électrique transversal accélère les électrons à la surface de la couche d'inversion et tend à les rapprocher de l'interface canal/oxyde de grille. Dans cette zone, les porteurs minoritaires subissent différents mécanismes d'interactions en fonction de l'amplitude du champ appliqué. Trois interactions imposent la vitesse de transport de ces porteurs. La première est dominante lorsque les champs électriques sont faibles. Elle englobe les interactions coulombiennes des électrons avec les impuretés atomiques, les charges piégées à l'interface oxyde de grille/canal et les charges piégées dans l'oxyde de grille. Ces interactions s'estompent avec l'augmentation du champ électrique à cause de l'accroissement de la quantité de charges d'inversion. Alors, la seconde classe d'interactions domine. Cette famille regroupe les interactions électron/phonon. À plus fort champ électrique transversal, les électrons interfèrent avec la rugosité de surface ce qui représente la troisième famille d'interactions. L'implication de tous ces phénomènes de transport sur les porteurs dans le canal entraîne la réduction de leur mobilité effective notamment pour de forts champs électriques transversaux. Ceci implique la dégradation de la caractéristique $I_{ds}(V_{gs})$ à V_{ds} fixé et lorsque V_{gs} est important, comme il est illustré à la Figure I.27. Ainsi, pour $V_{ds} = 0,1$ V et lorsque V_{gs} est supérieure à 0,9 V, la mesure de I_{ds} en fonction de V_{gs} décroît par rapport à sa caractéristique idéale représentée en pointillée à la Figure I.27. À noter que pour $V_{ds} = 1,2$ V, le champ électrique longitudinal est assez fort pour masquer les effets liés à la mobilité électrique. Néanmoins, pour V_{gs} supérieur à 1,1 V, la caractéristique $I_{ds}(V_{gs})$ mesurée tend légèrement vers son asymptote représentée en tiret à la Figure I.27.

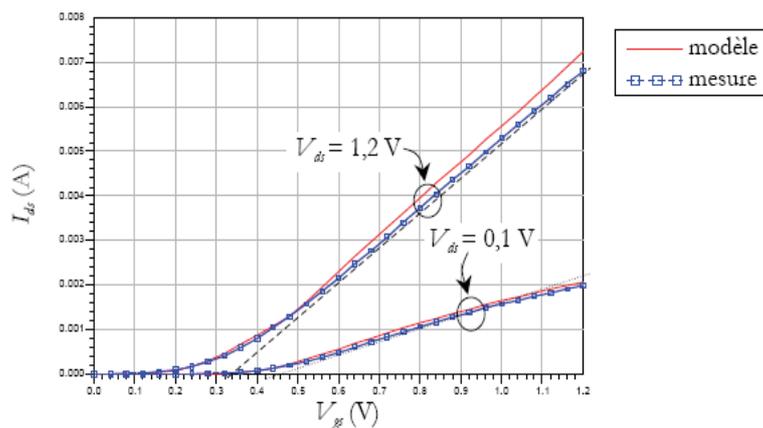


Figure I.27 : Caractéristiques d'un n-MOSFET avec $L_g = 0,12 \mu\text{m}$ et $W = 2,5 \mu\text{m}$ pour deux polarisations distinctes de V_{ds} [8].

La réduction de la mobilité dégrade également la caractéristique $\frac{dI_{ds}}{dV_{gs}}$ en fonction de V_{gs} , voir Figure I.28. En régime d'inversion forte, lorsque V_{ds} est faible et V_{gs} est supérieure à V_{th} , cette caractéristique doit être constante en fonction de V_{gs} . Cependant, il est possible de noter une décroissance liée à la réduction de la mobilité.

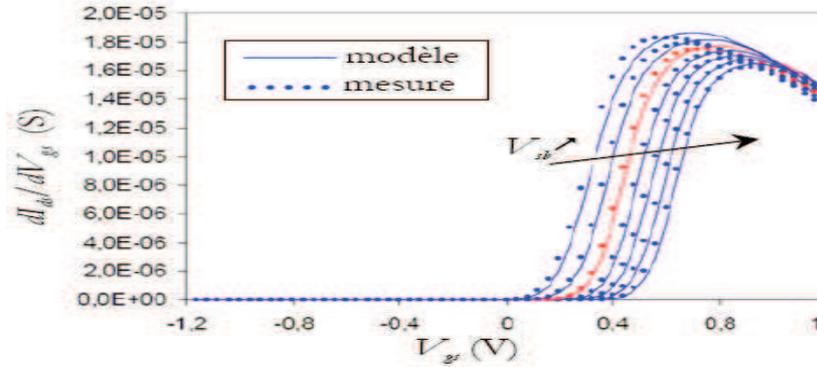


Figure I.28 : Variations de la caractéristique dI_{ds}/dV_{gs} en fonction de V_{gs} et de V_{sb} , pour un n-MOSFET avec $L_g = 5 \mu\text{m}$ et $W = 2,5 \mu\text{m}$, V_{sb} varie de $-0,5 \text{ V}$ à 1 V par pas de $0,25 \text{ V}$, $V_{ds} = 0,1 \text{ V}$ [8].

La mobilité des porteurs s'exprime en fonction du champ électrique transversal E_y par :

$$\mu = \frac{\mu_0}{1 + \alpha E_y} \quad (\text{I.27})$$

où α est un paramètre d'ajustement qui dépend de la température. μ_0 est égal approximativement à la moitié de la valeur de la mobilité des porteurs dans le substrat. En développant l'expression du champ électrique transversal, il est possible d'obtenir une expression de la mobilité effective en fonction de V_{gs} mais également V_{sb} . Ainsi :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta_a (V_{gs} - V_{sb}) + \theta_b V_{sb}} \quad (\text{I.28})$$

θ_a et θ_b sont des paramètres d'ajustement. Les variations de dI_{ds}/dV_{gs} en fonction de V_{gs} et de V_{sb} sont représentées à la Figure I.26. Afin de refléter les dégradations de la mobilité pour les forts champs électriques, le dénominateur de l'expression (I.28) peut être modélisé par un polynôme du second degré en fonction de E_y . Ainsi,

$$\mu = \frac{\mu_0}{1 + \alpha_1 E_y^{b_1} + \alpha_2 E_y^{b_2}} \quad (\text{I.29})$$

À l'équation (I.29), α_1 et α_2 sont des paramètres d'ajustement, b_1 et b_2 sont proche de 0,3 et de 2 respectivement. À partir de cette expression, il est possible d'en déduire la mobilité effective. Finalement, la mobilité effective peut s'exprimer par :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta_a (V_{gs} - V_{sb}) + \theta_b (V_{gs} - V_{sb})^2 + \theta_c V_{sb} (V_{gs} - V_{sb})} \quad (\text{I.30})$$

où θ_a , θ_b , θ_c sont des paramètres d'ajustement.

I.7.2. Les effets des canaux courts

I.7.2.1. Effets de la modulation de la longueur du canal (effet Early)

La longueur du canal L est une des dimensions les plus critiques dans la technologie CMOS. Lorsque la tension drain-source atteint la tension de saturation, le pincement s'effectue au niveau du contact du drain. Pour des tensions supérieures à la tension V_{dsat} , le point de pincement se déplace vers la source d'une distance ΔL (Figure I.29). Le courant de drain augmente et est donné par:

$$I_D = I_{Dsat} \left(\frac{L}{L - \Delta L} \right) \quad (I.31)$$

La longueur (ΔL) de la zone de déplétion d'un élément de semi-conducteur soumis à une différence de potentiel $\Delta V = V_D - V_{Dsat}$ est définie en intégrant l'équation de Poisson:

$$\frac{d^2V}{du^2} = \frac{\rho}{\epsilon_S} = \frac{eN_A}{\epsilon_S} \quad (I.32)$$

Avec ρ la charge d'espace, ϵ_S la constante diélectrique du semi-conducteur, e la charge de l'électron, et N_A la densité d'accepteurs.

En intégrant l'équation (I.32), et en utilisant la condition limite: $E = 0$ en $u = 0$, puis sur la longueur ΔL , on obtient:

$$\Delta L = \sqrt{\frac{2\epsilon_S}{eN_A} (V_D - V_{Dsat})} \quad (I.33)$$

Pour des transistors à canaux courts, ΔL est proche de la longueur de grille L . Ceci entraîne une augmentation du courant de drain en régime de saturation.

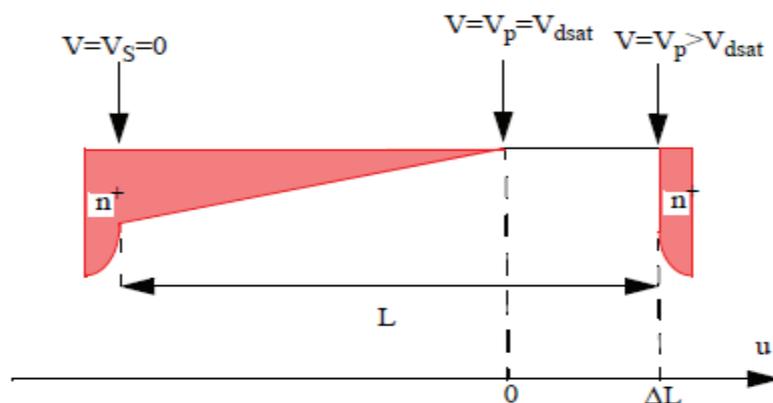


Figure I.29 : Déplacement du point de pincement du canal [9].

I.7.2.2. Vitesse de saturation

La vitesse des porteurs minoritaires est proportionnelle au champ électrique longitudinal. Elle atteint un seuil, V_{dmax} , pour la valeur critique de ce champ électrique E_c . Cette quantité s'écrit :

$$E_c = \frac{|V_{dmax}|}{\mu} \quad (I.34)$$

Une approximation de la vitesse des porteurs minoritaires, en fonction du champ électrique longitudinal et de la vitesse de saturation, est donnée par la relation suivante :

$$|V_D(E)| = |V_{dmax}| \frac{|E|/E_c}{1+|E|/E_c} \quad (I.35)$$

Lorsque la longueur du canal diminue, le champ électrique dans le canal peut atteindre cette valeur critique à partir de laquelle la vitesse des porteurs commence à saturer. Finalement, le lien entre le courant sans les effets de saturation de la vitesse, I_{dsv0} , et le courant I_{dsv} incluant ces effets s'écrit :

$$I_{dsv} = \frac{I_{dsv0}}{1 + \frac{V_{DS}}{L_g E_c}} \quad (I.36)$$

Dans ce cas, la longueur apparente du canal semble rallonger d'un coefficient $\left(1 + \frac{V_{DS}}{L_g E_c}\right)$. La caractéristique $I_{dsat}(L_g)$ ne tend plus vers l'infini lorsque L_g tend vers 0, mais elle tend vers une constante, comme il est indiqué à la Figure I.30.

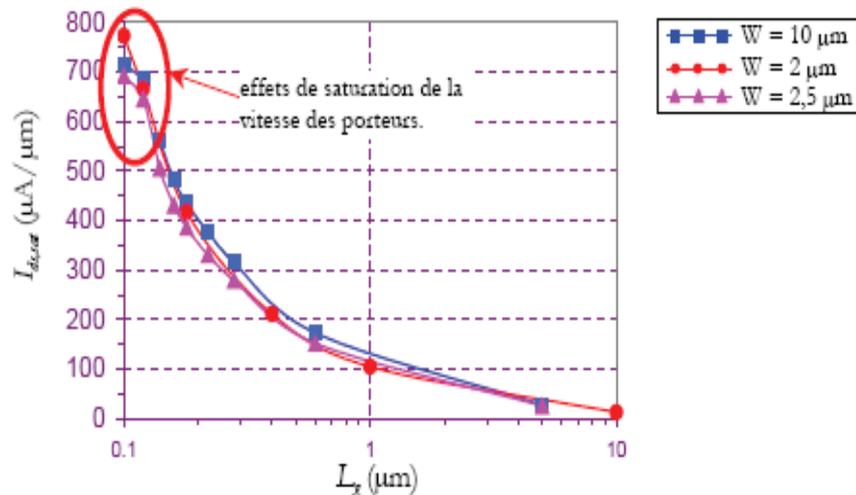


Figure I.30 : Caractéristiques $I_{dsat}(L_g)$ pour différents MOSFET [8].

La saturation de la vitesse des porteurs minoritaires entraîne une diminution de V_{dsat} , ainsi que de I_{dsat} sur les caractéristiques des MOSFET [8]. Une autre conséquence plus subtile concerne

la variation de I_{dsat} . Avec la saturation de la vitesse des porteurs, ce courant est fonction de $V_{GS}-V_{th}$ surtout lorsque L_G est petit. Sans ces effets, I_{dsat} est proportionnel à $(V_{GS}-V_{th})^2$.

I.7.2.3. Diminution de la tension de seuil V_{th} dans les canaux courts

Dans les dispositifs courts, on observe une augmentation des épaisseurs des zones de charges d'espace relativement à la longueur de canal L_G . Cela modifie notablement les caractéristiques électriques des transistors courts.

En effet, l'injection des électrons dans la zone active du transistor est contrôlée au niveau du canal par la barrière de potentiel commandée par V_{GS} (Figure I.31), et au niveau du substrat par la barrière de potentiel de la jonction Source (N+)/Substrat(P).

Lorsque les épaisseurs des ZCE des jonctions caissons/canal s'étendent sur toute la longueur du canal, la barrière de potentiel dans le canal court est abaissée par rapport à sa valeur dans un canal « long ». Le nombre de porteurs présents dans le canal augmente alors. La tension de seuil à partir de laquelle se produit le phénomène d'inversion est donc plus faible [4].

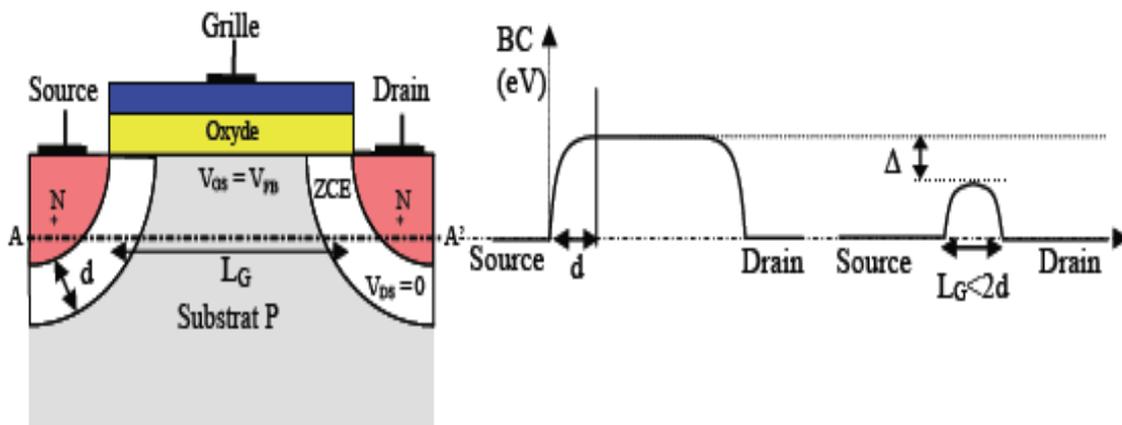


Figure I.31 : Evolution de la bande de conduction dans un MOS « long » ($L_G > 2.d$) et un MOS « court » ($L_G < 2.d$) selon l'axe source-drain à faible V_{DS} et avec V_{GS} égal à la tension de bande plate V_{FB} « d » épaisseur des ZCE des jonctions caissons/canal [4].

La tension de seuil d'un transistor vaut:

$$V_T = \Phi_{ms} + 2\Phi_{Fi} - \frac{Q_{dep}}{C_{ox}} \quad (I.37)$$

où Φ_{ms} est la différence de travaux entre les deux matériaux, Φ_{Fi} est le potentiel de surface ($e \Phi_{Fi} = E_F - E_i$) avec respectivement E_F et E_i les niveaux de Fermi de la structure et le niveau de Fermi du silicium intrinsèque, C_{ox} la capacité de l'oxyde par unité de surface et Q_{dep} la charge de déplétion au seuil du régime de forte inversion. La largeur de la zone de déplétion atteint une valeur de saturation W_s . Ces quantités sont données par:

$$Q_{\text{dep}} = -\sqrt{4eN_A \epsilon_S \Phi_{\text{Fi}}} \quad (\text{I.38})$$

$$W_S = \sqrt{\frac{4\epsilon_S \Phi_{\text{Fi}}}{eN_A}} \quad (\text{I.39})$$

Pour des transistors à canaux courts, la zone de distribution de la charge de déplétion Q'_{dep} du canal peut être assimilée au trapèze ABCD (Figure I.32). Dans son modèle, Yau [10] sépare cette charge Q_{dep} en deux composantes:

- la charge de déplétion associée aux jonctions source/substrat et drain/substrat.
- la charge de déplétion issue de la capacité MOS grille canal.

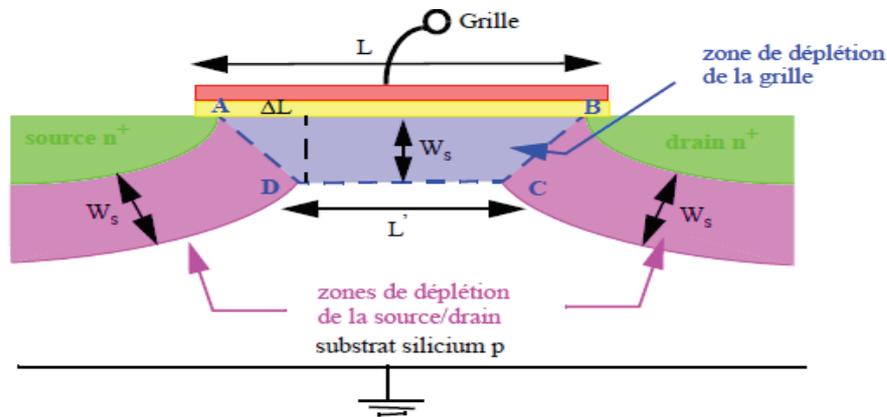


Figure I.32 : Influence des zones de déplétion engendrées par la grille, la source et le drain [10].

Pour les transistors à canaux courts, ces deux composantes se recouvrent, et la surface S' de la zone de charge de déplétion est donnée par:

$$S' = \frac{W_S}{2} (L + L') \quad (\text{I.40})$$

Alors que pour un canal long:

$$S = W_S \cdot L \quad (\text{I.41})$$

Yau définit un facteur de correction longitudinal K_L :

$$K_L = \frac{Q'_{\text{dep}}}{Q_{\text{dep}}} = \frac{L+L'}{L} = 1 - \frac{\Delta L}{L} \quad (\text{I.42})$$

La tension de seuil résultant de cette correction est donnée par:

$$V'_T = 2\Phi_{\text{Fi}} - \frac{K_L Q_{\text{dep}}}{C_{\text{ox}}} \quad (\text{I.43})$$

La variation de la tension de seuil $\Delta V_T = V'_T - V_T$ s'écrit alors:

$$\Delta V_T = \frac{Q_{\text{dep}}}{C_{\text{ox}}} (1 - K_L) \quad (\text{I.44})$$

L'expression $1-K_L$ est négative. En d'autres termes, cela signifie que les effets de bords longitudinaux, engendrés par la source et le drain, entraînent une réduction de la tension de seuil du transistor, synonyme d'un accroissement des courants de fuite. Il y a donc une perte de contrôle du canal par la grille due à l'influence accrue des régions de déplétion aux jonctions source et drain.

I.7.2.4. Effets de réduction de la barrière de potentiel induit par le drain (Effet de perçement)

De même, des phénomènes dits de perçement surviennent lorsque les dimensions des zones désertées (ZCE) Source/Substrat et Drain/Substrat deviennent comparables à la longueur de la grille L_G , la distribution du potentiel dans le canal dépend alors à la fois du champ transversal (contrôlé par la tension de grille), mais aussi du champ longitudinal (contrôlé par la tension de drain). En effet, comme indiqué en Figure I.33, une augmentation de la tension de drain induit un accroissement de la ZCE côté drain, ce qui provoque l'abaissement de la barrière de potentiel Source/Substrat. Cet effet est appelé DIBL : « Drain Induced Barrier Lowering » [4].

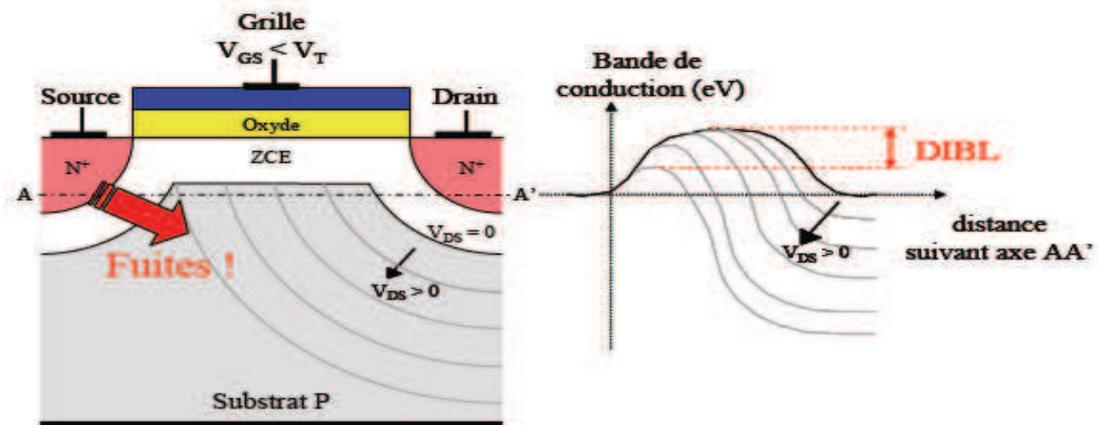


Figure I.33 : Illustration des effets de perçement. La tension de drain vient modifier la barrière de potentiel qui limite l'injection des porteurs dans le canal (perçement en volume) [4].

Ce phénomène est encore plus important pour les tensions de drain élevées et pour les longueurs de canal les plus courtes.

On mesure généralement l'effet DIBL par le décalage de la courbe de transfert en régime sous le seuil (ΔV_{th}) divisé par le ΔV_{DS} entre les deux courbes résultant de deux tensions de drain différentes (Eq. 1.45). Cet effet est illustré sur la Figure I.34 :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{DS}} \quad (\text{mV/V}) \quad (\text{I.45})$$

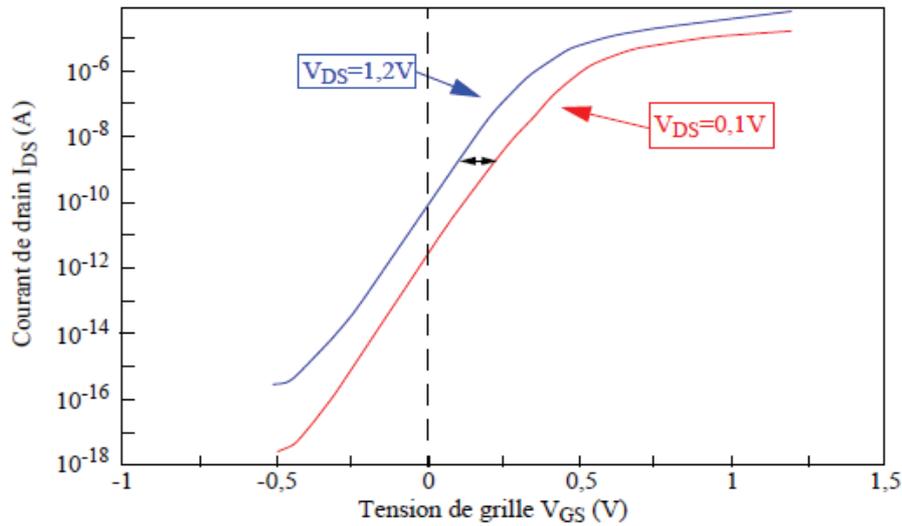


Figure I.34 : Caractéristiques $I_{DS}(V_{GS})$ d’un transistor n-MOS (technologie SOI 0,13 μm), pour des tensions de drain différentes: $V_{DS}=1,2\text{V}$ (courbe bleue) et $V_{DS}=0,1\text{V}$ (courbe rouge) montrant l’effet DIBL [11].

I.7.2.5 .Résistances séries parasites

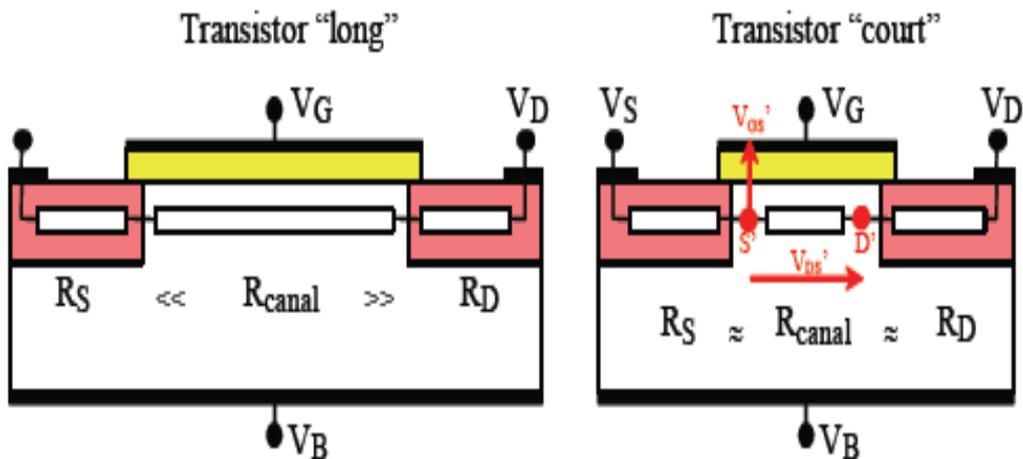


Figure I.35 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d’accès [4].

Lorsque la longueur du canal diminue, sa résistance devient plus faible et éventuellement comparable à celle des caissons Source et Drain (Figure I.35).

L’influence des résistances d’accès modifie alors fortement les caractéristiques $I(V)$ du transistor. Les chutes de potentiel dans les caissons viennent diminuer la tension V_{DS}

appliquée effectivement aux bornes du canal ainsi que la tension de grille effective V_{GS} . Cela modifie le courant I_{on} et la transconductance G_m [4].

En effet, il faut alors tenir compte des chutes de potentiel dans les zones d'accès. Ainsi, si $R_S = R_D$, les chutes de tension d'une part entre grille et source et d'autre part entre drain et source ne sont plus V_{GS} et V_{DS} mais :

$$\begin{cases} V'_{GS} = V_{GS} - R_S I_D \\ V'_{DS} = V_{DS} - 2R_S I_D \end{cases} \quad (I.46)$$

Que l'on reporte dans l'expression du courant non saturé :

$$I_D = K \left[(V'_{GS} - V_{th}) V'_{DS} - \frac{V'^2_{DS}}{2} \right] \text{ avec } K = \frac{W}{L} \mu_{eff} C_{OX} \quad (I.47)$$

c'est-à-dire, en négligeant les termes en $(R_S I_D)^2$:

$$I_D = \frac{K}{1+2KR_S(V_{GS}-V_{th}-\frac{V_{DS}}{2})} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (I.48)$$

Dans le cas d'une saturation par pincement, le courant de saturation s'écrit sous la forme :

$$I_{dsat} = \frac{K/2}{1+KR_S(V_{GS}-V_{th})} (V_{GS} - V_{th})^2 \quad (I.49)$$

I.7.2.6. Effet de perçage « punch-through »

L'effet de perçage ou « punch-through » à lieu lorsque les zones de charges d'espace des jonctions source/substrat et drain/substrat se rejoignent dans la zone active. Cette vision du phénomène est empirique. En fait pour des fortes tensions V_{DS} les lignes de champ de zone de drain atteignent la source et augmente le potentiel de surface. La tension de seuil effective devient nulle. La quantité de charge d'inversion croit. Le transistor conduit même pour $V_{GS} = 0V$. Cet abaissement de la barrière de potentiel conduit à la formation d'un faible courant d'électron de la source au drain. Ce courant se positionne soit en surface de la zone active pour un canal uniformément dopé, soit dans le substrat du silicium lorsque le dopage en surface est important.

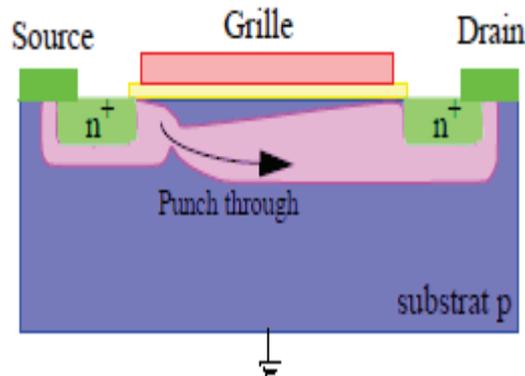


Figure I.36 : Recouvrement des zones de déplétion dans le substrat générant le punch-through [9].

Cet effet implique une pente sous seuil légèrement dégradé et un plus fort courant de fuite à l'état bloqué I_{off} contrôlé par V_{DS} . Ce phénomène peut être annihilé en augmentant le dopage de la zone active afin de réduire l'étalement des zones de charges d'espace des jonctions « source/substrat » et « drain/substrat ». Des implantations en profondeur spécifiques permettent également de contrôler l'effet de parçage. Cet artifice est limité par les courants de fuite de la jonction drain/substrat [12].

I.7.2.7. Le partage des charges

La zone de charge d'espace des jonctions source/substrat et drain/substrat s'étend essentiellement vers la zone la moins dopée, c'est-à-dire en direction du substrat. Ces zones de charge d'espace induisent des effets de bord à la zone de désertion. Pour un transistor à canal long, ces effets de bord du côté de la source et du drain sont négligeables, I.37-a. Par conséquent, l'étude analytique du courant I_{DS} s'appuie sur l'examen de la quantité de charges de la couche d'inversion.

Lorsque la longueur du canal diminue, ces effets de bords deviennent importants. En effet, la zone de désertion issue de la source et du drain s'ajoute à celle contrôlée par la grille, voir Figure I.37-b. Cette zone de désertion est plus grande que celle prédite par le MOSFET à canal long. Plus d'atomes accepteurs sont ionisés, entraînant l'augmentation du potentiel de surface voir Figure I.37-c. La barrière de potentiel qui empêche les électrons d'entrer dans le canal est abaissée. Il s'en suit une augmentation de la quantité de porteurs dans la zone d'inversion. Par conséquent, la tension de seuil diminue en fonction de la longueur du canal voir Figure I.38.

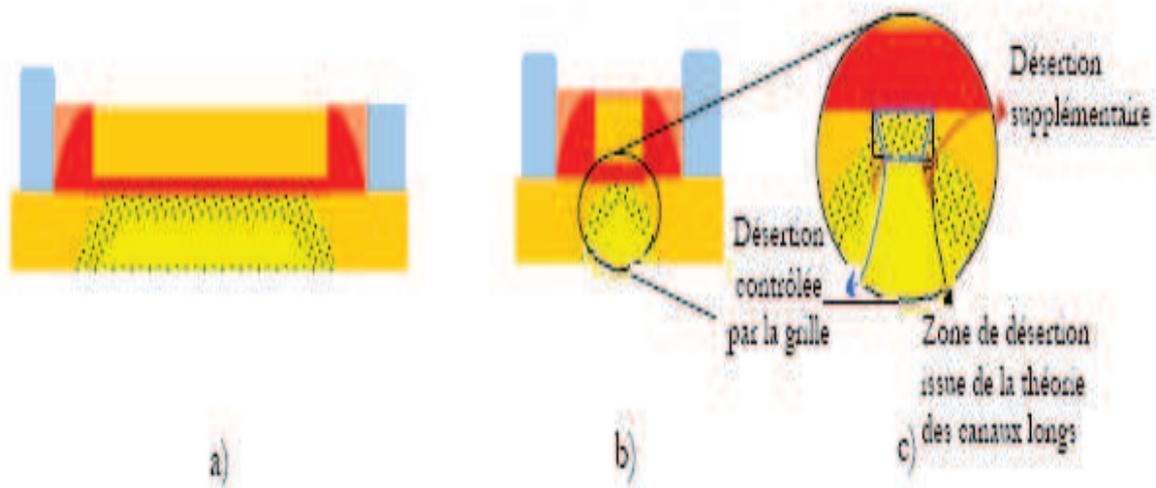


Figure I.37 : Visualisation des effets liés au partage des charges par comparaison de la région de désertion sous le canal pour, a), un MOSFET à canal long et, b), à canal court. Un grossissement de la région de désertion est donné en c) [8].

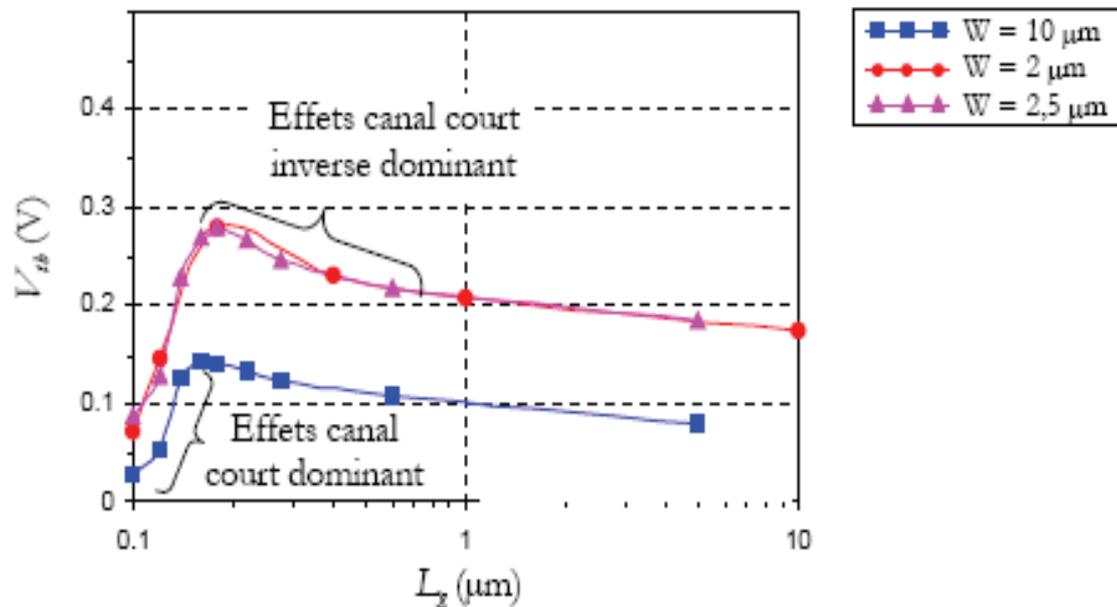


Figure I.38 : Variations de la tension de seuil en fonction de la longueur du canal pour différents MOSFET. $V_{DS} = 1,2\text{V}$ [8].

I.7.2.8. Effet de canal court inverse

L'effet de canal court inverse est lié au dopage non uniforme le long du canal. Pendant les étapes de réalisation du canal et de l'oxyde de grille, ou après l'implantation de zones fortement dopées ou proches des réservoirs au niveau de la source et le drain, un sur-dopage a lieu dans le canal au niveau des interfaces source/drain. La zone sur-dopée s'accroît avec la réduction de la longueur du canal. Le dopage effectif augmente. Ceci implique une évolution de la tension de seuil lorsque la longueur de grille diminue (Figure I.38), selon le dopage du canal, ce phénomène est influent pour des longueurs moyennes du canal [8].

I.7.3. Injection de porteurs chauds

Le vieillissement par porteurs chauds des transistors MOS est intrinsèquement lié au fort champ électrique, qui se manifeste en régime de saturation, près de la jonction canal-drain, polarisée en inverse [13]. Ce champ électrique est d'autant plus important que la longueur du canal soit faible. Les électrons ou les trous du canal de conduction deviennent fortement énergétiques.

Pour un champ électrique important, la collision entre certains électrons de la bande de conduction et le réseau cristallin engendre la cassure d'une liaison de valence. Ce phénomène, répété plusieurs fois, provoque un effet d'avalanche (1). Cette ionisation par impact dégrade fortement le fonctionnement du transistor. Voici les différents phénomènes possibles (Figure I.39):

(2): Les porteurs peuvent générer un courant de grille s'ils arrivent à traverser la barrière d'énergie à l'interface Si-SiO₂.

(3): Les porteurs à haute énergie peuvent également être injectés dans l'oxyde de grille et dans les espaceurs où il se crée des défauts à l'interface ou dans l'oxyde. Cette dégradation de l'oxyde de grille est généralement à l'origine d'une réduction de la transconductance et du courant de drain du transistor ainsi que d'un décalage de tension de seuil, effets globalement très nuisibles à la fiabilité des transistors.

(4): L'électrode de substrat attire les porteurs majoritaires (trous pour n-MOS, et électrons pour p-MOS) provoquant ainsi un courant de substrat.

(5): Enfin, pour le n-MOS, le déplacement de trous vers la source engendre l'abaissement de la barrière à la jonction source-canal et facilite alors le passage d'électrons de la source vers le canal.

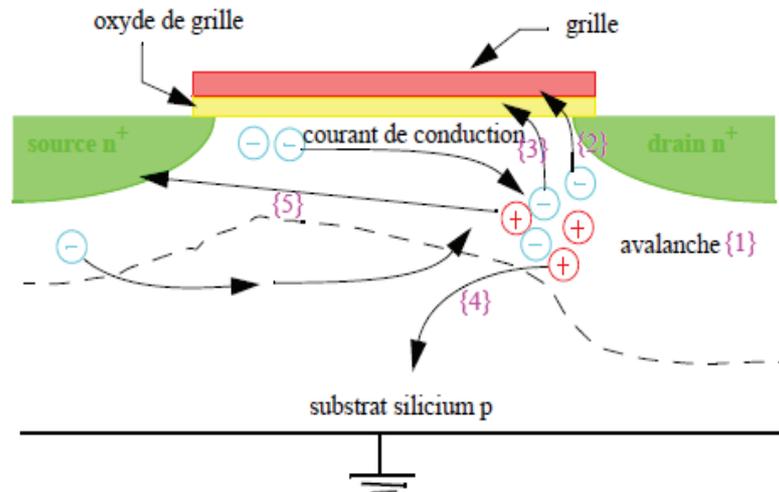


Figure I.39 : Illustration des différents effets parasites générés par les porteurs chauds : phénomène d'avalanche {1}, courant de grille {2}, dégradation de l'oxyde {3}, courant de substrat {4}, abaissement de la barrière à la jonction source-canal {5} [9].

I.7.4. Effet tunnel dans les oxydes minces

Les électrons peuvent franchir une barrière de potentiel de deux manières différentes [14] :

- par émission thermoélectronique : processus de saut thermiquement activé.
- par effet tunnel : passage à travers la barrière étroite.

C'est la nature ondulatoire de l'électron qui permet à ce dernier de traverser la barrière Si-SiO₂. Ce phénomène est observé avec une probabilité que l'on appelle coefficient de transmission T . Suivant la forme de la barrière, le coefficient de transmission induit deux types de courant tunnel (Figure I.40) :

- le courant tunnel direct pour une barrière trapézoïdale.
- le courant tunnel Fowler-Nordheim pour une barrière triangulaire.

Le type de barrière, et par conséquent le type de courant obtenu, dépend non seulement du niveau de polarisation appliqué à la grille mais aussi de l'épaisseur d'oxyde (t_{ox}).

Quelle que soit l'épaisseur de l'oxyde, si la tension de polarisation est suffisamment élevée, la barrière vue par la particule sera de forme triangulaire, et l'effet tunnel de type Fowler-Nordheim. L'abaissement de la barrière provoqué par la polarisation extérieure favorise le passage des porteurs par effet tunnel Fowler-Nordheim et conduit à une diminution de la longueur effective de la barrière.

Dans les dispositifs à canaux courts, l'épaisseur d'oxyde devient très mince. Ainsi, pour le noeud technologique 65 nm, l'épaisseur équivalente d'oxyde (EOT) est inférieure à 0,9 nm

[9]. Dans ce cas, les porteurs peuvent franchir la barrière de potentiel sans réduction de la longueur effective. Le passage se fait alors par effet tunnel direct. La Figure I.41 présente les travaux de Cao et al. [15] qui décrivent l'évolution des courants de fuite par effet tunnel en fonction de l'épaisseur d'oxyde. Au fur et à mesure que l'épaisseur du diélectrique diminue, les résultats expérimentaux, ainsi que les simulations, montrent une nette augmentation de la densité de courant de fuite (plus de 4 décades à 1,2 V).

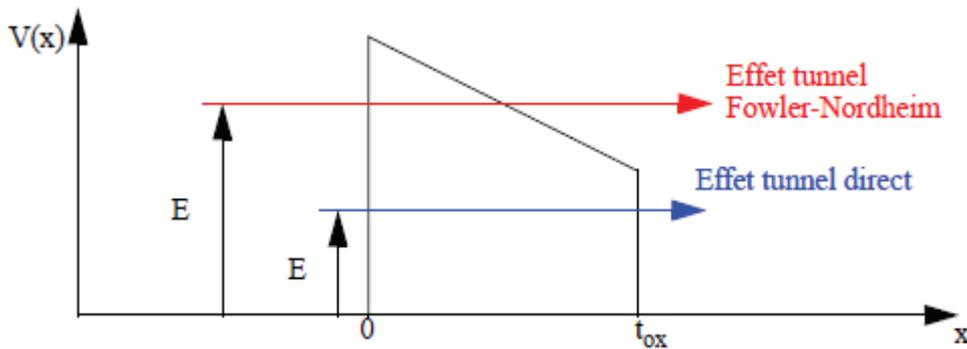


Figure I.40: Barrière vue par les électrons lorsqu'ils traversent un milieu isolant [9].

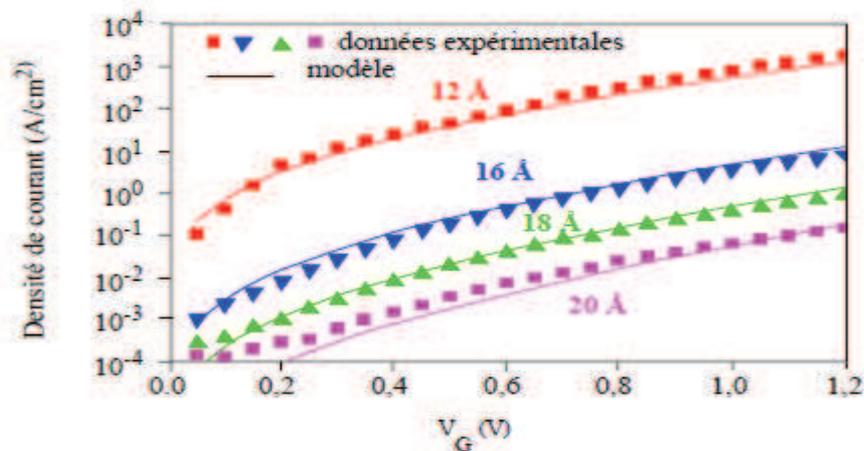


Figure I.41 : Evolution de la densité de courant de fuite en fonction de la tension de grille pour différentes épaisseurs d'oxyde (20 Å, 18 Å, 16 Å, 12 Å), pour un transistor n-MOS (trait plein: modèle, carré et triangle: données expérimentales) [15].

I.7.5. Les effets liés à la grille

Afin d'améliorer les performances du MOSFET, les transformations de son architecture passe par la diminution de ses dimensions. Or, en réduisant la longueur du canal, il est nécessaire de modifier certains paramètres technologiques comme l'épaisseur de l'oxyde de grille. Cette technique modère l'impact des effets de canal court. Cependant, elle entraîne l'apparition de nouveaux phénomènes physiques liés à la grille. Ce paragraphe traite de ces phénomènes.

I.7.5.1. Épaisseur effective de grille

Suivant l'épaisseur de la grille ou les conditions de dopage du polysilicium, les caractéristiques C-V du MOSFET se dégradent. Deux phénomènes sont principalement impliqués : la désertion du polysilicium lorsque le transistor est en inversion forte, et les effets quantiques dans le canal.

I.7.5.1.1. Effets de poly-désertion

Pour former la partie "métallique" de la grille d'un MOSFET à canal n, la technologie CMOS emploie un silicium polycristallin fortement dopé n++ et siliciuré. Cependant, lorsque le transistor est en inversion, une faible zone de désertion de quelques Å d'épaisseur se forme à l'interface entre le polysilicium et l'oxyde de grille. C'est l'effet de poly-désertion, voir Figure I.43-b.

L'origine de ce phénomène est une désertion locale située dans les grains de silicium à l'interface "grille/oxyde de grille". De part cette zone de désertion, la valeur effective de l'épaisseur de l'oxyde de grille est augmentée par rapport à un dispositif où cet effet est négligeable, voir Figure I.43-a. Par conséquent, la valeur effective de la capacité d'oxyde de grille, C_{oxeff} , est diminuée. La caractéristique C-V des structures MOS est dégradée voir Figure I.42.

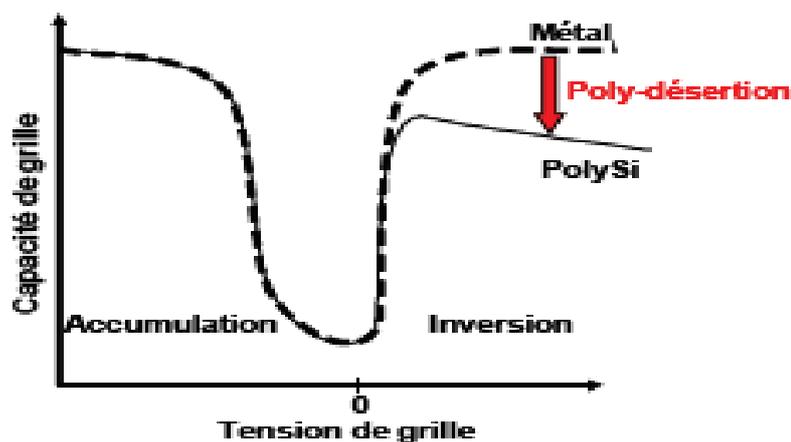


Figure I.42 : Impact de la désertion de grille sur les caractéristiques C-V.

En effet, en régime d'inversion, l'épaisseur équivalente totale de l'oxyde de grille vaut : $T_{Ox_{eq}} = T_{Ox} + T_{Dep}$. Ce qui se traduit par une perte de capacité en inversion par rapport au cas idéal de la grille métallique, sans poly-désertion.

I.7.5.1.2. Les effets quantiques

Classiquement, la concentration des porteurs libres dans le silicium (le canal) est décrite à partir de la statistique de Maxwell-Boltzmann. Or, à l'interface Si/SiO₂, lorsque la surface du silicium est fortement inversée ou accumulée, les courbures des bandes peuvent former des puits de potentiel "énergétiques". En profondeur, c'est-à-dire à l'interface Si/SiO₂, la largeur de ces puits peut être plus faible que la longueur d'onde associée aux porteurs. Il s'en suit une quantification des niveaux d'énergie des porteurs. Dans ces conditions, la statistique de Fermi-Dirac n'est plus adaptée pour décrire la distribution des porteurs dans le canal [18].

La densité des porteurs libres occupe des niveaux d'énergie supérieurs à celles décrites par la statistique de Maxwell-Boltzmann. Le premier niveau occupé est supérieur à la bande de conduction. Les courbures de bandes sont augmentées, voir Figure I.43-b). Les porteurs sont repoussés de l'interface Si/SiO₂ en direction du substrat dont le pique de $|Q_{inv}|$ se situe à une distance comprise entre 7 et 15 Å de cette interface [8]. Cette distance varie selon le type de porteur dans la couche d'inversion.

L'augmentation du dopage de substrat ou de l'épaisseur de l'oxyde de grille implique des puits de potentiel plus étroits. Ainsi, le premier niveau d'énergie autorisé sera élevé. Ceci se traduit par une épaisseur effective de l'oxyde de grille plus importante – voir Figure I.43– a).

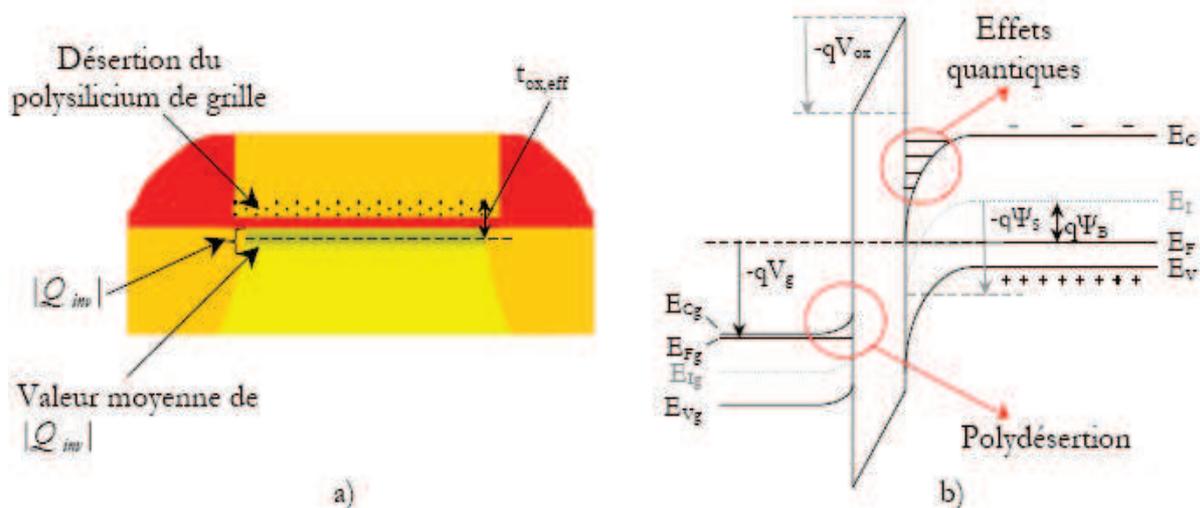


Figure I.43 : Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET a) et illustration des effets de mécanique quantique et de poly-désertion par le diagramme des bandes b) [8].

Ces effets impliquent un abaissement de la caractéristique C-V de la structure MIS en inversion et accumulation forte, par rapport à la théorie des MOSFET à oxyde épais. La

mesure C-V devient une méthode pour déterminer ces effets quantiques. Par rapport à la théorie classique, le niveau de la tension de seuil s'accroît, la valeur de I_{ds} diminue et la transconductance se dégrade [8].

I.7.5.2. Le courant de grille

La réduction de l'épaisseur de l'oxyde de grille entraîne l'abaissement de sa barrière de potentiel. Par conséquent, les charges de la zone d'inversion ou de la grille peuvent avoir assez d'énergie pour traverser cette barrière par effet tunnel. Alors, des courants de fuite se forment.

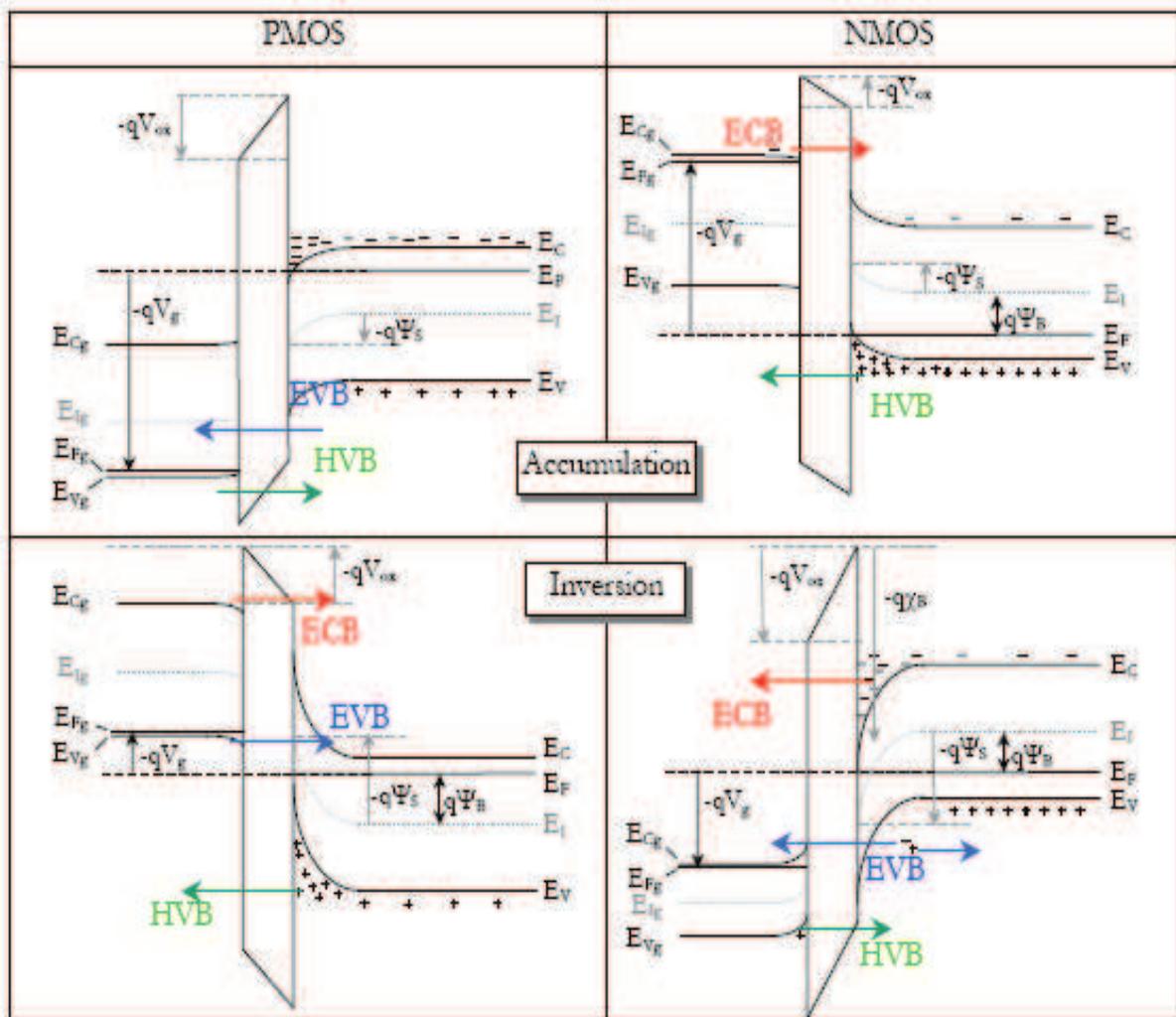


Figure I.44 : Structure de bandes lorsque le courant de grille se manifeste [8].

Trois processus d'effet tunnel participent à la formation de ce courant. Le premier est un courant d'électrons de la bande de conduction du substrat vers le polysilicium, noté ECB à la Figure I.44. Ce flux d'électrons donne naissance aux courants, voir Figure I.45 :

- $I_{gc,s/d}$, pour un MOSFET à canal n en inversion.
- I_{gb} , pour un MOSFET à canal n ou p en accumulation.
- $I_{go,s/d}$ pour un MOSFET à canal n.

Le second effet tunnel concerne le passage des électrons de la bande de valence du substrat à la grille, noté EVB à la Figure I.44. Cet effet génère le courant I_{gb} dans un MOSFET à canal n ou p en inversion. Le dernier processus est un effet tunnel des trous de la bande de valence de la grille vers le substrat, noté HVB à la Figure I.44 et présent dans tous les cas. Ce dernier effet engendre, pour un MOSFET à canal p, les courants $I_{gc,s/d}$, en régime d'inversion, et $I_{go,s/d}$. Vu que les longueurs des régions n⁺ de source et de drain ne sont plus négligeables devant L_g , il est à noter que les courants I_{gos} et I_{god} deviennent prépondérants lorsque la longueur du canal diminue, voir Figure I.45. De plus ces courants sont insensibles aux variations de V_{bs} . Par conséquent, les effets de substrat sont moins influents sur le courant de grille. À noter également que pour un MOSFET à canal p, la probabilité pour que les électrons de la bande de valence participent au courant tunnel, est faible. Par comparaison avec un MOSFET à canal n pour la même polarisation V_{gs} , son courant de grille sera moindre.

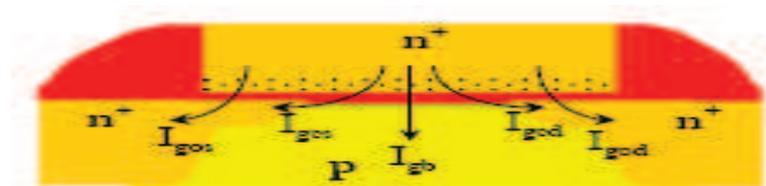


Figure I.45 : Représentation des courants tunnel traversant l'oxyde de grille d'un MOSFET à canal n [8].

L'expression simplifiée de ces courants tunnel est donnée à partir de la formule de Fowler-Nordheim :

$$J_g = A \left(\frac{V_{ox}}{T_{ox}} \right)^2 e^{\frac{B}{V_{ox}/T_{ox}}} \quad (I.50)$$

avec A et B sont des constantes. $I_{gc} = I_{gcs} + I_{gcd}$. Ce partage des charges est déterminé en résolvant les équations de continuité des courants. Lorsque V_{ds} augmente, I_{gcs} s'accroît et I_{gcd} s'affaiblit, à cause de la formation de la zone de saturation du côté du drain.

Pour conclure, le courant de grille peut s'ajouter au courant I_{OFF} . En outre, les trous créés par l'effet tunnel bande à bande ou GIDL sont accélérés par le champ électrique vertical. Ces trous "chauds" sont injectés dans l'oxyde de grille de la zone de recouvrement et contribuent

au courant de grille en s'ajoutant à l'effet Fowler-Nordheim. Ce phénomène s'accroît pour des oxydes épais [8].

I.7.5.3. Effet GIDL

En accumulation et à fort V_{ds} , le courant drain-source de fuite, ou I_{OFF} , augmente en fonction de V_{ds} , comme il est illustré à la Figure I.46. Ce phénomène correspond au GIDL ou "Gate Induced Drain Leakage".

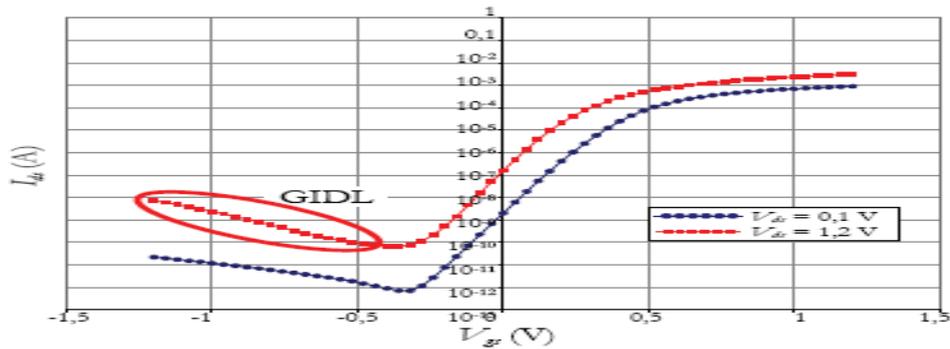


Figure I. 46 : Variations de la caractéristique $I_{ds}(V_{gs})$ en fonction de V_{ds} [8].

Pour un MOSFET à canal n, dans sa région n+ du côté du drain, une large zone de désertion se forme sous les effets conjugués des forts champs électriques longitudinaux et verticaux. Un courant tunnel bande à bande issu de paires électron/trou se forme à l'interface "oxyde de grille/substrat". Les électrons de la bande de valence accèdent à la bande de conduction par des effets tunnel direct et indirect, voir la Figure I.47-a. Les électrons sont évacués par le drain, sous l'action du champ électrique vertical. Les trous sont repoussés dans le substrat, par la zone de désertion créée à la jonction "drain/substrat" polarisée en inverse, voir Figure I.47-b.

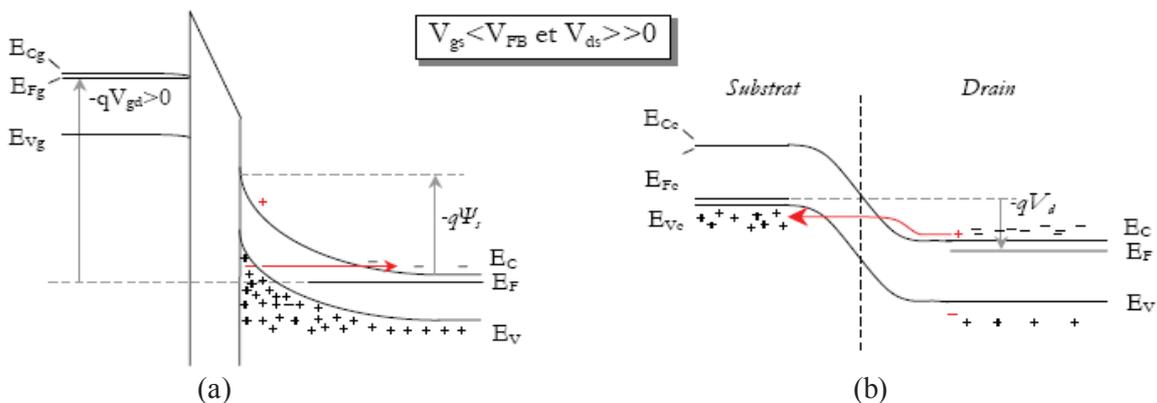


Figure I.47 : Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL [8].

Le courant de GIDL varie en fonction :

- de la température par l'intermédiaire de E_g et des effets de porteurs chauds pour des champs électriques de surface faibles.
- du type de dopage de la grille par rapport au dopage du substrat.
- des effets de bords dans les dispositifs à faible largeur de grille.
- des pièges à l'interface "oxyde de grille/drain pour des champs électriques faibles.

Le dopage de la zone n^+ influe sur le courant de GIDL en modifiant le potentiel de surface, mais surtout, en réduisant le champ électrique transversal qui traverse la zone de drain. Ainsi, les dispositifs avec une zone de LDD « Lightly Doped Drain », présentent moins d'effets GIDL.

I.7.6. L'ionisation par impact

L'expression du champ électrique longitudinal dans la région de pincement est donnée par :

$$E(x) = E_{\text{sat}} \cosh\left(\frac{x-L_{\text{sat}}}{l_p}\right) \quad (\text{I.51})$$

Où E_{sat} correspond au champ électrique au point de pincement, L_{sat} longueur du canal de la source au point de pincement, l_p est la longueur caractéristique :

$$l_p = \sqrt{\frac{\epsilon_{\text{si}}}{C_{\text{ox}}} t_d}$$

Avec t_d est l'épaisseur de la région n^+ de drain.

À la jonction drain/canal, l'amplitude de ce champ électrique est maximale. Elle dépend de L_g et de V_{ds} . Cette quantité, notée E_d , est supérieure à celle du champ électrique critique, E_c , lié à la vitesse de saturation des porteurs. Pour les transistors à canal long, E_c se situe proche du point de pincement. Lorsque la longueur du canal diminue, E_c se rapproche de jonction "source/canal". Lorsque les porteurs minoritaires atteignent leur vitesse de saturation, le champ électrique longitudinal continue de céder de l'énergie cinétique à ces porteurs. Les interactions dans le réseau cristallin modifient aléatoirement leur libre parcours moyen. Puisque leur vitesse de propagation reste constante, par conséquent leur énergie cinétique augmente, en suivant une loi de probabilité dictée par les interactions dans le canal, voir Figure I.48. Une partie de ces porteurs ont une énergie suffisamment importante pour ioniser les atomes de silicium du cristal. Ils sont appelés les "porteurs chauds". Des paires électron-trou se forment à partir de ces impacts. À noter que pour les trous, dans un MOSFET à canal p , le taux d'ionisation par impact est plus faible.

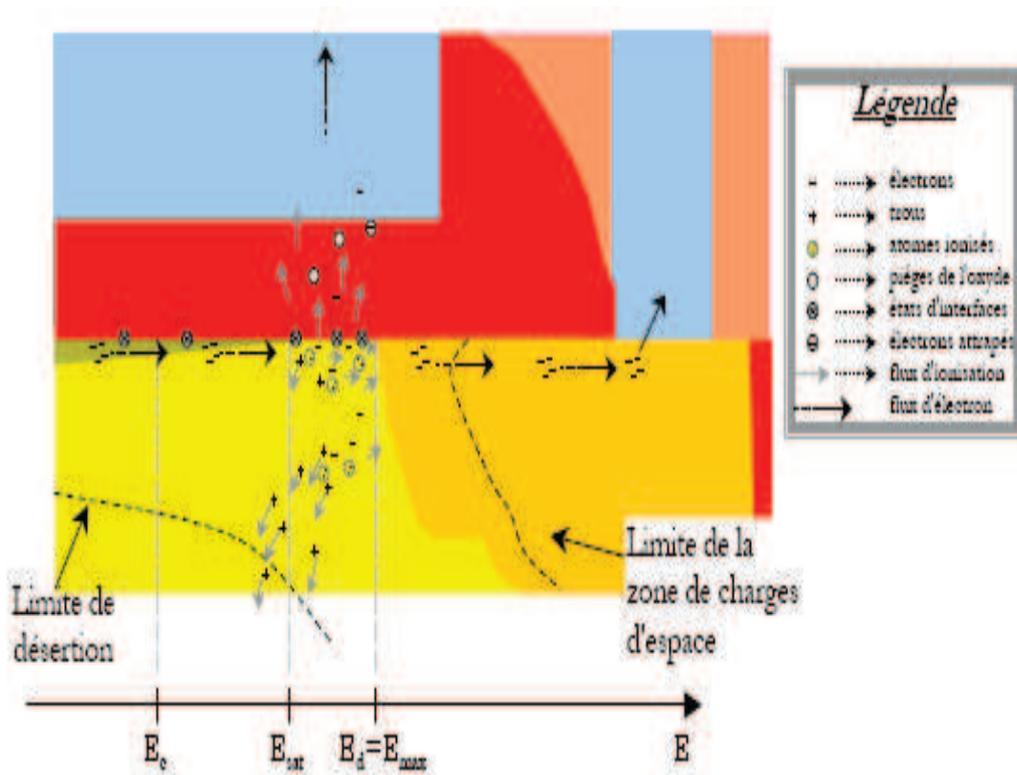


Figure I.48 : Schématisation du processus d'ionisation par impact dans un MOSFET à canal n [8].

Le champ électrique longitudinal attire les électrons du côté du drain. Les trous sont repoussés vers le substrat par le champ électrique de la zone de désertion. Ces trous, issus de l'ionisation par impact, constituent le courant de substrat dont l'expression est :

$$|I_{db}| = |I_{ds}| K_i (V_{ds} - V_{dsat}) e^{\frac{V_i}{V_{ds} - V_{dsat}}} \quad (I.52)$$

K_i et V_i sont des paramètres empiriques d'ajustement. Le rapport de I_{db} sur I_{ds} représente le coefficient d'ionisation par impact.

Une partie des électrons du canal, dans la zone de saturation, possède suffisamment d'énergie pour franchir la barrière de potentiel située entre l'oxyde de grille et la zone active. Ces électrons sont ensuite collectés par la grille. Ces électrons forment ainsi un courant de grille. Une portion de ces électrons dégrade l'interface oxyde de grille/substrat et augmente ainsi la densité d'états d'interface. La mobilité électrique est alors réduite et la tension de seuil augmente. Une partie des électrons énergétiques issus du canal se retrouve piégée dans l'oxyde. Ce piégeage a pour effet d'augmenter la quantité de charges intrinsèque de l'oxyde de grille.

I.7.7. Les claquages et le régime d'avalanche

Les effets d'avalanche ou de claquage ont plusieurs origines. L'une d'elles est liée par les effets d'ionisation par impact. Ces effets induisent l'ionisation des atomes du cristal dans la zone de saturation et entraînent la génération de particules énergétiques. Ces charges peuvent à leur tour ioniser les atomes de silicium et créer un phénomène d'avalanche. Un autre effet est le claquage des jonctions source/substrat et drain/substrat pour une polarisation inverse trop forte.

I.8. Solutions apportées aux effets indésirables de la miniaturisation

I.8.1. La technologie SOI

I.8.1.1. Introduction

Comme nous l'avons vu précédemment, la miniaturisation des dimensions des transistors induit des effets parasites qui altèrent leurs performances. Cela se traduit par une complexification du processus d'intégration, indispensable afin de suivre les spécifications de l'ITRS (pour International Technology Roadmap for Semiconductors) [16]. Le transistor bulk atteignant ses limites vis-à-vis du contrôle des effets de canaux courts pour les longueurs de grille inférieures à 50nm, d'autres architectures technologiques ont vu le jour. Parmi celles-ci, on trouve la technologie « Silicium sur Isolant », également appelée SOI (pour Silicon On Insulator). Le substrat SOI est constitué d'un film de silicium monocristallin non dopé ($N_A \approx 10^{15} \text{ at.cm}^{-3}$), isolé du substrat de silicium par un oxyde enterré appelé BOX (pour Buried OXide). La zone active du transistor sera définie dans la couche de silicium supérieure. La société SOITEC est le premier fournisseur mondial de plaques SOI, utilisant le procédé Smart Cut™ [17] [18]. Le principe est d'utiliser un substrat de silicium (appelé A sur la Figure I.49) sur lequel une oxydation est réalisée. L'épaisseur de celle-ci correspondra au final à celle de l'oxyde enterré. Une implantation d'atomes d'hydrogène est effectuée à la profondeur désirée (correspondant approximativement à l'épaisseur finale du film de silicium). Un collage moléculaire est réalisé entre A et un second substrat préalablement nettoyé (appelé B sur la Figure I.49), suivi d'un recuit à haute température afin d'obtenir une fracture au niveau des atomes utilisés.

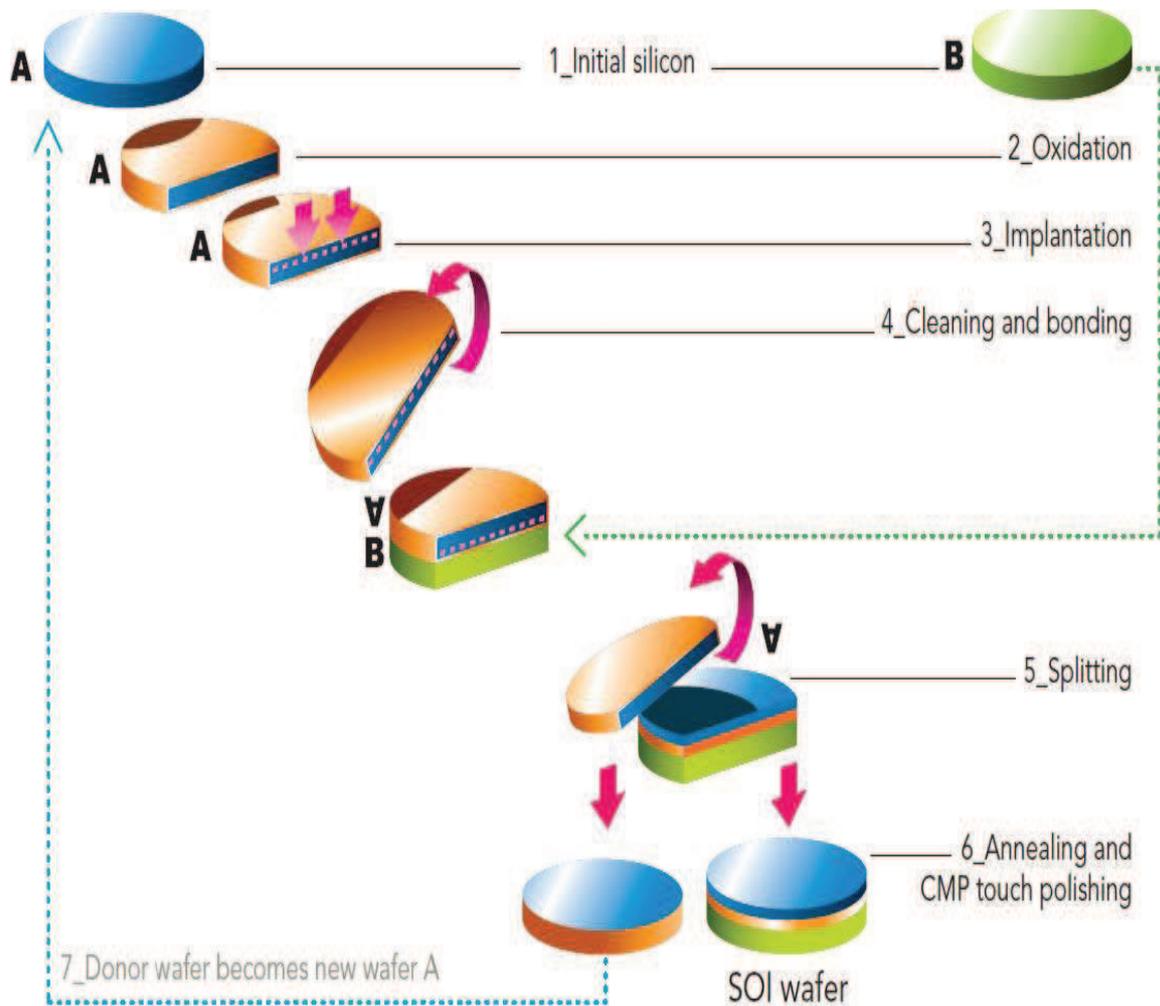


Figure I.49 : Schéma de principe du procédé de fabrication des plaques SOI utilisant le procédé Smart Cut [19]

Ainsi, deux nouveaux paramètres physiques entrent en considération par rapport à des transistors sur silicium massif : l'épaisseur du film de silicium actif, notée T_{Si} , et l'épaisseur de l'oxyde enterré, notée T_{BOX} . Deux catégories de transistors MOSFET peuvent être réalisées grâce aux substrats SOI.

Quand T_{Si} est important (supérieur à 50nm), la zone de déplétion n'atteint pas le BOX. On observe ainsi une zone neutre, comme le montre la Figure (I.50 -a). On parle dans ce cas de transistors « partiellement déplétés » ou PDSOI (Partially Depleted SOI). Cette zone est définie telle que :

$$T_{DEP} = \frac{Q_{DEP}}{qN_A} \quad (I.53)$$

En revanche, quand l'épaisseur du film de silicium est suffisamment mince pour que la zone de déplétion atteigne le BOX (Figure I.50 -b), on parle de transistors « complètement déplétés » ou FDSOI (Fully Depleted SOI).

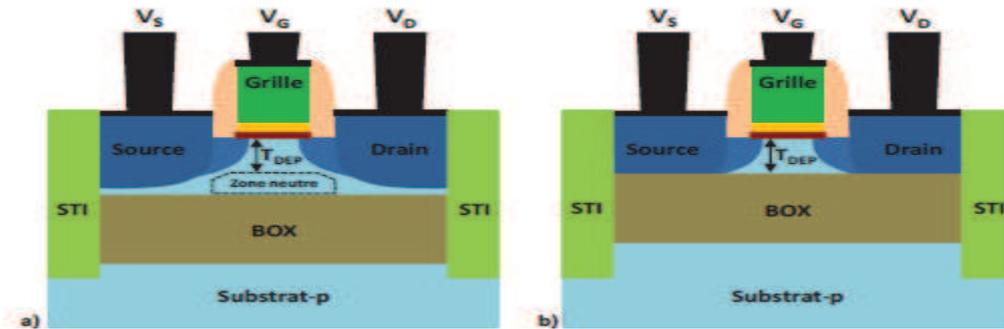


Figure I. 50 : Représentation schématique d'un transistor PDSOI (a) et d'un transistor FDSOI (b) [2].

I.8.1.2. Le SOI totalement déserté (FDSOI)

D'une manière générale, les transistors FDSOI présentent de meilleures performances électriques que les transistors BULK ou PDSOI. Ils doivent cela à l'absence de zone neutre (non déplétée) qui se traduit par un meilleur couplage entre l'interface et la charge d'inversion, cette architecture permet un meilleur contrôle du potentiel dans le canal par la grille. Parmi les avantages du FDSOI, nous trouvons :

- La réduction considérable des capacités de jonctions de par la présence de l'oxyde enterré. Ceci conduit à des dispositifs plus rapides, soit un gain en rapidité pour les circuits.
- La réduction de la profondeur de déplétion, entraînant un champ effectif transverse plus faible, permettant ainsi un gain en mobilité et donc en courant débité par le transistor pour une tension donnée.
- Un excellent contrôle des effets canaux courts grâce à une plus faible profondeur des jonctions (limitée par T_{Si}), ce qui permet de diminuer le dopage dans le canal (et de réduire la pente sous le seuil).

Nous comprenons de ce dernier point que réduire T_{Si} améliore le contrôle des effets canaux courts. Les épaisseurs utilisées deviennent alors extrêmement minces ($T_{Si} < 10\text{nm}$), on parle de films ultra minces ou UTB (pour Ultra-Thin Body).

I.8.1.3. Avantage de la technologie SOI

De part la couche d'oxyde enterré qui isole la zone active du transistor, la technologie SOI possède des propriétés intéressantes par rapport au silicium à substrat massif. Globalement, les transistors SOI apportent 25% à 30% de performances en plus par rapport à leurs homologues à substrat massif [20].

I.8.1.3.1. Augmentation de la densité d'intégration

La technologie SOI est particulièrement attractive car elle permet d'isoler les transistors entre eux. En effet, les structures d'isolation qui définissent les zones actives, entrent en contact avec l'oxyde enterré, réalisant ainsi une isolation parfaite. Cette amélioration est importante car elle autorise une augmentation significative de la densité d'intégration.

I.8.1.3.2. Réduction des capacités parasites du substrat

Dans les circuits sur substrat SOI, la capacité maximale entre les jonctions et le substrat et celle due à l'isolant enterré (Figure I.51). Cette capacité est proportionnelle à la constante diélectrique du matériau capacitif. Or dans le cas le plus souvent utilisé d'un isolant en dioxyde de silicium, cette constante vaut $\epsilon_{\text{OX}} = 3.9$ soit trois fois plus petite que celle du silicium $\epsilon_{\text{Si}} = 11.7$. L'épaisseur de l'isolant enterré n'a alors pas besoin d'être réduite lorsque des composants plus petits sont produits et de ce fait les capacités parasites n'augmentent pas au fur et à mesure de l'évolution de la technologie, contrairement sur substrat massif.

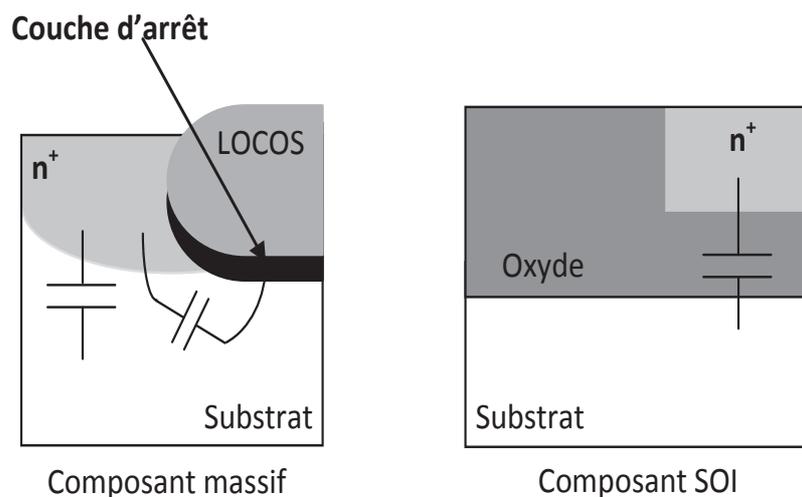


Figure I.51 : Capacités de jonctions parasites [21].

I.8.1.3.3. Suppression du thyristor parasite (latch-up)

Le déclenchement de la structure thyristor parasite est lié à la juxtaposition des transistors bipolaires parasites (npn et pnp) entre deux MOSFETS voisins et complémentaires (phénomène de «latch up» [22]). L'utilisation du SOI annihile cet effet parasite comme le montrent les Figure I.52.a et Figure I.52.b. Cette disparition élimine une source importante de courants de fuite et de destruction de composants, et évite la commutation spontanée de certains transistors.

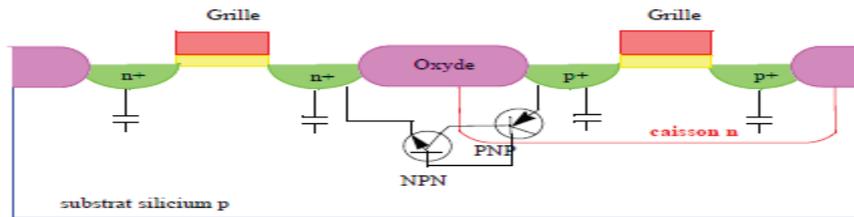


Figure I.52.a: Thyristor parasite pour deux transistors MOSFET voisins sur substrat massif [9].

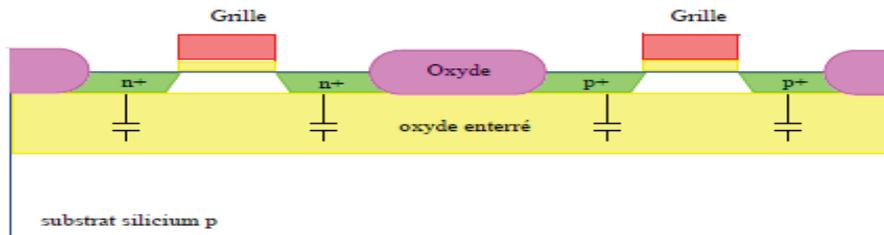


Figure I.52.b: Effets de la couche isolante SiO₂ du substrat SOI sur les transistors parasites et les capacités parasites des jonctions pn [9].

I.8.1.3.4. Simplification des étapes de siliciuration ou de métallisation

La réduction des résistances d'accès à l'aide de siliciuration est une étape importante de la réalisation de composants à hauts performances. Dans les composants sur substrat massif, des réactions non souhaitées peuvent parfois se produire entre le silicium et le siliciure ou le métal, entraînant des courants de fuites. En SOI, il n'y a pas de fuites du fait de l'impossibilité d'une jonction métallique sous la zone de contact métal-silicium (Figure I.53).

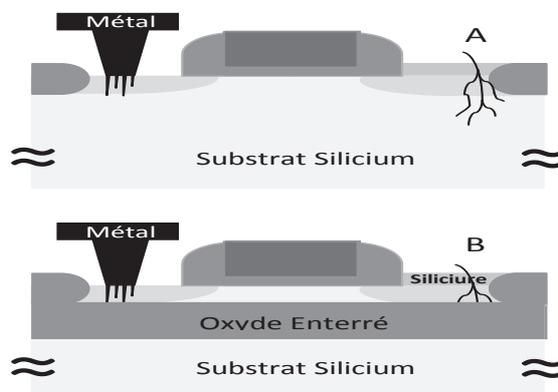


Figure I.53 : Formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat massif (A) et d'un composant sur substrat SOI (B) [21].

I.8.1.3.5. Diminution du nombre d'étapes de développement

La technologie SOI comporte moins d'étapes de conception que la technologie sur substrat massif. Le Tableau I.1 récapitule les différentes étapes du procédé en technologie sur substrat massif et SOI. On peut tout de même constater une grande ressemblance entre ces deux technologies.

Substrat massif	Substrat SOI
Oxydation	Oxydation
Lithographie des puits	
Dopage des puits et renforcement	
Dépôt de nitrure	Dépôt de nitrure
Lithographie de la zone active	Lithographie de la zone active
Retrait du nitrure	Retrait du nitrure
Lithographie des zones à planter	Lithographie des zones à planter
Implantation des zones	Implantation des zones
Croissance des zones d'oxyde	Croissance des zones d'oxyde
Retrait du nitrure	Retrait du nitrure
Lithographie des canaux P	
Implantation de « Anti-punchthrough »	
Croissance de l'oxyde de grille	Croissance de l'oxyde de grille
Implantation des canaux P pour V_{th}	Implantation des canaux P pour V_{th}
Lithographie des canaux N pour V_{th}	Lithographie des canaux N pour V_{th}
Implantation de « Anti-punchthrough »	
Implantation des canaux N pour V_{th}	Implantation des canaux N pour V_{th}
dépôt de polysilicium et dopage	dépôt de polysilicium et dopage
Lithographie des grilles et retrait	Lithographie des grilles et retrait
Lithographie des zones P^+ de S & D	Lithographie des zones P^+ de S & D
Implantation des zones P^+ de S & D	Implantation des zones P^+ de S & D
Lithographie des zones N^+ de S & D	Lithographie des zones N^+ de S & D
Implantation des zones N^+ de S & D	Implantation des zones N^+ de S & D
Re-oxydation des S & D	Re-oxydation des S & D
Dépôt de diélectrique	Dépôt de diélectrique
Lithographie des trous de contact	Lithographie des trous de contact
Perçage des trous de contact	Perçage des trous de contact

Métallisation	Métallisation
Lithographie des zones métal	Lithographie des zones métal
Gravure du métal	Gravure du métal
recuit	Recuit

Tableau I.1 : comparaison des étapes de conception d'un CMOS en technologie sur substrat massif et SOI.

I.8.1.3.6. Meilleure caractéristiques de courants

I.8.1.3.6.1. Réduction de l'effet de substrat

Dans un composant sur substrat massif, l'effet « body » dit effet substrat correspond à la dépendance de la tension de seuil au potentiel de substrat. Dans un transistor SOI, il correspond de façon similaire à la dépendance de la tension seuil au potentiel de grille arrière. Cet effet réduit la capacité de conduction de courant des transistors dont la source n'est pas directement connectée à la masse, comme dans le cas d'entrées à paires différentielles.

Or dans le cas d'un transistor SOI, il a été démontré que la variation du potentiel de surface du substrat a une faible influence sur la tension seuil. Cette influence peut même être négligée du moment que l'épaisseur de l'oxyde enterré est grande devant celle de l'oxyde de grille.

I.8.1.3.6.2. Plus grand courant de saturation

Les transistors SOI présentent un plus grand courant de saturation que ceux en technologie sur substrat massif. Ce plus grand courant de saturation dans les MOSFETs SOI provoque une augmentation de conduction de courant. Ceci contribue grandement excellentes performances de vitesses des circuits CMOS SOI.

I.8.1.3.6.3. Plus grande mobilité et transconductance de grille

La transconductance de grille d'un MOSFET mesure l'efficacité du contrôle du courant de drain par la tension de grille. Cette plus grande transconductance dans le cas d'un SOI s'explique par le meilleur contrôle du potentiel de grille au niveau de l'oxyde de grille.

La mobilité des porteurs dans le canal d'un MOSFET dépend principalement de la valeur du champ électrique à l'interface oxyde de la grille /silicium. Le champ électrique de surface avant est plus faible dans un composant SOI que dans un composant sur substrat massif.

I.8.1.3.7. Réduction des effets de canaux courts

La diminution de la longueur de canal des transistors MOSFET induit de nombreux effets, dont l'un est appelé effet de canal court. Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze Q_g à la Figure I.54. Pour les transistors à canal « long », cet effet est faible par rapport à la zone de contrôle de la grille, tandis qu'au fur et à mesure de la réduction de la longueur de la grille, cet effet devient de plus en plus significatif.

L'effet de canal court s'explique par une perte de contrôle de la charge du canal par la grille, ce qui a pour conséquence de réduire la tension de seuil. Cet effet est très important pour les transistors MOSFET sur substrats massifs, mais dans le cas du SOI et en particulier pour les transistors totalement désertés, l'espace de charge dans le film de silicium reste très bien contrôlé par la grille. Comme conséquence, les effets de canal court sont réduits en comparaison des transistors MOSFET sur substrat massif [26].

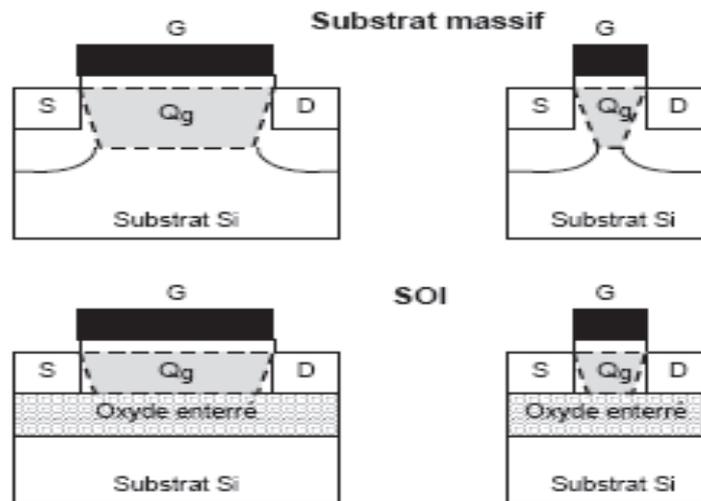


Figure I.54 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (gauche) et à canal court (droite) [23].

I.8.1.3.8. Diminution de l'inverse de la pente sous le seuil

Un des principaux avantages de la technologie SOI sur film mince, est d'augmenter la pente sous le seuil (ou de diminuer l'inverse de la pente sous le seuil S). Cet effet est expliqué dans les travaux de Colinge et al. [24-25]. L'inverse de la pente sous le seuil est donné par:

$$S = \ln(10) \left(\frac{\partial V_G}{\partial \ln I_D} \right) = \frac{kT}{q} \ln(10) \cdot n \quad (\text{I.54})$$

Pour une technologie sur substrat massif, le coefficient d'effet de surface « n » s'écrit:

$$n = 1 + \frac{C_D}{C_{ox}} \quad (I.55)$$

avec: C_D : capacité de la zone de déplétion, et $C_{ox} = \epsilon_{Si}/t_{ox}$: capacité d'oxyde de grille. Dans ce cas précis, le coefficient n est supérieur à 1. Pour une technologie SOI sur film mince totalement déplété, l'expression de n fait intervenir la capacité du film de silicium complètement déplété (C_{Si}), la capacité de la grille avant (C_{ox1}), et la capacité de la grille arrière (C_{ox2}):

$$n = \left(1 + \frac{C_{Si}}{C_{ox1}}\right) - \frac{\frac{C_{Si}}{C_{ox2}} \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{Si}}{C_{ox1}}} \quad (I.56)$$

Habituellement, pour des films minces, $C_{ox2} \ll C_{ox1}$ et $C_{ox2} \ll C_{Si}$. Par conséquent, le coefficient n est très proche de 1. En d'autres termes, S est quasiment égale à la valeur limite de 60 mV/décade, à température ambiante.

I.8.1.4. Inconvénient majeur de la technologie SOI

Les avantages de la technologie SOI sont nombreux. Cependant, leur inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (Figure I.55). La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

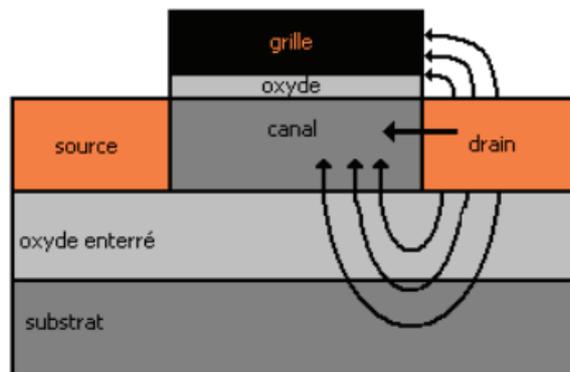


Figure I.55: Influence électrostatique sur le SOI à une grille [24]

La technologie SOI à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [24], se sont les transistors MOSFET à grilles multiples.

I.9. Conclusion

Le transistor MOSFET est le dispositif le plus utilisé en électronique analogique et digital. Il a su par ses qualités et ses performances évincer son concurrent le bipolaire qui lui a largement cédé la place. La miniaturisation de ces transistors MOS et plus particulièrement la diminution de la longueur du canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Néanmoins cette réduction des dimensions bien nécessaire à la course vers la miniaturisation engendre indéniablement des phénomènes parasites appelés généralement effets canaux courts, on citera entre autre (le DIBL, punch-through, modification de la tension de seuil...) qui détériorent les caractéristiques courant-tension. Afin de diminuer ces effets canaux courts, il fut nécessaire de trouver de nouvelles structures qui permettent de maintenir de bonnes performances pour les transistors de faibles dimensions. De ce fait les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver de bonnes caractéristiques. On citera entre autre technologie SOI.

La technologie SOI offre l'opportunité d'intégrer des dispositifs présentant de hautes performances et/ou des éléments innovants qui peuvent repousser les frontières d'intégration des technologies CMOS sur substrat massif. Néanmoins, pour des architectures aux longueurs de grille inférieures à 50 nm, l'utilisation de la filière SOI doit nécessairement être combinée à celle des architectures multi-grille. Cette partie à laquelle nous nous sommes intéressés dans ce travail présente les avancées provoquées par l'utilisation de telles architectures.

Références chapitre I

- [1] H. Lilen, Une brève histoire de l'électronique, éditions Vuibert, Paris, France, 2003
- [2] Jérôme MAZURIER, Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM, thèse de doctorat, octobre 2012
- [3] OLIVIER BONNAUD, composants à semi-conducteurs : de la physique du solide aux transistors. Edition DUNOD 5^{ème} édition.
- [4] Jérôme SAINT-MARTIN 2005 « Etude par simulation MONTE CARLO d'architecture de MOSFET ultracourts à grille multiple sur SOI » Université de Paris-Sud.
- [5] Thomas SKOTNICKI « Transistor MOS et sa technologie de fabrication » Centre national d'études des télécommunications (CNET) de Grenoble.
- [6] André VAPAILLE et René CASTAGNE « Dispositif et circuits intégrés semi-conducteurs », Dunod, 1987.
- [7] Dennard R.H., Gaensslen F.H., Yu H.-N., Rideout V.L., Bassous E. et Le Blanc A. R. (1974). Design of ion-implanted mosfet's with very small physical dimensions. IEEE Journal of Solid-State Circuits, sc-9(5):256 – 268.
- [8] <http://docinsa.insa-lyon.fr/these/pont.php?id=daviot>.
- [9] Julien PENAUD, Contributions à la conception et à la réalisation de transistors MOS à grille multiple, thèse de doctorat, octobre 2006.
- [10] L.D. Yau, "A simple theory to predict the threshold voltage of short-channel IGFET's", Solid State Electronics, vol. 9, no3, pp. 256-263, 1974.
- [11] H. Veendrick, "Deep submicron CMOS ICs", Kluwer Academic Publishers, Deventer, The Netherlands, 1998.
- [12] http://pagesperso-orange.fr/michel.hubin/physique/elec/chap_tr3.htm
- [13] L.A. Akers, M. Walker, "Hot carrier effects in submicron CMOS", Physica B+C, vol. 134,no1-3, pp. 116-120, 1985.
- [14] H. Matthieu, "Physique des semi-conducteurs et des composants électroniques", 5ème édition, Dunod, pp. 107-108, 2001.
- [15] K.M. Cao, W.C. Lee, W. Liu, X. Jin, P. Su, S.K.H. Fung, J.X. An, B. Yu, C. Hu, "BSIM4 Gate leakage model including source drain partition", International Electron Devices Meeting, 2000.
- [16] International Technology Roadmap For Semiconductors", Edition 2011, available at: <http://www.itrs.net/Links/2011ITRS/Home2011.htm>
- [17] M. Bruel, "Silicon on insulator material technology", Electronics Letters, Vol. 31, N° 14, 1995, p. 1201-1202.

- [18] C. Maleville, "SOI material readiness for 45nm and sub-45nm device options", ECS Transactions, Vol. 3, N° 4, 2006, p. 397-407.
- [19] W. Schwarzenbach, X. Cauchy, F. Boedt, O. Bonnin, E. Butaud, C. Girard, B.-Y. Nguyen, C. Mazure et C. Maleville, "Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling Vt variation of FDSOI", International Conference on IC Design & Technology (ICICDT), 2011.
- [20] Alexandre VALENTIAN « Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul- Thèse de doctorat 2005 -Ecole Doctorale d'Informatique, Télécommunication et Electronique de Paris.
- [21] web.pdx.edu/~jeahuck/file/SOI%20presentation%20slides.pdf
- [22] R.R Troutman, "Latchup in CMOS technology: the problem and its cure", Kluwer academic publishers, Boston, 1986.
- [23] Christophe PAVAGEAU « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques » Thèse de doctorat 2005
UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE.
- [24] J. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 1-4020- 77734, Kluwer Academic Publishers, 3PrdP edition, 1997.
- [25] J. Wouters, J.P. Colinge, H.E. Maes, "Subthreshold slope in thin film SOI MOSFET's", IEEE Transactions on Electron Devices, vol. 37, n°9, pp. 2022-2033, 1990.
- [26] R.-H. Yan, A. Ourmazd, K.F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk", IEEE Trans. Electron Devices, vol. 39, no7, pp.1704-1710, 1992.

Chapitre II

Les transistors à grilles multiples

MUGFET

Sommaire du chapitre II

II.1. Introduction	104
II.2. Présentation des différentes architectures MOSFET multi-grille	105
II.2.1. Les architectures Double Grille.....	105
II.2.1.1. Le Double Grille planaire.....	106
II-2.1.1.1 Procédé de fabrication.....	107
II-2.1.1.2. Performances électriques-Discussions.....	108
II.2.1.2. Transistor double-grille à conduction verticale.....	109
II.2.1.2.1. Introduction.....	109
II.2.1.2.2. Transistor à conduction verticale réalisé par diffusion de source, solide (VRG).....	110
II.2.1.2.2.1. Procédé de fabrication.....	110
II.2.1.2.2.2. Performances électriques-Discussion.....	111
II.2.1.3. Transistor à conduction verticale réalisé par épitaxie.....	112
II.2.1.3.1. Procédé de fabrication.....	112
II.2.1.3.2. Performances électriques-Discussion.....	113
II.2.1.4. Transistor à conduction verticale réalisé par implantation.....	113
II.2.1.4.1. Procédé de fabrication.....	113
II.2.1.4.2. Performances électriques-Discussion.....	114
II.2.1.5. Transistor à conduction latérale.....	114
II.2.1.5.1. Delta-FET.....	114
II.2.1.5.1.1. Procédé de fabrication.....	114
II.2.1.5.1.2. Performances électriques.....	115
II.2.1.5.2. FinFET.....	116
II.2.1.5.2.1. Introduction.....	116
II.2.1.5.2.1.1. Procédé «gate last».....	116
II.2.1.5.2.1.1.1. Procédé de fabrication.....	116
II.2.1.5.2.1.1.2. Performances électriques-Discussion.....	118
II.2.1.5.2.2. Procédé «gate first».....	118
II.2.1.5.2.2.1. Procédé de fabrication.....	118
II.2.1.5.2.2.2. Performances électriques-Discussion.....	119

II.2.2. Les architectures Triple Grille.....	121
II.2.2.1. Triple-Grille classique.....	121
II.2.2.2. Pi-gate - Omega-Gate.....	122
II.2.3. Procédé innovant de fabrication d'un transistor FinFET, FinFET Triple-Gate , Pi-Gate et Omega-Gate.....	123
II.2.3.1. Introduction.....	123
II.2.3.2. Nettoyage du substrat SOI.....	124
II.2.3.3. Définition des ailettes de silicium.....	124
II.2.3.3.1. Lithographie électronique.....	124
II.2.3.3.2. Transfert des motifs par gravure plasma RIE.....	124
II.2.3.4.3. Définition de la matrice isolante de HSQ.....	125
II.2.3.4. Ouverture Damascène.....	125
II.2.3.5. Formation de l'oxyde de grille.....	126
II.2.3.6. Dépôt du matériau de grille.....	127
II.2.3.6.1. Choix du matériau de grille.....	127
II.2.3.6.2. Pulvérisation et planarisation du matériau de grille.....	128
II.2.3.7. Formation des espaceurs.....	128
II.2.3.8. Définition de la source et du drain.....	129
II.2.3.9. Alternatives-Perspectives.....	130
II.2.3.9.1. Réalisation d'un transistor MOS triple-grille.....	130
II.2.3.9.2. Dopage de la source et du drain.....	131
II.2.3.9.3. Grille asymétrique.....	131
II.2.4. L'architecture MOSFET à grille enrobée.....	131
II.2.4.1. Les différentes catégories de la technologie GAA MOSFET.....	133
II.2.4.1.1. Le transistor GAA MOSFET rectangulaire.....	133
II.2.4.1.2. Le transistor GAA MOSFET triangulaire.....	134
II.2.4.1.3. Le transistor GAA MOSFET pentagonal.....	135
II.2.4.1.4. Le transistor GAA MOSFET cylindrique.....	136
II.2.4.1.5. Le transistor GAA MOSFET à un canal.....	136
II.2.4.1.6. Le transistor GAA MOSFET à deux canaux (TSNWFET).....	137
II.2.4.1.7. Le transistor GAA MOSFET à canaux multiples (MBCFET).....	137

II.2.4.1.8. Le transistor GAA MOSFET vertical.....	138
II.2.4.2. Transistor Gate All Around (GAA) en technologie SON.....	138
II.2.4.2.1. Procédé de fabrication.....	138
II.2.4.2.1.1. La technologie Silicon On Nothing (SON).....	138
II.2.4.2.1.2. Le GAA SON Latbridge.....	139
II.2.4.2.1.3. Le GAA adapté à la conception.....	140
II.2.4.2.1.4. Le SADAGAA.....	141
II.2.4.2.1.5. Les multicanaux et nanofils utilisant le SON.....	143
II.2.4.2.2. Procédé d'intégration de l'architecture GAA.....	144
II.2.3.2.2.1. Défis communs.....	148
II.2.3.2.2.2. Etapes et développements propres à l'architecture sur SOI.....	149
II.2.3.2.2.3. Etapes et développements propres à l'architecture sur Si massif.....	152
II.3. Modes de fonctionnement des transistors à grilles multiples	153
II.3.1. Etat passant.....	154
II.3.2. Etat bloqué.....	155
II.4. Contrôle des effets canaux courts	156
II.5. Conclusion	158
Références chapitre II.....	159

II.1. Introduction

L'amélioration des performances dans les transistors MOSFET passe, entre autres, par le renforcement du couplage électrostatique de la grille sur le flux de porteurs dans le canal de conduction. Les solutions proposées consistent donc à augmenter le nombre de grille de contrôle autour du canal pour diminuer les effets électrostatiques parasites. Les recherches se sont alors orientées, déjà depuis la fin des années 1980, vers l'étude des transistors MOSFET sur substrat SOI (pour Silicon On Insulator) [1] [2] et des architectures multi-grilles [3] sur ce même substrat : Double-Grille (planaire [4] [5] [6] ou verticale [7]), Triple-Grille (FinFET [8] [9] [10], Ω -gate [11], π -gate [12]), dispositifs à grille enrobante (GAA (pour Gate-All-Around) [3] [13]) et nanofils (cylindriques ou rectangulaires [14]) pour ne citer que les plus importantes [15] .

L'évolution des dispositifs MOS avec l'augmentation du nombre de grilles est illustrée en Figure II.1 :

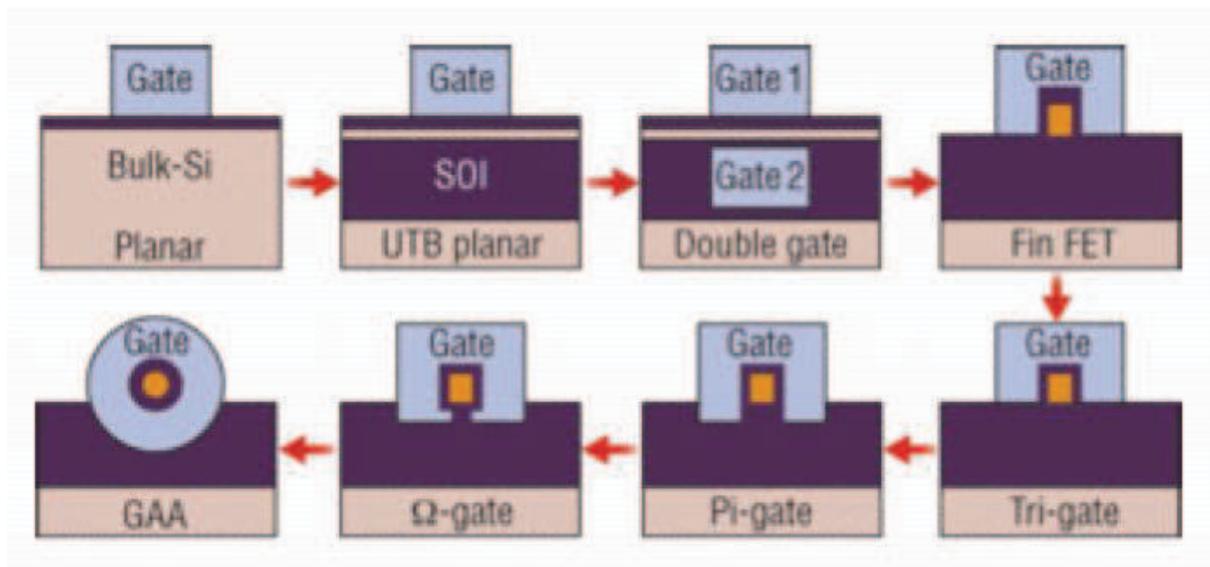


Figure II.1 : Les différentes structures multi-grilles [16]

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [2], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de V_{ds} : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la

polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires [17].

II.2. Présentation des différentes architectures MOSFET multi-grille

II.2.1. Les architectures Double Grille

Le transistor MOS en architecture Double Grille fait également partie des solutions prometteuses pour le remplacement du dispositif MOSFET bulk, il est possible de les classer dans trois grandes catégories distinctes (Figure II.2):

- les transistors double-grille planaires qui s'apparentent fortement aux transistors MOSFET conventionnels pour lesquels une seconde grille est placée en face arrière du canal (Figure II.2.a).
- les transistors double-grille à conduction verticale, dans lesquels la zone active ainsi que la source et le drain sont perpendiculaires au plan du substrat de silicium (Figure II.2.b).
- les transistors à conduction latérale de type FinFET et leurs dérivées, dans lesquels, seule la zone active se trouve dans le plan vertical par rapport au substrat. La source et le drain restent dans le plan horizontal comme pour un transistor planaire conventionnel (Figure II.2.c).

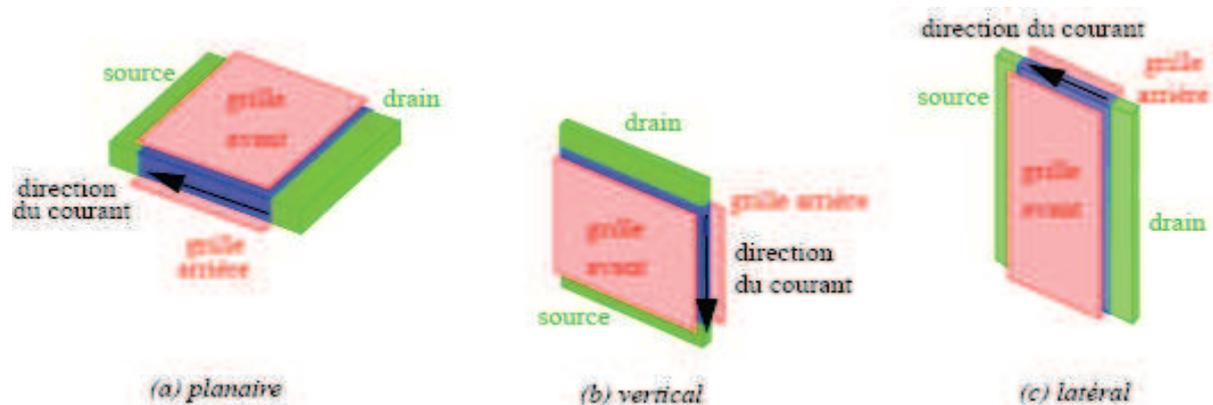


Figure II.2: Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale [20].

Les transistors double-grille font l'objet de nombreuses recherches depuis plus de 20 ans. Ainsi, même si cette architecture présente de nombreux avantages par rapport aux transistors simple-grille, il existe encore de nombreux verrous technologiques à lever [19] tels que:

- l'auto-alignement des deux grilles.
- l'auto-alignement des régions de source/drain par rapport aux deux grilles.
- les problèmes d'accroissement des résistances d'accès au canal [21].

La résistance série est ainsi composée de:

- la résistance des zones de recouvrement entre la grille et les zones de source/drain.

En effet, les zones de source/drain extrinsèques restent relativement éloignées du bord du canal, contribuant à un accroissement de la résistance série.

- la résistance de feuille des zones de source/drain fortement dopées.
- la résistance de contact, divisée en trois zones distinctes: contact siliciure-source/drain, résistance intrinsèque du siliciure, contact métal-siliciure.

Ainsi, les sections suivantes décrivent successivement, et de manière non exhaustive les procédés de fabrication de chacune des trois catégories de transistor multi-grille. Nous insisterons sur les avantages et les inconvénients des différents types d'architecture et présenterons également les performances électriques obtenues par les différents dispositifs.

II.2.1.1. Le Double Grille planaire

L'architecture double grille planaire est une extension naturelle du SOI puisqu'il s'agit de remplacer le BOX par une grille (Figure II.3). Par conséquent, ces architectures conservent les avantages du FDSOI. Dans ces dispositifs, le courant circule horizontalement entre le drain et la source, c'est à dire parallèlement au plan du substrat. On distingue deux catégories de double grille planaires. Une catégorie où la grille du haut et la grille du bas sont définies au cours d'une même étape de photolithographie, on parle de grilles auto-alignées ([22,23, 24]). Par opposition, la deuxième catégorie concerne les architectures sur lesquelles les deux grilles sont définies à deux étapes différentes ([25, 26]).

Si on le compare à une structure à grille unique, la principal avantage du double grille planaire vient de la capacité supplémentaire qu'apporte la grille du dessous. Le potentiel dans le canal est alors très bien contrôlé par les grilles. Si on le compare aux autres architectures à grilles multiples, son atout majeur est sa proximité au transistor MOS "classique". C'est un avantage considérable notamment en ce qui concerne les règles de dessin qui restent compatibles avec la technologie BULK. Ceci signifie que la densité d'intégration est conservée alors qu'elle est généralement plus faible pour les architectures non planaires.

Un autre avantage est que le canal des architectures double grille planaire est défini par épitaxie. Cela permet un excellent contrôle de l'épaisseur de t_{Si} et une surface de silicium homogène. Ce procédé est bien maîtrisé et reproductible, encore un avantage face aux

approches non planaires pour lesquelles le canal est réalisé par des procédés de photolithographie et de gravure sèche qui entraînent une plus grande dispersion et une surface moins lisse.

Une difficulté technologique résidait dans le dopage du polysilicium de la grille inférieure mais l'introduction des grilles métalliques a permis de s'en affranchir. Un autre défi de taille concerne l'alignement des deux grilles puisque leur désalignement dégrade les caractéristiques sous le seuil des transistors du fait d'un moins bon contrôle électrostatique. Une alternative intéressante est alors de réaliser une grille inférieure plus longue (environ 10nm par bord), bien qu'elle engendre 10% de perte sur les performances dynamiques du dispositif [26].

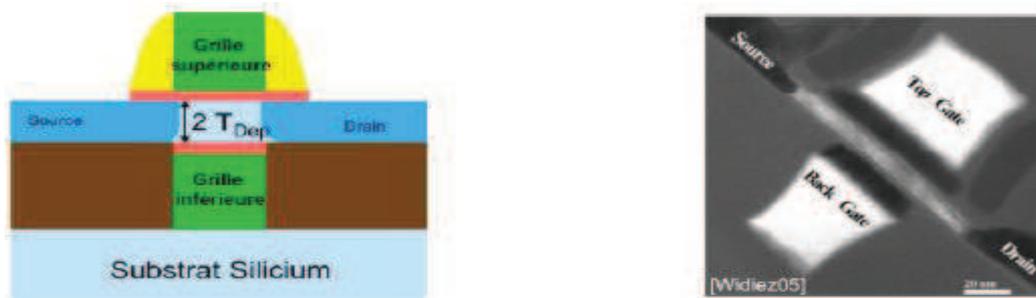


Figure II.3: schéma d'un transistor double grille planaire (gauche) et image obtenue au microscope électronique à transmission (TEM) d'un transistor double grille planaire obtenu par collage (droite) [27].

II-2.1.1.1. Procédé de fabrication

Wong et al. [28] sont les premiers à avoir réalisé un transistor double-grille planaire, avec des grilles supérieure et inférieure auto-alignées. Voici résumées succinctement les étapes de la fabrication de ce transistor. Plusieurs couches sont successivement déposées sur le substrat de silicium: nitrure/oxyde/silicium amorphe (Si-a)/oxyde. La couche de silicium amorphe va permettre de définir une cavité vide (tunnel), dont la largeur correspondra à la largeur du canal (W_g) (Figure II.4.a). Une épaisseur importante de nitrure est ensuite déposée. Le masque suivant définit deux régions dont l'espacement correspond à la longueur de grille (L_g) du transistor.

Une gravure ionique RIE (Reactive Ion Etching) du nitrure, de l'oxyde, et du silicium amorphe est effectuée, en utilisant l'oxyde comme couche d'arrêt (Figure II.4.b). Le silicium amorphe est gravé par KOH, définissant ainsi un tunnel vide entouré par de l'oxyde (LTO: Low Temperature Oxide) et de dimensions: $W_g * L_g * t_{Si}$, où t_{Si} est défini par l'épaisseur de la

couche de a-Si préalablement déposée. Une ouverture latérale de l'oxyde est réalisée (Figure II.4.c). Une épitaxie sélective permet de faire croître le silicium jusqu'à ce que l'ouverture et le tunnel soient complètement remplis (Figure II.4.d). L'excès de silicium épitaxié est enlevé par polissage mécanico- chimique (CMP), en utilisant la couche de nitrure comme couche d'arrêt (Figure II.4.e). Un espaceur est formé sur le dessus des nitrures. La source et le drain sont implantés en utilisant le nitrure comme masque d'implantation auto-aligné. Le nitrure est gravé par gravure chimique (H_3PO_4). L'oxyde qui entourait le silicium épitaxié (Figure II.4.f) est enlevé par gravure à l'acide fluorhydrique (HF). Le tunnel suspendu restant constitue le canal du transistor. L'oxyde de grille est formé (5 nm), suivi d'un dépôt conforme du matériau de grille (polysilicium) autour du «pont de silicium». Une siliciuration auto-alignée conclut le procédé de fabrication du transistor (Figure II.4.g). La Figure II.4.h représente une vue en trois dimensions du transistor double grille planaire.

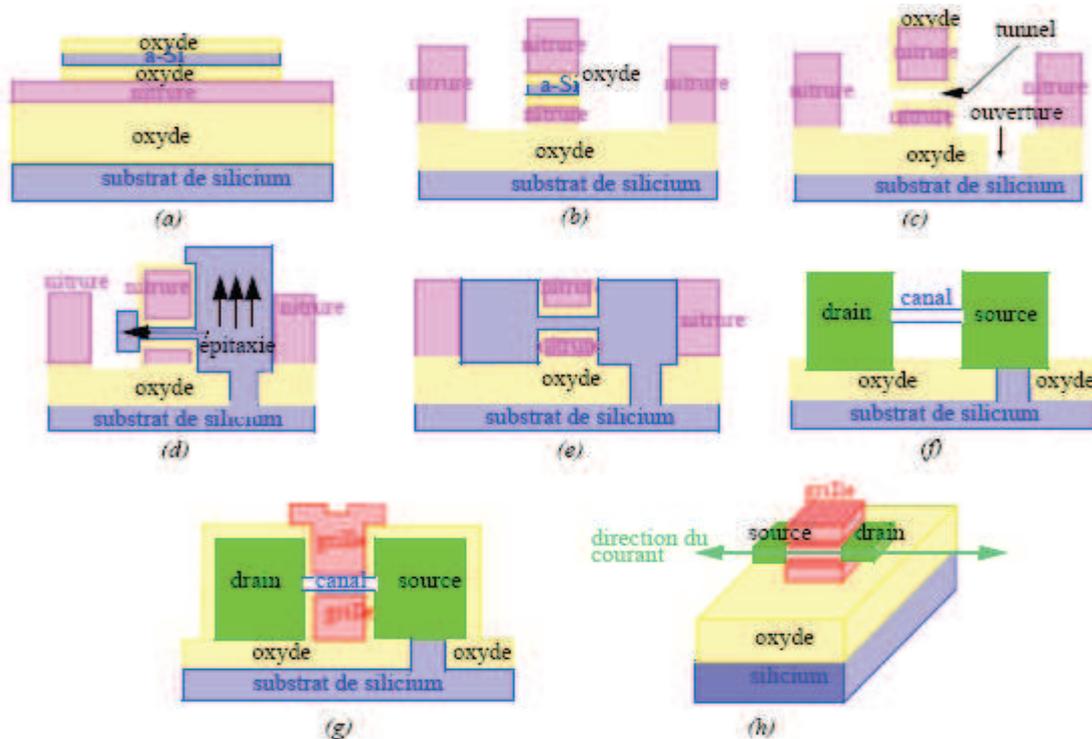


Figure II.4: Procédé de fabrication d'un transistor double-grille planaire [28].

II-2.1.1.2. Performances électriques-Discussions

Wong *et al.* [28] ont réalisé un transistor n-DGMOSFET, avec des grilles en polysilicium n+. La largeur du canal (t_{Si}) non dopé est de 25 nm. L'épaisseur d'oxyde de grille est la même pour les deux grilles (5 nm). Dans ces conditions, Wong *et al.* ont obtenu une tension de seuil d'environ - 0,25V, ce qui était en accord avec les valeurs attendues pour un n-MOSFET à

multi-grille n+, pour un canal non dopé [28-29]. Le courant de saturation atteint $500 \mu\text{A}/\mu\text{m}$ à $V_{\text{GS}} - V_{\text{TH}} = 1,2 \text{ V}$, $V_{\text{DS}} = 1,5 \text{ V}$, et $L_g = 0,66 \mu\text{m}$.

Néanmoins, la fabrication de ce transistor est complexe et ajoute une étape supplémentaire (épitaxie de silicium) par rapport au procédé de fabrication conventionnel. De plus, ce procédé n'est pas compatible avec la réalisation d'un transistor asymétrique puisque les deux grilles sont formées au même moment.

D'autres procédés de fabrication utilisant également une épitaxie de silicium ont été étudiés.

Denton et Neudeck ont ainsi proposé [30] un procédé de fabrication où la grille du dessous est formée avant l'épitaxie de silicium. La deuxième grille est ensuite définie par lithographie. Ce procédé de fabrication ne permet pas d'obtenir un alignement parfait des grilles mais il autorise la réalisation d'un dispositif asymétrique en utilisant par exemple deux matériaux de grille ayant des travaux de sortie différents.

Enfin, une autre alternative pour la réalisation de transistor DG planaire procède par collage moléculaire de deux plaques de silicium, («wafer bonding» en anglais) [22-31]. L'auto alignement des deux grilles est très difficile à réaliser et entraîne ainsi des dégradations importantes des performances électriques.

II.2.1.2. Transistor double-grille à conduction verticale

II.2.1.2.1. Introduction

Le transistor DGMOSFET planaire, comme mentionné dans la section précédente, est difficilement intégrable dans la filière MOS traditionnelle: épitaxie de silicium, problèmes d'alignement des deux grilles, difficultés pour prendre les contacts de grille générant des capacités parasites. L'élaboration de transistors verticaux à grille enrobante («Surrounding Gate MOSFET» en anglais) [32-33], permet d'outrepasser nombre de ces problèmes. Dans ces architectures, le courant de conduction circule dans un plan perpendiculaire au plan du substrat (Figure II.5). Les principaux avantages de cette structure sont: une augmentation du courant de conduction, une meilleure immunité vis à vis des effets canaux courts, et une augmentation de la densité d'intégration. De plus, la longueur de canal (longueur critique dans le procédé de fabrication) est déterminée par la précision de l'implantation ou par la croissance épitaxiale, et non pas par lithographie, comme dans le cas des architectures planaires. Cela représente un véritable atout. Dans ces cas précis, la grille est auto-alignée avec la source et le drain, les contacts de grille sont facilement accessibles.

Néanmoins, il subsiste encore un certain nombre de challenges technologiques à relever avant de pouvoir intégrer cette architecture dans la filière MOS classique. Ainsi, ces dispositifs ne

peuvent présenter qu'une seule longueur de grille sur un même substrat. De plus, les dessins de masque sont très différents de ceux utilisés pour la filière MOS conventionnelle. Enfin, les capacités parasite de type recouvrement sont très importantes, limitant l'attrait de cette architecture pour la conception de circuits analogiques RF ou digitaux rapides.

Il existe une multitude de procédés de fabrication pour ce type d'architecture, que l'on peut classifier en trois catégories:

- ceux basés sur la diffusion des dopants contenus dans des empilements de couches (Figure II.5.a).
- ceux qui utilisent une épitaxie pour former le canal (Figure II.5.b).
- ceux qui tirent profit d'une implantation de la source et du drain (Figure II.5.c).

La suite du chapitre présente de manière non exhaustive ces trois approches technologiques.

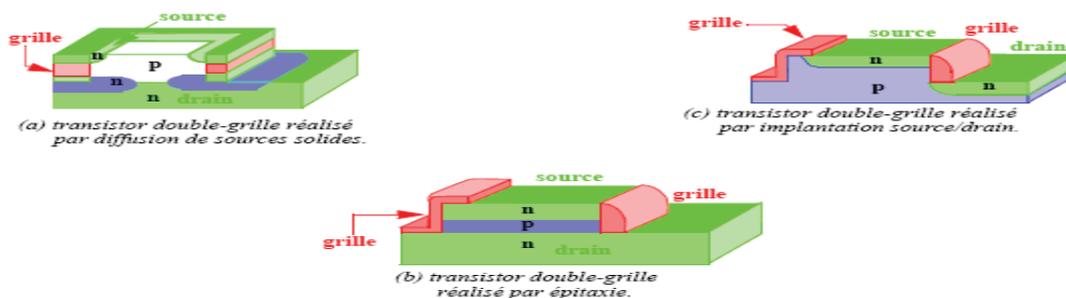


Figure II.5: Différentes architectures de transistors double-grille verticaux [20].

II.2.1.2.2. Transistor à conduction verticale réalisé par diffusion de source, solide (VRG)

II.2.1.2.2.1. Procédé de fabrication

Hergenrother et al. ont réalisé un nouveau type de transistor MOSFET vertical, le «Vertical Replacement Gate», (VRG) [34]. Dans le VRG, le courant circule perpendiculairement à la surface plane du substrat (Figure II.2.b). Les principaux avantages du procédé de fabrication sont:

- le contrôle de toutes les dimensions critiques sans utiliser de lithographie.
- la croissance de l'oxyde de grille de très haute qualité sur le canal en silicium cristallin.
- l'auto-alignement source/drain par diffusion de source solide (SSD).

Voici un résumé succinct du procédé de fabrication du VRG (Figure II.6). Une implantation d'arsenic sur un substrat de silicium épitaxié définit le drain (Figure II.6.a). Un film fin d'oxyde est déposé afin de servir de barrière de diffusion. Plusieurs matériaux sont ensuite empilés les uns sur les autres: verre de phosphosilicate (PSG)/nitruure/oxyde fin non

dopé/nitruure/PSG/ nitruure (Figure II.6.b). Une gravure anisotropique de la tranche définit une cavité possédant des flancs parfaitement verticaux (Figure II.6.c). Une croissance épitaxiale sélective de silicium dopé au bore, réalisée à l'intérieur de la cavité, constitue le canal (Figure II.6.d). La structure est planarisée par CMP (en utilisant le nitruure comme couche d'arrêt) (Figure II.6.e). L'oxyde non dopé, déposé préalablement, sert de couche sacrificielle et son épaisseur définit la longueur de grille L_g . Les deux empilements de PSG sont des réservoirs de dopants utilisés pour former les extensions auto-alignées de source/drain. Le procédé de diffusion de sources solide (phosphore) permet de définir des extensions de faible résistance, et peu profondes. Un dépôt de polysilicium (dopé par de l'Arsenic) définit la source (Figure II.6.f et Figure II.6.g). La formation (Figure II.6.h) et la gravure (Figure II.6.i) des espaceurs de nitruure «enrobent» le PSG. La couche d'oxyde sacrificielle est gravée sélectivement afin d'exposer le canal vertical de silicium (Figure II.6.j). Une croissance thermique de l'oxyde de grille très fin combinée à un dépôt conforme du matériau de grille clôturent le procédé (Figure II.6.k et Figure II.6.l).

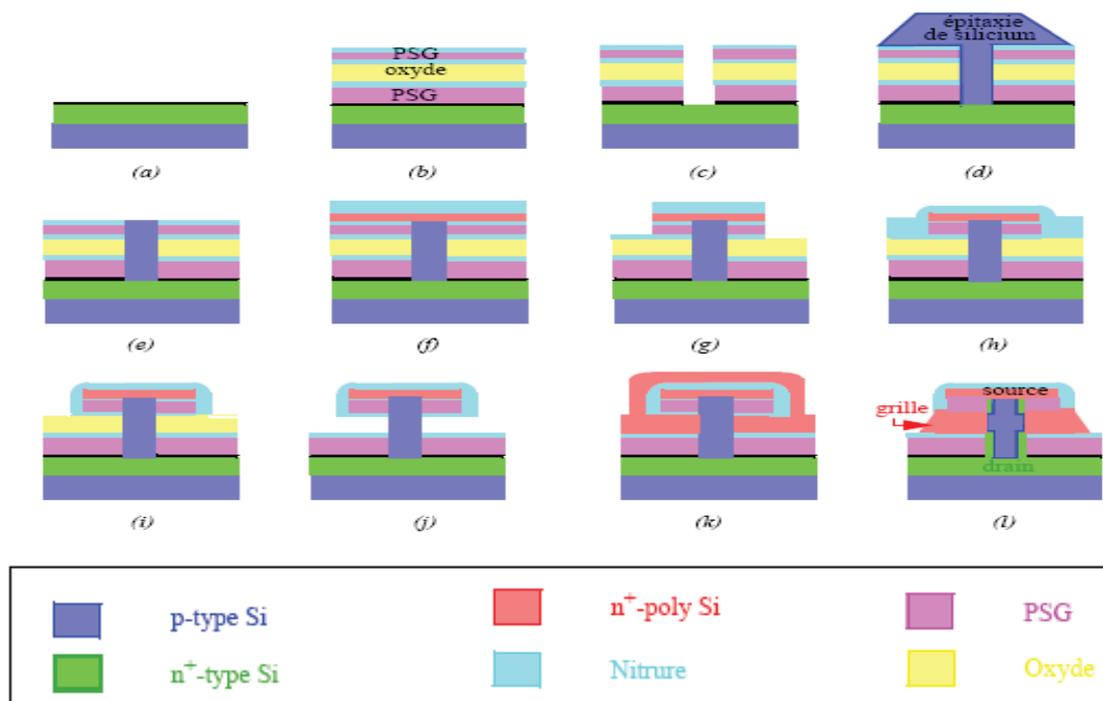


Figure II.6: Procédé de fabrication d'un transistor vertical double-grille basé sur la diffusion de sources solides [34].

II.2.1.2.2.2. Performances électriques-Discussion

Les transistors VRG réalisés par Hergenrother et al. [34] possèdent de très bonnes propriétés électriques, et dépassent largement les performances des transistors planaires. Pour un transistor n-MOSFET de longueur de grille $L_g = 200$ nm, la pente sous le seuil est quasi

II.2.1.3.2. Performances électriques-Discussion

Risch *et al.* [38] ont réussi à fabriquer des transistors verticaux de longueur de grille de 70 nm en utilisant une épitaxie LPCVD combinée à une gravure du canal. A faible V_{DS} , les tensions de seuil obtenues sont de 0,8V, 0,6V et 0,4V pour des longueurs de grilles de, respectivement: 170 nm, 120 nm et 70 nm. De plus, pour le plus petit transistor ($L_g=70$ nm), le courant de saturation atteint $500 \mu A/\mu m$ à $V_g = V_d = 1,5V$. Cependant, il convient de rappeler que cette approche technologique reste tout de même relativement complexe et surtout, elle n'est pas compatible avec la filière CMOS conventionnelle.

II.2.1.4. Transistor à conduction verticale réalisé par implantation

Il existe une troisième approche pour la fabrication de transistors verticaux de faibles dimensions. Rappelons que la première approche est basée sur la diffusion des dopants contenus dans des empilements de couches [34], et la deuxième sur l'épithaxie du canal [38]. Schulz *et al.* [40-41] ont proposé un nouveau procédé de fabrication plus proche de ceux utilisés dans la technologie planaire.

II.2.1.4.1. Procédé de fabrication

Un masque épais de 250 nm d'oxyde (TEOS) est déposé sur un substrat de silicium (Figure II.8.a). Une lithographie standard combinée à une gravure sèche définissent une cavité (Figure II.8.a). Une gravure sèche de la couche de nitrure forme les espaceurs sacrificiels, qui serviront de masque dur pour l'ailette de silicium (Figure II.8.b). Le film de silicium est alors formé (Figure II.8.b).

Le matériau de grille (50 nm de polysilicium dopé) est déposé sur l'oxyde de grille (3 nm) (Figure II.8.c). Le polysilicium est gravé afin de définir la grille et d'implanter la source et le drain (Figure II.8.d). Le reste des espaceurs sacrificiels de nitrure est éliminé par gravure humide. Une nouvelle couche de nitrure est déposée afin d'isoler la grille de polysilicium (Figure II.8.e).

Un dépôt d'oxyde (TEOS) permet d'aplanir la surface. Enfin, les trous pour les plots de contacts sont définis par gravure afin d'y déposer le métal (Figure II.8.f).

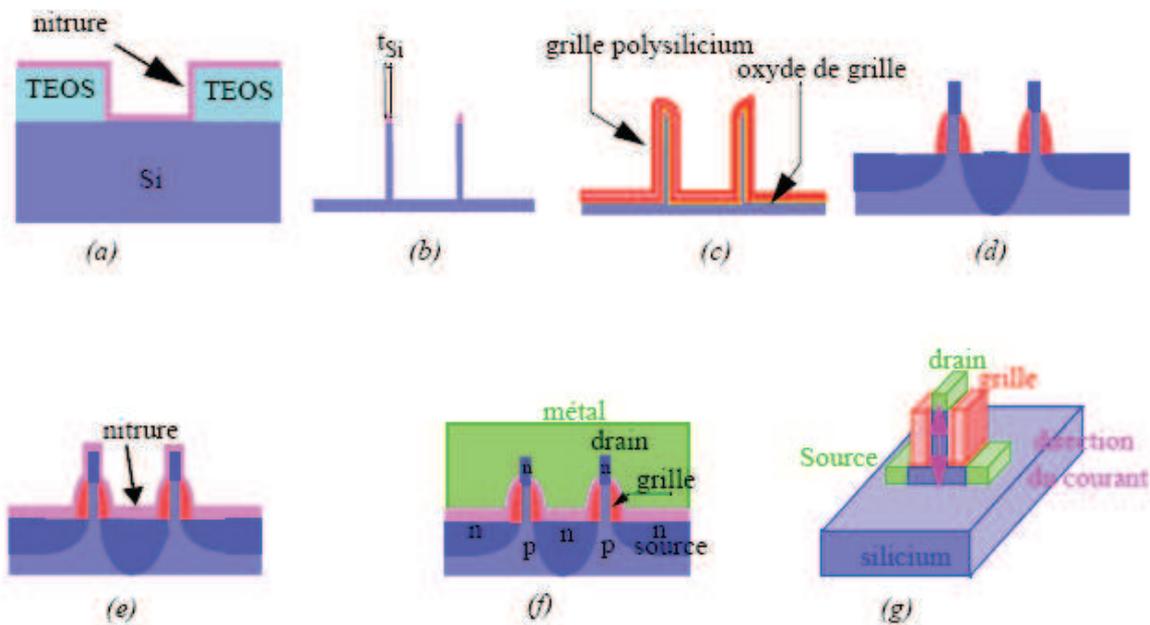


Figure II.8: Procédé de fabrication d'un transistor vertical basé sur l'implantation de source/drain [42].

II.2.1.4.2. Performances électriques-Discussion

Le procédé technologique utilisé par Schulz et al. [42] réduit, dans une certaine mesure, la complexité des étapes technologiques. De plus, pour une longueur de canal de 70 nm, et un dopage du canal de $2 \cdot 10^{18}$ atomes/cm³, le courant à l'état bloqué (I_{off}) reste très faible (inférieur à 1 pA), tout comme le DIBL (1mV). Néanmoins, le courant de saturation n'atteint qu'un niveau très faible: 12 μ A/ μ m, à $V_{DS} = 1,5V$ et $V_{GS} - V_{th} = 1V$ du à des problèmes rencontrés au cours du procédé technologique.

II.2.1.5. Transistor à conduction latérale

Les transistors double-grille planaires et à conduction verticale ne sont pas facilement intégrables dans la filière CMOS. Un nouveau type d'architecture plus proche de la technologie MOS classique a été étudiée: les transistors à conduction latérale. Cette partie présente ce type d'architecture appelée «FinFET» («fin» signifiant ailette en anglais) ainsi que les architectures dérivées: Omega-FET, Pi-Gate...

II.2.1.5.1. Delta-FET

II.2.1.5.1.1. Procédé de fabrication

Hisamoto et al. ont été parmi les premiers à conceptualiser et à élaborer une structure tridimensionnelle de transistor à effet de champ [43-44]: le transistor DELTA-FET (Fully

Depleted Lean-Channel Transistor) (Figure II.9). Ce transistor est «l'ancêtre» du FinFET. L'idée consiste à désertir de manière intentionnelle la totalité du canal. La taille du dispositif est ainsi réduite afin d'obtenir des dimensions inférieures à la largeur de la zone de déplétion. L'originalité du procédé de fabrication réside dans l'oxydation sélective [45-46], identique à celle utilisée pour la formation des structures LOCOS sur un substrat massif de silicium, et permettant de définir un cristal SOI de très bonne qualité.

Rappelons brièvement le procédé de fabrication de ce transistor innovant. Un dépôt de nitrure est effectué par CVD (Chemical Vapor Deposition), sur un plot d'oxyde thermique.

Une gravure RIE anisotropique permet de définir la zone active de silicium (Figure II.9.a). Les espaceurs de nitrure sont ensuite définis par dépôt CVD combiné à une gravure RIE. Une gravure chimique HF/HNO₃ permet de sous-graver le canal de silicium (Figure II.9.b). Enfin, une oxydation du substrat à 1100°C forme la structure SOI (Figure II.9.c). La suite du procédé de fabrication est identique à celui utilisé pour la réalisation d'un transistor MOSFET conventionnel (auto-alignement de la grille) (Figure II.9.d).

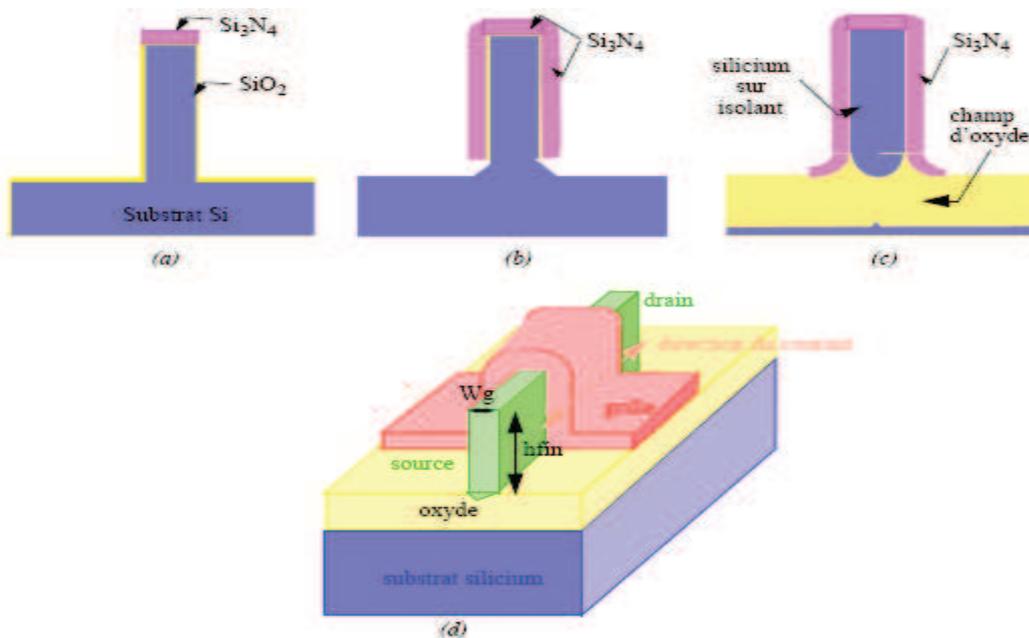


Figure II.9 : Procédé de fabrication du transistor DELTA-FET [43-44].

II.2.1.5.1.2. Performances électriques

Hisamoto *et al.* [43-44] ont montré que le transistor DELTA-FET permettait d'améliorer l'intégrité électrostatique des transistors. La structure de la grille «DELTA» supprime les effets néfastes de pénétration du potentiel du drain dans le canal. D'autre part, le courant du

canal circule tout le long de la surface verticale ainsi qu'horizontalement. La largeur effective de canal W est plus importante que pour un transistor conventionnel, elle est donnée par:

$$W = W_g + 2 \times h_{fin} \quad (\text{II.1})$$

La hauteur de la zone active de silicium détermine donc fortement la largeur du canal.

Enfin, cette architecture permet de réduire la pente sous le seuil à une valeur proche de la valeur idéale (62 mV/décade pour une longueur de grille de 0.15 μm) [43].

II.2.1.5.2. FinFET

II.2.1.5.2.1. Introduction

L'architecture FinFET est une version améliorée et «miniaturisée» du transistor DELTA conçu par Hisamoto et al. [43]. Le courant de conduction circule horizontalement (dans un plan parallèle à celui du substrat), de la source vers le drain. C'est pour cette raison qu'on qualifie souvent cette structure de «quasi-planaire». L'épaisseur de l'ailette W_{fin} doit être très fine ($W_{fin} < 2/3 L_g$) afin d'optimiser le contrôle des effets de canaux courts. Cette configuration permet d'exploiter au maximum l'architecture double grille, afin de maîtriser les effets de canaux courts et d'augmenter le courant de conduction tout en conservant un courant à l'état bloqué faible. Deux phénomènes expliquent essentiellement ces propriétés remarquables: l'inversion volumique et l'augmentation de la largeur effective du canal (hauteur ailette > pas du réseau).

Il existe deux types de procédé de fabrication du transistor FinFET:

- la formule «grille en fin de procédé» («gate last» en anglais) [47-48], dans lequel la source et le drain sont réalisés avant la formation de la grille.
- la formule «grille en début de procédé» («gate first» en anglais) [49], dans lequel la source et le drain sont réalisés après la formation de la grille.

Cette section présente chacune des deux approches.

II.2.1.5.2.1.1. Procédé «gate last»

II.2.1.5.2.1.1.1. Procédé de fabrication

La méthode la plus classique pour réaliser un transistor FinFET consiste à définir les régions de source et de drain avant l'électrode de grille. L'ensemble du procédé de fabrication défini par Huang et al. [9-50] est représenté Figure II.10 La fabrication du FinFET commence par la définition d'une ailette de silicium par lithographie électronique combinée à une gravure ionique RIE sur un substrat SOI (Figure II.10.b) en utilisant un «masque dur» (Figure II.10.a).

L'épaisseur de l'ailette de silicium définit la largeur du canal. Le matériau de source/drain déposé (SiGe polycristallin, ou polysilicium dopé) est recouvert par une couche d'isolation (LTO: Low Temperature Oxide) (Figure II.10.c).

Une lithographie électronique associée à une gravure RIE définit les zones de source et drain (Figure II.10.d). Les espaceurs de nitrure sont formés après gravure (Figure II.10.e). Une oxydation sacrificielle est effectuée sur le côté des ailettes afin d'enlever toutes les impuretés (Figure II.10.f). Une gravure humide de cet oxyde réduit l'épaisseur des ailettes de silicium. L'étape suivante consiste à former l'oxyde de grille (Figure II.10.g). Enfin, un recuit des zones d'extension de la source et du drain entraîne la diffusion des dopants (ex: Bore) (Figure II.10.h). Le procédé se termine par le dépôt du matériau de grille et la définition de l'électrode de grille par lithographie électronique (Figure II.10.i). La Figure II.10.ibus est une vue évidée des espaceurs.

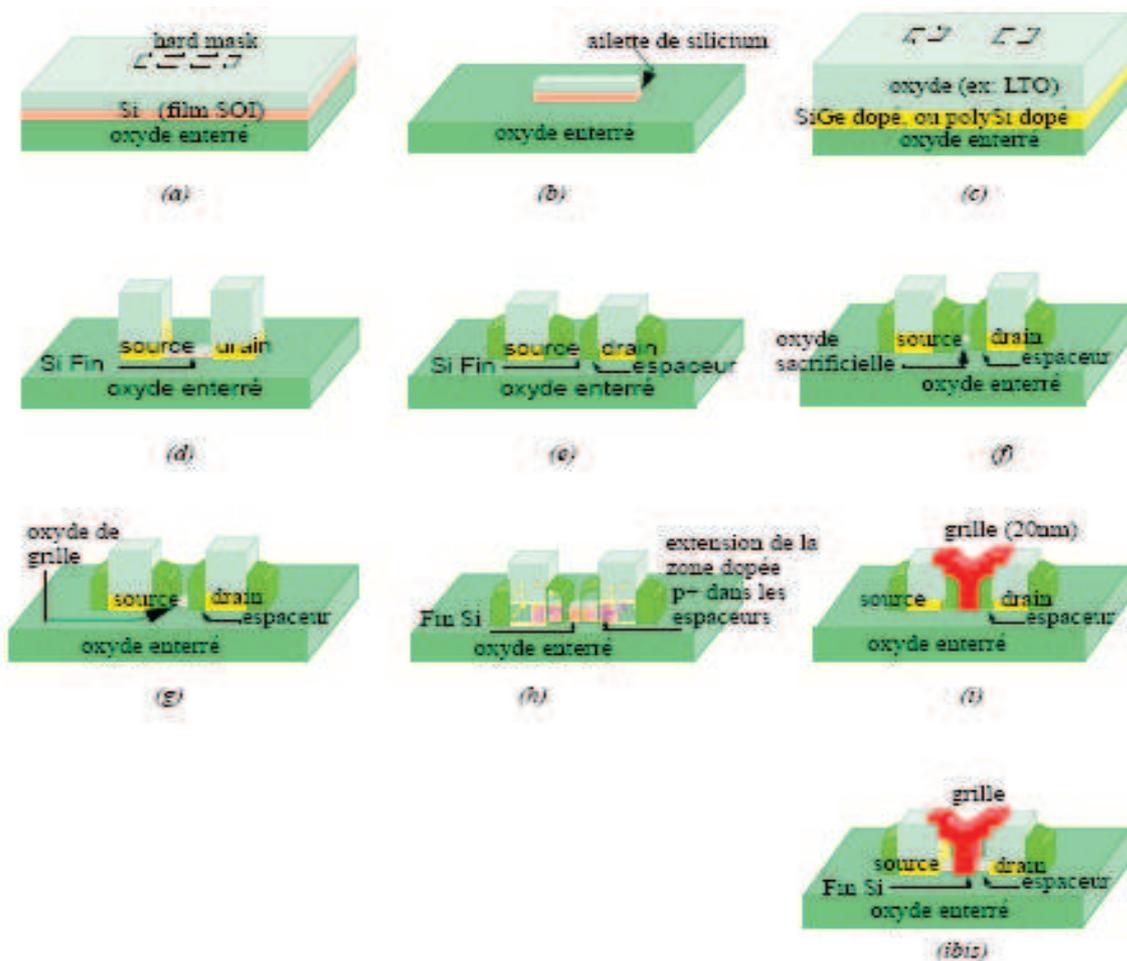


Figure II.10: Procédé de fabrication «gate last» pour la réalisation d'un transistor FinFET

[9-50].

II.2.1.5.2.1.1.2. Performances électriques-Discussion

Les transistors caractérisés par Huang et al. [9] atteignent des niveaux de courants de saturation élevés, de plus de 800 $\mu\text{A}/\mu\text{m}$ (pour un $I_{\text{off}} = 215 \text{ nA}/\mu\text{m}$), des pentes sous le seuil presque idéales ($S=69 \text{ mV/décade}$).

Néanmoins, ce procédé pose quelques problèmes non négligeables:

- L'épaisseur critique (épaisseur de l'ailette) est définie par lithographie électronique limitant ainsi les dimensions obtenues et provoquant des fluctuations des épaisseurs d'ailette.
- La lithographie conventionnelle ne permet pas de réaliser des pas de répétition faibles entre deux ailettes (pour la production).
- Ce procédé nécessite l'utilisation de gravures hyper-sélectives entre le matériau de grille et les espaceurs (diélectriques). Cela entraîne la formation de résidus («stringers» en anglais) qui provoquent des capacités parasites.
- L'intégration des zones de source/drain est très difficile pour la réalisation de transistors CMOS (n-FET et p-FET sur le même échantillon).
- Les résistances d'accès source/drain sont encore trop importantes.

Le deuxième type de procédé («gate first») permet de résoudre un certain nombre de ces problèmes.

II.2.1.5.2.2. Procédé «gate first»

II.2.1.5.2.2.1. Procédé de fabrication

Ce procédé de fabrication («gate first») est basé sur la réalisation de l'électrode de grille avant les électrodes de source/drain [51]. L'ensemble des étapes est proposée en Figure II.11.

Un dépôt LPCVD d'oxyde sur un substrat SOI, combiné à une gravure RIE anisotrope, définit des espaceurs autour de plots de SiGe préalablement formés (Figure II.11.a et Figure II.11.b).

L'épaisseur de l'oxyde correspond à l'épaisseur finale des ailettes de silicium. Une gravure RIE sélective et anisotrope libère les espaceurs sacrificiels (Figure II.11.c). Une lithographie optique est utilisée afin de définir les larges contacts source/drain (Figure II.11.d et Figure II.11.e). Une gravure RIE sélective définit la zone active de silicium. L'oxyde de grille et le matériau de grille sont déposés (Figure II.11.f). Un espaceur sacrificiel est formé sur les faces latérales de la grille («sidewall spacers» en anglais). L'implantation tiltée de la source et du drain clôture la réalisation du transistor FinFET.

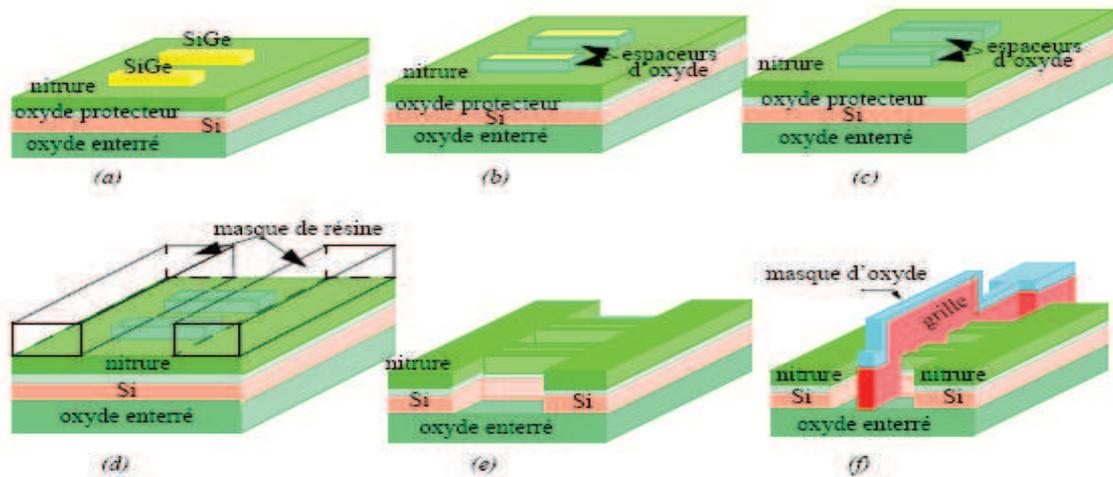


Figure II.11: Procédé de fabrication «gate first» pour la réalisation d'un transistor FinFET [51].

II.2.1.5.2.2. Performances électriques-Discussion

Choi et al. [49] ont obtenu de très bonnes performances, avec des courants à l'état bloqué inférieurs à 1 nA/μm et des courants de conduction relativement élevés (plus de 600 μA/μm pour les n-MOS). Choi et al. [51] montrent également que l'utilisation de «couches sacrificielles» permet de dépasser certaines limites propres à la lithographie conventionnelle:

- La densité du dispositif est doublée par rapport à une lithographie conventionnelle (Figure II.12).

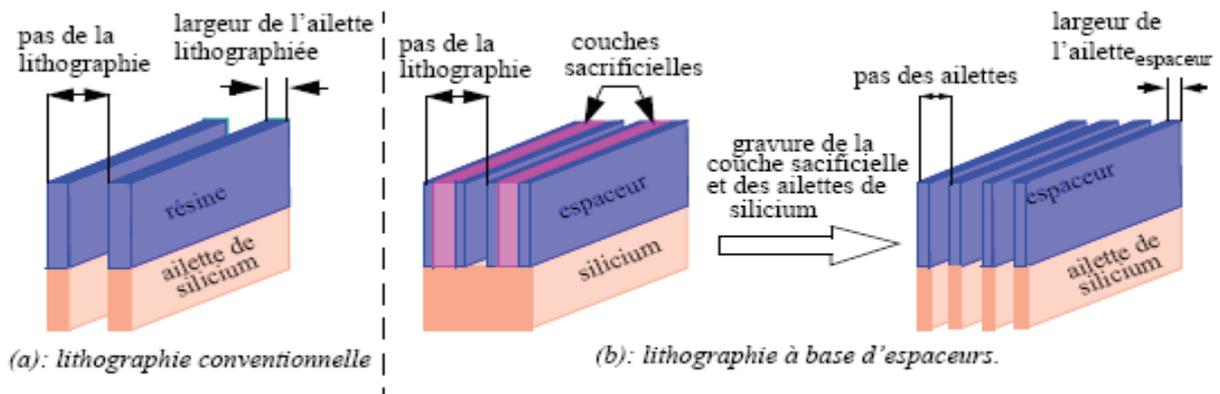


Figure II.12: Variation de la densité des ailettes obtenues pour les deux types de lithographie [9].

- La variation des dimensions critiques est plus faible permettant d'obtenir une meilleure homogénéité (Figure II.13).

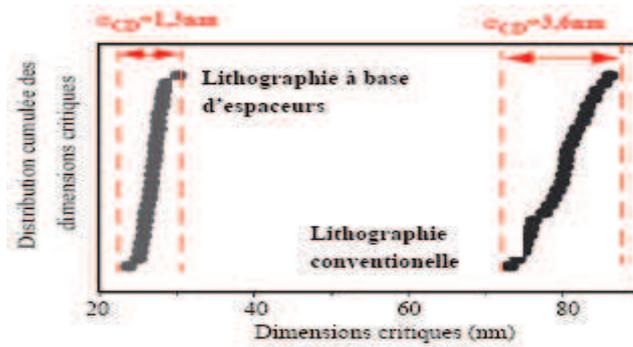


Figure II.13: Variation des dimensions critiques pour les deux types de lithographie [9].

Néanmoins, ce procédé de fabrication du FinFET présente des contraintes de gravure critique des espaceurs (comme pour le procédé «gate last»), mais également de la grille qui le rend difficile à intégrer. La topologie de l'échantillon engendre la formation de résidus de gravure («spacer stringers» et «gate stringers» en anglais) (Figure II.14) [52]. Pour éviter ces problèmes, une sur-gravure doit être réalisée engendrant des contraintes supplémentaires sur la sélectivité entre le matériau de grille et l'oxyde de grille [53].

Collaert *et al.* [54] sont les premiers à avoir fabriquer un oscillateur en anneau (41 inverseurs à la suite) en utilisant la technologie FinFET, avec une longueur de grille de 25 nm. L'immunité vis-à-vis des effets canaux courts est très bonne. Néanmoins, de tels dispositifs présentent encore des couplages capacitif élevés (délai réponse de 60 ps à $V_{DD}=1,5V$) provoqués par les résidus de gravure du matériau de grille (Poly-Si) (Figure II.15).

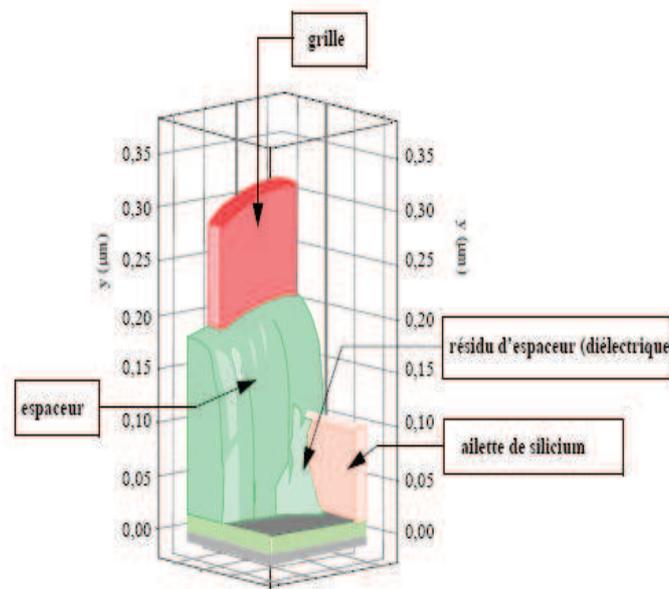


Figure II.14: Vue 3D d'un quart de structure de transistor FinFET après gravure des espaceurs, présence de résidus de gravure (stringers) [52].

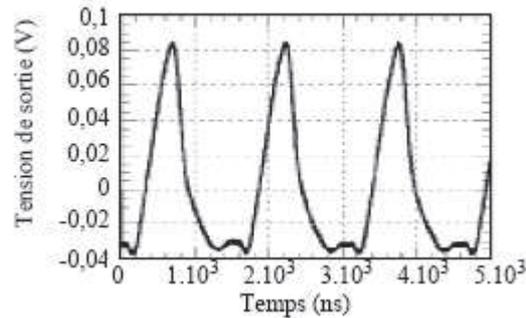


Figure II.15: Caractéristique de sortie d'un ring oscillateur comprenant 41 inverseurs, $L_g=25$ nm [54].

II.2.2. Les architectures Triple Grille

Il existe une multitude d'architectures dérivées du transistor FinFET initial [47]. Cette partie présente les versions les plus répandues: le transistor triple-grille, et les transistors Pi Gate et Omega Gate dont le nom est relatif à leur forme (Figure II.16).

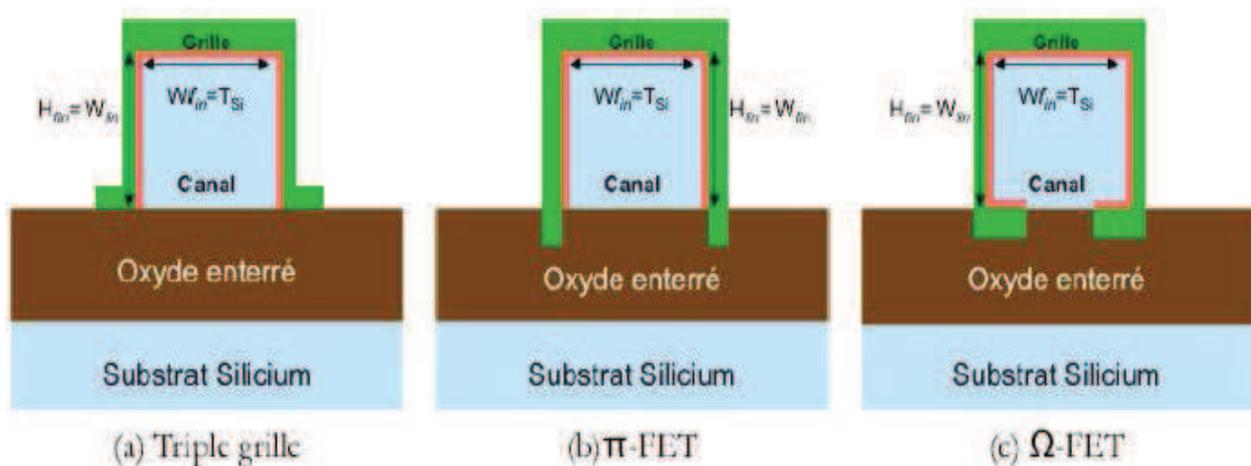


Figure II.16: schéma d'une vue en coupe dans le sens de la largeur de transistors :

a) triple grille, b) π -FET et c) Ω -FET. [27]

II.2.2.1. Triple-Grille classique

Le transistor triple-grille classique [55-56] est composé d'un canal fin de silicium entouré par une grille sur trois de ses cotés (Figure II.16-a).

Cette architecture permet d'obtenir des courants de conduction supérieurs à ceux obtenus dans les FinFET [57]. Néanmoins, cette architecture engendre de nouvelles contraintes technologiques lors de la réalisation de la grille supérieure.

Il existe également des problèmes liés aux effets de coin [57-58] qui nuisent considérablement aux performances des transistors (baisse de la tension de seuil, augmentation du courant à l'état bloqué).

D'autres architectures triple-grille [3-12] ont été imaginées afin d'augmenter le contrôle de la grille sur le canal. Elles sont détaillées dans le prochain paragraphe.

II.2.2.2. Pi-gate - Omega-Gate

En 2001, Park, Colinge *et al.* [12] ont proposé une version améliorée du transistor MOSFET triple-grille: le Pi-Gate et l'OMEGA-Gate (la grille ressemble aux lettres grecques « Π » (Figure II.17.a), et « Ω » (Figure II.17.b)). Dans cette architecture innovante, la grille s'étend jusque dans l'oxyde enterré des deux cotés. Park *et al.* [3] ont montré que cette extension permettait de protéger le canal des lignes de champ du drain. Elle joue un rôle quasi équivalent à une quatrième grille.

Selon le rapport d'aspect, la transconductance et le courant de conduction d'un transistor double, triple et quadruple grille sont respectivement voisins de deux, trois ou quatre fois supérieurs à ceux d'un transistor-simple grille. Park et Colinge ont également montré par des simulations que le Pi-gate permettait d'augmenter la transconductance et le courant d'un facteur 3,56 par rapport à un transistor simple-grille [3]. Il est également démontré qu'une extension de la grille, relativement faible, dans l'oxyde enterré est suffisante afin de servir de bouclier: 10 nm pour une largeur de canal de 30 nm [3].

Un autre avantage non négligeable de cette structure réside dans sa relative facilité de réalisation par rapport à un transistor «Gate all Around». Il suffit d'effectuer une sur-gravure de l'oxyde enterré lors de la formation des ailettes de silicium.

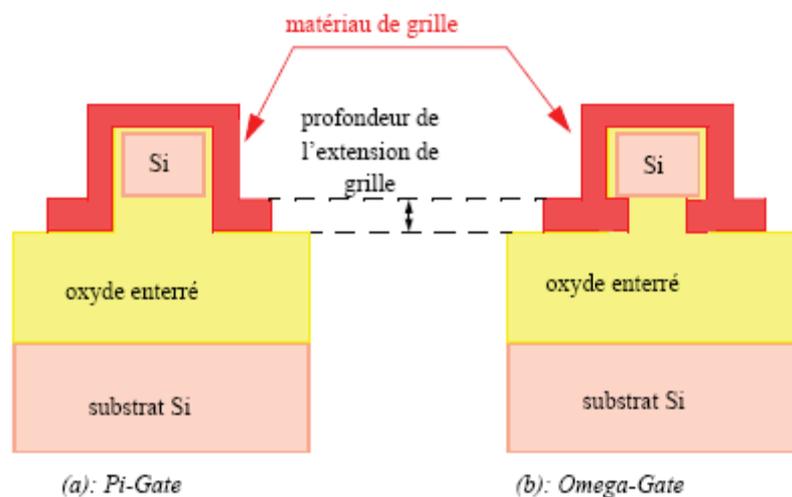


Figure II.17: Vue en coupe des transistors Pi-Gate et Omega-Gate [59].

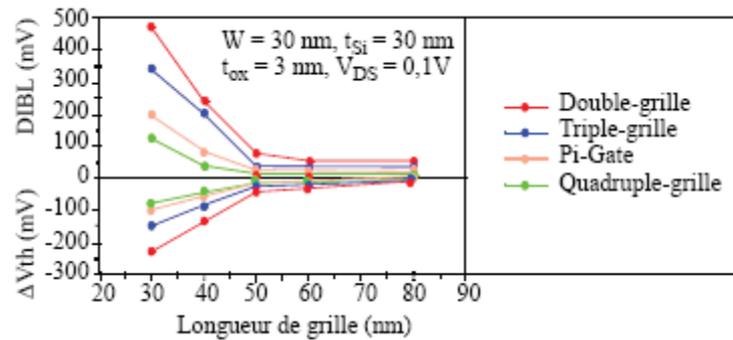


Figure II.18: Simulations du DIBL et de la variation de la tension de seuil (ΔV_{th}) dans des transistors MOSFET sur SOI totalement déplété pour différentes structures de grille et différentes longueur de grille $W = t_{Si} = 30\text{nm}$, $N_A = 8 \cdot 10^{17}$ atomes/cm³, extension de grille du Pi-Gate de 60 nm, $V_{DS} = 0,1\text{V}$ [3].

II.2.3. Procédé innovant de fabrication d'un transistor FinFET, FinFET Triple-Gate, Pi-Gate et Omega-Gate

II.2.3.1. Introduction

La section précédente a montré la supériorité des architectures multi-grille à conduction latérale de type FinFET, Pi-Gate, ou Omega-Gate par rapport aux dispositifs à conduction planaire ou verticale. Ces dispositifs multiplient les canaux de conduction afin d'augmenter les performances en courant et de s'affranchir des effets de canaux courts en améliorant le contrôle électrostatique du canal par les deux grilles. De plus, ils possèdent l'avantage d'être facilement intégrables avec les dispositifs sur substrat massif conventionnel. Ils sont également plus avantageux en terme de surface de silicium consommée tant que le pas de répétition des ailettes reste inférieur à la hauteur de celles-ci [60]. Enfin, ce type d'architecture possède deux grilles auto-alignées limitant considérablement les problèmes liés aux capacités parasites.

Les transistors FinFET ont déjà été étudiés donnant lieu à des résultats intéressants en terme de dimension critique: une longueur de grille de 10 nm [61] et une ailette de 15 nm de largeur [62]. Cependant les dispositifs présentés ne sont constitués que d'une seule ailette de silicium correspondant à la zone active. De plus pour les dimensions de transistors visées, l'uniformité et l'épaisseur de silicium (t_{Si}) deviennent critiques. Enfin, les procédés existants engendrent une sur-gravure de la grille et des espaceurs, néfastes au bon fonctionnement du transistor. Il devient nécessaire de trouver une solution afin de parfaitement maîtriser la grande densité

d'intégration, le contrôle de l'épaisseur de l'ailette, ainsi que l'élimination des résidus de gravure. Cette section présente tout d'abord les différentes étapes d'un procédé de fabrication innovant qui a été développé dans ce travail et a fait l'objet d'un brevet [63], pour la réalisation d'un transistor de type FinFET.

II.2.3.2 . Nettoyage du substrat SOI

Le point de départ de notre procédé est un substrat SOI complètement déplété (une couche de silicium de 50 nm et oxyde enterré de 150 nm). Un premier nettoyage dans l'acétone suivi d'un rinçage dans l'isopropanol permet d'éliminer les résidus organiques. Le second nettoyage est effectué pendant 20 minutes dans une solution d'acide sulfurique et d'eau oxygéné, appelé piranha. Ce mélange dissout tous les composants organiques restant. La dernière étape consiste à enlever la couche d'oxyde natif formée sur le substrat au contact de l'air, qui peut s'avérer très néfaste pour la suite du procédé. Pour cela, le substrat est plongé dans de l'acide fluorhydrique 1% (HF1%) pendant quelques secondes, puis rincé dans de l'eau désionisée (EDI).

II.2.3.3. Définition des ailettes de silicium

II.2.3.3.1. Lithographie électronique

L'étape suivante consiste à définir par lithographie électronique des réseaux denses de résine les plus fines possible (Figure II.19). La résine utilisée est une résine négative: l'Hydrogène Silses Quioxane (ou HSQ) Fox-12 [64-65]. La HSQ va alors servir de masque lors la définition des ailettes de silicium par gravure RIE.

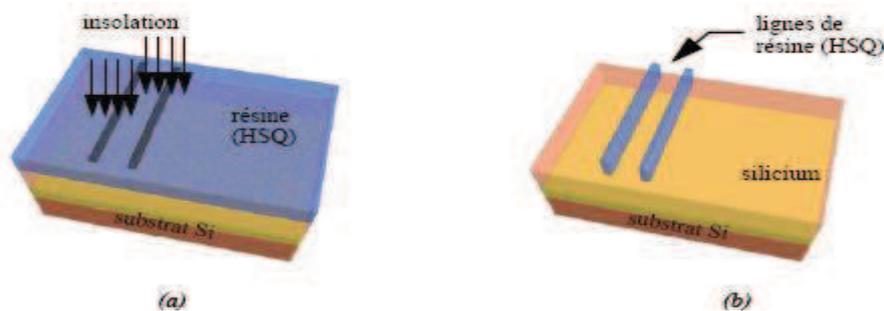


Figure II.19: (a) HSQ avant insolation (b) Lignes de HSQ après insolation et développement [59].

II.2.3.3.2. Transfert des motifs par gravure plasma RIE

Les motifs de HSQ définis précédemment sont transférés par gravure plasma RIE anisotropique (Figure II.20.a) en utilisant un bâti Oxford plasmalab 80. Puis, les résidus de

HSQ sont éliminés par gravure humide au HF 1% pendant quelques secondes (Figure II.20.b). La plaque est ensuite nettoyée en suivant le mode opératoire défini précédemment (paragraphe II.2.3.2). Seule la gravure humide au HF 1% n'est pas ré-effectuée afin de ne pas attaquer l'oxyde enterré.

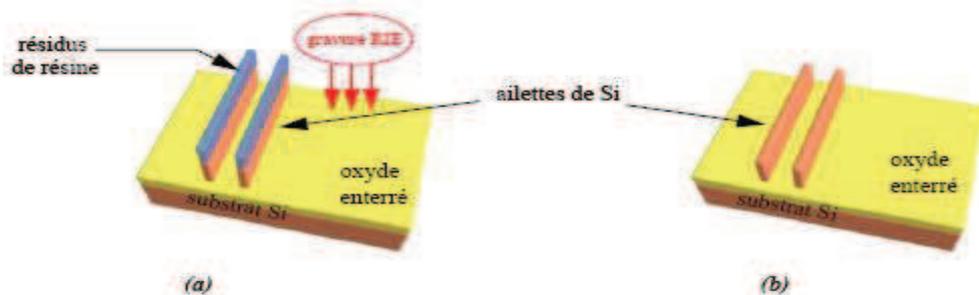


Figure II.20: (a) Formation des ailettes de silicium par gravure RIE (b) Gravure humide des résidus de HSQ dans le HF 1% [59].

II.2.3.3.3. Définition de la matrice isolante de HSQ

Le réseau d'ailettes de silicium est ensuite noyé dans une matrice isolante de HSQ déposée par tournette (Figure II.21). Cette matrice va subir un traitement de densification par plasma oxygéné ou par recuit dans un four tubulaire sous ambiance azotée et à forte température [66]. Cette étape est nécessaire afin d'augmenter la résistance de la HSQ vis à vis de l'attaque humide au HF 1%.

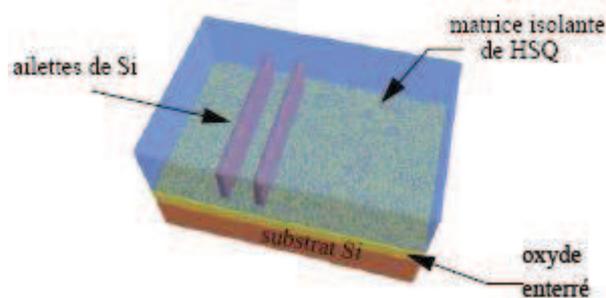


Figure II.21: Vue en 3D de la matrice isolante de HSQ déposé par tournette [59].

II.2.3.4. Ouverture Damascène

L'originalité de la structure proposée réside dans l'utilisation d'un procédé de type Damascène [67-68] pour la définition des grilles. Il consiste à creuser une cavité afin de la remplir par le matériau de grille. La planarisation est ensuite effectuée par CMP (Chemical Mechanical Planarization). Il permet de s'affranchir des problèmes de résidus issus de la

gravure du matériau de grille. Nous détaillons ces différentes étapes dans le paragraphe ci-dessous.

Un masque dur de nitrure est préalablement déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition) sur la matrice isolante de HSQ (Figure II.22.a). Une couche de résine positive de PMMA (Poly-méthyl-méthacrylate) déposée par tournette est ensuite superposée. Une lithographie électronique définit une ouverture dans la résine située au dessus des ailettes de silicium (Figure II.22.c). Le développement de cette résine forme une cavité. Le masque dur de nitrure est ensuite gravé par plasma RIE (Figure II.22.c). Une chimie de gravure RIE différente, fortement anisotropique et sélective entre la HSQ et le silicium, est utilisée pour définir la cavité jusqu'à l'oxyde enterré (Figure II.22.d).

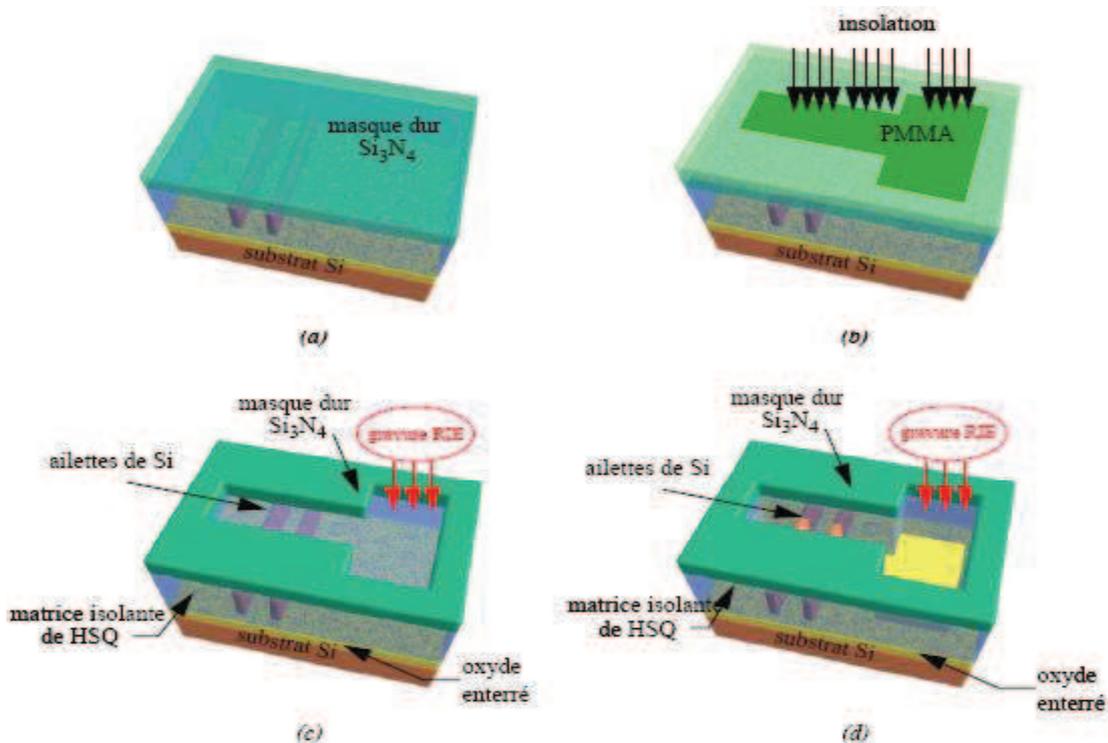


Figure II.22: (a) Dépôt du masque dur par PECVD (b) Insolation et développement de la résine positive (PMMA) (c) Gravure RIE du masque dur de nitrure (d) Gravure RIE de la matrice isolante jusqu'à l'oxyde enterré [59].

II.2.3.5. Formation de l'oxyde de grille

Avant d'effectuer le dépôt de l'oxyde de grille, il est indispensable de réaliser un nettoyage des ailettes de silicium. En effet, la gravure RIE de la matrice de HSQ est susceptible d'endommager les flancs des ailettes. Cette rugosité peut engendrer de graves conséquences sur les performances électriques. Une oxydation thermique sacrificielle est donc réalisée sur

les ailettes de silicium. Une attaque au HF 1% de quelques secondes permet d'éliminer intégralement cette oxyde. La matrice HSQ est plus résistante vis à vis de cette attaque car elle a subi une densification. Une fois ce nettoyage effectué, une très fine épaisseur d'oxyde de grille est formée par croissance thermique.

II.2.3.6. Dépôt du matériau de grille

II.2.3.3.6.1. Choix du matériau de grille

Le choix du matériau de grille est prépondérant. La technologie CMOS conventionnelle utilise essentiellement des grilles duales en polysilicium: n+ pour les transistors n-MOS et p+ pour les transistors p-MOS, à canaux non dopés. Ce procédé engendre un phénomène appelé communément poly-déplétion de la grille. Il se caractérise par la formation d'une région de déplétion à l'interface du matériau de grille et du diélectrique de grille. Cette zone de déplétion crée dans la grille de polysilicium une zone de charges d'espace qui diminue fortement la capacité totale de la grille en rajoutant à son expression, une capacité en série (C_p) (Eq. II.2):

$$\frac{1}{C_{\text{totale}}} = \frac{1}{C_{\text{ox}}} + \frac{1}{C_{\text{Si}}} + \frac{1}{C_p} \quad (\text{II.2})$$

Avec C_{totale} la capacité totale de la grille, C_{ox} la capacité de l'oxyde de grille, C_{Si} la contribution de la zone de charges d'espace dans le substrat, et C_p la charge de déplétion du polysilicium.

Cette diminution de la capacité totale de la grille entraîne une baisse notable des performances en terme de transconductance et de courant de conduction [69-70]. Une première solution consiste à augmenter le dopage du polysilicium. Néanmoins, cette étape permet de réduire ce phénomène parasite mais pas de l'éliminer définitivement. De plus, un dopage trop élevé peut engendrer une pénétration des dopants (ex: bore) à travers l'oxyde de grille [71].

Une des solutions intéressantes consiste à utiliser une grille métallique de type mid-gap (tungstène, Nitrure de titane...) afin de «calibrer» la tension de seuil [72]. Ces matériaux possèdent un niveau de Fermi qui coïncide avec la position du milieu de la bande interdite du silicium.

Ces dispositifs (à grille-métallique) ne sont pas soumis au phénomène de déplétion de la grille. Il est cependant nécessaire d'utiliser un canal enterré afin de pouvoir parfaitement ajuster la valeur de la tension de seuil. D'autres solutions telles que l'utilisation de grilles asymétriques [73-74] ont également été proposées pour ajuster la tension de seuil V_T .

II.2.3.6.2. Pulvérisation et planarisation du matériau de grille

L'évaporation d'une couche de tungstène de près de 100 nm nécessite un temps trop important. C'est pour cette raison que, le matériau de grille est déposé par pulvérisation cathodique (Figure II.23.a). La structure est ensuite planarisée par un procédé CMP (planarisation mécanico-chimique), en utilisant le masque dur de nitrure comme couche d'arrêt (Figure II.23.b).

L'utilisation de cette technique permet de s'affranchir de l'étape critique de gravure du matériau de grille. Elle évite ainsi la formation de résidus de métal. L'ensemble de ces étapes a nécessité un travail important d'optimisation des procédés utilisés.

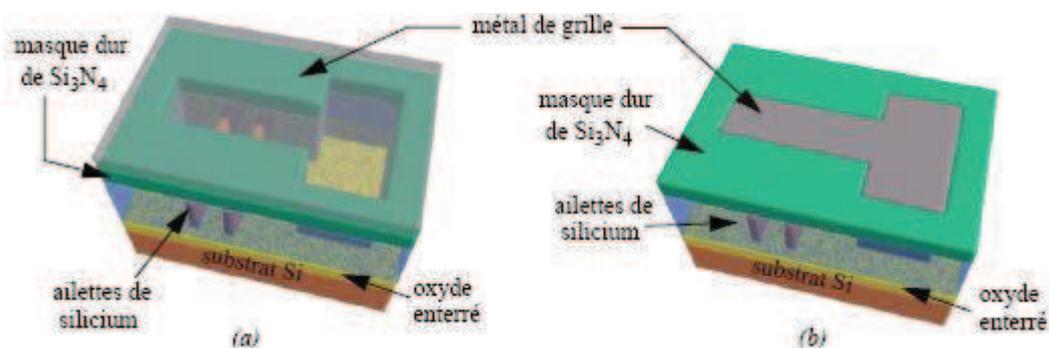


Figure II.23: Vues en 3D (a) du dépôt du matériau de grille (tungstène) par pulvérisation cathodique (b) de la planarisation de la structure par CMP, en utilisant le nitrure comme couche d'arrêt [59].

II.2.3.7. Formation des espaceurs

L'étape suivante consiste à réaliser des espaceurs de quelques nanomètres. Le matériau choisi doit être un isolant afin d'isoler électriquement la source et le drain de la grille. Le choix du nitrure par rapport à l'oxyde de silicium se justifie par la nécessité d'obtenir une très bonne sélectivité par rapport à la couche d'arrêt de HSQ.

Le masque dur de nitrure est tout d'abord enlevé par gravure humide (Figure II.24.a). Un dépôt conforme de nitrure est réalisé par PECVD (Dépôt en phase vapeur assistée par plasma) (Figure II.24.b). Un recuit de densification à 700°C améliore nettement la résistance de la couche de nitrure vis à vis des attaques chimiques et physiques. Enfin, Une gravure RIE anisotropique de type SF₆/Ar permet de définir les espaceurs (Figure II.24.b).

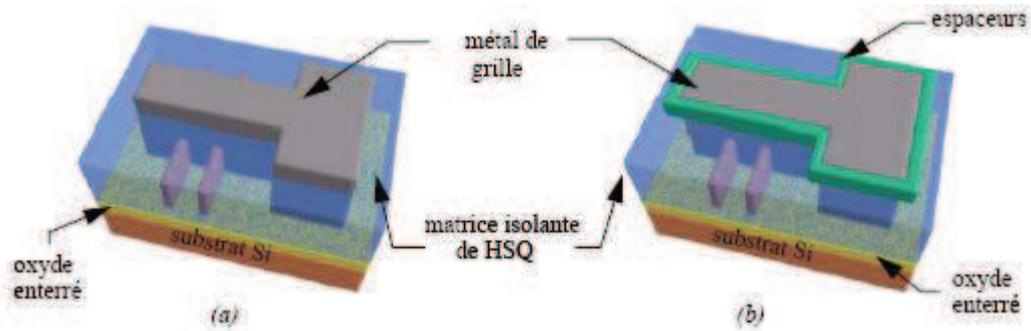


Figure II.24: Vues en 3D (a) de la suppression du masque dur de nitrure (b) de la formation des espaceurs par dépôt PECVD [59].

II.2.3.8. Définition de la source et du drain

Avant de définir la source et le drain, il est nécessaire de graver la matrice isolante. Cette gravure RIE doit être fortement anisotrope et sélective vis à vis du silicium, du métal de grille et des espaceurs en nitrure (Figure II.25.a). L'étape suivante consiste à définir les zones de source/drain (Figure II.25.b).

Les dispositifs conventionnels utilisent principalement des contacts ohmiques sur des zones de source-drain fortement dopées. Or, pour les nœuds technologiques sub-50 nm [18], les challenges liés à l'architecture source/drain deviennent très importants. Notons par exemple, la nécessité d'utiliser, pour le contact des source/drain, des matériaux possédant à la fois une résistance par carreau et une résistivité spécifique de contact faibles [18]. De plus, les spécifications de l'ITRS [18] en terme de technologie des contacts sont de plus en plus drastiques. Par exemple, le nœud technologique 45 nm (2010) requiert une profondeur de jonction de 20 nm, et une abrupté de la jonction source ou drain de 2 nm/décade.

Ainsi, afin de lever ces verrous technologiques, notre procédé propose de remplacer cette approche conventionnelle par la réalisation de contact source/drain de type Schottky à très faible hauteur de barrière. Cette technologie a notamment été validée par Larrieu [75] pour un transistor MOS simple grille planaire, de type p, faiblement dopé. Nous proposons d'adapter ces travaux au cas d'une architecture de type FinFET. Le principe est expliqué ci-dessous.

Un métal est tout d'abord déposé par pulvérisation cathodique ou par évaporation tiltée sur les extensions du dispositif. Un recuit RTA (Rapid Thermal Annealing) permet ensuite d'activer thermiquement la réaction de siliciuration entre le métal et le silicium. Enfin, une gravure humide permet d'éliminer le métal qui n'a pas réagi avec le silicium pendant l'étape de siliciuration (Figure II.25.b).

Considérons un contact Schottky pour un transistor n-MOS. Il apparaît que les électrons voient une barrière de potentiel V_b qui dépend non seulement de la nature du métal utilisé mais également du dopage des extensions. L'accès au canal de conduction peut s'effectuer par émission thermo-électronique au dessus de la barrière de potentiel ou par émission tunnel à travers la barrière. L'utilisation d'un fort dopage (10^{20} at/cm³) des zones d'extension entraîne une diminution de la largeur de barrière, favorisant la conduction par effet tunnel. Néanmoins, comme mentionné précédemment le parfait contrôle des profils de jonction devient extrêmement critique pour les dimensions décanométriques [18]. Une autre solution consiste donc à moduler la hauteur de barrière en utilisant le métal approprié (platine ou iridium pour un transistor de type p, erbium pour un transistor de type n). Ce procédé possède ainsi l'avantage de ne pas utiliser de zones fortement dopées tout en diminuant nettement les résistances source/ drain d'accès au canal.

On peut également noter les performances électriques intéressantes, des transistors Fin FET réalisés par Tsui *et al.* [76], qui ont combiné un procédé de siliciuration et un dopage des extensions de source/drain: pour une longueur de grille de 25 nm, le DIBL est de 64,5 mV, et le courant de saturation dépasse les 750 $\mu\text{A}/\mu\text{m}$.

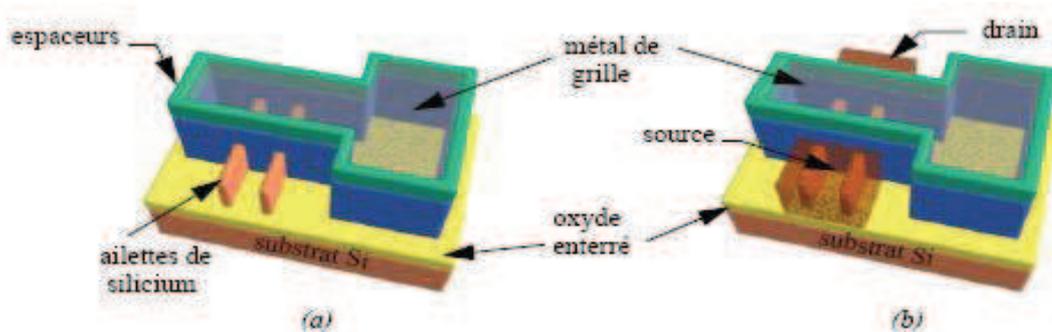


Figure II.25: Vues en 3D (a) de la suppression de la matrice isolante de HSQ par gravure RIE (b) de la formation des plots de contacts de la source et du drain [59].

II.2.3.9. Alternatives-Perspectives

II.2.3.9.1. Réalisation d'un transistor MOS triple-grille

Ce procédé a été optimisé dans le but de réaliser un transistor MOS de type FinFET. Néanmoins, en ajustant quelques étapes, il permet également de réaliser des transistors MOS triple-grille voire, des transistors de type Pi-Gate ou Omega-Gate.

Après avoir défini les ailettes de silicium, une sur-gravure humide au HF 1% permet de sur-graver l'oxyde enterré (Figure II.26.a). Le reste du procédé de fabrication est inchangé. Le matériau de grille va s'étendre jusque dans l'oxyde enterré des deux cotés. Ces extensions permettent de protéger le canal des lignes de champ du drain, jouant un rôle quasi équivalent à une quatrième grille (Figure II.26.b).

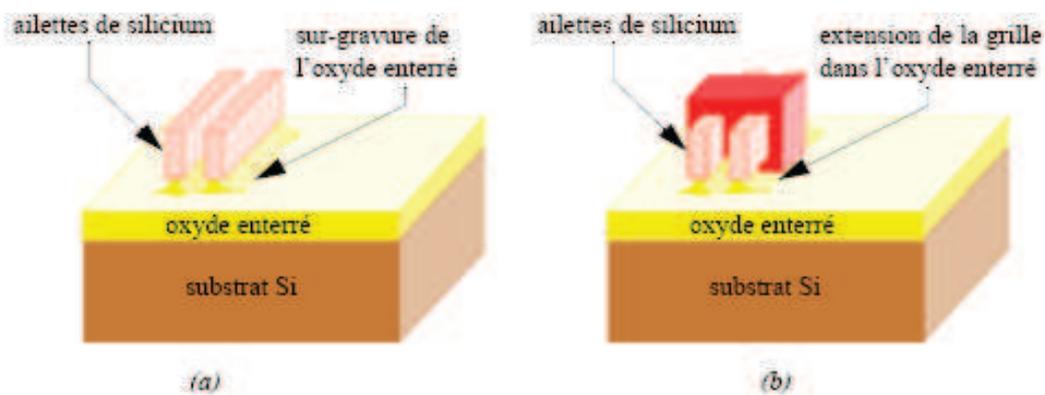


Figure II.26: (a) Sur-gravure de l'oxyde enterré par le HF 1% (b) Extension de la grille permettant de protéger le dispositif contre les lignes de champ du drain [59].

II.2.3.9.2. Dopage de la source et du drain

Ce procédé n'exclut pas la possibilité d'effectuer un dopage des zones de source et drain combiné à un lift-off. Il existe plusieurs possibilités:

- dopage par implantation tiltée.
- dopage en phase gazeuse.
- dopage par un oxyde dopé (PSG, BPSG).
- dopage avec une résine dopée.

II.2.3.9.3. Grille asymétrique

En modifiant légèrement le procédé de fabrication, il est possible de déposer deux matériaux de grille différents permettant d'ajuster la tension de seuil à la valeur souhaitée.

II.2.4. L'architecture MOSFET à grille enrobée

Le transistor MOSFET à grille enrobée SGT "surrounding gate transistor" [77] (i.e, gate all-around, GAA) [78] est une architecture MOSFET avancée où le canal en silicium est complètement entouré par la grille. Comme le montre la Figure II.27, trois différentes formes de section sont représentées [79].

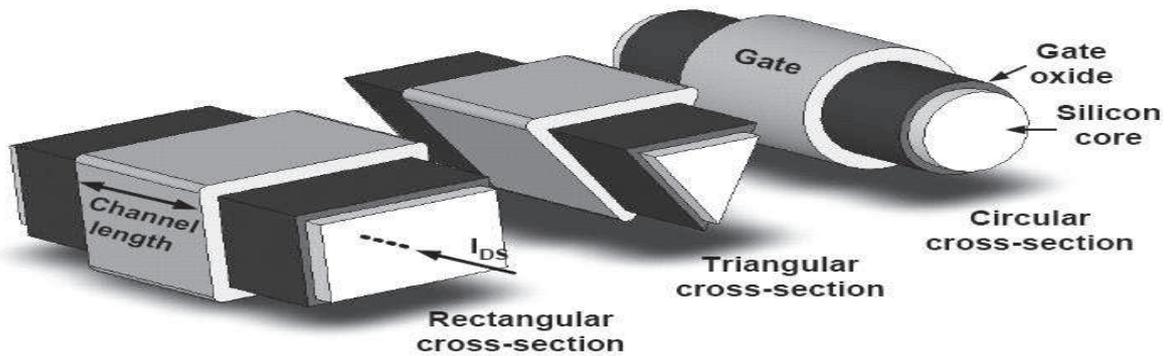


Figure II.27: Trois architectures du transistor GAA MOSFET avec des sections différentes [79].

Les transistors GAA sont des excellents dispositifs, en termes de SCE, DIBL, pente sous le seuil et le rapport I_{on}/I_{off} . L'inconvénient principal du dispositif GAA est généralement pour le moment consiste aux procédés de fabrication qui sont très difficile. Cette fabrication est souvent basée sur la réalisation de nanofils de silicium. La section du canal est également cruciale pour le fonctionnement du dispositif. Les coins dans le canal (en forme rectangulaire ou triangulaire) contribuent dans les effets de coin, et sont considérés comme des parasites (tension de seuil double) ou parfois des effets bénéfiques (tension de seuil basse, inversion volumique local). Les transistors GAA à nanofils de silicium sont également des structures très convenables dans les dispositifs à un seul électron (SET) [79].

De 1990 à 2000, les auteurs ont surtout été intéressés à la modélisation des propriétés électroniques utilisant la mécanique quantique, et de nombreuses publications sont encore déconnectées de tous les demandes de dispositif [80]. Le calcul de la bande interdite de silicium dans un fil quantique de silicium a été proposé la première fois en 1993 par M.-Y. Shen [81].

Le premier transistor GAA sur SOI a été présenté en 1990 par J.-P. Colinge [82]. Malgré ces grandes dimensions ($W/L=3\mu\text{m}/3\mu\text{m}$) et une épaisseur de 50 nm d'oxyde de grille, ces dispositifs pionniers présentent des caractéristiques correct. La fabrication du dispositif est très simple. Un fil SOI mince est défini par lithographie et gravure, cette étape est suivie par la formation du fil de l'oxyde enterré. La grille utilisée est du LPCVD polysilicium.

Un autre remarquable GAA transistor MOS a ensuite été proposé en 1997 par E. Leobandung et al. [83]. C'est l'un des premiers rapports qui comprend une description complète des performances GAA. Les dimensions du nanofil sont en accord avec les prédictions de l'ITRS en 1997. Le fil a une section transversale rectangulaire (hauteur x largeur 50 nm 35-75nm), la

longueur de fil minimum est 70nm et l'épaisseur de l'oxyde de grille est 11nm. Le polysilicium est aussi utilisé comme matériau d'oxyde de grille. Les caractéristiques extraites sont bonnes, avec une pente sous seuil 90mV/dec. Une conception multi canal est également proposée.

Depuis lors, de nombreux designs optimisés ont été rapportés. Nous pouvons nous référer à J. Y.

Song et al. [84] et S. D. Suk et al. [85] qui ont effectués deux excellents rapports sur la technologie GAA CMOS. L'article [84] fait une comparaison entre les deux géométries double grille et GAA, et montre comment GAA augmente les performances. En second lieu, ce rapport fait également une comparaison entre une forme rectangulaire et un canal de section circulaire, montrant que un canal en silicium cylindrique a un courant I_{OFF} beaucoup plus réduit et les effets SCE et DIBL plus faible, en raison de l'absence des effets de coin. Les résultats publiés par [85] ont également un grand intérêt et présente un processus pour l'intégration des MOSFET à double nanofils de silicium (twin silicon nanowire MOSFET). Ils ont obtenu des dispositifs GAA circulaire de 5-10nm de diamètre avec une longueur de grille de 30nm, avec un courant I_{on} remarquablement élevé pour les transistors type n de 2.64mA/ μ m.

II.2.4.1. Les différentes catégories de la technologie GAA MOSFET

Les transistors à grille enrobée GAA MOSFET peuvent être classés suivant des critères géométriques (la forme du canal) ou des critères électriques (la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal) ou aussi le nombre des canaux qu'ils possèdent. Ainsi, pourrions-nous distinguer :

II.2.4.1.1. Le transistor GAA MOSFET rectangulaire

L'architecture du transistor GAA MOSFET rectangulaire est basée sur celle du SOI à triple grilles (tri-gate) on ajoutant une grille d'où il tire le nom de quadruple-grille (quadruple gate [86]). La coupe du canal d'un tel transistor est sous forme d'un rectangle [87-88]. On note ici qu'il dérive de cette architecture deux autres nominations, GAA MOSFET à canal cubique [89] et GAA MOSFET carré [90].

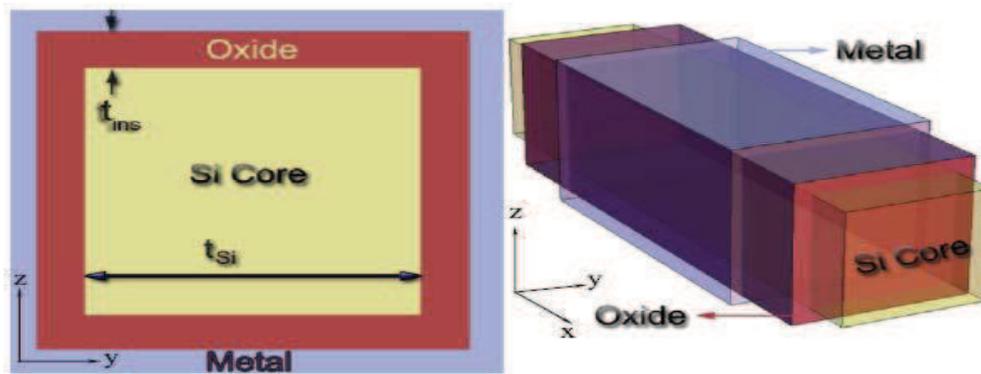


Figure II.28: Coupe et vue en 3D du transistor GAA MOSFET carré [90].

II.2.4.1.2. Le transistor GAA MOSFET triangulaire

Le transistor GAA MOSFET triangulaire [87] [91-92] tire son nom de la section de son canal qui est sous la forme d'un triangle. La vue de section avec dimensions de cette architecture est présentée par les Figures II.29 (a) et II.29 (b). Les étapes de réalisation d'une telle architecture sont présentées par la Figure II.31.

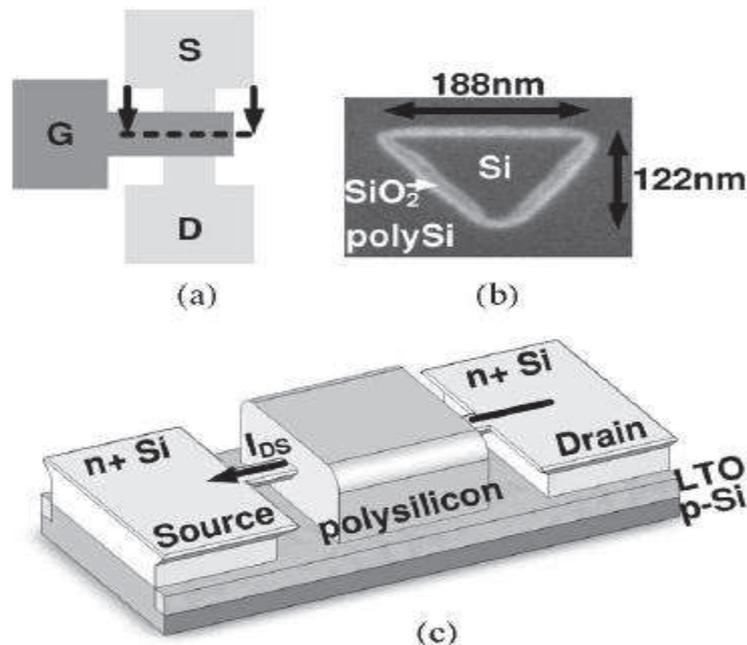


Figure II.29: (a) vue de dessus du layout d'un GAA MOSFET. (b) vue de coupe avec SEM du GAA MOSFET triangulaire avec dimensions (c) schéma 3D du GAA MOSFET [92].

II.2.4.1.3. Le transistor GAA MOSFET pentagonal

Le transistor GAA MOSFET pentagonal porte un canal ou sa section possède une forme d'un pentagonal [92] comme illustré en Figure II.30 b. Les étapes de réalisation d'un tel dispositif sont présentées par la Figure II.31.

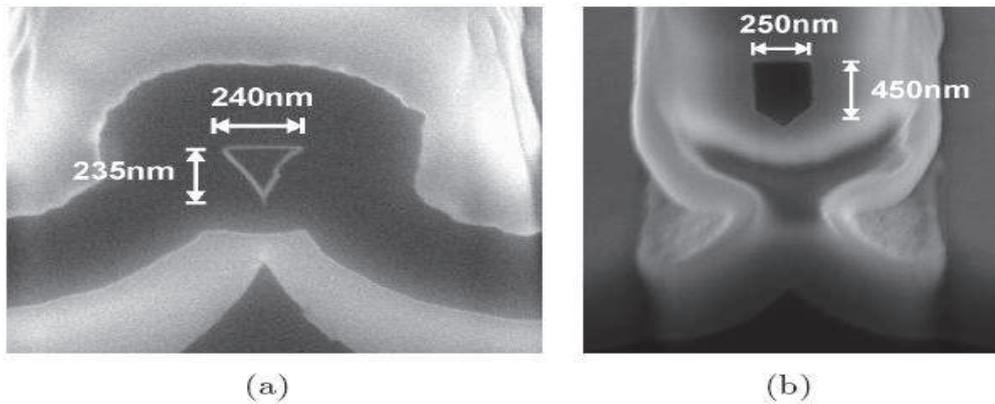


Figure II.30 : Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire, et (b) GAA MOSFET pentagonal [93].

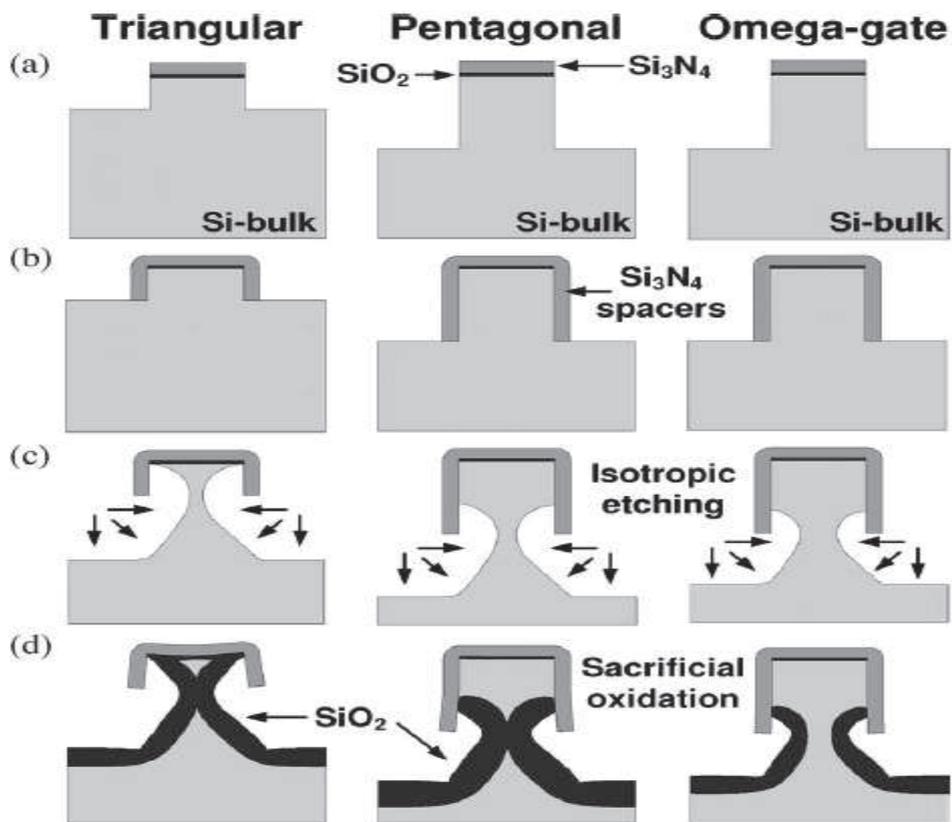


Figure II.31 : Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonal et Ω -gate [92].

II.2.4.1.4. Le transistor GAA MOSFET cylindrique

Le nom du transistor GAA MOSFET cylindrique découle de la forme de son canal qui est sous la forme d'un cylindre [94-95] et il porte aussi le nom de transistor à canal circulaire. La Figure II.32 a illustre cette architecture.

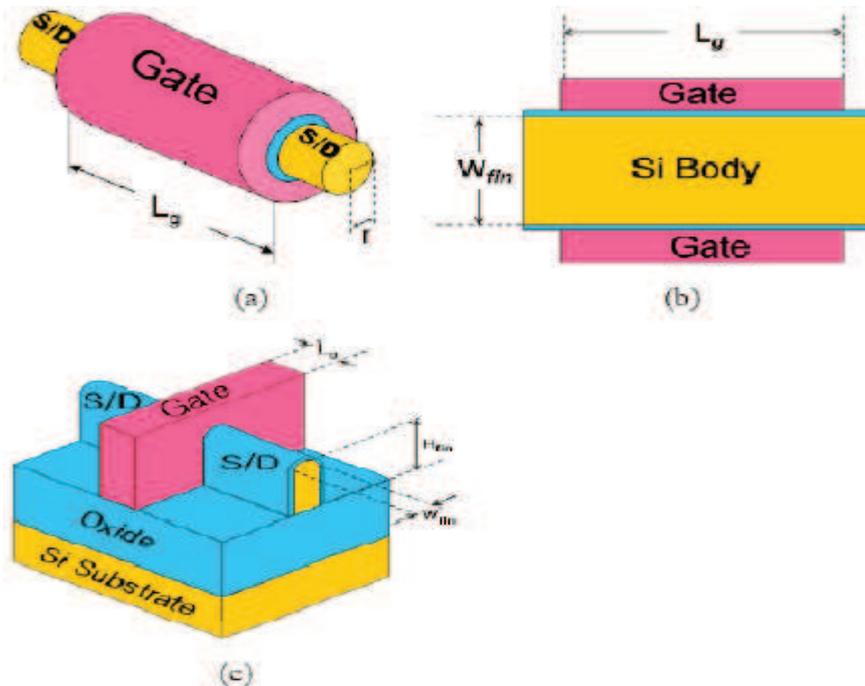


Figure II.32 : (a) vue schématique en 3D du transistor GAA MOSFET (b) vue de section du DG MOSFET (c) vue schématique en 3D du transistor (SOI) FinFET [96].

II.2.4.1.5. Le transistor GAA MOSFET à un canal

Le transistor GAA MOSFET à un canal, comme illustré sur la Figure II.33 est l'architecture la plus simple tenant compte du canal unique qu'elle possède qui conduit à une étude et des calculs plus simples que celles effectués pour les transistors à double canaux (TSNWFET) et multicanal (MBCFET).

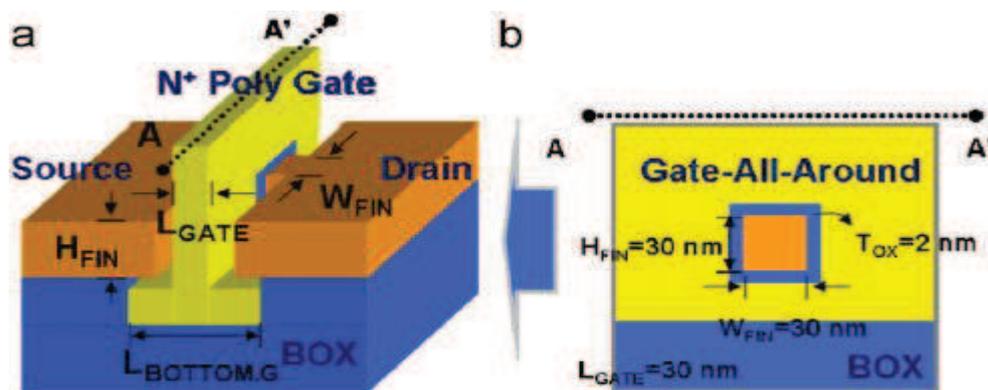


Figure II.33 : Coupe et géométrie 3D du transistor GAA MOSFET carré à un canal [97].

II.2.4.1.6. Le transistor GAA MOSFET à deux canaux (TSNWFET)

Le transistor GAA MOSFET à deux canaux est aussi appelé GAA à double canaux (TSNWFET) [88][95][98-99] où le transistor possède deux canaux comme le montre la Figure II.34.

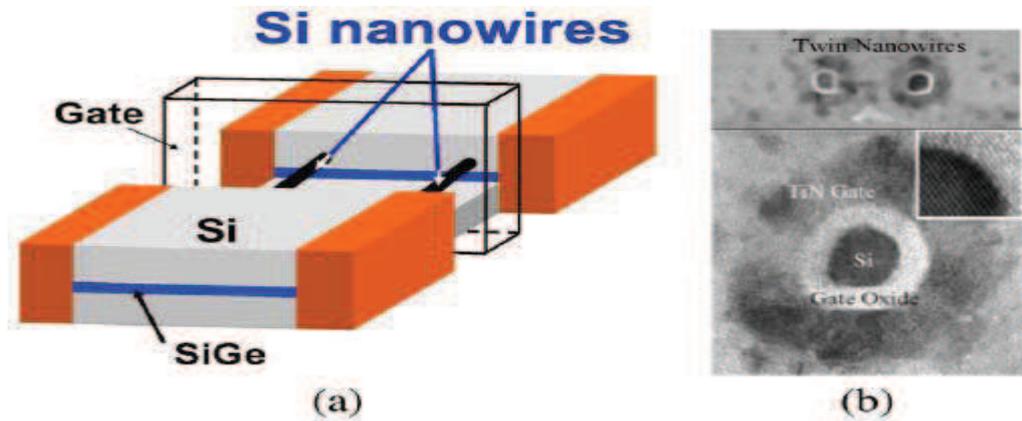


Figure II.34 : (a) schéma 3D du transistor GAA TSNWFET (b) images TEM de la coupe du TSNWFET [100].

II.2.4.1.7. Le transistor GAA MOSFET à canaux multiples (MBCFET)

Le transistor GAA MOSFET à canaux multiples est aussi appelé Multicanal (Multichannel [101] ou multi-bridgechannel MOSFET (MBCFET) [102-103]) dans ce cas le transistor possède trois canaux ou plus comme il est présenté sur la Figure II.35.

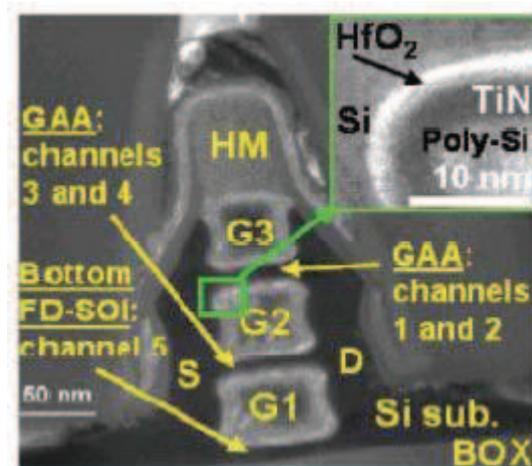


Figure II.35 : (a) image TEM de la section du transistor n-MCFET [104].

II.2.4.1.8. Le transistor GAA MOSFET vertical

Le transistor GAA MOSFET vertical [105-106] où le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat.

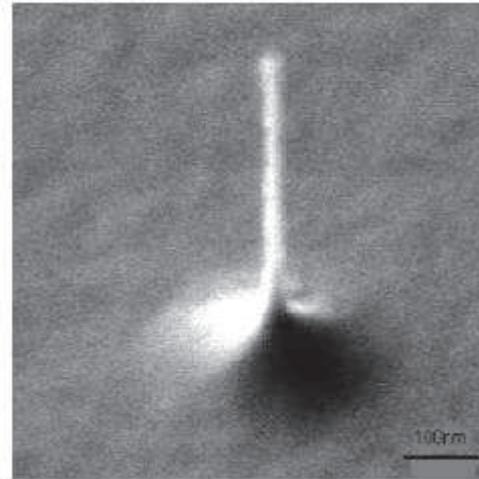


Figure II.36 : Image SEM d'un transistor vertical avec une épaisseur de ~ 20 nm et une hauteur d' $1\mu\text{m}$ [105].

II.2.4.2. Transistor Gate All Around (GAA) en technologie SON

L'architecture Gate All Around (GAA) est un autre type d'architecture multi-grille planaire. Le principe de ce dispositif consiste à entourer totalement le canal de conduction par quatre grilles [82]. La réalisation technologique d'un tel transistor est extrêmement complexe. Néanmoins, STMicroelectronics a développé un procédé innovant [107] pour la fabrication de transistor GAA en utilisant la technologie Silicon On Nothing (SON). La première partie de cette section rappelle donc rapidement le procédé de fabrication d'un transistor SON à simple grille. Le second paragraphe explique ensuite comment cette technologie a été adaptée pour l'intégration de dispositifs à grille multiple de type GAA.

II.2.4.2.1. Procédé de fabrication

II.2.4.2.1.1. La technologie Silicon On Nothing (SON)

La technologie Silicon on Nothing (SON) a initialement été optimisée pour la fabrication de transistors simple-grille possédant une isolation enterrée localisée [108]. Elle est basée sur la gravure sélective du silicium-germanium monocristallin (SiGe) par rapport au silicium monocristallin (Si). L'ensemble du procédé de fabrication est présenté Figure II.37. Une double épitaxie sélective de SiGe puis de Si est tout d'abord réalisée et définit les futures

épaisseurs du diélectrique enterré et du canal de conduction (Figure II.37.a). Un procédé conventionnel est ensuite utilisé afin de définir le module de grille et les espaceurs (Figure II.37.b). Une gravure auto-alignée avec la grille, de la source et du drain, permet d'accéder au SiGe (Figure II.37.c). Une gravure sélective du SiGe par rapport au Si crée un tunnel sous le canal (Figure II.37.d). La cavité est ensuite remplie par un matériau diélectrique (Figure II.37.e) et les jonctions source/drain sont nettoyées. Une épitaxie sélective de silicium permet de former les extensions source/drain (Figure II.37.f). Les dernières étapes sont celle utilisées pour la fabrication de dispositifs conventionnels (siliciuration, formation des contacts, interconnexions.).

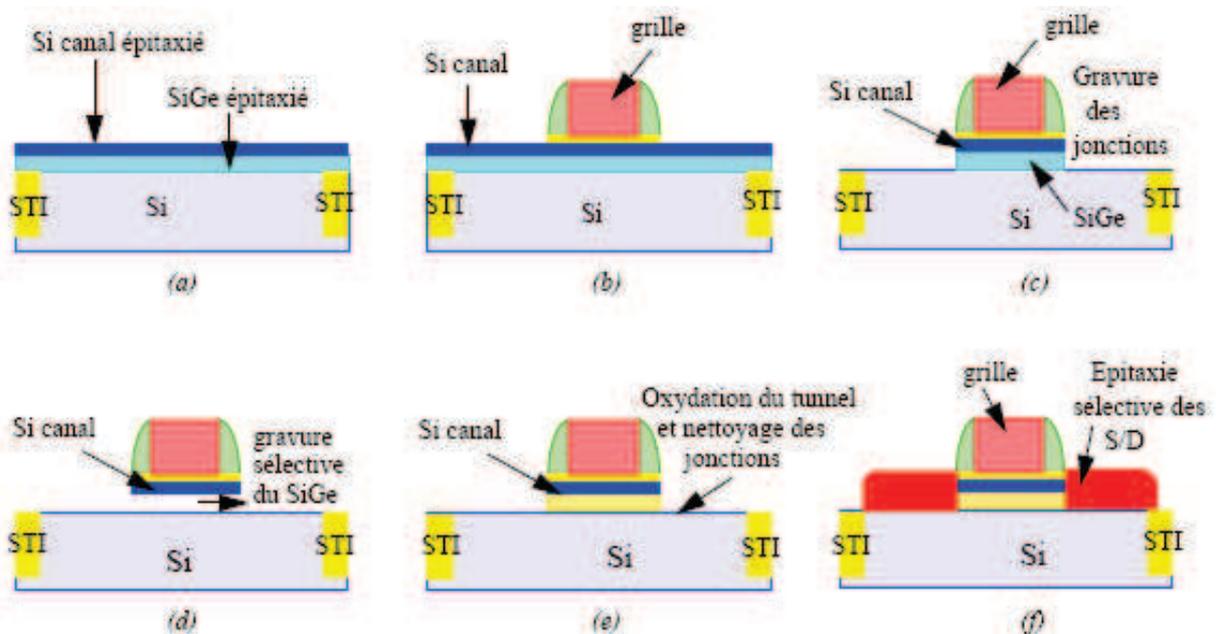


Figure II.37: Procédé de fabrication d'un transistor SON simple grille [108].

Cette partie est consacrée à un “tour d’horizon” des différentes architectures GAA utilisant la technologie SON.

II.2.4.2.1.2. Le GAA SON Latbridge

Historiquement, l'utilisation de la technologie SON pour réaliser des transistors à grille enrobante a été introduite par *Monfray et al.* [107] suivi de *Harrison et al.* [109]. Le principe de réalisation reposait sur une épitaxie sélective de SiGe (couche sacrificielle) et d'une épitaxie non sélective de silicium (qui poussera donc sur les tranchées d'isolation en oxyde). Un niveau de masquage spécifique appelé “Latbridge” était alors utilisé pour définir les zones de source/drain et le canal de conduction. La suite du procédé consistait à graver la couche de

SiGe sélectivement au silicium (technologie SON) et de remplir la cavité par l'empilement de grille.

Enfin, les deux grilles étaient gravées après avoir été définies par une étape de photolithographie.

Un dispositif à grille enrobante était ainsi formé (Figure II.38-b) dans lequel la longueur de la grille supérieure est définie par la photolithographie alors que la longueur de la grille inférieure est définie par la zone active (Figure II.38-a).

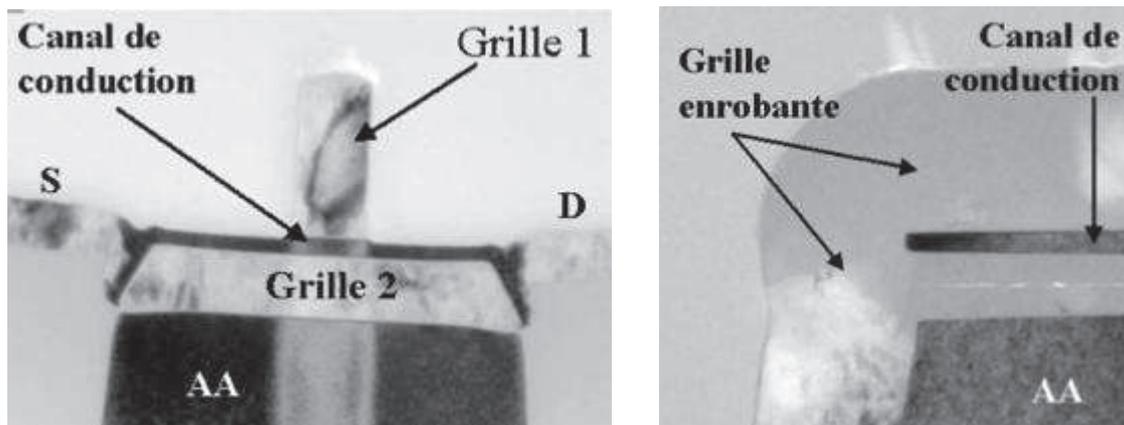


Figure II.38 : Vue en coupe TEM d'un transistor GAA SON Latbridge
a) dans le sens de la longueur de grille et b) dans le sens de la largeur [109].

Si initialement la grille des transistors GAA SON Latbridge était en polysilicium dopé, une grille métallique a été intégrée à l'aide du procédé PRETCH [110].

Cette méthode d'intégration de dispositifs GAA comporte néanmoins quelques inconvénients. Tout d'abord, comme cela est visible sur la Figure II.38-a, la grille inférieure est "débordante" par rapport à la grille supérieure. Le second inconvénient est l'introduction d'un niveau de masquage supplémentaire qui engendre une hausse du coût de la technologie.

II.2.4.2.1.3. Le GAA adapté à la conception

Pour améliorer l'architecture GAA SON Latbridge, une intégration a été proposée par Cerutti et al. [111] ayant pour objectif d'obtenir deux grilles de même longueur et de supprimer l'étape de masquage supplémentaire. Les masques utilisés pour réaliser ce type de dispositifs sont alors les mêmes que ceux de la technologie CMOS conventionnel, c'est pourquoi on parle de GAA adapté à la conception.

Sans entrer dans les détails de cette intégration, précisons que la principale originalité repose dans l'utilisation d'une photolithographie en début de procédé pour "dessiner" la grille

inférieure dans une couche de SiGe. Cette couche sacrificielle est par la suite remplacée par l'empilement de grille pour former la grille inférieure. Le même masque est utilisé pour "dessiner" la grille supérieure qui est réalisée de manière conventionnelle. Ainsi, même si elles ne sont pas formées à la même étape, les deux grilles sont parfaitement alignées (Figure II.39-a), ne formant finalement qu'une grille enrobant le canal (Figure II.39-b).

Cependant, si les deux grilles que l'on observe sur la Figure II.39-a sont alignées et de mêmes dimensions, cela est plutôt lié à une excellente performance lors du procédé de gravure et également lors de l'alignement de la deuxième étape de photolithographie pour la grille supérieure. Pour les nœuds technologiques les plus agressifs (sub-22nm) de telles performances sont difficilement envisageables et un décalage en taille ou en positionnement entraînerait des modifications dans le fonctionnement du transistor comme montré par Widiez et al. [112].

Une intégration où les deux grilles sont réalisées à la même étape (une seule photolithographie) serait donc préférable, on parle dans ce cas d'auto-alignement des grilles.

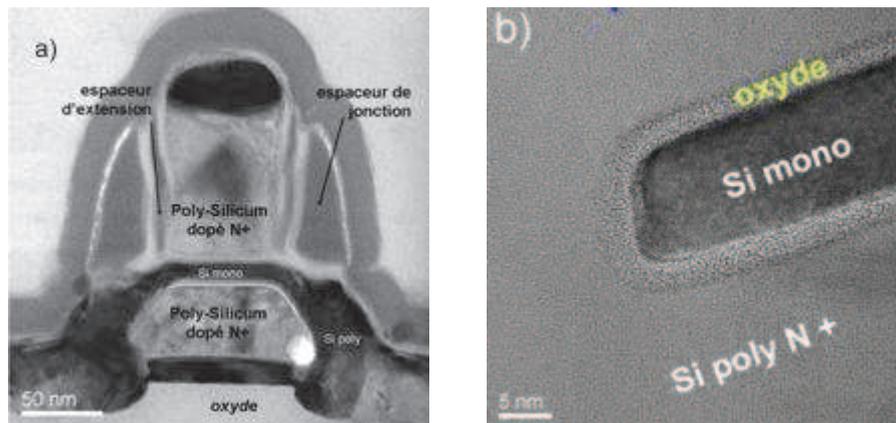


Figure II.39 : Vue en coupe TEM d'un transistor GAA adapté à la conception ; a) dans le sens de la longueur et b) dans le sens de la largeur permettant de mettre en évidence l'aspect enrobant de la grille (Si poly N+) par rapport au canal (Si mono) [111].

II.2.4.2.1.4. Le SADAGAA

Essayant de remplir toutes les conditions que nous venons de voir, Wacquez et al. [113] ont proposé une intégration de transistor à grille enrobante ayant les grilles auto alignées et adaptée à la conception, c'est l'architecture SADAGAA (pour Self-Aligned Designed-Adapted Gate-All-Around).

Reposant toujours sur le principe du procédé SON, l'originalité de cette intégration est d'utiliser non plus une mais deux couches de SiGe sacrificielles. Ainsi, les grilles supérieure

et inférieure sont parfaitement alignées, aussi bien en ce qui concerne la position que la dimension (Figure II.40) et cela reste réalisable pour les noeuds technologiques les plus agressifs. La particularité du SADAGAA proposé par Wacquez et al. est l'apparition d'un deuxième canal de conduction se situant sous la grille inférieure (Figure II.40). L'architecture étant réalisée sur un substrat SOI à film mince, ce canal est totalement dépleté et se comporte comme un FDSOI.

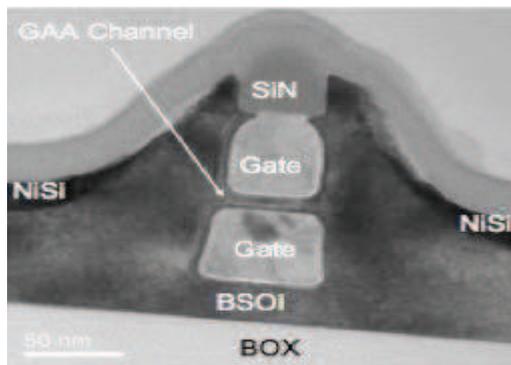


Figure II.40 : Vue en coupe TEM d'un transistor SADAGAA dans le sens de la longueur [113].

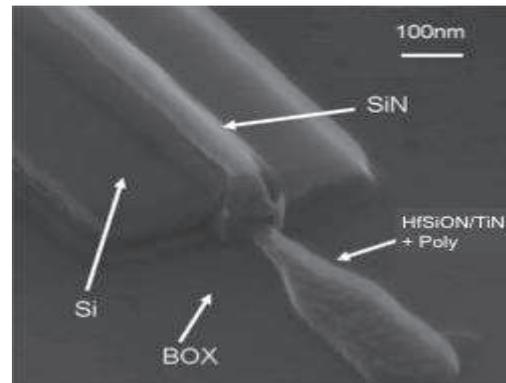


Figure II.41 : Vue en coupe TEM d'un transistor SADAGAA avec un empilement de grille high-k/métal [114].

Cette architecture ayant initialement un empilement de grille $\text{SiO}_2/\text{Poly Si}$ a été améliorée un peu plus tard par *Pouydebasque et al.* [114] avec l'intégration d'un diélectrique de grille à haute permittivité et une grille métallique (Figure II.41).

Enfin, un dérivé de cette intégration a été proposé par *Bidal et al.* [115]. Sa particularité est d'être réalisé sur un substrat en silicium massif (BULK) et d'avoir une longueur de grille et une largeur de dimensions comparables ($L_G=25\text{nm}$ et $W=20\text{nm}$) donnant une forme quasiment cubique au canal de silicium : c'est le *nanodot*.

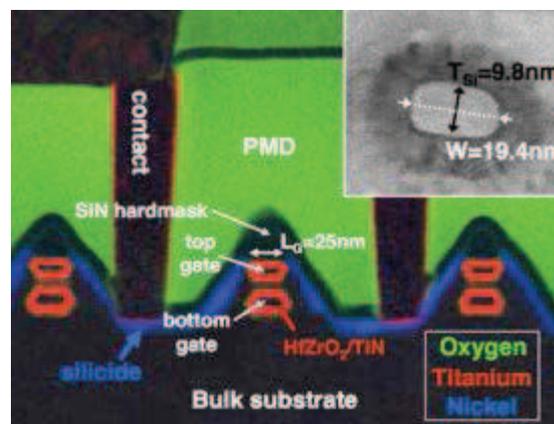


Figure II.42 : Vue en coupe TEM du *nanodot* proposé par *Bidal et al.* [115] avec dans le coin supérieure-droit une image TEM en W [27].

Il est important de préciser que les architectures présentées dans ce paragraphe offrent toutes un excellent contrôle électrostatique, de très bonnes caractéristiques sous le seuil et des performances parmi les meilleures publiées sur ce type de dispositif. En effet, le nanodot de Bidal et al. [115] offre un courant de saturation I_{ON} dépassant $2\text{mA}/\mu\text{m}$ (normalisation par la circonférence du canal) à $V_{DD}=1,1\text{V}$ et pour un courant de fuite qui reste faible ($I_{OFF}=1,45\text{nA}/\mu\text{m}$).

II.2.4.2.1.5. Les multicanaux et nanofils utilisant le SON

Une couche de SiGe représentant une future grille et une couche de Si représentant un futur canal, une application intéressante de la technologie SON est la réalisation d'architectures "3D" ayant plusieurs canaux de conduction empilés les uns sur les autres et chacun étant enrobé par la grille (GAA).

Ainsi, Bernard et al. [116] proposent un MCFET (pour Multi-Channel Field Effect Transistor) avec trois canaux de silicium et trois grilles (Figure II.43). Deux canaux de conduction sont totalement enrobés par la grille, le troisième étant de type FDSOI. Un avantage majeur de cette approche multicanaux, qui fait entrer la troisième dimension en jeu, est l'intégration de plusieurs canaux de conduction pour un même encombrement (représenté par la largeur dessinée W_D) sur la plaque de silicium. Le courant débité par la structure est alors égal à la somme des courants débités par chaque canal et le courant total, lorsqu'il est normalisé par W_D peut atteindre des valeurs records comme nous le verrons un peu plus loin. Le MCFET publié par Bernard et al. [116], lui, permet d'atteindre un courant de saturation I_{ON} de $2,27\text{mA}/\mu\text{m}$ (normalisé par W_D) pour un courant de fuite très faible ($I_{OFF}=16\text{pA}/\mu\text{m}$) faisant de cette architecture un excellent candidat pour les applications à très faible consommation.

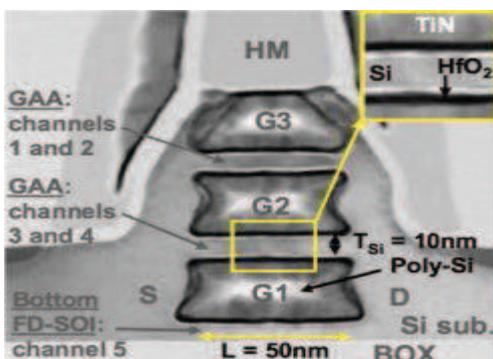


Figure II.43 : Vue en coupe TEM du MCFET proposé par Bernard et al. [116] avec dans le coin supérieure droit un zoom sur un canal [27].

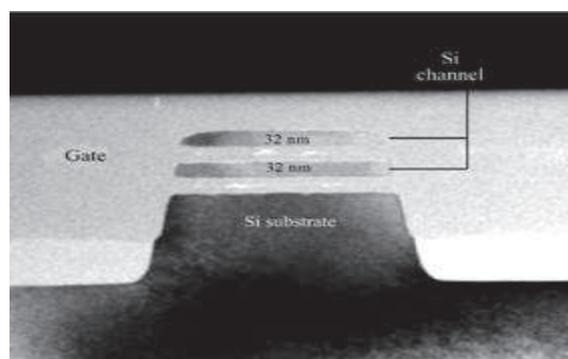


Figure II.44 : Vue en coupe TEM dans le sens de sa largeur d'un MCFET proposé par Lee et al. [117] mettant en évidence les deux canaux de silicium enrobés par la grille [27].

Cette architecture MCFET est en fait un dérivé de l'architecture MBCFET (pour *Multi-Bridge-Channel Field Effect Transistor*) initialement publié par Samsung [117, 118, 119] (Figure II.44) qui, bien qu'ils utilisent également la gravure de couches sacrificielles de SiGe, n'utilisent pas le terme SON.

Enfin, plusieurs publications ont également mis en avant l'intérêt de la technologie SON pour réaliser des transistors nanofils (ou NWFET pour NanoWire) [120, 121, 122,123]. Ces dispositifs tirent ainsi profit de la définition du canal par épitaxie. De plus, au même titre que le MCFET, les nanofils de silicium peuvent aisément être empilés et proposer alors des performances "records". Dupré et al. [121] ont ainsi publié un dispositif composé de trois nanofils de silicium de 14nm de diamètre proposant un courant de saturation I_{ON} de 6,5mA/ μm (normalisation par l'encombrement W_D). De telles architectures ont également été proposées avec deux grilles indépendantes (appelé Φ FET, Figure II.45-b, [121, 122]) ou encore en configuration matricielle (nanofils empilés + configuration multidoigts, Figure II.46).

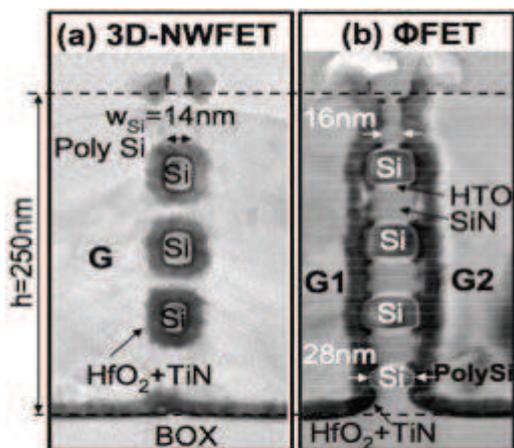


Figure II.45 : Vue en coupe TEM a) d'un dispositif composé de 3 nanofils à grille commune. b) d'un dispositif composé de 4 nanofils ayant 2 grilles indépendantes (Φ FET) [27].

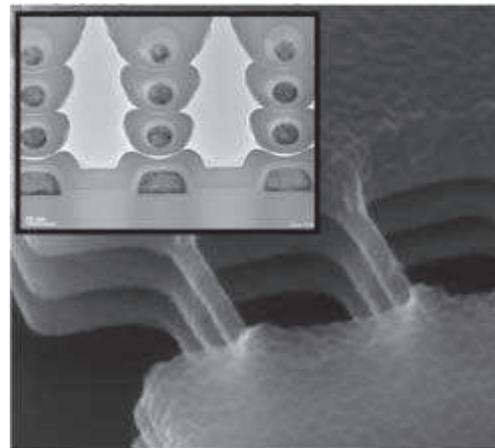


Figure II.46 : image au MEB tilté d'une matrice de nanofils [124-27].

II.2.4.2.2. Procédé d'intégration de l'architecture GAA

Les schémas d'intégration du GAA sur SOI et du GAA sur BULK sont présentés en Figure II.47 et Figure II.48 respectivement.

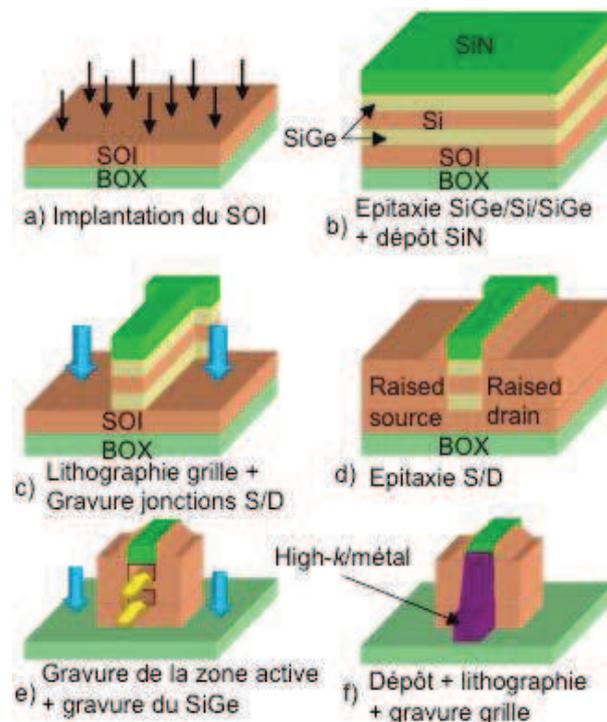


Figure II.47 : Schéma d'intégration du transistor GAA réalisé sur substrat SOI [27].

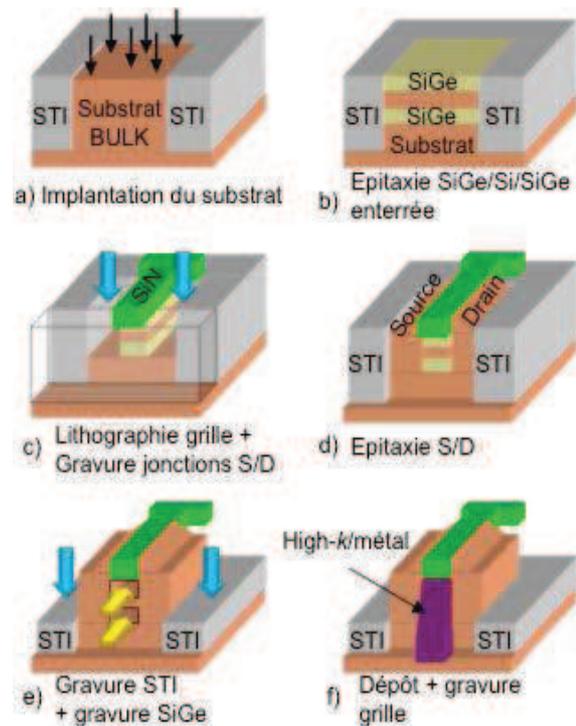


Figure II.48 : Schéma d'intégration du transistor GAA réalisé sur substrat de silicium massif [27].

La première étape spécifique à notre intégration GAA consiste à réaliser une implantation de type well à forte dose (Figure II.47-a et II.48-a). L'objectif, en créant cette zone de fort dopage, est d'augmenter de manière significative la tension de seuil du canal parasite qui se formera naturellement sous la grille inférieure. En effet, s'il entrerait en conduction, ce canal, qui n'est pas enrobé par la grille, dégraderait fortement l'intégrité électrostatique du dispositif. L'étape suivante est une étape caractéristique de la technologie SON puisqu'il s'agit de l'épitaxie de couches de SiGe/Si/SiGe (Figure II.47-b et II.48-b, Figure II.49). Il s'agit d'une étape clé car la couche de silicium représente le futur canal de conduction du dispositif, ce qui signifie de ce fait qu'on en maîtrise l'épaisseur. Les couches de SiGe, comme pour toutes technologies SON, sont sacrificielles. Elles seront remplacées dans la suite du procédé par les matériaux de l'empilement de grille. Comme pour le LSOI, un compromis a été nécessaire entre la concentration en Ge des alliages et l'épaisseur de ces couches épitaxiées.

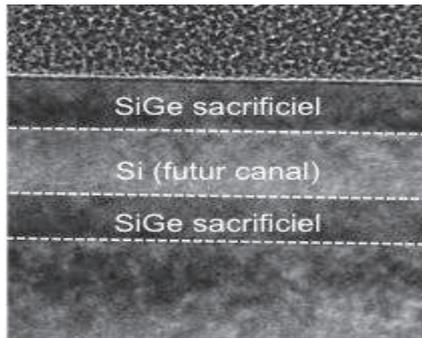


Figure II.49 : Vue en coupe TEM d'une tricouche SiGe/Si/SiGe épitaxiée [27].

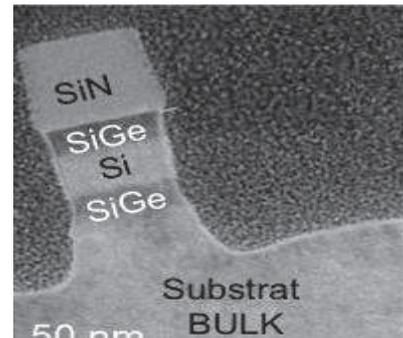


Figure II.50 : Vue en coupe TEM d'un GAA sur BULK après l'étape de gravure anisotrope des jonctions source/drain [27].

Sur ces trois couches est ensuite déposée une épaisse couche de nitrure. Ce SiN, qui jouera le rôle de masque dur, sera conservé tout au long de l'intégration, il est donc important qu'il soit résistant aux différentes chimies et aux différents nettoyages, ce qui justifie en partie son épaisseur (45nm). Intervient alors une étape de photolithographie pour "dessiner" la grille. Le motif est transféré à l'empilement SiN/SiGe/Si/SiGe à l'aide d'une gravure anisotrope (Figure II.50). Il s'agit là encore d'une étape clé de l'intégration car c'est ici que l'auto-alignement des deux grilles est assuré. En effet, si l'auto-alignement de deux grilles signifie qu'elles sont définies par une unique lithographie, les couches de SiGe (futures grilles du dispositif GAA), sont bien gravées lors de cette même opération. En ce qui concerne l'architecture basée sur le substrat SOI, il est important que la gravure des quatre couches successives s'arrête dans le film de silicium piédestal pour assurer une reprise d'épitaxie. C'est ce que l'on vérifie sur la Figure II.51 où les marqueurs de SiGe servent de repères pour la profondeur de la gravure des jonctions.

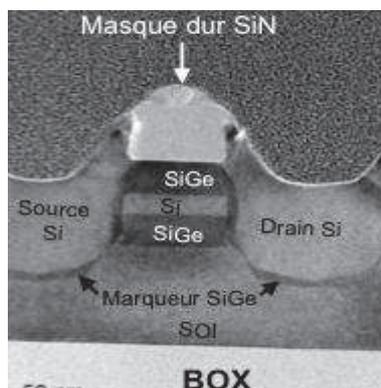


Figure II.51 : Vue en coupe TEM d'un transistor GAA sur SOI après épitaxie des jonctions source/drain. Le marqueur SiGe avait été utilisé pour repérer la profondeur de la gravure jonction [27].

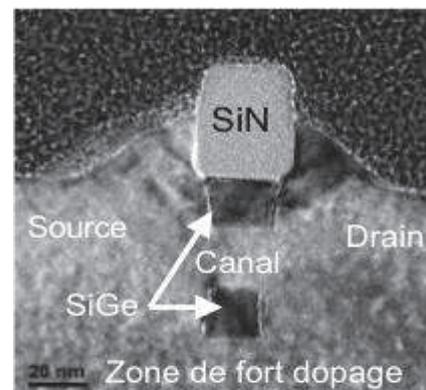


Figure II.52 : Vue en coupe TEM d'un transistor GAA sur BULK après épitaxie des jonctions source/drain [27].

L'étape suivante est une croissance par épitaxie sélective de silicium pour reformer les zones de source/drain et contacter le futur canal de conduction (Figures II.47-d, II.48-d, II.51 et II.52). Cette croissance de silicium sert également à stabiliser la structure lors de la gravure du SiGe (Figures II.47-e et II.48-e). Comme pour les architectures LSOI, cette gravure des couches sacrificielle peut être réalisée soit par procédé plasma CF₄ soit par procédé gazeux HCl (Figure II.53).

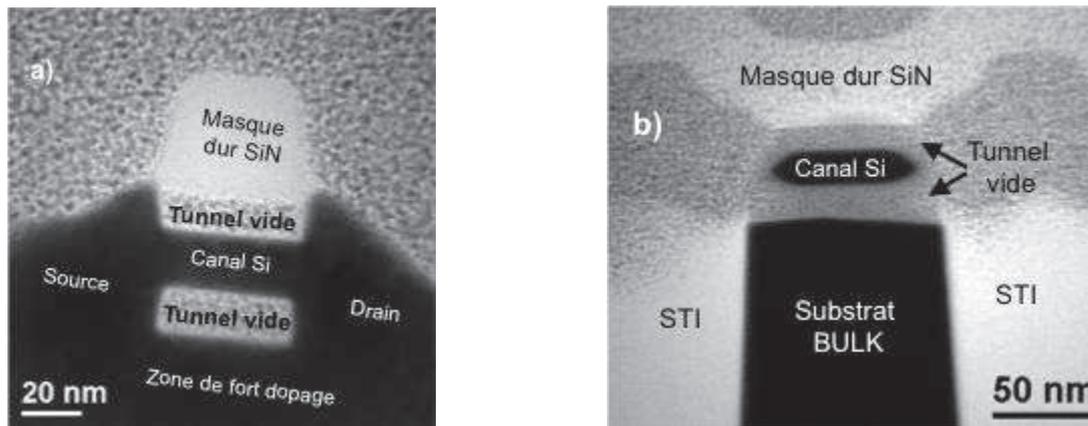


Figure II.53 : Vue en coupe TEM d'un transistor GAA après gravure sélective du SiGe.

a) dans le sens de la longueur de grille et b) dans le sens de la largeur où l'on devine que lors du remplissage du tunnel, la grille enrobera le canal de Si [27].

Les cavités formées, il ne reste plus qu'à les remplir avec l'empilement de grille. Pour s'assurer de sa bonne conformité, il faut réaliser un dépôt de type ALD (pour *Atomic Layer Deposition*). Un empilement de type high-k/métal (HfO₂/TiN) "midgap" a été utilisé dans notre intégration, permettant d'obtenir une même tension de seuil pour les n-MOS et les p-MOS sans recourir au dopage canal.

Pour finir, la gravure grille, propre à chaque architecture est réalisée suivie de l'implantation et de la siliciuration des source/drain avant la formation des contacts (gravure + remplissage) et de la mise en place des différents niveaux d'interconnexions.

La Figure II.54 présente les architectures GAA réalisées juste avant le procédé de siliciuration. Les vues en coupe dans le sens de la longueur de grille mettent en évidence l'aspect double grille planaire de nos structures (Figure II.54-a) alors que ce sont les coupes dans le sens de la largeur qui permettent d'observer l'aspect enrobant de la grille par rapport au canal de silicium (Figure II.54-b).

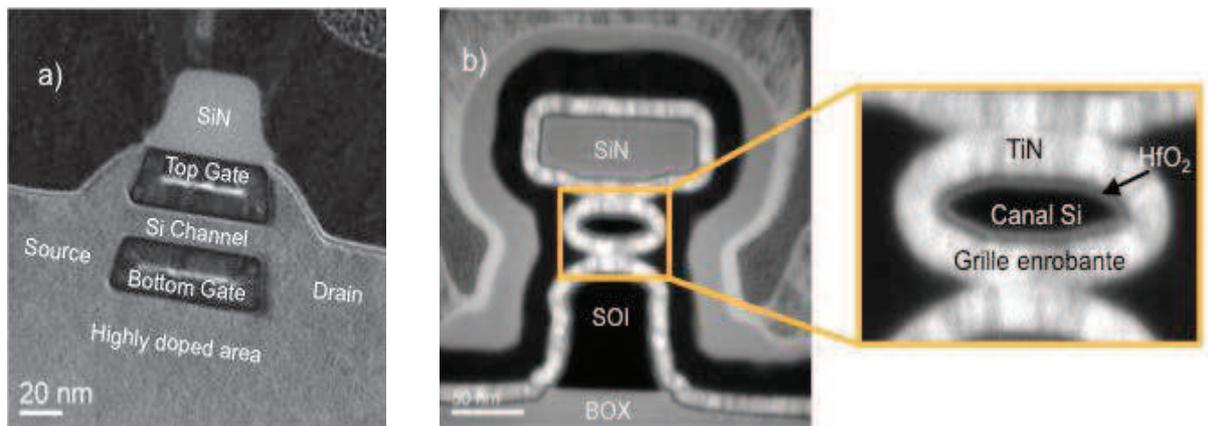


Figure II.54 : Vue en coupe TEM d'un transistor GAA avant la siliciuration : a) dans le sens de la longueur de grille mettant en évidence l'aspect double grille planaire b) dans le sens de la largeur où l'on remarque la grille qui enrobe le canal de silicium [27].

II.2.4.2.2.1. Défis communs

- Epitaxie des source/drain : cette étape a pour objectif de reformer les jonctions source et drain, gravées au préalable, et de recontacter le canal de conduction du dispositif. L'épaisseur de cette épitaxie doit donc être contrôlée pour s'assurer qu'elle atteint le canal de silicium, mais elle ne doit pas non plus être trop importante pour éviter tout court circuit entre la source et le drain par dessus le nitrure.

Cette épitaxie a également comme rôle de maintenir le masque dur de nitrure pendant la gravure du SiGe, ce qui implique une excellente cristallinité. En effet, sur les flancs du SiN, le silicium épitaxié a tendance à être polycristallin (Figure II.55-a). La sélectivité de la gravure du SiGe, s'il s'agit d'une chimie HCl, sera moindre face à ce silicium polycristallin qui sera alors consommé. Ceci conduit inévitablement à l'effondrement du masque dur de nitrure dans la cavité supérieure, future grille du dispositif (Figure II.55-b).

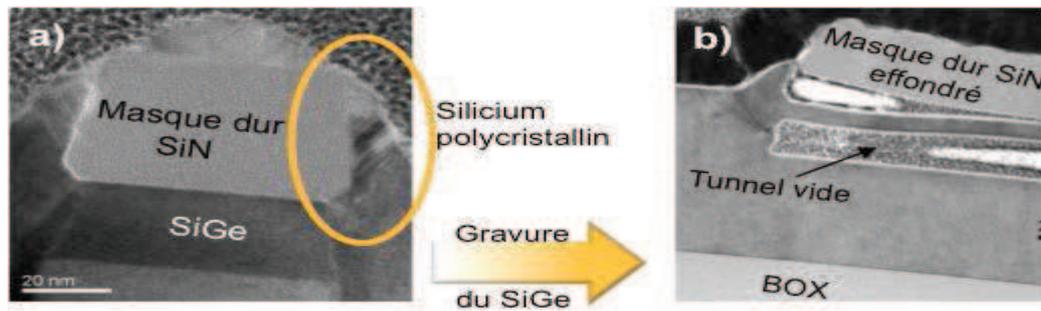


Figure II.55 : Vue en coupe TEM d'un transistor GAA sur SOI ; a) après épitaxie des jonctions source et drain, mettant en évidence la présence de silicium polycristallin sur les flancs du masque dur SiN ; b) après gravure du SiGe, le polycristallin a été consommé et le masque dur s'est effondré dans le tunnel supérieur [27].

➤ Limitation lors de la gravure du SiGe : la limitation liée à la gravure du SiGe n'est pas ici d'ordre mécanique.

En effet, à cette étape, la structure du GAA réalisée est supposée être parfaitement stable (Figure II.53) et ce, indépendamment de la longueur et de la largeur du dispositif considéré. C'est alors la sélectivité de la gravure en elle-même qui entre en ligne de compte, car un temps de gravure trop élevé engendre une perte de sélectivité vis-à-vis du silicium, en particulier pour les dispositifs les plus petits, vidés plus rapidement. La gravure HCl offre une meilleure sélectivité que la chimie CF₄ (300 :1 vs. 60 :1) mais elle ne laisse en revanche aucun "droit à l'erreur" en ce qui concerne la cristallinité du silicium des jonctions source et drain.

II.2.4.2.2.2. Etapes et développements propres à l'architecture sur SOI

➤ **Première gravure grille:** en ce qui concerne l'architecture sur SOI, cette étape à l'originalité de définir la grille avant la zone active. Cette zone active servant généralement à l'alignement des lithographies suivantes, la création d'un niveau d'alignement supplémentaire en tout début du procédé de fabrication a été indispensable. Il s'agit de marques dans les chemins de découpe sur lesquels viendront s'aligner les lithographies suivantes. Ces marques doivent être suffisamment "profondes" pour être encore visibles à la fin du procédé, lors de la deuxième photo grille particulièrement.

Rappelons également qu'il est important que cette première gravure grille s'arrête dans le silicium piédestal (et non dans le BOX) pour assurer l'étape suivante, l'épitaxie des jonctions source/drain.

➤ **L'accès aux couches de SiGe, la gravure de la zone active** : contrairement aux architectures que nous avons pu voir jusqu'à maintenant, la particularité de ce GAA sur SOI est que l'isolation entre les transistors n'est pas garantie par des tranchées d'oxyde (STI) mais par le BOX et surtout l'absence de silicium entre deux zones actives, on parle d'architectures MESA. Il s'agit donc d'une étape de photolithographie pour définir la zone active (Figure II.56-a) suivie d'une gravure anisotrope avec arrêt sur le BOX (Figure II.56-b). Cette gravure assurant l'isolation entre les dispositifs par l'architecture MESA ouvre également l'accès aux couches de SiGe qui pourront être gravées à l'étape suivante (Figures II.56-c et II.57). La difficulté de cette étape est de graver deux types d'empilements en même temps : le silicium des jonctions source/drain et un empilement SiN/SiGe/Si/SiGe au niveau des grilles. Ces deux types d'empilement se comportant différemment face à la gravure, il a été nécessaire de l'optimiser pour garantir le dégagement total des zones où un bout de grille se trouvait sur la future isolation.



Figure II.56 : schéma d'intégration détaillant l'étape de gravure de la zone active donnant accès aux couches de SiGe [27].

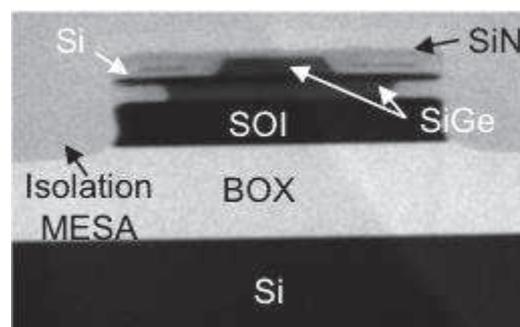


Figure II.57 : vue en coupe TEM (en W) d'un GAA sur SOI après gravure (partielle) du SiGe. Cette vue en coupe met en évidence l'isolation MESA [27].

Lors de la photolithographie de la zone active, une difficulté particulière a été rencontrée. La forte topologie de cette architecture sur substrat SOI a engendré la rupture de la résine (Figure II.58-a). Il a donc été nécessaire d'utiliser une résine plus épaisse (Figure II.58-b).

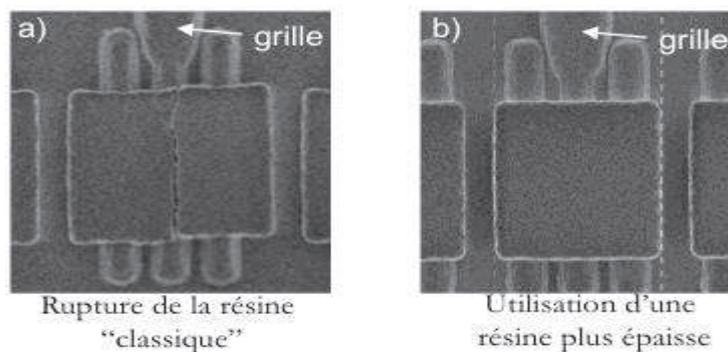


Figure II.58 : image MEB (vue de dessus) ; a) de la rupture de la résine “classique” due à la forte topologie de l’architecture ; b) de la résistance de la résine plus épaisse [27].

➤ La deuxième gravure grille : suite au dépôt ALD de l’empilement de grille pour remplir les cavités, une nouvelle photolithographie est nécessaire pour définir (à nouveau) la grille et procéder à la gravure de l’empilement. Deux difficultés sont liées à cette étape : l’alignement de la lithographie avec la première photo grille et l’éventuelle rupture de la résine avec la forte topologie de l’architecture.

Le problème d’alignement avait été anticipé et la marque d’alignement, réalisée en tout début d’intégration, avait été optimisée de manière à être visible au moment de cette deuxième photolithographie de grille.

Pour ce qui est de la topologie et d’une éventuelle rupture de la résine, une résine constituée d’un tri-couche de carbone déposée par procédé *spin-on*. Cela consiste à déposer de manière non conforme une épaisse couche de résine qui remplit également les cavités formées par l’architecture MESA annulant ainsi la topologie et donnant une forme plane à la surface de la résine.

Enfin, une attention particulière a également été portée sur la gravure en elle-même afin d’assurer le retrait total de l’empilement de grille dans les cavités de l’isolation MESA. En effet, le dépôt étant ALD, il se dépose uniformément sur toute la plaque et la difficulté principale est d’effectuer une sur-gravure pour retirer le métal sur les flancs du SOI sans affecter les zones où il doit être conservé (Figure II.59).

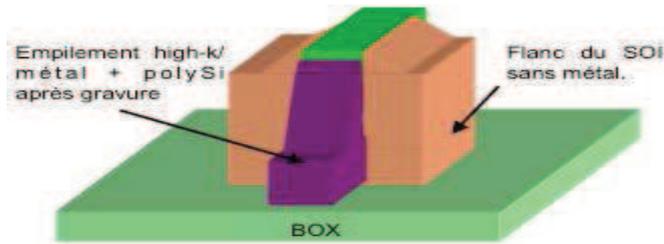


Figure II.59 : représentation schématique d'un GAA sur SOI après gravure grille. L'empilement de grille doit être sur-gravé pour être retiré des flancs du SOI [27].

II.2.4.2.2.3. Etapes et développements propres à l'architecture sur Si massif

Epitaxie SiGe/Si/SiGe: contrairement à l'architecture sur SOI, les zones actives sont définies en début d'intégration et à la même étape, les isolations STI. Ainsi, comme pour l'architecture LSOI type-B, les couches épitaxiées sont enterrées par rapport au niveau du STI (Figure II.60). Cela permet non seulement d'éviter l'apparition de facettes sur le STI qui seraient problématiques pour la suite du procédé mais cela limite également la topologie de l'architecture qui apporterait une difficulté pour la suite de l'intégration.

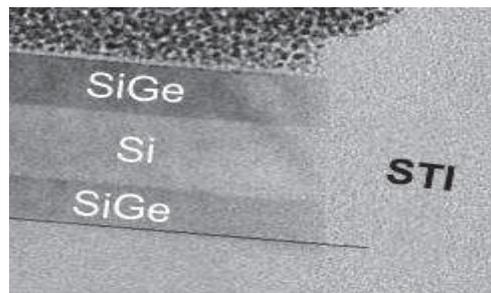


Figure II.60 : vue en coupe TEM des couches SiGe/Si/SiGe enterrées par rapport au STI [27].

➤ Accès aux couches de SiGe : nous retrouvons ici encore une similitude entre le procédé d'intégration du GAA sur BULK et le LSOI type-B. En effet, l'accès aux couches de SiGe enterrées est obtenu par un abaissement des STI. Cependant, la ressemblance s'arrête là car pour le GAA, la gravure des isolations est faite par un procédé humide et isotrope. Cette isotropie est d'ailleurs indispensable car il s'agit ici de retirer le STI se trouvant sous la "tête de grille" (représentée ici par le masque dur SiN). Cette gravure doit être soigneusement contrôlée car une sous-gravure n'ouvrirait pas l'accès aux deux couches de SiGe (Figure II.61). A l'inverse, une gravure trop importante exposerait les flancs du silicium au dépôt conforme de l'empilement de grille qu'il serait dur de retirer lors de la gravure grille (analogie avec l'architecture GAA sur SOI).

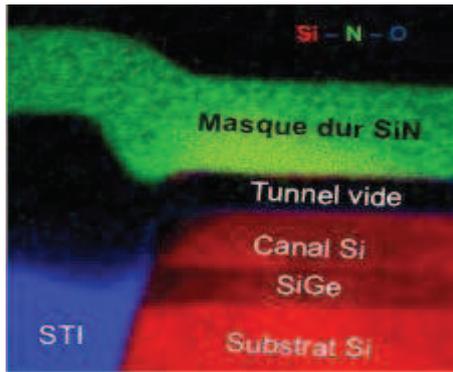


Figure II.61 : vue en coupe TEM (en W) avec cartographie chimique d'un GAA sur BULK après gravure du SiGe. Le STI n'a pas été suffisamment gravé, l'accès à la seconde couche de SiGe n'est pas ouvert [27].

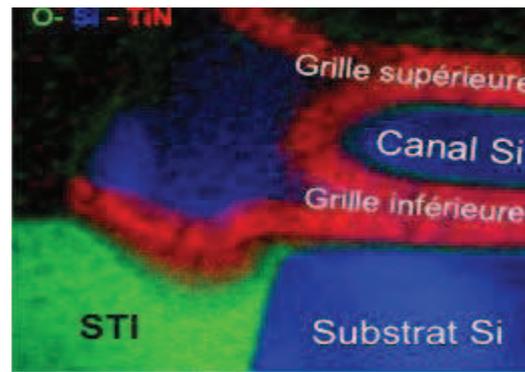


Figure II.62 : vue en coupe TEM (en W) avec cartographie chimique d'un GAA sur BULK après gravure anisotrope de la grille. Les grilles inférieure et supérieure sont bien connectées l'une avec l'autre [27].

➤ La gravure grille: précisons simplement ici que la particularité de cette architecture GAA sur BULK est l'absence d'une étape de photolithographie avant la gravure de l'empilement de grille. Cette dernière se fait de manière "auto-alignée" par procédé anisotrope, le masque dur SiN jouant le rôle de couche d'arrêt. Ainsi, les parties protégées par le nitrure sont laissées intactes et les grilles supérieure et inférieure sont bien connectées (Figure II.62).

➤ La gravure du contact de grille : si le fait de garder l'intégralité du masque dur de nitrure est un avantage pour l'étape de la gravure grille, cela ajoute une difficulté pour la gravure du contact de grille. En effet, le SiN protège l'empilement de grille lors des étapes d'implantation et de siliciuration. Pour être fonctionnel, le contact doit donc être réalisé directement sur le métal (TiN) de la grille. La gravure de ce contact a également été optimisée de manière à traverser l'épaisse couche de SiN qui n'est pas habituelle à ce niveau de l'intégration. L'architecture sur SOI n'est pas confrontée à cette situation car la partie du masque dur concernée est retirée lors de la gravure active (Figure II.56-b).

II.3. Modes de fonctionnement des transistors à grilles multiples

A présent, nous allons nous intéresser de plus près à quelques caractéristiques statiques des architectures multi-grilles en mode de fonctionnement et de blocage.

II.3. 1. Etat passant

L'ajout de grille traduit un ajout de canal d'inversion en forte inversion.

Ainsi, le courant à l'état passant I_{on} accroît lorsque le nombre de grilles augmente, comme le montre la Figure II.63 où sont tracées les caractéristiques I_D-V_{DS} pour les différentes structures SOI multi-grilles de 15nm de longueur de canal. Nous notons bien un courant croissant relativement au nombre de grilles, à titre d'illustration et pour $t_{Si} = 10\text{nm}$, I_{on} atteint 1623A/m pour le MOSFET SOI à une grille, 2138A/m pour le double-grille, 2420A/m pour le triple-grille, et enfin 2815A/m pour le quadruple-grille.

Cependant, cette augmentation de I_{on} n'est pas proportionnelle au nombre de grilles, les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple grille.

La diminution de t_{Si} réduit de façon quasi-proportionnelle le courant I_{on} , ainsi le courant d'un double-grille passe de 2420A/m pour une épaisseur de 10nm à 1280A/m pour une épaisseur de 5nm.

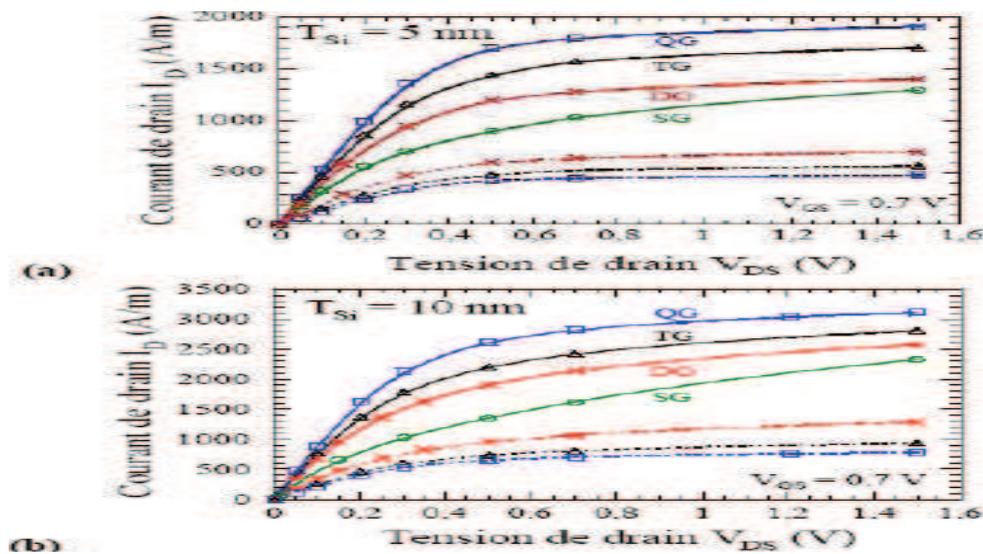


Figure II.63 : Caractéristiques I_D-V_{DS} des multi-grilles pour $L=15\text{nm}$, (a) $t_{Si} = 5\text{nm}$ et (b) 10nm . En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille [125].

La transconductance g_m est aussi améliorée avec l'augmentation du nombre de grilles (Figure II.64). Pour $t_{Si} = 10\text{nm}$, g_m atteint 4170S/m pour un double grille, 5700S/m pour un triple-grille et 7070S/m pour un quadruple-grille. Comme pour le courant de fonctionnement,

l'augmentation de la transconductance n'est pas proportionnelle au nombre de grilles. La diminution de l'épaisseur du canal conduit à une réduction de la transconductance.

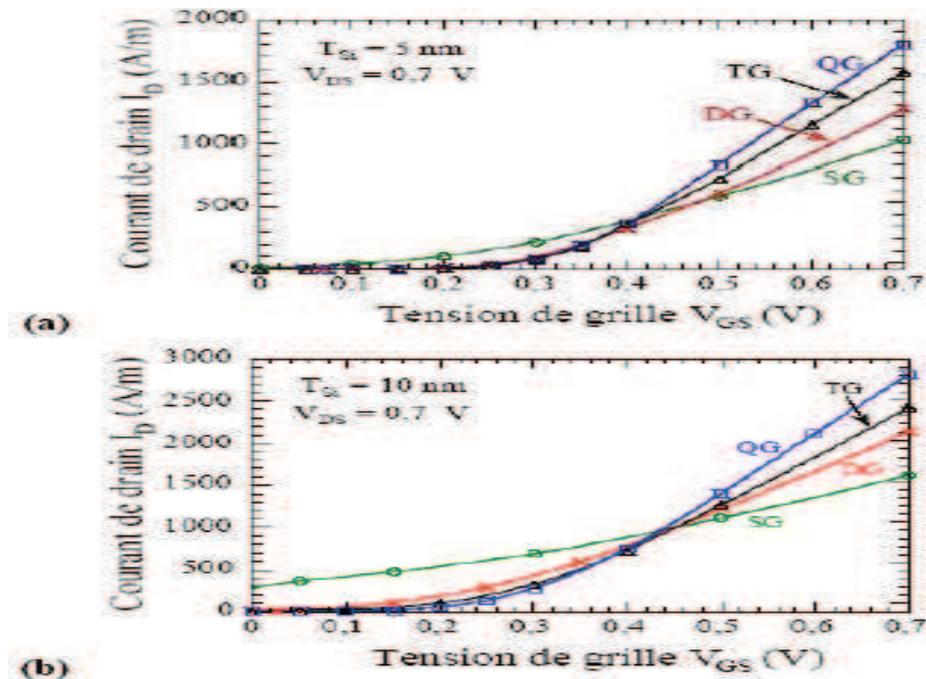


Figure II.64: Caractéristiques I_D - V_{GS} des multi-grilles pour $L = 15\text{ nm}$, (a) $t_{Si} = 5\text{ nm}$ et (b) $t_{Si} = 10\text{ nm}$ [125].

II.3.2. Etat bloqué

L'un des principaux paramètres en état bloqué ou régime sous le seuil, amélioré par l'augmentation du nombre de grille est l'inverse de la pente sous le seuil. La Figure II.65 illustre clairement la forte dégradation de la pente pour la structure à une seule grille où celle-ci dépasse largement les 100 mV/dec . Pour les autres structures, la pente est nettement améliorée relativement au nombre croissant de grille, signe de l'amélioration de l'intégrité électrostatique. Pour un film d'épaisseur de 10 nm , S vaut 110 mV/dec pour le double-grille, 96 mV/dec pour le triple-grille et enfin 83 mV/dec pour le quadruple grille. De plus, la réduction de l'épaisseur du film ou de la zone active améliore la pente, en effet la valeur de celle-ci pour un double-grille passe de 110 mV/dec pour une épaisseur de 10 nm à 80 mV/dec pour une épaisseur de 5 nm .

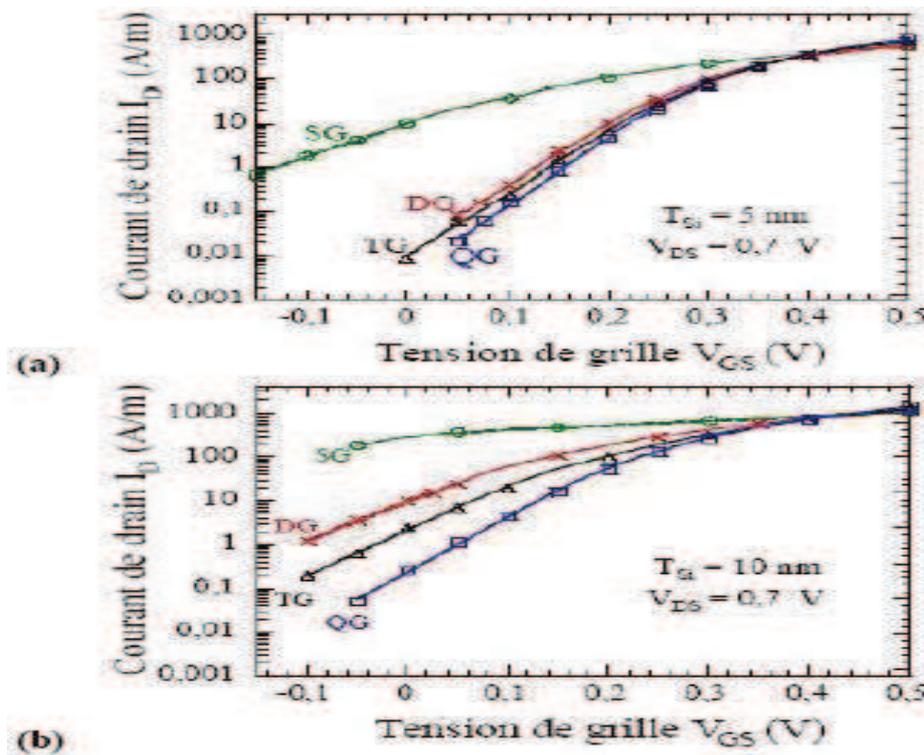


Figure II.65: Caractéristiques I_D - V_{GS} en échelle logarithmique des SOI multi-grilles pour $L=15$ nm, (a) $t_{Si} = 5$ nm et (b) 10nm [125].

II.4. Contrôle des effets canaux courts

Comme déjà mentionné, l'ajout de grille améliore l'intégrité électrostatique et de ce fait, le contrôle des effets canaux courts, tel que l'inverse de la pente sous le seuil discuté un peu plus haut, et le DIBL. La Figure II.66 illustre l'apport de l'augmentation du nombre de grille sur le DIBL en comparant l'abaissement de la bande de conduction d'une structure à une grille et un double grille où l'abaissement de la barrière pour ce dernier est beaucoup moins important. En outre, pour une longueur de canal de 15nm et une épaisseur de 5nm le DIBL est de 89meV pour une structure SG, contre 19meV pour un DG et 3meV pour un QG.

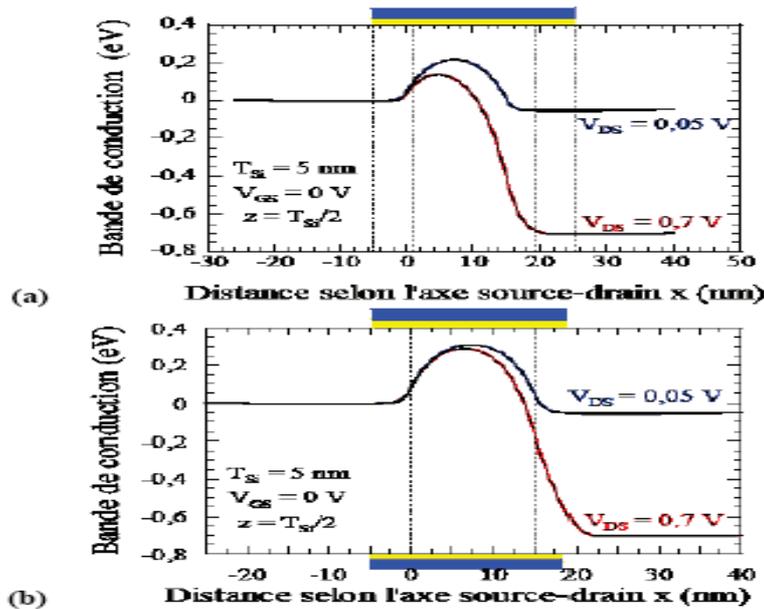


Figure II.66 : Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour $V_{GS} = 0V$ suivant la profondeur du film de silicium à V_{DS} faible et fort. $L = 15\text{nm}$ et $t_{si} = 5\text{nm}$ [125].

Un autre exemple de l'amélioration de la contrôlabilité de la grille sur le canal par l'augmentation du nombre de grille est illustré dans la Figure II.67 où le DIBL pour différentes structures multi grilles a été calculé, les résultats montrent la décroissance logique du DIBL respectivement au nombre croissant de grille.

L'apport des extensions d'un II FET sur l'amélioration de l'intégrité électrostatique par rapport à un triple-grille classique est remarquable. Cependant, le quadruple-grille reste la structure la plus optimale avec le DIBL le plus bas et donc la meilleure contrôlabilité possible.

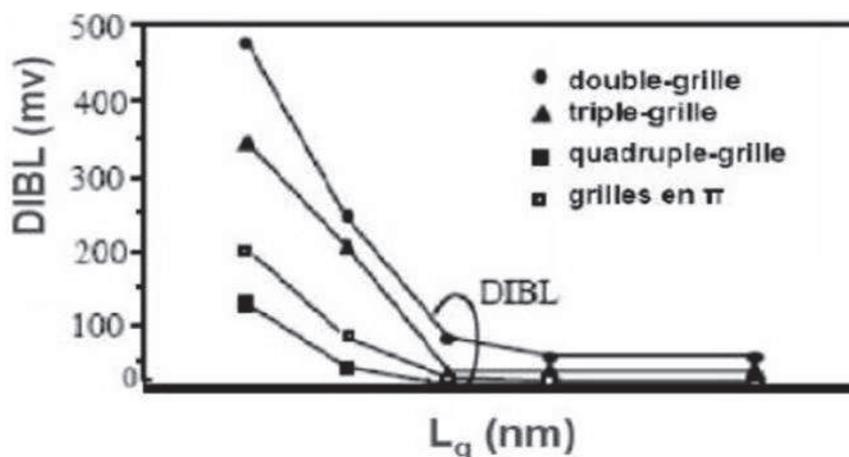


Figure II.67 : Minimisation du DIBL avec l'augmentation du nombre de grille pour $W = t_{si} = 10\text{nm}$ [2].

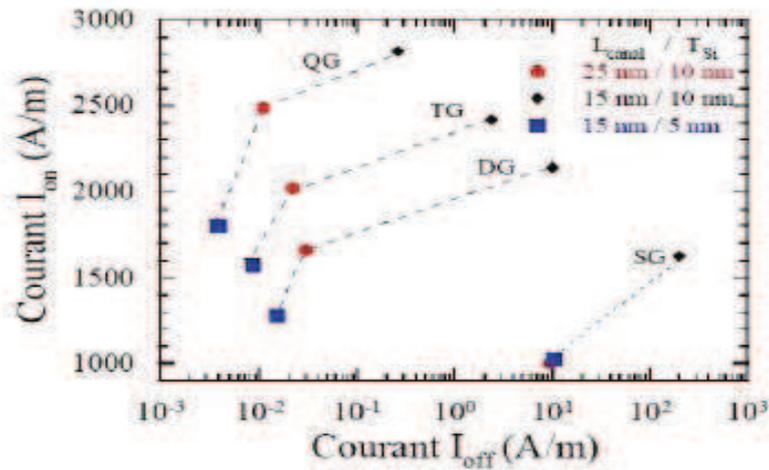


Figure II.68: Courant à l'état passant I_{on} en fonction du courant à l'état bloqué I_{off} pour les différentes architectures [125].

La figure ci-dessus représente le courant d'actionnement et de blocage pour différentes structures. Toujours dans cette même logique que l'ajout de grille améliore le contrôle des effets canaux courts, le courant I_{off} se trouve nettement réduit par rapport à une structure SG conventionnel, diminuant ainsi considérablement la consommation en puissance.

II.5. Conclusion

Les avantages de la technologie SOI notamment des dispositifs à grille multiple offre une alternative prometteuse à la technologie bulk conventionnelle qui se rapproche de ses limites à une échelle fortement submicronique. Les performances électriques des transistors à grille enrobée sont les plus intéressantes, la configuration optimale de ces structures offre une intégrité électrostatique des plus favorables à un meilleur contrôle des effets canaux courts.

Références chapitre II

- [1] S. Cristoloveanu and S. S. Li, “Electrical Characterization of Silicon On Insulator Materials and Devices”, (Kluwer Academic Publishers, 1995).
- [2] J. Colinge, “Silicon-on-insulator technology: Materials to VLSI,” ISBN 1-4020- 77734, Kluwer Academic Publishers, 3rd edition, 1997.
- [3] J. T. Park et J. P. Colinge, “Multiple-gate SOI MOSFETs: Device design guidelines”, IEEE Trans. Electron Devices, vol. 49, no. 12, pp. 2222-2229, 2002.
- [4] S. Harrison, P. Coronel, F. Leverd, R. Cerruti, R. Palla, D. Delille, S. Borel, S. Descombes, D. Lenoble, A. Talbot, A. Villaret, S. Monfray, P. Mazoyer, J. Bustos, H. Brut, A. Cros, D. Munteanu, J.-L. Aufran, and T. Skotnicki, “Highly performant double gate MOSFET realized with SON process”, in Proc IEDM Tech. Dig., pp. 449-452, 2004.
- [5] D. Hisamoto, “FD/DG-SOI MOSFET-A viable approach to overcoming the device scaling limit”, in Proc IEDM Tech. Dig., pp. 429-432, 2001.
- [6] D. J. Frank, S. E. Laux, and M. V. Fischetti, “Monte Carlo simulation of a 30 nm dual-gate MOSFET : How short can Si go?”, in Proc IEDM Tech. Dig., pp 553-556, 1992.
- [7] J. M. Hergenrother, “50 nm vertical replacement-gate (VRG) n-MOSFETs with ALD HfO₂ and Al₂O₃ gate dielectrics”, in Proc IEDM Tech. Dig. pp. 51-54, 2001.
- [8] Y. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T. King, J. Bokor, and C. Hu, “Sub-20nm CMOS FinFET technologies”, in Proc IEDM Tech. Dig., pp. 421-424, 2001.
- [9] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K.-Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, C.-M Hu, “Sub-50 nm p-channel FinFET”, IEEE Transactions on Electron Devices, vol.48, Issue:5, pp. 880-886, 2001.
- [10] J. Kedzierski et al., “Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation”, in Proc IEDM Tech. Dig., pp. 247-250, 2002.
- [11] F. Yang, H. Chen, F. Chen, C. Huang, C. Chang, H. Chiu, C. Lee, C. Chen, H. Huang, C. Chen, H. Tao, Y. Yeo, M. Liang, and C. Hu, “25nm CMOS Omega FETs”, in Proc IEDM Tech. Dig., pp. 255-258, 2002.
- [12] J.-T. Park, J. P. Colinge, and C. H. Diaz, “Pi-Gate SOI MOSFET”, IEEE Electron. Device Lett., vol. 22, no. 8, pp. 405-406, 2001.
- [13] S. Monfray et al., “50 nm-gate all around (GAA)–silicon on nothing (SON)–devices: A simple way to co-integration of GAA transistors with bulk MOSFET process,” in VLSI Symp. Tech. Dig., pp. 108-109, 2002.

- [14] D. Jimenez, B. Iniguez, J. Sune, L. F. Marsal, J. Pallares, J. Roig, and D. Flores, "Continuous Analytic I-V Model for Surrounding-Gate MOSFETs", *IEEE Electron. Device Lett.*, vol 25, no. 8, pp. 571-573, 2004.
- [15] J.L. Autran et D. Munteanu, "Au-dela du transistor MOS sur silicium massif", *Revue de l'Electricite et de l'Electronique*, no. 4, pp. 25-37, 2007.
- [16] R. Ritzenthaler, « Architecture avancées des transistors FinFETs : Réalisation, caractérisation et modélisation », Thèse INP Grenoble, 2006
- [17] Birahim Diagne « Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception » Université Louis Pasteur - Strasbourg I, 16 Novembre 2007.
- [18] Semiconductor Industry Association (SIA), "National Technology Roadmap for Semiconductors", 2004.
- [19] E. J. Nowak, T. Ludwig, I. Aller, J. Kedzierski, M. Jeong, B. Rainey, M. Bretwisch, V. Gernhoefer, J. Keinert, D.M. Fried, "Scaling beyond the 65 nm node with FinFET-DG CMOS", *IEEE CICC*, pp. 339-342, 2003.
- [20] J. Kedzierski, M. Jeong, E. Novak, T. S. Kanarsky, Y. Zhang, R. Roy, D. Boyd, D. Fried, S. P. Wong, "Extension and source/drain design for high performance FinFET devices", *IEEE Trans. On Electr. Dev.*, vol. 50, no 4, pp. 952-958, 2003.
- [21] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak, K. De Meyer, "Analysis of the parasitic S/D Resistance in multiple-gate FETs", *IEEE Trans. On Electr. Dev.*, pp. 19, 2005.
- [22] Lee J-H., Taraschi G., Wei A., Langdo T.A., Fitzgerald E.A. et Antoniadis D.A. (1999). Super self-aligned double-gate (SSDG) MOSFETs utilising oxidation rate difference and selective epitaxy. In 1999 International Electron Devices Meeting. Technical Digest, pages 71 – 74.
- [23] Guarini K. W., Solomon P. M., Zhang Y., Chan K. K., Jones E. C., Cohen G. M., Krasnoperova A., Ronay M., Dokumaci O., Bucchignano J. J., Cabral C. J., Lavoie C., Ku V., Boyd D. C., Petrarca K. S., Babich I. V., Treichler J., Kozlowski P. M., Newbury J. S., D'Emic C. P., Sicina R. M. et Wong H.-S. (2001). Triple-self-aligned, planar double-gate mosfets : devices and circuits. In 2001 International Electron Devices Meeting. Technical Digest, pages 19 – 20.
- [24] Zhang S., Lin X., Huang R., Han R. et Chan M. (2003). A Self-Aligned, Electrically Separable Double-Gate MOS Transistor Technology for Dynamic Threshold Voltage Application. *IEEE Transactions on Electron Devices*, 50(11) : 2297 – 2299.

- [25] Vinet M., Poiroux T., Widiez J., Lolivier J., Previtali B., Vizioz C., Guillaumot B., Besson P., Simon J., Martin F., Maitrejean S., Holliger P., Biasse B., Cassé M., Allain F., Toffoli A., Lafond D., Hartmann J. M., Truche R., Carron V., Laugier F., Roman A., Morand Y., Renaud D., Mouis M. et Deleonibus S. (2004). Planar double gate CMOS transistors with 40 nm metal gate for multipurpose applications. In 2007 International Conference on SSDM, pages 768 – 769.
- [26] Widiez J., Lolivier J., Vinet M., Poiroux T., Previtali B., Daugé F., Mouis M. et Deleonibus S. (2005). Experimental Evaluation of Gate Architecture Influence on DG SOI MOSFETs Performance. *IEEE Transactions on Electron Devices*, 52(8) : 1772 – 1779.
- [27] Jean-Luc HUGUENIN, « Etude de dispositifs à film mince pour les technologies sub-22nm à basse consommation » thèse de doctorat Novembre 2011.
- [28] H.-S. Wong, K.K. Chan, Y. Taur, “Self-aligned (top and bottom) double-gate MOSFET with a 25 nm thick silicon channel”, *IEDM*, pp. 427-430, 1997.
- [29] H.-S Wong, D. Frank, Y. Taur, J. Stork, “Design and performance considerations for sub-0,1 μ m double-gate SOI MOSFET’S”, *IEDM Technical Digest.*, pp.747-750, 1994.
- [30] J. Denton, G. Neudeck, “Fully depleted dual-gated thin-film SOI p-MOSFET’s fabricated in SOI islands with an isolated buried polysilicon backgate”, *IEEE Electron Device Letter*, vol. 17, pp. 509-511, 1996.
- [31] K. Guarini, P. Solomon, Y. Zhang, K. Chan, E. Jones, G. Cohen, A. Krasnoperova, M. Ronay, O. Dokumaci, J. Bucchignano, C. C. Jr., C. Lavoie, V. Ku, D. Boyd, K. Petrarka, I. Babich, J. Treichler, P. Kozlowski, J. Newbury, C.P. D’Emic, R. Sicina, H.-S. Wong, “Tripleself- aligned, planar double-gate MOSFET’s: devices and circuits”, *IEDM Tech. Digest.*, pp.425-428, 2001.
- [32] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, F. Masuoka, “High performance CMOS surrounding gate transistor (SGT) for ultra high density VLSIs”, *IEDM*, p.222,1988.
- [33] C. P Auth, J.D. Plummer, “Vertical fully-depleted, surrounding gate MOSFET’s on sub-0,1 μ m thick silicon pillars”, *IEEE Device Research Conference*, pp. 108-109, 1996.
- [34] J.M. Hergenrother, D. Monroe, F.P. Klemens, A. Kornblit, G.R. Weber, W.M. Mansfield, M.R. Baker, F.H. Baumann, K.J. Bolan, J.E. Bower, N.A. Ciampa, R.A. Cirelli, J.I. Colonell, R.N. Kleiman, W.Y-C. Lai, J. T-C. Lee, R.C. Liu, H.L. Maynard, M.D. Morris, S-H. Oh, C-S. Pai, C.S. Rafferty, J.M. Rosamilia, T.W. Sorsch, H-H Vuong, “The vertical Replacement-Gate (VRG) MOSFET: a 50-nm Vertical MOSFET with lithography-independent gate length”, *IEDM Tech. Digest.*, pp. 75-78, 1999.

- [35] J.M. Hergenrother, G.D. Wilk, T. Nigam, F.P. Klemens, D. Monroe, P.J. Silverman, T.W. Sorsch, B. Busch, M.L. Green, M.R. Baker, T. Boone, M.K. Bude, N.A. Ciampa, E.J. Ferry, A. T. Fiory, S.J. Hillenius, D.C. Jacobson, R.W. Johnson, P. Kalavade, R.C. Keller, C.A. King, A. Kornblit, H.W. Krautter, J.T-C. Lee, W.M. Mansfield, J.F. Miner, M.D. Morris, Sang-Hyun Oh, J.M. Rosamilia, B.J. Sapjeta, K. Short, K. Steiner, "50 nm vertical Replacement-Gate (VRG) n-MOSFETs with ALD HfO₂ and Al₂O₃ gate dielectrics", IEDM Tech. Digest., pp. 51-54, 2001.
- [36] J.M. Hergenrother, T. Nigam, D. Monroe, F.P. Klemens, A. Kornblit, W.M. Mansfield, M.R. Baker, D.L. Barr, F.H. Baumann, K.J. Bolan, T. Boone, N.A. Ciampa, R.A. Cirelli, D.J. Eaglesham, E.J. Ferry, A.T. Fiory, J. Frackoviak, J.P. Garno, H.J. Gossmann, J.L. Grazul, M.L. Green, S.J. Hillenius, R.W. Johnson, R.C. Keller, C.A. King, R.N. Kleiman, J.T-C. Lee, J.F. Miner, M.D. Morris, C.S. Rafferty, J.M. Rosamilia, K. Short, T.W. Sorsch, A.G. Timko, G.R. Weber, G.D. Wilk, J.D. Plummer, "50 nm Vertical Replacement Gate(VRG) p-MOSFETs", IEDM Tech. Digest., pp. 65-68, 2000.
- [37] C.P. Auth, "Physics and technology of vertical surround gate MOSFETs", PhD Thesis, Stanford University, 1998.
- [38] L. Risch, W.H. Krauschneider, F. Hofmann, H. Schafer, T. Aeugle, W. Rosner "Vertical MOS Transistors with 70 nm channel length", IEEE, pp. 1495-1498, 1996.
- [39] M. Yang, C.-L. Chang, M. Carroll, J.C. Sturm, "25 nm p channel vertical MOSFETs with SiGe source drains", IEEE Electron Device Letter, vol. 20, pp. 301-303, 1999.
- [40] T. Schulz, W. Rosner, L. Risch, U. Langmann, "50 nm vertical Sidewall Transistors with high channel doping concentrations", IEDM, pp. 61-64, 2000.
- [41] T. Schulz, W. Rosner, E. Landgraf, L. Risch, U. Langmann, "Planar and vertical gate concepts", Solid State Electronics, pp. 985-989, 2002.
- [42] T. Schulz, W. Rosner, L. Risch, E. Landgraf, A. Korbel, "Short-channel vertical sidewall MOSFETs", IEEE, pp. 1783-1788, 2001.
- [43] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda, "A fully Depleted Lean-Channel Transistor (DELTA). A Novel Vertical Ultrathin SOI MOSFET", IEEE Electron Device Letters, vol. 11, no1, pp. 36-38, 1990.
- [44] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda, "Impact of the vertical SOI "DELTA" structure on planar device technology", IEEE transactions on Electron Device, vol. 38, no6, pp. 1419-1424, 1991.
- [45] M. Kubota, T. Tamaki, K. Kawamoto, E. Takeda, "New SOI CMOS process with selective oxidation", IEDM, pp. 814-816, 1986.

- [46] S.C. Arney, N.C. MacDonald, "Formation of submicron silicon-on-insulator structures by lateral oxidation of substrate-silicon islands", *J. Vac. Sci. Technol.,B*, vol. 6, no1, pp. 341-344, 1988.
- [47] D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, Tsu-Jae King, J. Bokor, Chen-ming Hu, "A Folded channel MOSFET for deep sub tenth micron Era", *IEDM Technical Digest.*, p. 1032, 1998.
- [48] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor, C.-M. Hu, "FinFET a self aligned double gate MOSFET scalable to 20 nm", *IEEE Transaction on Electron Devices*, vol. 47, no12, pp. 2320-2326, 2000.
- [49] Y.-K. Choi, N. Lindert, P. Xuan, S. Tang, D. Ja, E. Anderson, T.-J. King, J. bokor, C.M. Hu "Sub-20 nm CMOS FinFET technologies", *Electron Devices Meeting, IEDM Technical Digest. International Letters*, vol. 23, no1, pp. 19.1.1-19.1.4, 2001.
- [50] X Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, C.-M. Hu, "Sub-50 nm FinFET: p-MOS", *IEDM Technical Digest. International*, pp. 67-70, 1999.
- [51] Y.-K. Choi, T.-J. King, C. Hu, "Nanoscale CMOS spacer FinFET for the terabit era", *IEEE Electron Device Letters*, vol.23, no1, pp. 25-27, 2002.
- [52] J. Kedzierski, M. Jeong, E. Novak, T.S. Kanarsky, Y. Zhang, R. Roy, D. Boyd, D. Fried, S.P. Wong, "Extension and source/drain design for high performance FinFET devices", *IEEE Trans. On Elect. Dev.*, vol. 50, no 4, pp. 952-958, 2003.
- [53] D. Ha, H. Takeuchi, Y.-K. choi, T.-J. King, "Molybdenum gate technology for ultrathin - body MOSFETs and FinFETs", *IEEE Trans. On Elect. Dev.*, vol. 51, no12, pp. 1989-1996, 2004.
- [54] N. Collaert, A. Dixit, M. Goodwin, K.G. Anil, R. Rooyackers, B. Degroote, L.H.A. Leunissen, A. Veloso, R. Jonckheere, K. De Meyer, M. Jurczak, S. Biesemans, "A functional 41-stage ring oscillator using scaled FinFET devices with 25-nm gate lengths and 10-nm fin widths applicable for the 45-nm CMOS node", *IEEE, Electron Device Letters*, vol. 25, no8, pp. 568-570, 2004.
- [55] R. Chau, B. Doyle, J. Kavalieros, D. Barlage, A. Murthy, M. Doczy, "Advanced depleted substrate transistors: single-gate, double-gate and tri-gate", *Int. Conf. on Solid State Dev. And Mat., SSDM*, p. 68, 2002.
- [56] M.C. Lemme, T. Mollenhauera, W. Henschela, T. Wahlbrinka, M. Bausb, O. Winklerb, R. Granznerc, F. Schwierzc, B. Spangenbergb, H. Kurza, "Subthreshold behavior of triple-gate MOSFETs on SOI material", *Solid State Electronic*, vol. 48, pp. 529-534, 2004.

- [57] J.G. Fossum, J.-W. Yang, V.P. Trivedi, "Suppression of corner effects in triple-gate MOSFETs", IEEE Elect. Device Letters, vol. 24, pp. 745-747, 2003.
- [58] W. Xiong, J.W. Park, J.P. Colinge "Corner effect in multiple-gate SOI MOSFETs", IEEE Elect. Device Letters, pp. 111-113, 2003.
- [59] Julien PENAUD, « Contributions à la conception et à la réalisation de transistors MOS à grille multiple » thèse de doctorat, octobre 2006.
- [60] F.-L. Yang, H.-Y. Chen, F.-C. Chen, C.-C. Huang, C.-Y. Chang, H.-K. Chiu, C.-C. Lee, C.-C. Chen, H.-T. Huang, C.-J. Tao, Y.-C. Yeo, M.-S. Liang, C. Hu, "25 nm CMOS Omega FETs", IEDM, 2002.
- [61] B. Yu, L. Chang, S. Ahmed, H. Wang, S. Bell, C. Yang, C. Tabery, C. Hau, Qi Xiang, T.-J. King, J. Bokor, C. Hu, M.-R. Lin, and D. Kyser, "FinFET scaling to 10 nm length", IEDM, pp. 252-254, 2002.
- [62] M. Masahara, T. Matsukawa, K. Ishii, Y. Liu, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru, E. Suzuki, "15 nm thick Si channel wall vertical double gate MOSFET", IEDM, pp. 949-951, 2002.
- [63] J. Penaud, F. Fruleux, E. Dubois, P. Coronel, G. Larrieu, X. Baie, "Transistor MOS de type FinFET présentant des contacts source et drain auto alignés sur la grille grâce à un dépôt de l'empilement de grille par remplissage d'une cavité Damascène", proposition de brevet conjointe-IEMN-ST Microelectronics, janvier 2005.
- [64] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, "Optimization of HSQ e-beam lithography for the patterning of FinFET transistors", Microelectronic Engineering, vol. 83, Issues 4-9, pp. 776-779, 2006.
- [65] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, "An optimal high contrast ebeam lithography process for the patterning of dense fin networks", Materials Science and Engineering: C, Vol. 26, Issues 5-7, pp. 893-897, 2006.
- [66] J. Penaud, F. Fruleux, E. Dubois, "Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFET", In Press dans Applied Surface Science, 2006.
- [67] A. Yagishita, T. Saito, K. Nakajima, S. Inumiya, Y. Akasaka, Y. Ozawa, K. Hieda, Y. Tsunashima, K. Suguro, T. Arikado, K. Okumura, "High performance Damascene metal gate MOSFET's for 0,1 μ m regime", IEEE Transactions on Electron Devices, vol. 47, no55, pp. 1028-1034, 2000.
- [68] J.-D. Chloe, C.-S. Lee, S.-H. Kim, S.-M. Kim, S.-A. Lee, J.-W. Lee, Y.-G. Shin, D. Park,

- K. Kim, "A 22-nm Damascene-gate MOSFET fabrication with 0,9-nm EOT and local channel implantation", *Electron Devices Meeting*, vol. 24, no53, pp. 195-197, 2003.
- [69] S. Schwntes, S. Dhar, W. Krautschneider, "An analytic polysilicon depletion effect model for MOSFETs", *IEEE Elect. Device Lett.*, vol. 15, pp. 129-131, 1994.
- [70] N. D. Arora, R. Rios, C.-L. Huang, "Modelling the polysilicon depletion effect and its impact on sub-micrometer CMOS circuit performance", *IEEE Transactions on Electron Devices*, vol. 42, no5, pp. 935-943, 1995.
- [71] M. Hao, D. Nayak, R. Rakkhit, "Impact of boron penetration at p⁺-poly/gate oxide interface on deep-submicron device reliability for dual-gate CMOS technologies", *IEEE Electron Device Letter*, vol. 18, no5, pp. 215-217, 1997.
- [72] D.A. Buchanan, F.R.Mc. Feely, J.J. Yurkas, "Fabrication of midgap metal gates compatible with ultrathin dielectrics", *Appl. Phys. Lett.*, vol. 73, no12, pp. 1676-1678, 1998.
- [73] T. Tanaka, K. Suzuki, K. Horie, H. Sugii, "Ultrafast operation of V_{th}-adjusted p⁺-n⁺ double gate SOI MOSFETs", *IEEE Elec. Dev. Lett.* vol. 15, no10, pp. 386-388, 1994.
- [74] K. Kim, J.G. Fossum, "Optimal double-gate MOSFETs: symmetrical or asymmetrical gates?", *IEEE Intern. SOI Conf. proceedings*, 1999.
- [75] G. Larrieu, "Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique", *Thèse de Doctorat*, IEMN, Lille1, 2004.
- [76] B.-Y. Tsui, C.-P. Lin, "A novel 25-nm Modified Schottky-Barrier FinFET with high performance", *IEEE Elect. Dev. Lett.*, vol. 25, no6, 2004.
- [77] J. B. Roldán, Andrés Godoy, Francisco Gámiz and M. Balaguer, 'Modeling the Centroid and the Inversion Charge in Cylindrical Surrounding Gate MOSFETs, Including Quantum Effects', *IEEE TRANSACTIONS ON ELECTRON DEVICES*, pp.411-416, VOL. 55, NO. 1, JANUARY 2008.
- [78] Yiming Li, Jung Y. Huang, Bo-Shian Lee, and Chih-Hong Hwang, 'Effect of Single Grain Boundary Position on Surrounding-Gate Polysilicon Thin Film Transistors', *Proceedings of the 7th IEEE International Conference on Nanotechnology August 2 - 5, 2007, Hong Kong*.
- [79] V. Pott, 'Gate-All-Around Silicon Nanowires for Hybrid Single Electron Transistor/CMOS Applications', *Thèse de Doctorat*, Ecole Polytechnique Fédérale De Lausanne, France, 2008.

- [80] R. J. Needs, A. J. Read, K. J. Nash, S. Bhattacharjee, A. Qteish, L. T. Canham and P. D. J. Calcott, 'A first-principles study of the electronic properties of silicon quantum wires', *Statistical and Theoretical Physics*, vol. 207 (1-3), pp. 411-414, 1994.
- [81] M.-Y. Shen and S.-L. Zhang, 'Band gap of a silicon quantum wire', *Physics Letters A*, vol. 176 (3- 4), pp. 254-258, 1993.
- [82] J.-P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes and C. Claeys, 'Silicon-on-insulator gate-allaround device', *Technical Digest of IEDM*, pp. 595-598, San Francisco CA, 1990.
- [83] E. Leobandung, J. Gu, L. Guo and S. Y. Chou, 'Wire-channel and wrap-around-gate metal oxide semiconductor field-effect transistors with a significant reduction of short channel effects', *Journal of Vacuum Science and Technology: B*, vol. 15 (6), pp. 2791-2794, 1997.
- [84] J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee and B.-G. Park, 'Design optimization of gate-all-around (GAA) MOSFETs', *IEEE Transactions on Nanotechnology*, vol. 5 (3), pp. 186-191, 2006.
- [85] S. D. Suk, S.-Y. Lee, S.-M. Kim, E.-J. Yoon, M.-S. Kim, M. Li, C. W. Oh, K. H. Yeo, S. H. Kim, D.-S. Shin, K.-H. Lee, H. S. Park, J. N. Han, C. J. Park, J.-B. Park, D.-W. Kim, D. Park and B.-I. Ryu, 'High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk Si wafer, characteristics, and reliability', *Technical Digest of IEDM*, pp. 717-720, Washington DC, 2005.
- [86] M. A. HAMDY 'COMPACT MODELING OF MULTIPLE GATE MOS DEVICES', Thèse de Doctorat, University of Rovira i Virgili, 2007.
- [87] Gengchiao Liang, 'Structure Effects in the gate-all-around Silicon Nanowire MOSFETs', *Electron Devices and Solid-State Circuits, EDSSC 2007*. pp . 129 – 132, 2007.
- [88] Sung Dae Suk, Kyoung Hwan Yeo, Keun Hwi Cho, Ming Li, Yun Young Yeoh, Sung-Young Lee, Sung Min Kim, Eun Jung Yoon, Min Sang Kim, Chang Woo Oh, Sung Hwan Kim, Dong-Won Kim, and Donggun Park, 'High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp 181-184 ,VOL. 7, NO. 2, MARCH 2008.
- [89] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung-Gook Park, 'Design Optimization of Gate-All-Around (GAA) MOSFETs', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp. 186-191, VOL. 5, NO. 3, MAY 2006.

- [90] E. Moreno , J.B. Roldán , F.G. Ruiz, D. Barrera, A. Godoy, F. Gámiz, ‘An analytical model for square GAA MOSFETs including quantum effects’, *Solid-State Electronics* pp. 1463–1469, Vol.54, 2010.
- [91] Kirsten E. Moselund, Didier Bouvet, Lucas Tschuor, Vincent Pott, Paolo Dainesi, and Adrian M. Ionescu, ‘Local volume inversion and corner effects in triangular gate-all-around MOSFETs’, *Solid-State Device Research Conference*, pp. 359 – 362 , 2006. ESSDERC 2006.
- [92] Vincent Pott, Kirsten Emilie Moselund, Didier Bouvet, Luca De Michielis, and Adrian Mihai Ionescu, ‘Fabrication and Characterization of Gate-All-Around Silicon Nanowires on Bulk Silicon’, *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp 733-744,VOL. 7, NO. 6, NOVEMBER 2008.
- [93] K. E. Moselund, ‘Three-Dimensional Electronic Devices Fabricated on a Top-Down Silicon Nanowire Platform’, *Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.*
- [94] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, ‘Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET’, *IEEE ELECTRON DEVICE LETTERS*,pp 791-794 ,VOL. 29, NO. 7, JULY 2008.
- [95] Kyoung Hwan Yeo, Sung Dae Suk, Ming Li, Yun-young Yeoh, Keun Hwi Cho, Ki-Ha HongSeongKyu Yun, Mong Sup Lee, Nammyun Cho, Kwanheum Lee, Duhyun Hwang, Bokkyoung Park, Dong-Won Kim, Donggun Park, and Byung-Il Ryu, ‘Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires’, *Electron Devices Meeting, IEDM '06*. pp. 1- 4, 2006.
- [96] Min-kyu Jeong and Jong-Ho Lee, ‘Mobility and Effective Electric Field in Non-Planar Channel MOSFETs’, *IEEE Transactions on Nanotechnology*, pp. 106 – 110; 2009.
- [97] Byung-Gook Park , Jae Young Song, Jong Pil Kim, Hoon Jeong, Jung Hoon Lee, Seongjae Cho, ‘Nanosculpture: Three-dimensional CMOS device structures for the ULSI era’, *Microelectronics Journal*, pp. 769–772, Vol.40, 2009.
- [98] Keun Hwi Cho, Sung Dae Suk, Yun Young Yeoh, Ming Li, Kyoung Hwan Yeo, Dong-Won Kim, Sung Woo Hwang, Donggun Park, and Byung-Il Ryu, ‘Observation of Single Electron Tunneling and Ballistic Transport in Twin Silicon Nanowire MOSFETs (TSNWFETs) Fabricated by Top-Down CMOS Process’,*Electron Devices Meeting, IEDM '06*, 2006.
- [99] Sung Dae Suk Kyoung Hwan Yeo Keun Hwi Cho Ming Li Yun Young Yeoh Sung-Young Lee Sung Min Kim Eun Jung Yoon Min Sang Kim Chang Woo Oh Sung Hwan

Kim Dong-Won Kim, 'High- Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer', IEEE Transactions on Nanotechnology, pp.181-184 Vol.7 2008.

[100] Runsheng Wang, Hongwei Liu, Ru Huang, Jing Zhuge, Liangliang Zhang, Dong-Won Kim, Xing Zhang, Donggun Park, and Yangyuan Wang, 'Experimental Investigations on Carrier Transport in Si Nanowire Transistors: Ballistic Efficiency and Apparent Mobility', IEEE TRANSACTIONS ON ELECTRON DEVICES, pp. 2960-2967, VOL. 55, NO. 11, NOVEMBER 2008.

[101] C. Dupré, T. Ernst, E. Bernard, B. Guillaumot, N. Vulliet, P. Coronel, T. Skotnicki, S. Cristoloveanu, G. Ghibaudo and S. Deleonibus, 'A Mobility Extraction Method for 3D Multichannel Devices', Solid-State Device Research Conference, ESSDERC 2008, pp. 230-233, 2008.

[102] Donggun Park, '3 Dimensional GAA Transistors : twin silicon nanowire MOSFET and multi-bridgechannel MOSFET', IEEE International SOI Conference 2006.

[103] J.P. Colinge; 'Multi-gate SOI MOSFETs', Microelectronic Engineering, pp.2071–2076, Vol 84, 2007.

[104] T. Ernst, E. Bernard, C. Dupré, A. Hubert, S. Bécu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J.-M. Hartmann, C. Vizoz, N. Vulliet, O. Faynot, T. Skotnicki, and S. Deleonibus, '3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics', Integrated Circuit Design and Technology and Tutorial, ICICDT 2008, pp. 265-268, 2008.

[105] B. Yang, K. D. Buddharaju, S. H. G. Teo, J. Fu, N. Singh, G. Q. Lo, and D. L. Kwong, 'CMOS Compatible Gate-All-Around Vertical Silicon-Nanowire MOSFETs', 38th European Solid-State Device Research Conference, pp. 318 – 321, 15 - 19 Sep 2008, Edinburgh.

[106] Xiaoyu Hou, Falong Zhou, Ru Huang and Xing Zhang, 'Corner Effects in Vertical MOSFETs', Solid-State and Integrated Circuits Technology, pp. 134-137, vol.1 2004.

[107] S. Monfray, T. Skotnicki, Y. Morand, S. Descombes, P. Coronel, P. Mazoyer, S. Harrison, P. Ribot, A. Talbot, D. Dutartre, M. Haond, R. Palla, Y. Le Friec, F. Leverd, M-E. Nier, C. Vizoz, D. Louis, "50nm- Gate All Around (GAA)- Silicon on Nothing (SON)- Devices: A simple way to Co-integration of GAA Transistors within bulk MOSFET process", IEEE Symposium on VLSI Tech. Digest. of Technic. Papers, pp. 108-109, 2002.

[108] S. Monfray, "Conception et réalisation de dispositifs CMOS en technologie SON", Thèse de doctorat, Université de Provence, 2003.

- [109] Harrison S., Coronel P., Leverd F., Cerutti R., Palla R., Delille D., Borel S., Jullian S., Pantel R., Descombes S., Dutartre D., Morand Y., Samson M. P., Lenoble D., Talbot A., Villaret A., Monfray S., Mazoyer P., Bustos J., Brut H., Cros A., Munteanu D., Autran J.-L. et Skotnicki T. (2003). Highly performant double gate mosfet realized with son process. In 2003 International Electron Devices Meeting. Technical Digest, pages 449 – 452.
- [110] Harrison S., Cros A., Coronel P., Leverd F., Beverina A., Cerutti R., Wacquez R., Bustos J., Delille D., Tavel B., Barge D., Bienacel J., Samson MP., Martin F., Maitrejean S., Munteanu D. et Skotnicki T. (2004). Poly-gate Replacement Through Contact Hole (PRETCH): A new method for High- K/Metal gate and multioxide implementation on chip. In 2004 International Electron Devices Meeting. Technical Digest, pages 291 – 294.
- [111] Cerruti R., Harrison S., Cros A., Coronel P., Wacquez R., Bustos J., Dellile D., Leverd F., Gouraud P., Borel S., Talbot A., Loubet N., Samson MP., Balestra F., Schoellkopf J.P. et Skotnicki T. (2005). New Design Adapted Planar Double Gate Process for performant low standby power application. In 2005 Silicon Nanoelectronics Workshop.
- [112] Widiez J., Dauge F., Vinet M., Poiroux T., Previtali B., Mouis M. et Deleonibus S. (2004). Experimental Gate Misalignment Analysis on Double Gate SOI MOSFETs. In 2004 International SOI Conference, pages 185 – 186.
- [113] Wacquez R., Cerutti R., Coronel P., Cros A., Fleury D., Pouydebasque A., Bustos J., Harrison S., Loubet N., Borel S., Lenoble D., Delille D., Leverd F., Judong F., Samson MP., Vuillet N., Guillaumot B., Ernst T., Masson P. et Skotnicki T. (2006). A Novel Self Aligned Design Adapted Gate All Around (SADAGAA) MOSFET including two stacked Channels : A High Co- Integration Potential. In 2006 International Conference on SSDM.
- [114] Pouydebasque A., Denorme S., Loubet N., Wacquez R., Bustos J., Leverd F., Deloffre E., Barnola S., Dutartre D., Coronel P., et Skotnicki T. (2008). High- Performance High-K/Metal Planar Self-Aligned Gate-All-Around CMOS Devices. IEEE Transactions on Nanotechnology, 7(5) : 551 – 557.
- [115] Bidal G., Boeuf F., Denorme S., Loubet N., Huguenin J.L., Perreau P., Fleury D., Leverd F., Lagrasta S., Barnola S., Salvetat T., Orlando B., Beneyton R., Clément L., Pantel R., Monfray S., Ghibaud G. et Skotnicki T. (2009). High velocity Si-nanodot : a candidate for SRAM applications at 16nm node and below. In 2009 Symposium on VLSI Technology, Digest of Technical Papers, pages 240 – 241.
- [116] Bernard E., Ernst T., Guillaumot B., Vulliet N., Barral V., Maffini-Alvaro V., Andrieu F., Vizios C., Campidelli Y., Gautier P., Hartmann J. M., Kies R., Delaye V., Aussenac F., Poiroux T., Coronel P., Souifi A., Skotnicki T. et Deleonibus S. (2008). Novel integration

process and performances analysis of low standby power (I_{stp}) 3d multi-channel CMOS FETt (mcfet) on SOI with metal/high-k gate stack. In 2008 Symposium on VLSI Technology, Digest of Technical Papers, pages 16 – 17.

[117] Lee S.-Y., Kim S.-M., Yoon E.-J., Oh C.-W., Chung I., Park D. et Kim K. (2004). Three-Dimensional MBCFET as an Ultimate Transistor. IEEE Electron Device Letters, 25(4) : 217 – 219.

[118] Yoon E.-J., Lee S.-Y., Kim S.-M., Kim M.-S., Kim S.H., Ming L., Suk S., Yeo K., Oh C.W., Choe J.-D., Choi D., Kim D.-W., Park D., Kim K. et Ryu B.-I. (2004). Sub 30nm Multi-Bridge- Channel MOSFET (MBCFET) with Metal Gate Electrode for Ultra High Performance Application. In 2008 International Electron Devices Meeting, pages 627 – 630.

[119] Yun E. J., Lee S.-Y., Kim M. S., Kim S. M., Choi I., Lee J., Park B. K., Kim D.- W. et Park D. (2007). Sub-20nm Surrounding-Gate Bridge-Channel MOSFETs for Low Power and High Performance Applications. In 2007 Proceedings of International Conference on IC Design & Technology.

[120] Ernst T., Dupré C., Isheden C., Bernard E., Ritzenthaler R., Maffini-Alvaro V, Barbé J-C., De Crecy F., Toffoli A., Vizioz C., Borel S., Andrieu F., Delaye V., Lafond D., Rabillé G., Hartmann J.-M., Rivoire M., Guillaumot B., Suhm A., Rivallin P., Faynot O., Ghibaudo G. et Deleonibus S. (2006). Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO₂/TiN gate stack, In 2006 International Electron Devices Meeting. Technical Digest, pages 997 – 1000.

[121] Dupré C., Hubert A., Becu S., Jublot M., Maffini-Alvaro V., Vizioz C., Aussenac F., Arvet C., Barnola S., Hartmann J.-M., Garnier G., Allain F., Colonna J.-P., Rivoire M., Baud L., Pauliac S., Loup V., Chevolleau T., Rivallin P., Guillaumot B., Ghibaudo G., Faynot O., Ernst T. et Deleonibus S. (2008). 15nm-diameter 3d stacked nanowires with independent gates operation : Phi FET. In 2008 International Electron Devices Meeting. Technical Digest, pages 749 – 752.

[122] Hubert A., Nowak E., Tachi K., Maffini-Alvaro V., Vizioz C., Arvet C., Colonna J.-P., Hartmann J.-M., Loup V., Baud L., Pauliac S., Delaye V., Carabasse C., Molas G., Ghibaudo G., De Salvo B., Faynot O. et Ernst T. (2009). A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with gate-all-around or independent gates (E_lash), suitable for full 3D integration. In 2009 International Electron Devices Meeting. Technical Digest, pages 637 – 640.

[123] Tachi K., Casse M., Jang D., Dupre C., Hubert A., Vulliet N., Maffini-Alvaro V., Vizioz C., Carabasse C., Delaye V., Hartmann J.M., Ghibaudo G., Iwai H., Cristoloveanu S.,

Faynot O. et Ernst T. (2009). Relation ship between mobility and high-k interface properties in advanced Si and SiGe nanowires. In 2009 International Electron Devices Meeting. Technical Digest, pages 313 – 316.

[124] Ernst T., Bernard E., Dupré C., Hubert A., Bécu S., Guillaumot B., Rozeau O., Thomas O., Coronel P., Hartmann J.-M., Vizioz C., Vulliet N., Faynot O., Skotnicki T. et S. Deleonibus. (2008). 3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics. In 2008 Proceedings of International Conference on IC Design & Technology, pages 265 – 268.

[125] Jérôme SAINT-MARTIN, Etude par simulation monte carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI, Thèse de doctorat, U.F.R. SCIENTIFIQUE D'ORSAY, France ,2005.

Chapitre III
Concept théorique des modèles
physiques

Sommaire du chapitre III

III.1. Introduction	174
III.2. Equations fondamentales dans les semi-conducteurs	174
III.2.1. Equation de Poisson.....	174
III.2.2. Equations de continuité.....	175
III.2.3. Equations de transport.....	175
III.2.3.1. La méthode de Gummel.....	177
III.2.3.2. La méthode de Newton.....	178
III.3. Modèles physiques utilisés	178
III.3.1. Les modèles de mobilité.....	179
III.3.1.1. Modèle de Lombardi (CVT).....	180
III.3.1.2. Modèle de FLDMOB.....	181
III.3.1.3. Modèle de CONMOB.....	182
III.3.2. Mécanismes de recombinaison.....	183
III.3.2.1. Recombinaison SRH (Schokley-Read-Hall).....	184
III.3.2.2. Recombinaison Auger.....	186
III.3.3. Rétrécissement de la bande interdite (Bandgap-Narrowing)-modèle BGN.....	188
III.4. Les modèles d'ionisation par impact	189
III.4.1. Modèles s'appuyant sur la formule de Chynoweth.....	190
III.4.2. Modèle de Crowell et Sze.....	190
Références chapitre III	191

III.1. Introduction

Le choix des modèles physiques est important pour améliorer la précision des résultats de simulation numérique. Pour cela, le logiciel SILVACO met à notre disposition une grande variété de modèles physiques. La première difficulté de l'utilisateur va donc être de choisir certains modèles par rapport à d'autres qui pourtant décrivent les mêmes phénomènes physiques. L'autre difficulté sera de choisir les modèles en adéquation avec les mécanismes physiques mise en jeu pour les conditions d'utilisation du dispositif. Ce chapitre met en évidence l'importance du choix des modèles physiques afin d'introduire le lecteur à la logique du processus de simulation. Dans une première partie nous présentons les équations fondamentales dans les semi-conducteurs. Dans une seconde partie, nous exposons les modèles physiques de TCAD utilisés dans cette étude tels que CVT (modèle de Lombardi pour la mobilité), CONMOB (modèle de la mobilité dépendant de la concentration), FLDMOB (modèle de la mobilité dépendant du champ électrique parallèle), SRH (modèle de Shockley-Read-Hall), AUGER (modèle Recombinaisons Auger), BGN (Modèle de rétrécissement de bande interdite) et IMPACT SELB (modèle de génération de porteurs par ionisation par impact).

III.2. Equations fondamentales dans les semi-conducteurs

Des années de recherche dans la physique des dispositifs à la base des semi-conducteurs ont conduit à la réalisation d'un modèle mathématique [1]. Ce modèle est capable d'opérer dans quasiment n'importe quel dispositif à base de semi-conducteurs. Il consiste en un ensemble fondamental d'équations qui rassemblent le potentiel électrostatique et les densités de porteurs de charge dans un domaine de simulation bien précis. Ces équations, qui sont résolues via des logiciels spécifiques de simulation des dispositifs à la base de semi-conducteurs, sont dérivées des équations de Maxwell. Elles sont principalement : L'équation de Poisson, les équations de continuité et les équations de transport. L'équation de Poisson lie les variations dans le potentiel électrostatique aux densités locales de charge. Les équations de continuité ou de transport décrivent le mode par lequel les densités d'électrons et des trous se comportent en fonction des processus de transport, de génération et de recombinaison.

III.2.1. Equation de Poisson

L'équation de Poisson s'exprime par :

$$\text{div } \varepsilon \nabla \psi = -\rho \quad (\text{III.1})$$

Où ψ représente le potentiel électrostatique, ϵ la permittivité électrique ($\epsilon = \epsilon_0 \cdot \epsilon_r$, ϵ_0 est la permittivité du vide et ϵ_r est la permittivité relative du matériau), ρ est la densité volumique nette de charges libres. Le champ électrique est donné par la relation :

$$\vec{E} = -\overrightarrow{grad}(\psi) \quad (\text{III.2})$$

III.2.2. Equations de continuité

Les équations de continuité décrivent la vitesse de variation en fonction du temps des concentrations des porteurs. Les causes de la variation des concentrations des trous ou des électrons sont :

- les générations dues aux agents externes (qui sont souvent la création de paires électron-trou) ;
- les générations-recombinaisons internes ;
- les phénomènes de transport (par la présence des courants de conduction ou diffusion).

L'équation de continuité s'exprime par :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} \overrightarrow{J}_n + G_n - R_n \quad (\text{III.3})$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \text{div} \overrightarrow{J}_p + G_p - R_p \quad (\text{III.4})$$

G_n et G_p sont les taux de génération pour les électrons et les trous par des agents externes, R_n et R_p sont respectivement les taux de recombinaisons (internes) pour les électrons et les trous, J_n et J_p sont les densités des courants des électrons et des trous.

III.2.3. Equations de transport

Dans le cas des hypothèses de base des équations de la physique des semi-conducteurs (le champ magnétique extérieur est nul, la température est uniforme dans toute la structure) les causes de l'apparition des courants électriques sont le champ électrique et le gradient des concentrations des porteurs de charge. Les courants déterminés par le champ électrique s'appellent **courant du champ ou courant de drift**. Et les courants déterminés par le gradient de concentration des porteurs s'appellent **courant de diffusion**.

Dans le cas hors équilibre thermodynamique, nous définissons deux quasi-niveaux de Fermi, un pour les électrons et un pour les trous, φ_n et φ_p qui expriment la modification de la probabilité d'occupation des états.

Ainsi les densités des courants des équations de continuité peuvent être approximées à l'aide de la théorie de transport de Boltzmann par le modèle de drift-diffusion [2] (modèle isothermique de transport). Dans ce modèle, les densités de courants sont exprimées en fonction des quasi-niveaux de Fermi par les expressions :

$$\vec{J}_n = -q\mu_n n \nabla \varphi_n \quad (\text{III.5})$$

$$\vec{J}_p = -q\mu_p p \nabla \varphi_p \quad (\text{III.6})$$

Avec q est la charge électrique, μ_n et μ_p sont les mobilités des électrons et des trous. Les expressions pour les concentrations des électrons et des trous sont:

$$n = n_{ie} \exp\left[\frac{q(\psi - \varphi_n)}{kT_L}\right] \quad (\text{III.7})$$

$$p = n_{ie} \exp\left[\frac{-q(\psi - \varphi_p)}{kT_L}\right] \quad (\text{III.8})$$

Avec n_{ie} la densité effective intrinsèque.

En introduisant ces équations dans les expressions de densité de courant, on obtient:

$$\vec{J}_n = qD_n \nabla n - qn\mu_n \nabla \psi - \mu_n n (KT_L \nabla(\ln n_{ie})) \quad (\text{III.9})$$

$$\vec{J}_p = -qD_p \nabla p - qp\mu_p \nabla \psi + \mu_p p (KT_L \nabla(\ln n_{ie})) \quad (\text{III.10})$$

Avec D_n et D_p sont les coefficients d'Einstein qui ont pour expression :

$$D_n = \frac{KT}{q} \mu_n \quad (\text{III.11})$$

$$D_p = \frac{KT}{q} \mu_p \quad (\text{III.12})$$

a) Diffusion

Les courants de diffusion sont générés par l'existence d'une concentration non uniforme des électrons ou des trous dans le semi-conducteur. Il est nettement plus probable qu'une charge d'une zone de concentration élevée se déplace vers une zone de basse concentration que l'inverse. Ce phénomène de diffusion est décrit quantitativement par la première loi de Fick qui montre la proportionnalité entre le flux de particules \vec{F} et le gradient de leur concentration $\vec{\nabla} C$ selon la relation :

$$\vec{F} = -D \cdot \vec{\nabla} C \quad (\text{III.13})$$

Le facteur de proportionnalité D s'appelle coefficient de diffusion. En appliquant la relation (III.13) pour les électrons $C=n$, $D=D_n$ et les trous $C=p$, $D=D_p$ nous trouvons les densités des courants de diffusion :

$$\vec{J}_{n,diff} = -q\vec{F}_n = qD_n \nabla n \quad (\text{III.14})$$

$$\vec{J}_{p,diff} = q\vec{F}_p = -qD_p \nabla p \quad (\text{III.15})$$

qui représente en pratique le premier terme des équations (III.9) et (III.10).

Notons que le troisième terme des équations (III.9) et (III.10) est aussi un courant de diffusion. Mais il est dû au gradient des densités effectives d'états n_{ie} .

b) Dérive " Drift "

En présence d'un champ électrique le porteur de charge est accéléré entre deux collisions aléatoires. La direction est donnée par le champ électrique et génère un déplacement moyen avec une vitesse donnée par :

$$\vec{v}_n = \mu_n \overline{E_n} \text{ pour les électrons} \quad (\text{III.16})$$

$$\vec{v}_p = \mu_p \overline{E_p} \text{ pour le trous} \quad (\text{III.17})$$

Dans les mêmes conditions de champ, les vitesses des électrons sont plus grandes que celle des trous. Donc nous avons beaucoup plus de chance de collecter des électrons que des trous.

Le courant de drift est donné par :

$$\vec{J}_{n.drift} = qn\vec{v}_n \quad (\text{III.18})$$

$$\vec{J}_{p.drift} = qp\vec{v}_p \quad (\text{III.19})$$

Ainsi le courant de drift est représenté dans le second terme des équations (III.9) et (III.10).

Le système d'équation : l'équation de Poisson, les équations de continuité et les équations de transport est un système d'équations différentielles non linéaires couplées. Pour le résoudre, des méthodes numériques doivent être utilisées afin de trouver les solutions. Deux méthodes sont généralement utilisés à savoir la méthode de Gummel et la méthode de Newton [3].

III.2.3.1. La méthode de Gummel

La méthode de Gummel résout le système d'équations DD via une procédure découplée. En premier, la solution de l'équation de poisson est résolue séparément à l'équilibre (tension nulle) pour calculer le potentiel de surface en utilisant l'équation suivante :

$$\delta V(i-1) \left[2 + \frac{n_i}{N} \Delta^2 x (\exp(\bar{V}(i)) - \exp(-\bar{V}(i))) \right] \delta V(i) + \delta V(i+1) = -\bar{V}(i-1) + 2\bar{V}(i) - \bar{V}(i+1) + \frac{n_i}{N} \Delta^2 x \left[(\exp(\bar{V}(i)) - \exp(-\bar{V}(i))) + \frac{N_A - N_D}{n_i} \right] \quad (\text{III.20})$$

Une fois le potentiel de surface calculé, et pour une tension appliquée bien déterminé (l'équation de poisson change), le potentiel de surface ainsi obtenu est substitué dans l'équation de continuité et l'équation de courant afin de calculer les quasi niveaux de Fermi (qui servent à calculer les densités des porteurs Φ_n et Φ_p) et ainsi le nouveau potentiel de surface par un processus itératif.

$$\begin{aligned}
a_n(i-1/2)\Phi_n(i-1) - [a_n(i+1/2) + a_n(i-1/2)]\Phi_n(i) + a_n(i+1/2)\Phi_n(i+1) \\
= \Delta^2 x U(i) \\
a_p(i-1/2)\Phi_p(i-1) - [a_p(i+1/2) + a_p(i-1/2)]\Phi_p(i) + a_p(i+1/2)\Phi_p(i+1) \\
= \Delta^2 x U(i)
\end{aligned}
\tag{III.21}$$

III.2.3.2. La méthode de Newton

C'est une procédure qui résout les équations en ensemble, on écrit les équations précédentes sous la forme résiduelle :

$$W_v(v, n, p) = 0$$

$$W_n(v, n, p) = 0$$

$$W_p(v, n, p) = 0$$

Au début et en partant avec des valeurs initiales v_0, n_0, p_0 , les corrections $\Delta v, \Delta n, \Delta p$ sont calculées par le système jacobien suivant :

$$\begin{bmatrix} \frac{\delta W_v}{\delta v} & \frac{\delta W_v}{\delta n} & \frac{\delta W_v}{\delta p} \\ \frac{\delta W_n}{\delta v} & \frac{\delta W_n}{\delta n} & \frac{\delta W_n}{\delta p} \\ \frac{\delta W_p}{\delta v} & \frac{\delta W_p}{\delta n} & \frac{\delta W_p}{\delta p} \end{bmatrix} \begin{bmatrix} \Delta v \\ \Delta n \\ \Delta p \end{bmatrix} = - \begin{bmatrix} W_v \\ W_n \\ W_p \end{bmatrix} \tag{III.22}$$

Les solutions sont alors obtenus par:

$$\begin{aligned}
V(k+1) &= V(k) + \Delta v(k) \\
n(k+1) &= n(k) + \Delta n(k) \\
p(k+1) &= p(k) + \Delta p(k) \tag{III.23}
\end{aligned}$$

Ou k indique le nombre d'itération, et le système d'équation (III.23) a trois équations pour chaque point du maillage.

En général la méthode de Gummel est préférée à une polarisation faible, à cause de sa rapidité de convergence avec moins d'itérations dans le calcul. A forte polarisation la méthode la plus utilisée est la méthode de Newton.

III.3. Modèles physiques utilisés

Les modèles physiques dans les semi-conducteurs ont été modélisés sous la forme d'expressions mathématiques reliant le potentiel électrostatique et la densité des porteurs.

La modélisation physique est réalisée en tenant compte de la probabilité d'occupation des niveaux d'énergie, de la mobilité des porteurs et des différents types de recombinaison-génération.

Plusieurs modèles ont été développés pour les semi-conducteurs en fonction du choix de la technologie (bipolaire, CMOS,...), de la concentration des dopants, des dimensions et de la température de fonctionnement. Ces grandeurs doivent être choisies d'une manière judicieuse pour se rapprocher du comportement physique réel du dispositif.

Les modèles physiques se répartissent en cinq catégories: la mobilité, la recombinaison, les statistiques des porteurs, l'ionisation par impact, et l'effet tunnel.

Les modèles physiques de TCAD utilisés dans cette étude sont présentés dans le tableau suivant :

Modèle	Description
CVT	Modèle de Lombardi pour la mobilité, il tient compte de l'effet de la température et du champ électrique sur la mobilité, c'est le modèle le plus convenable pour les dispositifs non planaire.
CONMOB	Pour modéliser la dépendance de la mobilité des porteurs sur la concentration en impuretés.
FLDMOB	Modèle de mobilité utilisant la composante de champ électrique parallèle, il est nécessaire pour modéliser tout type d'effet de saturation de vitesse.
SRH	Recombinaison Assistée par Pièges (Shockley Read Hall) : Utilise la durée de vie des porteurs minoritaires, Il doit être utilisé dans la plupart des simulations.
AUGER	Indique recombinaisons Auger, prédomine pour les forts niveaux d'injection ou pour les dopages importants.
BGN	Modèle de rétrécissement de bande interdite (<i>Band gap Narrowing model</i>) , permet de tenir compte de la diminution de la largeur de bande interdite d'un semi-conducteur lorsque le dopage augmente.
IMPACT SELB	Modèle Selberherr pour intégrer l'effet d'ionisation par impact.

Tableau III.1 : Description des modèles physiques utilisés.

Ces modèles vont être détaillés dans les paragraphes suivants.

III.3.1. Les modèles de mobilité

La mobilité des porteurs de charge dépend de nombreux paramètres tels que la température, le dopage, ou encore les collisions des porteurs entre eux ou avec les impuretés. Dans ce paragraphe, nous présentons les modèles physiques de mobilité.

III.3.1.1. Modèle de Lombardi (CVT)

Depuis l'apparition de la version d'ATLAS de juin 1995, le modèle utilisé par défaut dans le macro-modèle MOS est le modèle universel CVT proposé par Lombardi [4]. Il est basé sur des équations empiriques qui permettent la modélisation de couches inversées d'électrons et de trous.

L'avantage majeur de ce modèle est que les paramètres physiques d'entrée et les coefficients des équations sont accessibles pour l'utilisateur. Lombardi suppose que la mobilité des porteurs μ_T peut être considérée, en utilisant la règle de Mathiessen, comme étant la somme de trois termes :

$$\frac{1}{\mu_T(E_{\perp})} = \frac{1}{\mu_{ac}(E_{\perp}, T)} + \frac{1}{\mu_b(N_A, T)} + \frac{1}{\mu_{sr}(E_{\perp})} \quad (\text{III.24})$$

Où μ_{ac} est la mobilité des porteurs due au phénomène de "Phonon Scattering", μ_b est la mobilité dans le volume dépendant principalement de l' "Impurity Scattering", et μ_{sr} est la mobilité introduite par le "Surface Roughness Scattering" ou dispersion des porteurs en surface.

Sun et Plummer [5] ont récapitulé les trois principaux types de mécanismes de dispersion qui rendent compte de l'évolution des mobilités dans une couche inversée quand la tension de grille est supérieure à la tension de seuil :

a) Mobilité due au "Phonon Scattering" μ_{ac}

La mobilité μ_{ac} est littéralement, d'après Lombardi, "la mobilité des porteurs due à leur dispersion avec les phonons acoustiques". Cette mobilité est donnée empiriquement, en fonction de la température et du champ électrique transverse, par la relation suivante :

$$\mu_{ac}(E_{\perp}, T) = \left(B \cdot \frac{T}{E_{\perp}} + C \cdot \frac{N_A^{\tau}}{E_{\perp}^{\frac{3}{2}}} \right) \cdot T^{-1} \quad (\text{III.25})$$

Où les coefficients B, C et τ sont des constantes qui, dans PISCES, valent par défaut : $B = 4,75 \cdot 10^7 \text{ cm/s}$, $C = 1,74 \cdot 10^5 (\text{MKSA})$ et $\tau = 0,125$ pour les électrons.

b) Mobilité dans la zone volumique μ_b

L'expression de la mobilité des électrons dans la zone volumique, en fonction de la concentration en impuretés N_A et de la température, découle de l'expression de Masetti expression (III.26):

$$\mu_b(N_A, T) = \mu_{min} + \frac{\mu_{max}(T) - \mu_{min}}{1 + (N_A/N_{ref.1})^{\alpha_1}} - \frac{\mu_1}{1 + (N_{ref.2}/N_A)^{\alpha_2}} \quad (\text{III.26})$$

Où $\mu_{\max}(T)$ dépend de la température suivant la loi décrite par l'expression :

$$\mu_n = \mu_{n0} \cdot \left(\frac{T}{T_0}\right)^{-\alpha_n} \quad (\text{III.27})$$

où $T_0 = 300$ K. Les valeurs des coefficients α_n et μ_{n0} varient selon les auteurs : α_n vari de 2,2 à 2,7, μ_{n0} de 1330 à 1600 $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, α_1 , α_2 , μ_1 , $N_{\text{ref.1}}$ et $N_{\text{ref.2}}$ sont des constantes qui dépend du matériau utilisé.

c) Mobilité due au “Surface Roughness Scattering” μ_{sr}

Le “Surface Roughness Scattering” est connu pour diminuer fortement la mobilité en surface à basse température et à fort champ électrique. Lombardi propose, pour μ_{sr} , l'expression suivante en fonction du champ électrique transverse :

$$\mu_{\text{sr}}(E_{\perp}) = \frac{\delta}{E_{\perp}^2} \quad (\text{III.28})$$

Où δ est une constante dont plusieurs auteurs ont estimé la valeur. Par défaut, cette valeur est, dans PISCES : $\delta = 5,82 \cdot 10^{14} \text{V}/\text{cm}^2$.

Dans le modèle CVT, la dépendance des mobilités par rapport au champ électrique longitudinal est donnée par l'expression (III.29) :

$$\mu = \frac{\mu_T}{\left[1 + \left(\frac{\mu_T \cdot E_{\parallel}}{v_{\text{sat}} \cdot \left(\frac{T}{300}\right)^{\lambda}}\right)^{\beta}\right]^{\frac{1}{\beta}}} \quad (\text{III.29})$$

Où E_{\parallel} est le champ électrique longitudinal, c'est-à-dire le champ parallèle à la direction des lignes de courant dans le canal.

L'influence des mobilités, dans une couche inversée et dans le volume, sur le comportement à l'état passant des transistors MOS est prépondérante.

III.3.1. 2. Modèle de FLDMOB

Sous fort champ électrique (par exemple dans la zone de charge d'espace de la jonction P-N la vitesse de dérive des porteurs n'augmente pas de façon linéaire en fonction du champ électrique. Ce phénomène de saturation de la vitesse des porteurs peut être décrit comme la dégradation de la mobilité. L'expression de Caughey et Thomas [6] implémentée dans SILVACO met en évidence la dépendance de la mobilité en fonction d'un fort champ électrique. Les expressions de la mobilité des électrons et des trous sont donnés par :

$$\mu_n(E) = \mu_{n0} \left[\frac{1}{1 + \left(\frac{\mu_{n0} E}{v_{\text{sat}} \cdot n}\right)^{\beta \cdot n}} \right]^{1/\beta \cdot n} \quad (\text{III.30})$$

$$\mu_p(E) = \mu_{p0} \left[\frac{1}{1 + \left(\frac{\mu_{p0} E}{v_{sat.p}} \right)^{\beta.p}} \right]^{1/\beta.p} \quad (III.31)$$

Où E est le champ électrique parallèle ; $v_{sat.n}$ et $v_{sat.p}$ sont les vitesses de saturation des électrons et des trous ; $\beta.n$ et $\beta.p$ sont les coefficients de l'exposant.

Les vitesses de saturation sont calculées par défaut à partir des modèles qui dépendent de la température [7]. Elles sont données par :

$$v_{sat.n} = \frac{a_{fld.n}}{1 + \theta_{fld.n} \exp\left(\frac{T_L}{T_{fld.n}}\right)} \quad (III.32)$$

$$v_{sat.p} = \frac{a_{fld.p}}{1 + \theta_{fld.p} \exp\left(\frac{T_L}{T_{fld.p}}\right)} \quad (III.33)$$

Les valeurs des paramètres par défaut sont données dans le tableau suivant :

Paramètre (unité)	$\beta.n$	$\beta.p$	$a_{fld.n}$ (<i>cms</i>)	$a_{fld.p}$ (<i>cms</i>)	$\theta_{fld.n}$	$\theta_{fld.p}$	$T_{fld.n}$ (<i>K</i>)	$T_{fld.p}$ (<i>K</i>)
Défaut	2.0	1.0	2.4×10^7	2.4×10^7	0.8	0.8	600	600

Tableau III.2 Paramètres utilisés par défaut dans Silvaco pour le modèle de mobilité qui dépend du champ électrique [8].

III.3.1.3. Modèle de CONMOB

Les mobilités des électrons et des trous dans un faible champ électrique μ_{n0} et μ_{p0} , dépendants du dopage et de la température, sont données par les relations (III.34) et (III.35), C'est le modèle analytique de mobilité à faible champ électrique (Caughey and Thomas) [8];

$$\mu_{n0} = MU1N.CAUG. \left(\frac{T_L}{300K} \right)^{ALPHAN.CAUG} + \frac{MU2N.CAUG. \left(\frac{T_L}{300K} \right)^{BETAN.CAUG}}{1 + \left(\frac{T_L}{300K} \right)^{GAMMAN.CAUG} \cdot \left(\frac{N}{NCRITN.CAUG} \right)^{DELTAN.CAUG}} \quad (III.34)$$

$$\mu_{p0} = MU1P.CAUG. \left(\frac{T_L}{300K} \right)^{ALPHAN.CAUG} + \frac{MU2P.CAUG. \left(\frac{T_L}{300K} \right)^{BETAN.CAUG}}{1 + \left(\frac{T_L}{300K} \right)^{GAMMAN.CAUG} \cdot \left(\frac{N}{NCRITP.CAUG} \right)^{DELTAN.CAUG}} \quad (III.35)$$

Où N est la concentration exprimé en cm^{-3} et T_L est la température en Kelvin. Ce modèle est activé en spécifiant les deux paramètres suivant **CONMOB** et **ANALYTIC** dans la commande **MODELS**. Les paramètres de ce modèle sont déclarés dans la commande **MOBILITY**. Leurs paramètres utilisés par défaut pour le silicium dans Silvaco sont indiqués dans les Tableaux III.3, III.4 et III.5.

Paramètre (unité)	<i>MU1N.CAUG</i> $\text{cm}^2 / (\text{V.s})$	<i>MU1P.CAUG</i> $\text{cm}^2 / (\text{V.s})$	<i>MU2N.CAUG</i> $\text{cm}^2 / (\text{V.s})$	<i>MU2P.CAUG</i> $\text{cm}^2 / (\text{V.s})$	<i>ALPHAN.CAUG</i>	<i>ALPHAP.CAUG</i>
Défaut	55.24	49.7	1429.23	479.37	0.0	0.0

Tableau III.3 : Paramètres utilisés par défaut dans Atlas pour le modèle de mobilité dépendant du dopage et de la température [8].

Paramètre (unité)	<i>BETAN.CAUG</i>	<i>BETAP.CAUG</i>	<i>GAMMAN.CAUG</i>	<i>GAMMAP.CAUG</i>
Défaut	-2.3	-2.2	-3.8	-3.7

Tableau III.4 : Paramètres utilisés par défaut dans Atlas pour le modèle de mobilité dépendant du dopage et de la température [8].

Paramètre (unité)	<i>DELTAN.CAUG</i>	<i>DELTAP.CAUG</i>	<i>NCRITN.CAUG</i> cm^{-3}	<i>NCRITP.CAUG</i> cm^{-3}
Défaut	0.73	0.70	1.072×10^{17}	1.606×10^{17}

Tableau III.5 : Paramètres utilisés par défaut des équations (III.34) et (III.35) dans Atlas pour le modèle de mobilité dépendant du dopage et de la température [8].

III.3.2. Mécanismes de recombinaison

La génération dans les semi-conducteurs est un processus où des paires électron-trou sont créées. Cependant, la recombinaison est à l'opposé de la génération. Elle correspond aux mécanismes conduisant à la perte de paires électron-trou, avec l'énergie excédentaire émise sous forme de phonons ou de photons. Expérimentalement, elle correspond à une durée de vie des porteurs minoritaires τ capable d'être mesurée. Celle-ci correspond au temps moyen au bout duquel une paire électron-trou générée se recombine. La valeur de ce paramètre peut être déterminée, pour le silicium de type **p** ou **n**, à partir du taux de recombinaison **U** [9]:

$$\tau = \frac{\Delta n}{U} \quad (\text{III.36})$$

Où Δn (Δp) est la densité d'électrons (de trous) en excès. L'interprétation de la durée de vie n'est pas simple car il existe différents mécanismes de recombinaison intervenant simultanément en surface et en volume d'un échantillon. On définit donc une durée de vie effective, qui tient compte de l'ensemble de ces mécanismes. En générale, c'est cette grandeur

qui est mesurée. Nous allons aborder maintenant les trois mécanismes de recombinaisons fondamentaux que sont la recombinaison par piège SRH, la recombinaison Auger et la recombinaison radiative.

III.3.2.1. Recombinaison SRH (Schokley-Read-Hall)

Le processus de recombinaison Schokley-Read-Hall est schématisé sur la Figure III.1. Il fut pour la première fois explicité par Schokley, Read [9] et Hall [10]. Ce processus fait appel à des niveaux d'énergie voisins du milieu du gap (niveaux appelés pièges, dus à certains défauts cristallins ou à la présence de certaines impuretés dans le cristal) qui facilitent la recombinaison des porteurs par un mécanisme en deux étapes. Un électron de la bande de conduction va d'abord se relaxer sur un niveau d'énergie intermédiaire lié à un défaut. Ensuite, une deuxième relaxation va lui permettre de se recombiner avec un trou de la bande de valence. L'efficacité de ce processus dépend de la densité des niveaux profonds et par suite, de la qualité du matériau utilisé et de sa technologie d'élaboration. La recombinaison Schokley-Read-Hall est modélisée par :

$$R_{SRH} = \frac{pn \cdot n_{ie}^2}{\tau_{p0} \left[n + n_{ie} \exp\left(\frac{E_t - E_i}{KT_L}\right) \right] + \tau_{n0} \left[p + n_{ie} \exp\left(\frac{-(E_t - E_i)}{KT_L}\right) \right]} \quad (\text{III.37})$$

Où E_t est la position énergétique des états de piège, E_i est le niveau de Fermi dans le semi-conducteur intrinsèque, τ_{n0} , τ_{p0} sont respectivement la durée de vie pour les électrons et les trous, n_{ie} est la concentration intrinsèque, k est la constante de Boltzmann et T_L la température en Kelvin.

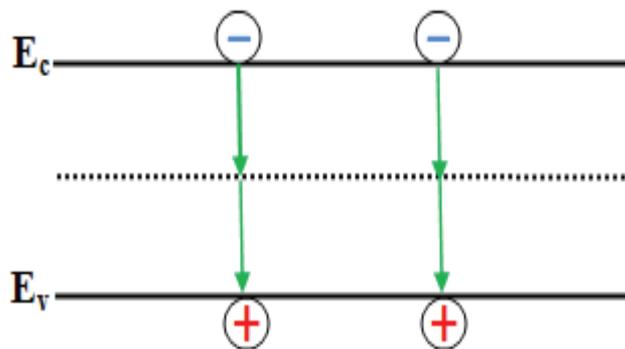


Figure III.1 Mécanisme de recombinaison Schokley-Read-Hall (SRH).

Ce modèle est activé par le paramètre **SRH** de la commande **MODELS**, les durées de vie τ_{n0} et τ_{p0} peuvent être définies par l'utilisateur par la commande **MATERIAL**, leurs valeurs par

défaut utilisé dans le logiciel Silvaco sont représentés dans Le Tableau III.6. Les matériaux autres que le Si ont des valeurs différentes.

Paramètre (unité)	($ETRAP=Et-Ei$)(eV)	($TAUN0 \leftrightarrow \tau_{n0}$)(s)	($TAUP0 \leftrightarrow \tau_{p0}$)(s)
Défaut	0.0	1.0×10^{-7}	1.0×10^{-7}

Tableau III.6 : Paramètres par défaut du modèle Schokley-Read-Hall dans Silvaco [8].

▪ La dépendance de la durée de vie du modèle SRH avec le dopage est donnée par les relations [8] :

$$\tau_n = \frac{TAUN0}{1+N/(NSRHN)} \quad (III.38)$$

$$\tau_p = \frac{TAUN0}{1+N/(NSRHP)} \quad (III.39)$$

On parle alors du modèle **CONSRH** qui est activé par le paramètre **CONSRH** de la commande **MODELS**, les paramètres **TAUN0**, **TAUP0**, **NSRHN** et **NSRHP** peuvent être définis par la commande **MATERIAL**. Le Tableau III.7 représente leurs valeurs par défaut :

$$R_{SRH} = \frac{pn.n_{ie}^2}{\tau_p \left[n+n_{ie} \exp\left(\frac{E_t-E_i}{KT_L}\right) \right] + \tau_n \left[p+n_{ie} \exp\left(\frac{-(E_t-E_i)}{KT_L}\right) \right]} \quad (III.40)$$

Paramètre (unité)	($TAUN0 \leftrightarrow \tau_{n0}$)(s)	($TAUP0 \leftrightarrow \tau_{p0}$)(s)	(NSRHN) (cm ⁻³)	(NSRHP) (cm ⁻³)
Défaut	1.0×10^{-7}	1.0×10^{-7}	5.0×10^{16}	5.0×10^{16}

Tableau III.7 : Paramètres par défaut du modèles CONSRH dans Silvaco [8].

La dépendance de la durée de vie du modèle SRH avec la température est donnée par les deux relations de Klaassen [11]:

$$\tau_{n0}^{-1} = (\tau_{ksrhn}^{-1} + C_{ksrhn} \cdot n) \left(\frac{300}{T_L}\right)^{G_{ksrhn}} \quad (III.41)$$

$$\tau_{p0}^{-1} = (\tau_{ksrhp}^{-1} + C_{ksrhp} \cdot n) \left(\frac{300}{T_L}\right)^{G_{ksrhp}} \quad (III.42)$$

Où **n** est la concentration d'impureté totale, les autres paramètres **KSRHTN**, **KSRHTP**, **KSRHCP**, **KSRHGN** et **KSRHGP** des relations (III.41) et (III.42) peuvent être définis par la commande **MATERIAL**, leurs valeurs par défaut sont données dans le Tableau III.8.

Paramètre (unité)	$\tau_{ksrhn\leftrightarrow}$ <i>KSRHTN</i> (s)	$\tau_{ksrhp\leftrightarrow}$ <i>KSRHTP</i> (s)	$C_{ksrhn\leftrightarrow}$ <i>KSRHCN</i> (cm^3/s)	$C_{ksrhp\leftrightarrow}$ <i>KSRHCP</i> (cm^3/s)	$G_{ksrhn\leftrightarrow}$ <i>KSRHGN</i>	$G_{ksrhp\leftrightarrow}$ <i>KSRHGP</i>
Défaut	2.5×10^{-3}	2.5×10^{-3}	3.0×10^{-13}	11.76×10^{-13}	1.77	0.57

Tableau III.8 : Paramètres par défaut des équations (III.41) et (III.42) dans Silvaco [8].

III.3.2.2. Recombinaison Auger

Le processus de recombinaison Auger est représenté sur la Figure III.2. L'excès d'énergie issu de la recombinaison d'un électron de la bande de conduction et d'un trou de la bande de valence peut être transféré à une troisième particule libre, électron ou trou.

Ces charges sont considérées comme des particules quasi libres, n'interagissant pas entre elles. La recombinaison Auger est modélisée en utilisant l'expression suivante [12]:

$$R_{Auger} = C_{Aug.n}(pn^2 - nn_{ie}^2) + C_{Aug.p}(np^2 - pn_{ie}^2) \quad (III.43)$$

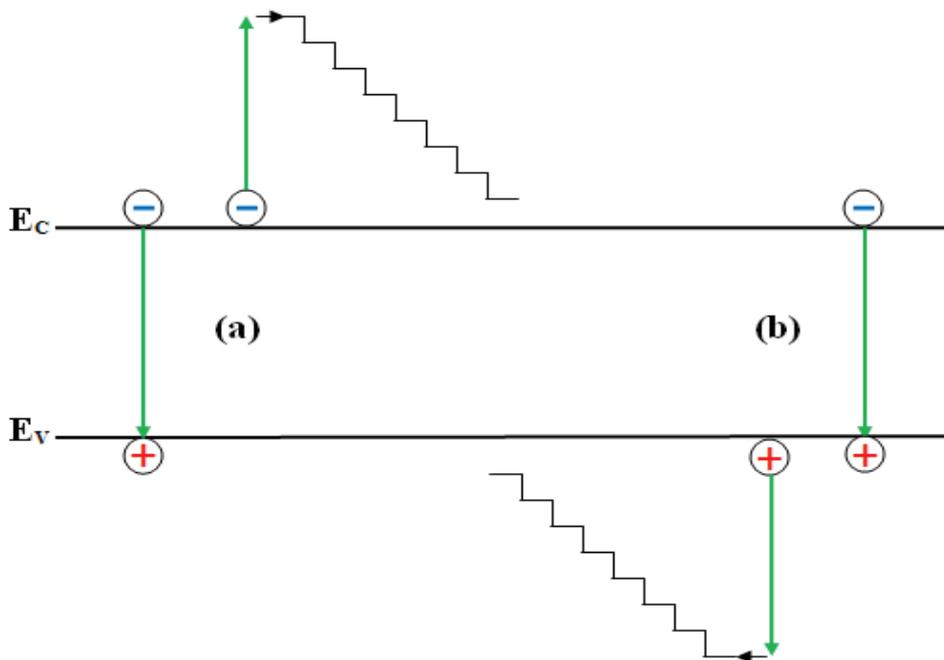


Figure III.2 : Mécanisme de recombinaison Auger. L'excès d'énergie issu de la recombinaison peut être transféré à un électron (a) ou à un trou (b).

Où $C_{Aug.n}$ et $C_{Aug.p}$ sont les coefficients Auger pour les électrons et les trous. Les valeurs par défaut de ces coefficients sont données dans le Tableau III.9. Ils peuvent être définis aussi par l'utilisateur par le paramètre **AUGER** de la commande **MODELS**.

Paramètre (unité)	$(AUGN \leftrightarrow C_{Aug,n})$ (cm^6/s)	$(AUGP \leftrightarrow C_{Aug,p})$ (cm^6/s)
Défaut	8.3×10^{-32}	1.8×10^{-31}

Tableau III.9 : Paramètres par défaut du modèle de recombinaison standard AUGER dans Silvaco [8].

- La dépendance du modèle Auger en fonction de la température et du niveau de dopage [13] est donnée par la relation suivante :

$$R_{Auger} = C_n(pn^2 - nn_{ie}^2) + C_p(np^2 - pn_{ie}^2) \quad (III.44)$$

Avec

$$C_n = (A_{Aug,n} + B_{Aug,n} \frac{T}{300} + C_{Aug,n} \left(\frac{T}{300}\right)^2 \left(1 + H_{Aug,n} \exp\left(-\frac{n}{N_{0,n}}\right)\right) \quad (III.45)$$

$$C_p = (A_{Aug,p} + B_{Aug,p} \frac{T}{300} + C_{Aug,p} \left(\frac{T}{300}\right)^2 \left(1 + H_{Aug,p} \exp\left(-\frac{p}{N_{0,p}}\right)\right) \quad (III.46)$$

Les paramètres des relations (III.45) et (III.46) sont définis par défaut dans les Tableaux III.10 et III.11:

Paramètre (unité)	$A_{Aug,n}$ (cm^6/s)	$B_{Aug,n}$ (cm^6/s)	$C_{Aug,n}$ (cm^6/s)	$H_{Aug,n}$	$N_{0,n}$ (cm^{-3})
Défaut	6.7×10^{-32}	2.45×10^{-31}	-2.2×10^{-32}	3.4667	1.0×10^{18}

Tableau III.10 : Paramètres par défaut des équations III.45 et III.46 dans Silvaco [8].

Paramètre (unité)	$A_{Aug,p}$ (cm^6/s)	$B_{Aug,p}$ (cm^6/s)	$C_{Aug,p}$ (cm^6/s)	$H_{Aug,p}$	$N_{0,p}$ (cm^{-3})
Défaut	7.2×10^{-32}	4.5×10^{-33}	2.63×10^{-32}	8.25688	1.1×10^{18}

Tableau III.11 : Paramètres par défaut des équations (III.45) et (III.46) dans Silvaco [8].

Ce mode de recombinaison va donc prédominer pour les forts niveaux d'injection (cas des cellules solaire à concentration) ou pour les dopages importants dépassant $10^{17} cm^{-3}$ [14] (cas des émetteurs fortement dopés). En effet, comme illustre la Figure III.3, le mécanisme de recombinaison Auger est proportionnel au carré du dopage et il intervient surtout dans les régions fortement dopées de la cellule photovoltaïque comme celle située en surface de

l'émetteur $n+$ ou à la zone de champ de surface arrière $p+$. Aux faibles niveaux de dopage (inférieur à 10^{16}cm^{-3}), la durée de vie est limitée par la recombinaison SRH et elle varie linéairement avec l'inverse du niveau de dopage.

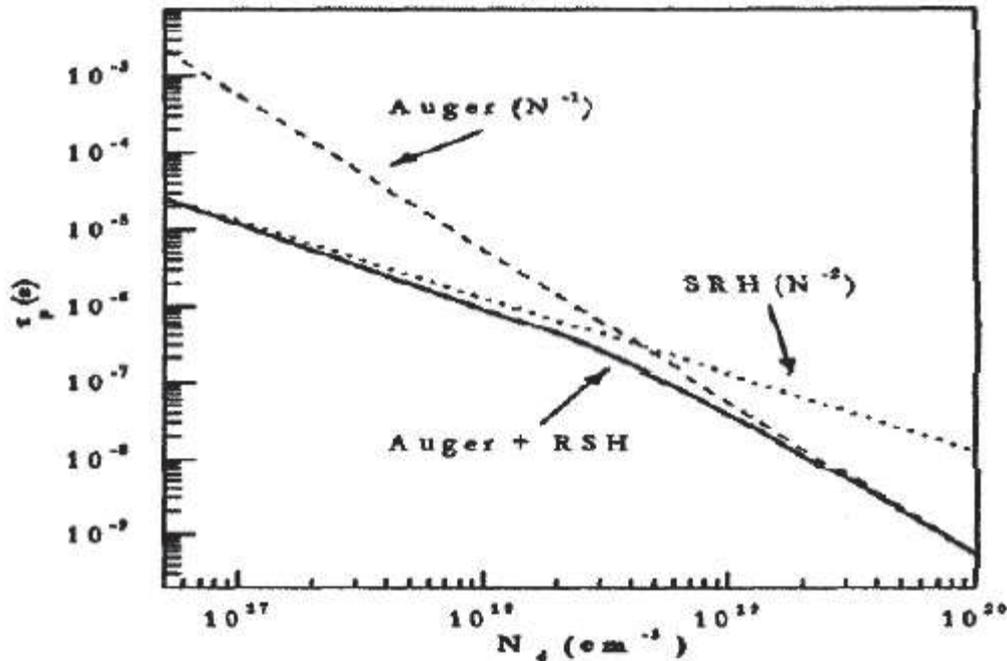


Figure III.3 : Influence du dopage sur les durées de vie Auger et SRH dans le volume du Silicium [15].

III.3.3. Rétrécissement de la bande interdite (Bandgap-Narrowing)-modèle BGN

Le mécanisme physique associé à la distorsion des limites des bandes d'énergies résulte principalement d'une interaction atomes donneurs – porteurs libres. Ces interactions provoquent ainsi un élargissement du niveau initialement discret des impuretés, ce qui conduit à la réunion de cette bande d'énergie des impuretés ionisées en excès avec la bande la plus proche (la bande de conduction ou de valence selon le type de dopage). Dans les semi-conducteurs fortement dopés (supérieur à 10^{17}cm^{-3}), le mécanisme physique associé à la distorsion des limites des bandes d'énergies se présente selon trois cas différents [16] [17]:

1. Les limites des bandes de valence et de conduction développent des queues et pénètrent dans la bande interdite.
2. Si la concentration des impuretés donneurs est élevée, les niveaux énergétiques de ces impuretés s'élargissent en une bande d'impuretés qui chevauche avec la bande de conduction.

3. Une concentration d'atomes donneurs très élevée provoque une variation spatiale de la largeur de la bande interdite, résultat d'une déformation du réseau cristallin.

En conséquence, toutes ces modifications entraînent une réduction apparente de la largeur de bande interdite. Ce phénomène est plus connu sous le nom de « Bandgap-Narrowing ». Dans Silvaco, cet effet est implémenté par les deux modèles de Bennett-Wilson et Del- Alamo.

La formule de Bennett-Wilson [18] est donnée par :

$$\Delta E_g(N) = \begin{cases} -E_{bgn} \left[\log \left(\frac{N}{N_{bgn}} \right) \right]^2 & \text{si } N \geq N_{bgn} \\ 0 & \text{si } N < N_{bgn} \end{cases} \quad (\text{III.47})$$

Et la formule de Del-Alamo [18,19] est donnée par :

$$\Delta E_g(N) = \begin{cases} -E_{bgn} \left[\log \left(\frac{N}{N_{bgn}} \right) \right] & \text{si } N \geq N_{bgn} \\ 0 & \text{si } N < N_{bgn} \end{cases} \quad (\text{III.48})$$

Où ΔE_g est la diminution de la bande interdite, E_{bgn} est un paramètre du matériau qui caractérise la variation du gap, N_{bgn} est le niveau de référence du dopage. Donc la diminution de la bande interdite a lieu si le dopage est supérieur à N_{bgn} .

Le Tableau III.12 représente les paramètres utilisés par défaut des modèles de Bennett-Wilson et Del-Alamo pour le silicium.

Modèle	E_{bgn}	N_{bgn}
Bennett-Wilson	6.84×10^{-3}	3.162×10^{18}
Del-Alamo	1.87×10^{-2}	7.0×10^{17}

Tableau III.12 : Paramètres utilisés par défaut dans Silvaco pour les modèles de Bennett-Wilson et Del-Alamo [8].

III.4. Les modèles d'ionisation par impact

Trois modèles d'ionisation par impact sont disponibles dans PISCES :

▪ Les deux premiers, proposés par Selberherr [2] et Grant [20], utilisent la détermination des coefficients d'ionisation à partir de la forme générale proposée par Chynoweth [21] :

$$\alpha_i = \alpha_i^\infty \cdot \exp \left(-\frac{E_i^{crit}}{|E|} \right)_{i=n,p} \quad (\text{III.49})$$

Où α_n et α_p sont respectivement les coefficients d'ionisation des électrons et des trous. Ces coefficients α_n et α_p représentent le nombre probable de collisions ionisantes que subit un porteur incident, trou ou électron, par unité de longueur de parcours.

- Le troisième est un modèle différent proposé par Crowell et Sze [22].

III.4.1. Modèles s'appuyant sur la formule de Chynoweth

Ces deux modèles diffèrent par les valeurs des coefficients α^∞ et E^{crit} . Ces coefficients ont été déterminés expérimentalement, pour le silicium, par plusieurs auteurs.

Selberherr [23] a développé un modèle d'ionisation par impact pour la simulation numérique s'appuyant sur les paramètres α^∞ et E^{crit} mesurés par Van Overstraeten [24]. La dépendance de ces coefficients vis-à-vis de la température peut également être décrite par ce modèle.

Grant [20] propose d'autres valeurs pour ces paramètres; le modèle de Grant est celui qui est utilisé par défaut dans le simulateur.

Le modèle de Selberherr utilise des valeurs moyennes de ces coefficients par rapport aux valeurs proposées par les autres auteurs. De plus, il est le seul modèle, dans PISCES, dont la dépendance en température est parfaitement explicitée.

Signalons cependant que l'utilisateur peut modifier, s'il le désire, les coefficients implantés par défaut dans le modèle de Selberherr : nous voyons ici tout l'intérêt du logiciel PISCES, qui permet, en fait, à l'utilisateur de choisir les coefficients qu'il désire, et donc s'appuyer sur les résultats d'un auteur autre que Van Overstraeten.

III.4.2. Modèle de Crowell et Sze

L'inconvénient de ce modèle est que l'utilisateur ne peut modifier qu'un seul paramètre dans les équations proposées [22], celle de $\lambda_{n,p}^0$, par défaut $\lambda_n^0 = 6.2 \cdot 10^{-7} \text{ cm}$ et $\lambda_p^0 = 3.8 \cdot 10^{-7} \text{ cm}$.

Références chapitre III

- [1] PINTO M.R, Conor S. Rafferty and Robert W. Dutton, PSCES2 - Poisson and continuity equation solver, Stanford Electronics Laboratory Technical Report, Stanford University, September 1984.
- [2] SELBERHERR, S. , Analysis and simulation of semiconductor devices. Wien, New York: Springer-Verlag, 1984. (s.d.).
- [3] D. Vasileska and S. M. Goodnick, Computational electronics, 2006.
- [4] C. LOMBARDI, S. MANZINI, A. SAPORITO, M. VANZI, A Physically Based Mobility Model for Numerical Simulation of Non planar Devices, IEEE Transactions On Computer-Aided Design, Vol. 7, N° 11, pp. 1164-1171, 1988.
- [5] S.C. SUN, J.D. PLUMMER ,Electron Mobility in Inversion and Accumulation layers on thermally Oxidized Silicon Surfaces, IEEE Transactions On Electron Devices, Vol. 27, N° 6, pp. 671-683, 1980.
- [6] CAUGHEY, D.M., AND R.E. THOMAS., Carrier Mobilities in Silicon Empirically Related to Doping and Field, Proc. IEEE 55, (1967): 2192-2193. (s.d.).
- [7] SCHWARZ, S.A., AND S.E. RUSSE, Semi-Empirical Equations for Electron Velocity in Silicon: Part II — MOS Inversion Layer, IEEE Trans. Electron Devices Vol. 30, No. 12 (1983): 1634-1639. (s.d.).
- [8] Atlas user's manual, Silvaco international, 2004.
- [9] SHOCKLEY.W, READ.W.T, Statistics of the recombinations of holes and electrons, Physical Review, 1952, vol. 87, no5, p. 835-842. (s.d.).
- [10] HALL. R.N., Electron Hole Recombination in Germanium, Physical Review, 1952, vol. 87, no2, p.387. (s.d.).
- [11] KLAASSEN, D.B.M, A unified mobility model for device simulation- II. Temperature dependence of carrier mobility and life time, Solid-State Elect, 1992, Vol. 35, N°7 p.961-967. (s.d.).
- [12] DZIEWIOR J and W. SCHMID, Auger coefficient for highly doped and highly excited silicon, Appl Phys Lett, 1977, Vol 31, p 346-348. (s.d.).
- [13] HULDT, L., N. G. NILSSON AND K.G.SVANTESSON, The temperature dependence of band to-band Auger recombination in silicon, Appl. Phus. Lett., 1979, Vol. 35 p. 776-777. (s.d.).

- [14] KERR.M.J, CUEVAS.A, General parameterisation of Auger recombination in crystalline silicon, 2002, Vol.91, p.2473-2480. (s.d.).
- [15] ACEDEVO.A, Limits of the maximum efficiency of silicon solar cells-Effects due to Auger Generation and to deep levels, Revista Mexicana de Fisica, 1996, Vol.42-3. (s.d.).
- [16] F.A.LINDHOLM, S.S.LI, AND C.TSAH, Fundamental limitations imposed by high doping on the performance of PN junction silicon solar cells, 11th IEEE Photovoltage specialists conference (1975), pp. 3-12. (s.d.).
- [17] J. DEL ALAMO, R.M. SWANSON AND S. SWIRHUN, Measuring and modelling minority carrier transport in heavily doped silicon, Solid-state electronics, Vol.28 N°12, (1985), PP. 47-54. (s.d.).
- [18] BENNETT, H.S., AND C.L. WILSON, Statistical comparisons of data on band-gap narrowing in heavily doped Silicon: Electrical and Optical measurements, J. Appl. Phys. Vol 55, No. 10, (1984): 3582-3587. (s.d.).
- [19] J. DEL ALAMO, AND R.M. SWANSON, Simultaneous measuring of hole lifetime, hole mobility and band gap narrowing in heavily doped n-type silicon, IEDM Technical Digest, (December 1985): 290-293. (s.d.).
- [20] D.A. GRANT, J. GOWAR , Power MOSFET's : Theory an Applications, Editions J. Wiley & Sons, 1989.
- [21] A.G. CHYNOWETH , Ionisation Rates for Electrons and Holes in Silicon, Physical Review, Vol. 109, pp. 1537-1540, 1958.
- [22] C.R. CROWELL, S.M. SZE , Temperature Dependence of Avalanche Multiplication in Semiconductor, Applied Physics Letters, Vol. 9, pp. 242-244, 1966.
- [23] S.M. SZE , Physics of Semiconductor Devices, Editions J. Wiley & Sons, 1981.
- [24] R. VAN OVERSTRAETEN, H. DE MAN , Measurement of the Ionisation Rates in Diffused Silicon PN junction, Solid-state Electronics, Vol. 13, pp. 583-608, 1970.

Chapitre IV
Résultats et Interprétations

Sommaire du chapitre IV

IV.1. Introduction	196
IV.2. Présentation du logiciel TCAD-SILVACO	196
IV.2.1. Présentation du paquet des programmes SILVACO.....	197
IV.2.1.1. Les outils de simulation (VWF core tools).....	197
IV.2.1.2. Les outils interactifs (VWF interactive tools).....	197
IV.2.1.3. Les outils d'automatisation (VWF automation tools).....	197
IV.2.1.3.1. Les outils interactifs VWF.....	198
IV.2.1.3.2. Les outils de simulation.....	199
IV.2.2. Présentation d'Atlas.....	199
IV.2.2.1. Logique de programmation.....	203
IV.2.2.1.1. Spécification de la structure	204
IV.2.2.1.2. Spécification des modèles physiques.....	205
IV.2.2.1.3. Sélection de la méthode numérique.....	206
IV.2.2.1.4. Spécification des solutions.....	207
IV.2.2.1.5. Analyse des résultats.....	207
IV.2.2.2. Diagramme de la simulation numérique de Silvaco.....	208
IV.3. Structures MUGFET SOI simulées par SILVACO	210
IV.4. Simulation et discussion des résultats	212
IV.4.1. Caractéristique électriques des transistors MUGFET SOI simulés.....	212
IV.4.1.1. Caractéristique de transfert $I_{DS}-V_{DS}$	212
IV.4.1.2. Caractéristique de transfert $I_{DS}-V_{GS}$	213
IV.4.1.3. La pente sous le seuil.....	214
IV.4.1.4. Le courant de fuite I_{off} de structures simulées.....	215
IV.4.1.5. Le courant dans l'état ON (I_{on}) de structures simulées.....	216
IV.4.1.6. Le rapport I_{on} / I_{off} des structures simulées.....	216
IV.4.1.7. Le DIBL: l'abaissement de la barrière de potentiel induit par le drain.....	217
IV.5. Les transistors multi-grille à base de matériaux innovants	219
IV.5.1. Caractéristique de transfert $I_{DS}-V_{DS}$	222
IV.5.2. Caractéristique de transfert $I_{DS}-V_{GS}$	223
IV.5.3. La pente sous le seuil.....	223
IV.5.4. Le courant de fuite I_{off}	224

IV.5.5. Le courant dans l'état ON (Ion).....	225
IV.5.6. Le rapport Ion / Ioff.....	226
IV.5.7. Le DIBL: l'abaissement de la barrière de potentiel induit par le drain.....	226
IV.6. Modulation du travail de sortie du métal de la grille.....	228
IV.7. Conclusion.....	232
Références chapitre IV.....	234

IV.1. Introduction

Notre travail consiste à concevoir et à simuler les caractéristiques électriques des structures MUGFET SOI nanométriques de type SOI Tri-GATE FinFET , Pi GATE SOI MOSFET, OMEGA GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire. Cette étude a pu être effectuée par le biais du logiciel SILVACO-TCAD.

IV.2. Présentation du logiciel TCAD-SILVACO

SILVACO est une société Américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs.

Le développement de SILVACO, les ventes et les équipements de soutien sont stratégiquement localisés dans le monde entier pour soutenir la clientèle. Une majeure partie du modèle des affaires de SILVACO se fonde sur la capacité de la compagnie à fournir des ingénieurs technico-commerciaux bien formés et expérimentés pour le support à la clientèle sur place dans toutes les régions principales de fabrication de semi-conducteurs [1].

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor MOdeling SofTware) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'entrée de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction des modèles nouveaux de simulation et permet une amélioration des algorithmes numériques pour une meilleure

convergence. En 1997 SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design) analogue qui est un outil pour capture schématique (schematic capture), disposition sur circuits imprimés (layout) et vérification physique. L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète, à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques. En 2004 enfin, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques (netlists).

En incluant dans sa bibliothèque des modèles plus généraux de la physique des semi-conducteurs, SILVACO permet des simulations plus étendues en balayant toute une gamme de composants électroniques.

IV.2.1. Présentation du paquet des programmes SILVACO

Sous SILVACO l'ensemble des outils de simulation et des outils interactifs permettant la conception et l'analyse de la plupart des dispositifs semi-conducteurs s'appel VWF (Virtual Wafer Fab) [2]. Les composants de base de VWF sont :

IV.2.1.1. *Les outils de simulation (VWF core tools)* : Ces outils simulent soit leurs processus de fabrication ou soit leurs comportements électriques. Les outils de simulation sont Athena, Atlas et SSuprem3.

IV.2.1.2. *Les outils interactifs (VWF interactive tools)* : Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (Graphical User Interface, GUI), le travail de construction du fichier d'entrée devient plus efficient. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnant « VWF automation tools ».

IV.2.1.3. *Les outils d'automatisation (VWF automation tools)* : Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales pour créer des résultats pour l'analyse statistique suivante. Ces outils automatiques se servent de : la technologie de base de données répartie et des méthodes de logiciels de transmissions d'interprocessus.

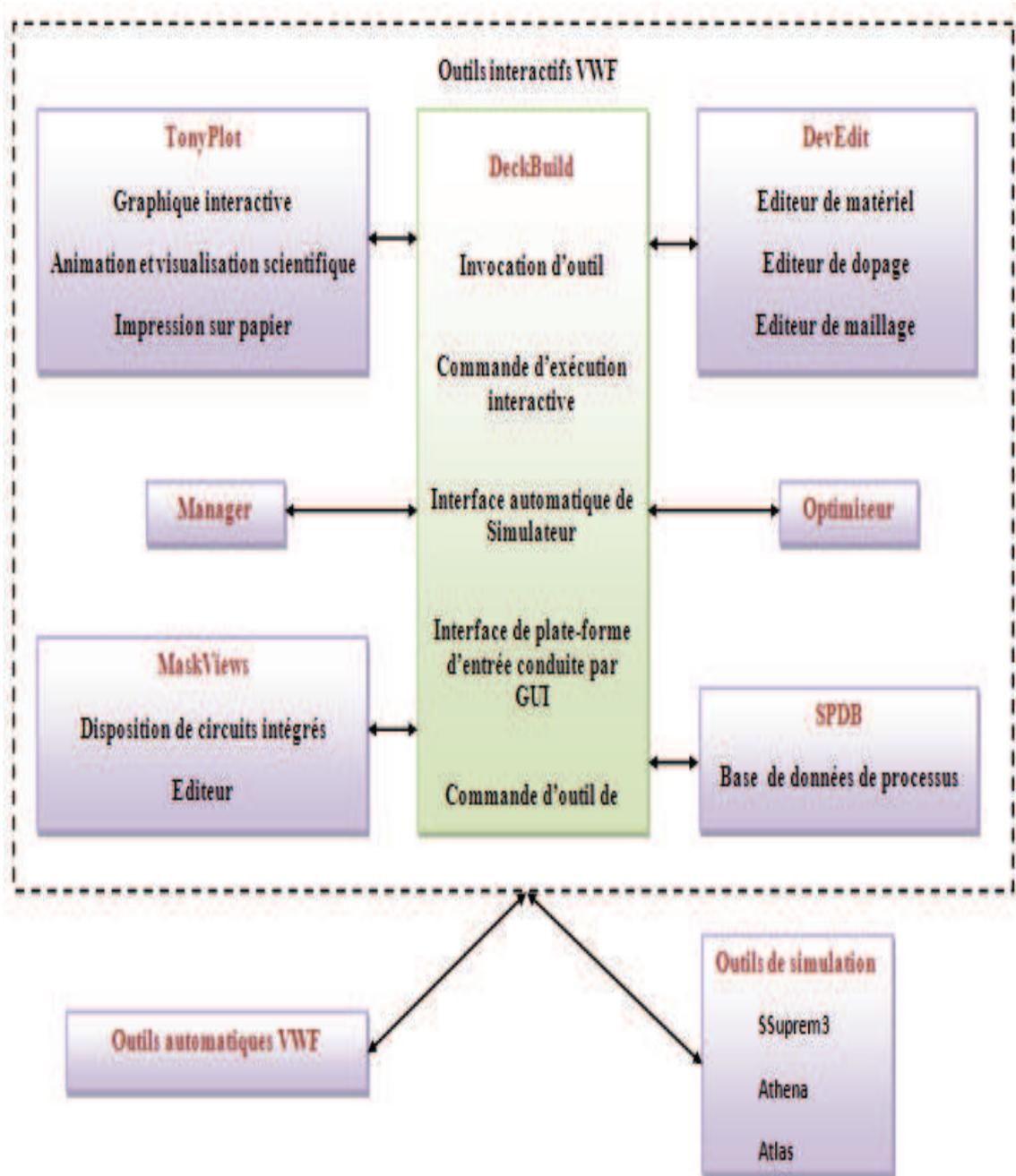


Figure IV.1 : Organigramme de la structure VWF.

Ainsi les modules de VWF sont les suivants :

IV.2.1.3.1. Les outils interactifs VWF

- **TonyPlot** : outil de visualisation et d'analyse graphique 1D et 2D des résultats des simulations.
- **Manager** : outil de gestion des fichiers utilisés et créés par VWF.
- **MaskViews** : outil de dessin des masques (layouts).
- **DeckBuild** : environnement d'exécution interactif qui permet la simulation des processus et de dispositifs (mais principalement il est l'interface avec les outils de simulation).

- **DevEdit** : outil d'édition de structure, on peut créer des nouvelles structures ou même modifier des structures existantes, on peut définir des maillages ou raffiner les maillages existants.
- **Optimiseur** : outil d'optimisation automatique.
- **SPDB** : (Semi-conducteur Process Data Base), c'est un produit séparé, ce n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement ainsi que les données qui décrivent les conditions des expériences.

IV.2.1.3.2. Les outils de simulation

- **SSuprem3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs.
- **Athena** : simulateur 2D de procédés technologiques qui permet de simuler les différentes étapes effectuées en Salles Blanches et ainsi d'obtenir la structure du dispositif (couches constitutives, dimensions, géométrie) avec les profils de dopage.
- **Atlas** : simulateur 2D ou 3D de dispositifs semi-conducteurs qui permet d'obtenir leurs caractéristiques électriques (statiques ou dynamiques).

Par la suite nous allons développer la présentation de l'outil « Atlas » que nous avons utilisé principalement pour effectuer la simulation de notre structure.

IV.2.2. Présentation d'Atlas

« Atlas » est un simulateur 2D et 3D des dispositifs basés sur la physique de semi-conducteurs.

Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes physiques internes associés au fonctionnement des dispositifs. Atlas peut être utilisé autonome ou comme un outil noyau dans le milieu de simulation VWF de SILVACO. Dans le but de prévoir l'impact des variables du processus sur le comportement du circuit, la simulation du dispositif joint la simulation du processus et l'extraction du modèle SPICE.

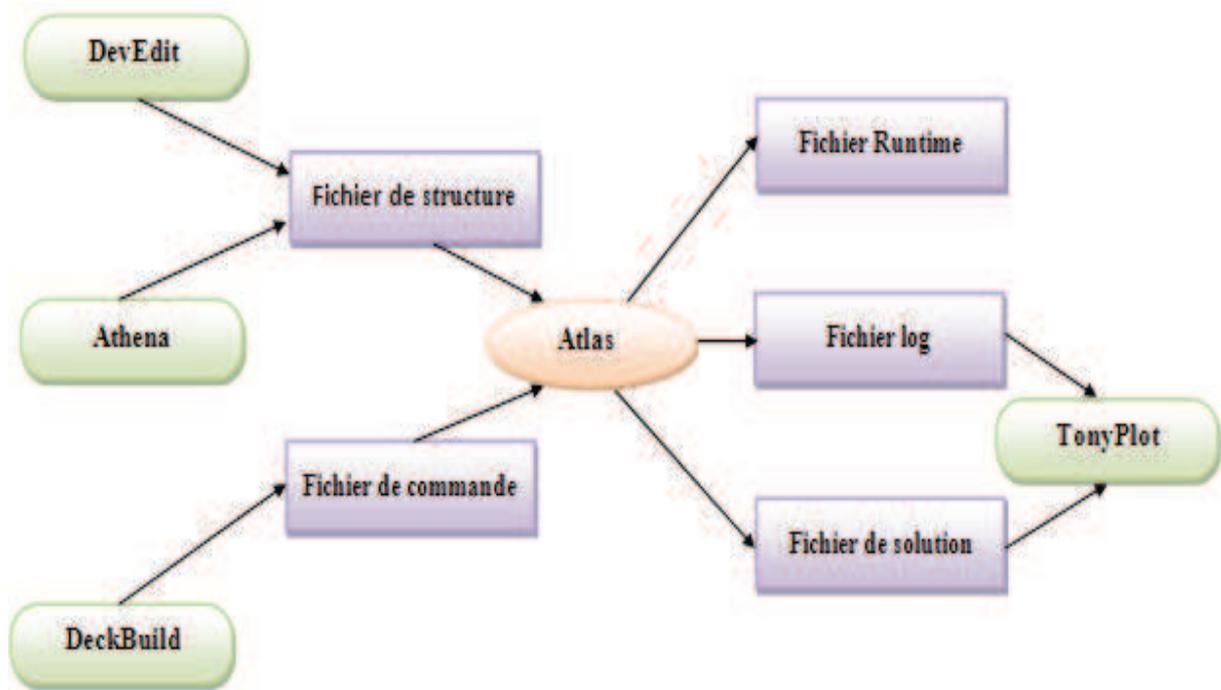


Figure IV.2 : Entrées et sorties d'Atlas.

Dans le schéma de la Figure IV.2 nous voyons les types d'informations qui circulent en entrée et en sortie « d'Atlas ». La plupart des simulations réalisées par « Atlas » utilisent deux fichiers d'entrée. Le premier fichier est un fichier script contenant les commandes pour que Atlas s'exécute (représenté par « Fichier de commande »). Le second fichier est un « Fichier de structure » qui définit la structure qui va être simulée. A la sortie « d'Atlas », nous avons trois types de fichiers. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le fichier « log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé (c'est le fichier du comportement électrique). Le troisième fichier de sortie est le « Fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné (c'est le fichier physique, il contient la structure dans un état particulier). Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

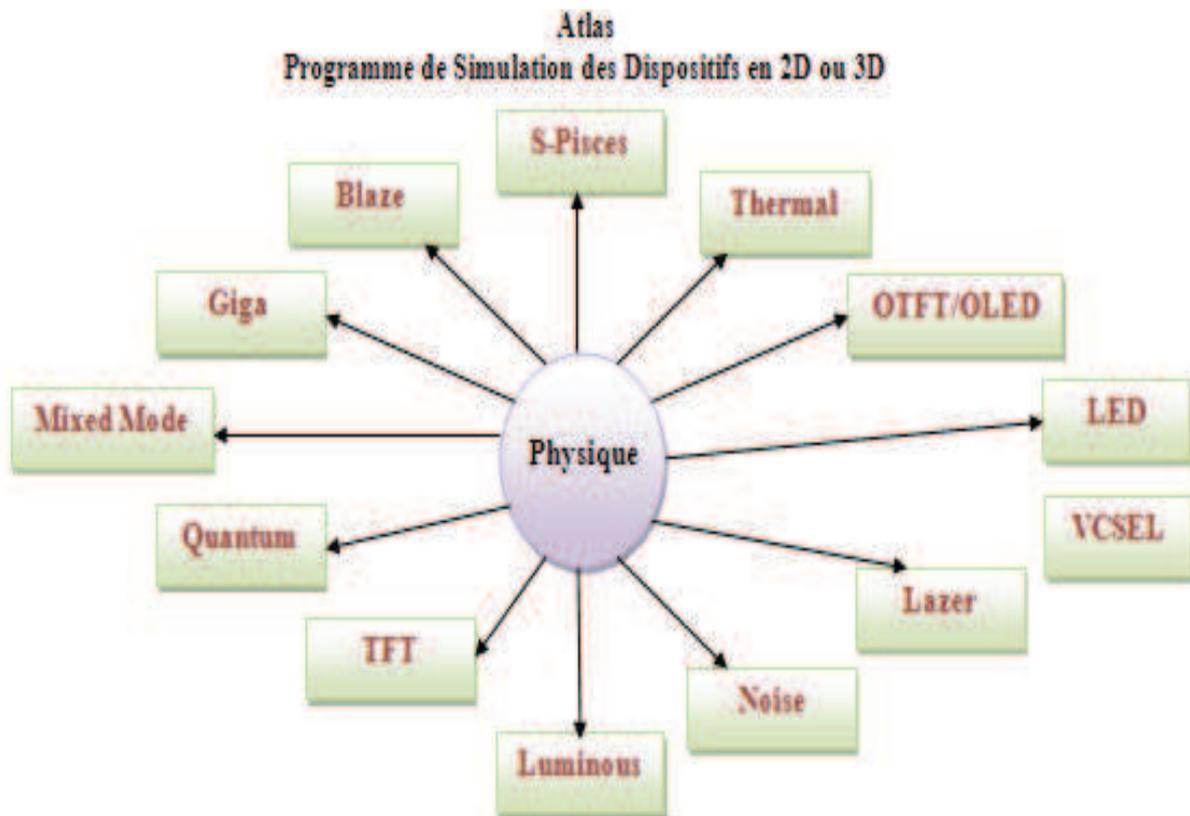


Figure IV.3 : Les composants (ou les modules) d'Atlas

Dans la Figure IV.3 nous voyons représentés les composants qui constituent le simulateur « Atlas ». Comme nous remarquons le cœur est la Physique qui contient le modèle mathématique qui fonctionne dans les dispositifs à base de semi-conducteurs. Nous avons nécessaire pour simuler notre photodiode. Ainsi les composants développés autour sont :

- « **S-Pisces** » : programme de simulation des dispositifs 2D ou 3D, il modélise les caractéristiques électriques des dispositifs à base de silicium en incluant de technologies comme MOS (Metal Oxide Semiconductor), bipolaire, SOI (Silicon On Insulator), EEPROM (Electrically Erasable Programmable Read Only Memory) et dispositifs de puissance. S-Pisces calcule les distributions internes des paramètres physiques et prévoit le comportement électrique des dispositifs à l'état d'équilibre, transitoire ou dans les conditions de courant alternatif de petit signal.
- « **Blaze** » : simulateur des dispositifs 2D ou 3D pour les matériaux III-V, II-VI et des dispositifs avec la structure de bande dépendante de la position (c.-à-d. hétérojonctions). Blaze explique les effets de la structure de bande dépendante de la position par des modifications des équations de transport de charge. Blaze est applicable à une large gamme des dispositifs comprenant : HBT (Hétérojonction Bipolar Transistor), HEMT (High Electron

Mobility Transistor), LED (Light Emitting Diode), détecteurs photoélectriques d'hétérojonction (piles solaires) et diodes d'hétérojonction.

- « **Giga** » : prolonge « Atlas » pour expliquer l'écoulement de la chaleur de treillis et les environnements thermiques généraux. Giga met en application le modèle rigoureux thermodynamique de Wachutka du chauffage de treillis, qui explique le chauffage de Joule, le chauffage, et le refroidissement dû à la génération de porteur et à la recombinaison, et des effets Peltier et Thomson. « Giga » explique la dépendance des paramètres du matériau et de transport en fonction de la température de treillis. « Giga » soutient également les spécifications des environnements thermiques généraux en utilisant une combinaison des structures réalistes de radiateur, des impédances thermiques, et des températures ambiantes indiquées. Une application importante de Giga est la simulation des structures de haute puissance comprenant bipolaire, MOS, IGBT (Insulated Gate Bipolar Transistor), et dispositifs de thyristor. Une autre application importante est la simulation des dispositifs électrostatiques de protection de décharge.
- « **MixedMode** » : simulateur des circuits qui peut inclure des éléments simulés en utilisant la simulation de dispositif (2D ou 3D) et des modèles compacts des circuits. « MixedMode » emploie des algorithmes numériques avancés qui sont efficaces et robustes pour des simulations en courant continu (c.c.), régime transitoire, de petit signal de courant alternatif (c.a.) et de l'analyse de réseau de petits signaux. « MixedMode » est typiquement employé pour simuler des circuits qui contiennent des dispositifs semi-conducteurs modélisés compacts et précis qui n'existent pas ou pour simuler des circuits où les dispositifs qui jouent un rôle critique doivent être modélisés exactement. Les modèles compacts disponibles et utilisés en général sont de type SPICE. La logique de programmation pour spécifier les circuits est de type SPICE.
- « **Quantum** » : simule divers effets d'emprisonnement mécanique de quantum.
- « **TFT** » : simule les systèmes des matériaux désordonnés, il ne contient pas de modèles de matériaux donc il faut combiner S-Pisces ou Blaze avec TFT pour simuler ces systèmes de matériaux. « TFT » nous permet de définir une distribution d'énergie des états de défauts dans le gap du matériau semi-conducteur.

Ceci est nécessaire pour un traitement propre des propriétés électriques des matériaux comme le silicium polycristallin ou le silicium amorphe.

- « **Luminous** » : trace des rayons et programme tout usage d'absorption de la lumière. « Luminous » calcul les profils d'intensités optiques dans les dispositifs semi-conducteurs, et

convertit ces profils dans des taux de photogénération. Ceci nous permet de simuler des réponses électroniques à des signaux optiques pour une large gamme de détecteurs optiques.

- « **Noise** » : simuler le bruit des petits signaux produit par les dispositifs. Le bruit électronique a comme conséquence une dégradation inévitable des performances d'un circuit. Il est important de comprendre les propriétés du bruit pour réduire au minimum son effet.
- « **Laser** » : effectue une simulation couplée électrique et optique des lasers à base des semi-conducteurs.
- « **VCSEL** » : (Vertical Cavity Surface Emitting Lasers) effectue la simulation électrique, thermique et optique des lasers d'émission surfacique de cavité verticale en utilisant des méthodes entièrement numériques précises, robustes, et fiables et des mailles non uniformes.
- « **LED** » : fournit des possibilités générales pour la simulation des dispositifs de diode électroluminescente.
 - « **OTFT/OLED** » :
 - « **OTFT** » simule les caractéristiques des dispositifs réalisés en matériaux organiques (caractéristiques électriques et optiques en courant continu ou transitoire de ceux-ci).
 - « **OLED** » simule des densités d'excitation singulière et triplet.
- « **Thermal** » : résout l'équation de la chaleur à l'équilibre thermodynamique pour trouver la distribution de la température à l'équilibre en structures 3D planaires et non planaires.

IV.2.2.1. Logique de programmation

Après la présentation de la chaîne progicielle TCAD de SILVACO, sa composition interne et le fonctionnement « d'Atlas » nous allons maintenant présenter l'ordre des commandes propres à la logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement (Tableau IV.1). Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte. Par exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre idoine, le simulateur ne les prend pas en compte [3].

Groupes	Commandes
1. Spécification de la structure	<ul style="list-style-type: none"> ▪ MESH ▪ REGION ▪ ELECTRODE ▪ DOPING
2. Spécification des modèles de couches	<ul style="list-style-type: none"> ▪ MATERIAL ▪ MODELS ▪ CONTACT ▪ INTERFACE
3. Sélection de la méthode numérique	<ul style="list-style-type: none"> ▪ METHOD
4. Spécification des solutions	<ul style="list-style-type: none"> ▪ LOG ▪ SOLVE ▪ LOAD ▪ SAVE
5. Analyses des résultats	<ul style="list-style-type: none"> ▪ EXTRACT ▪ TONYPLOT

Tableau IV.1 : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes).

Les commandes fondamentales sont :

IV.2.2.1.1. Spécification de la structure

Il s'agit de définir la structure la plus réaliste. La construction de la structure consiste en quatre étapes : définition du maillage, définition des régions, définition des électrodes et définition des dopages.

- **MESH** : cette commande produit un maillage ou lit un maillage qui a été défini auparavant. L'élément de maille utilisé est le triangle.

Le format général pour définir le maillage est :

X.MESH LOCATION=<VALUE> SPACING=<VALUE>

Y.MESH LOCATION=<VALUE> SPACING=<VALUE>

- **REGION** : c'est une instruction qui définit une région dans une structure.

Le format pour définir des régions est le suivant:

REGION nombre = <integer><material_type> / < position des paramètres >

- **ELECTRODE** : indique l'endroit et les noms des électrodes dans une structure.

Le format de définition des électrodes est le suivant :

ELECTRODE NAME=<electrode name><position parameters>

- **DOPING** : indique le type et le profil de dopage.

Le format de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPAGE < type de distribution >< type de dopant > / < position des paramètres >

IV.2.2.1.2. Spécification des modèles physiques

Après la construction de la structure, il est nécessaire de préciser les modèles physiques et de définir les matériaux. La spécification de modèles et matériaux comporte quatre étapes:

- **MATERIAL** : associe des paramètres physiques aux matériaux utilisés dans la simulation par exemple : affinité électronique, énergie de gap, la fonction de la densité des états, les vitesses de saturation, les durées de vie des porteurs minoritaires, etc ...

Le format de la déclaration du matériau est le suivant :

MATERIAL < localisation >< définition du matériau >

- **MODELS** : Cette instruction permet de faire appel aux modèles physiques existants dans le logiciel, nous pouvons citer comme exemples les modèles de recombinaison Shockley Read Hall (SRH), Auger et les modèles concernant les statistiques des porteurs de Boltzmann, Fermi, etc ...

La syntaxe de la déclaration du modèle est la suivante:

MODEL< paramètres générales > / < paramètres du modèle >

Les modèles physiques inclus dans « Atlas » sont:

- DC, AC small-signal, and full time-dependency.
- Drift-diffusion transport models.
- Energy balance and Hydrodynamic transport models.
- Lattice heating and heatsinks.
- Graded and abrupt heterojunctions.

- Optoelectronic interactions with general ray tracing.
 - Amorphous and polycrystalline materials.
 - General circuit environments.
 - Stimulated emission and radiation.
 - Fermi-Dirac and Boltzmann statistics.
 - Advanced mobility models.
 - Heavy doping effects.
 - Full acceptor and donor trap dynamics.
 - Ohmic, Schottky, and insulating contacts.
 - SRH, radiative, Auger, and surface recombination.
 - Impact ionization (local and non-local).
 - Floating gates.
 - Band-to-band and Fowler-Nordheim tunneling.
 - Hot carrier injection.
 - Quantum transport models.
 - Thermionic emission currents.
- **CONTACT** : indique les attributs physiques d'une électrode : anode, cathode, drain, etc ...

La syntaxe du contact est la suivante :

Contact nombre = < n > | NOM = <ename> | ALL

- **INTERFACE** : indique les paramètres d'interface aux frontières de semi-conducteur/isolant, comme exemple, la vitesse de recombinaison en surface et la densité de charge à l'interface.

La syntaxe est la suivante:

INTERFACE [<parameters>]

IV.2.2.1.3. Sélection de la méthode numérique

- **METHOD** : Dans ATLAS, il existe essentiellement deux méthodes numériques pour la résolution des équations : les méthodes dites de Newton et de Gummel. La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure. La méthode de Gummel consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale

des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de Newton réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet a priori de diminuer le temps de calcul.

IV.2.2.1.4. Spécification des solutions

Après avoir sélectionné la méthode numérique il est nécessaire de déterminer les solutions. La spécification de solution est donnée par les déclarations : LOG, SOLVE, LOAD, et SAVE.

- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log (log en minuscule veut dire le type de fichier, LOG en majuscule veut dire la commande dans le programme)). N'importe quel type de donnée, qu'elle soit C.C., transitoire ou C.A., générée par la commande SOLVE est sauvée après la commande LOG (donc les informations sauvées sont de type électrique et elles sont, par exemple, en fonction de la tension de polarisation ou de la source de lumière). Si dans le programme il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.
- **SOLVE** : ordonne à Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.
- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conditions initiales à d'autres points de polarisation.
- **SAVE** : sauve toutes les informations d'un point nœud du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.

IV.2.2.1.5. Analyse des résultats

Une fois la solution a été trouvée pour un problème de dispositif à semi- conducteurs, les informations peuvent être affichées graphiquement.

- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou solution.
- **TONYPLOT** : démarre le programme « TonyPlot » de post processus graphique des donnés. Elle permet de présenter les solutions trouvées pendant la simulation sous forme de graphe.

Une autre commande importante est **BEAM**, sa position est au niveau 4 des groupes de commande. BEAM indique un signal d'entrée optique sous forme d'un faisceau de lumière

(mono ou multi-spectrale) collimatée. Le faisceau ainsi déclaré est allumé et utilisé par la commande SOLVE, dans ce cas le module **Luminous** est activé. Donc BEAM est utilisé pour simuler des courants sous lumière ou des réponses spectrales.

IV.2.2.2. Diagramme de la simulation numérique de Silvaco

Une simulation numérique dans Silvaco (ou tous outil TCAD) est constituée de deux étapes principales (Tableau IV.2) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil).

La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouver sa solution.

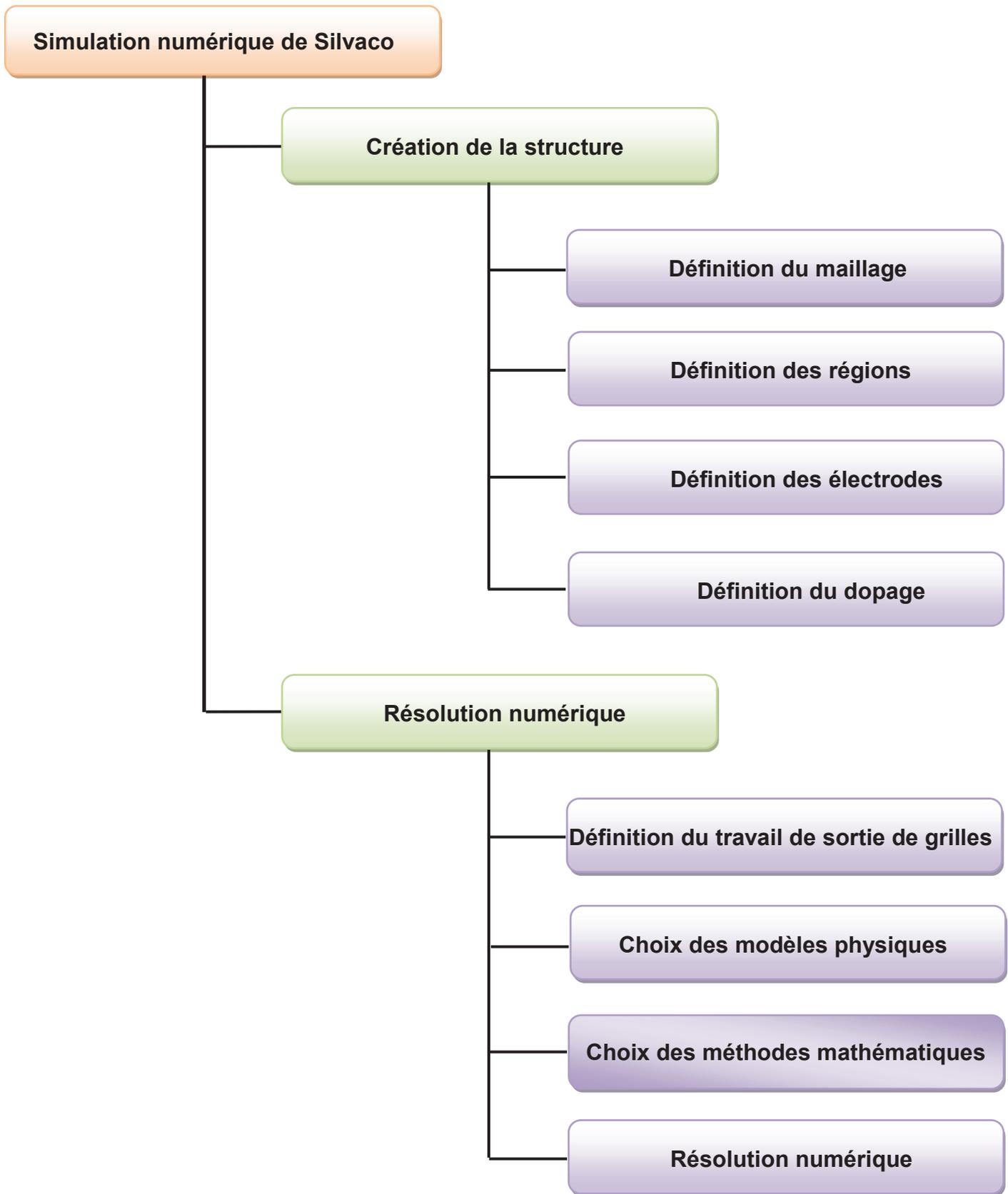


Tableau IV.2 : Diagramme de la simulation numérique de Silvaco.

IV.3. Structures MUGFET SOI simulées par SILVACO

Les différentes architectures SOI multi-grille à canal n aux quelles nous nous sommes intéressées sont : SOI TRI-GATE FinFET, π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire sont présentées respectivement sur les Figures IV.4, IV.5, IV.6 et IV.7. Ces structures 3D sont simulées grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD.

Les paramètres technologiques et la géométrie des structures sont donnés dans le tableau (Tableau IV.3).

Tableau IV.3: Paramètres des structures MUGFET SOI.

Paramètres des structures	SOI TRI-GATE FinFET	π GATE SOI MOSFET	Ω GATE SOI MOSFET	GAA SOI MOSFET à section rectangulaire
concentration du Substrat N_A	$5 \times 10^{17} [\text{cm}^{-3}]$			
concentration Drain et Source N_D	$5 \times 10^{20} [\text{cm}^{-3}]$			
Longueur de la grille L_G	30 [nm]	30 [nm]	30 [nm]	30 [nm]
L'épaisseur de l'oxyde T_{ox}	1.5 [nm]	1.5 [nm]	1.5 [nm]	1.5 [nm]
Largueur du FIN W_{FIN}	10[nm]	10[nm]	10[nm]	10[nm]
Hauteur du FIN H_{FIN}	10[nm]	10[nm]	10[nm]	10[nm]
L'épaisseur du box T_{BOX}	20[nm]	20[nm]	20[nm]	20[nm]
L'épaisseur Substrat $T_{Substrate}$	30[nm]	30[nm]	30[nm]	30[nm]

Ainsi les différentes structures simulées sont représentées dans la Figure IV.4, 5,6 et 7.

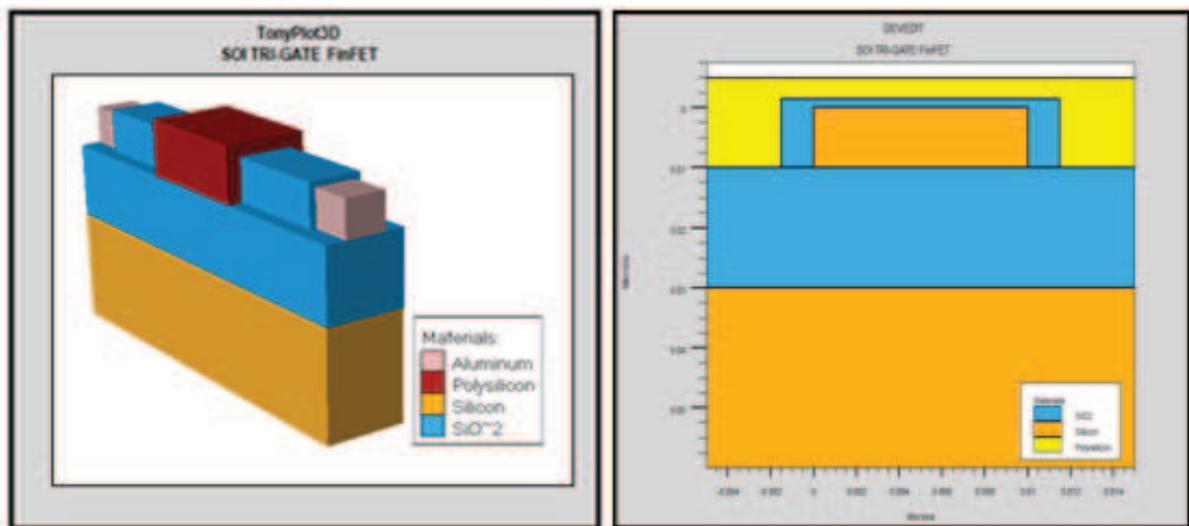


Figure IV.4 : Structure 3D et Coupe 2D du SOI TRI-GATE FinFET simulé.

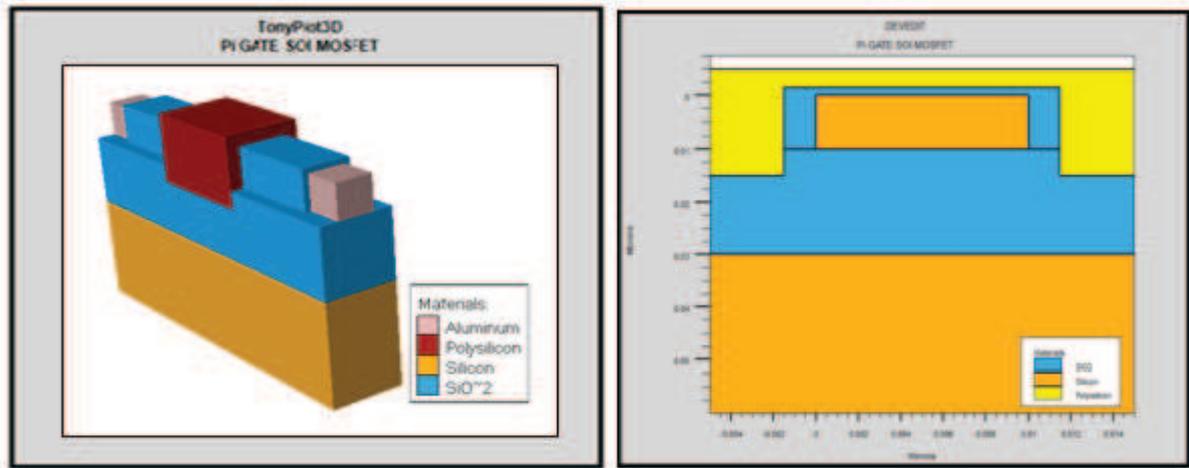


Figure IV.5 : Structure 3D et Coupe 2D du π GATE SOI MOSFET simulé.

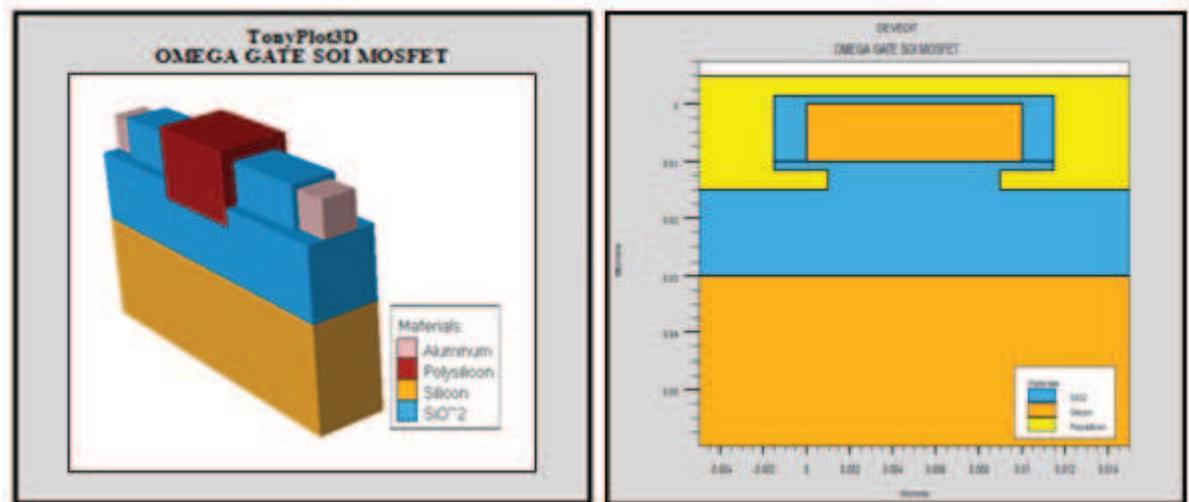


Figure IV.6 : Structure 3D et Coupe 2D du Ω GATE SOI MOSFET simulé.

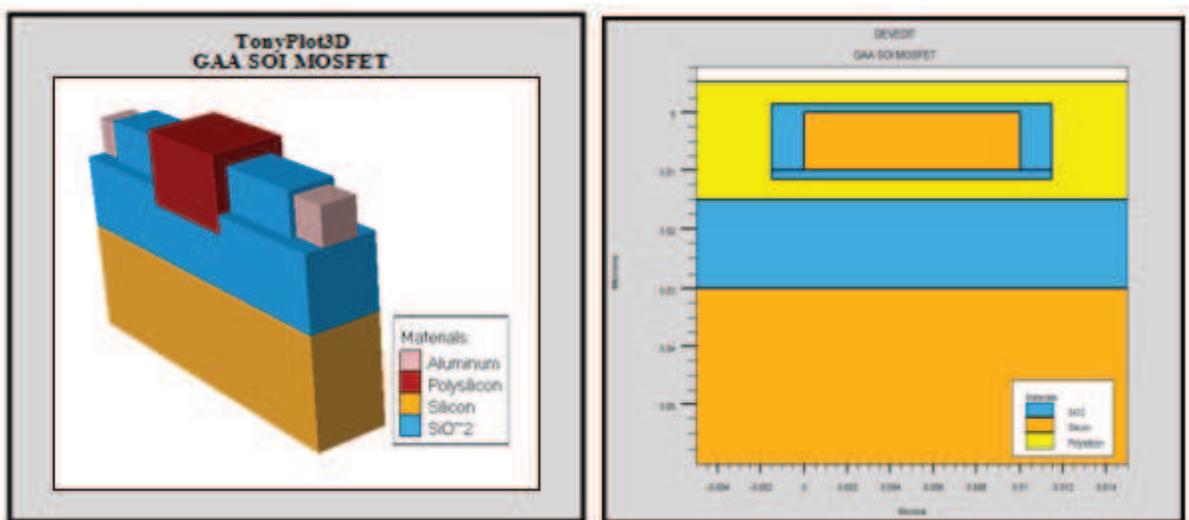


Figure IV.7 : Structure 3D et Coupe 2D du GAA SOI MOSFET à section rectangulaire simulé.

IV.4. Simulation et discussion des résultats

IV.4.1. Caractéristique électriques des transistors MUGFET SOI simulés

Avant de présenter nos résultats de simulations, nous tenons tout d'abord à préciser que les dimensions de nos transistors sont choisies en accord avec les exigences de L'ITRS. Nous tenons en plus à préciser que les effets quantiques ont été pris en considération dans toutes nos simulations et ceci en choisissant en plus des modèles utilisés lors de nos simulations tels que : CVT ,CONMOB ,FLDMOB, SRH ,AUGER et BGN .Les divers résultats de simulation que nous avons ainsi obtenue sont représentés dans ce qui suit.

IV.4.1.1. Caractéristique de sortie $I_{DS}-V_{DS}$

La Figure IV.8 illustre les caractéristiques $I_{DS}-V_{DS}$ des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

Les dispositifs ont été simulé pour une polarisation de drain varie de 0 V à 1.2V et pour une polarisation de grille $V_{GS}=0.8V$.

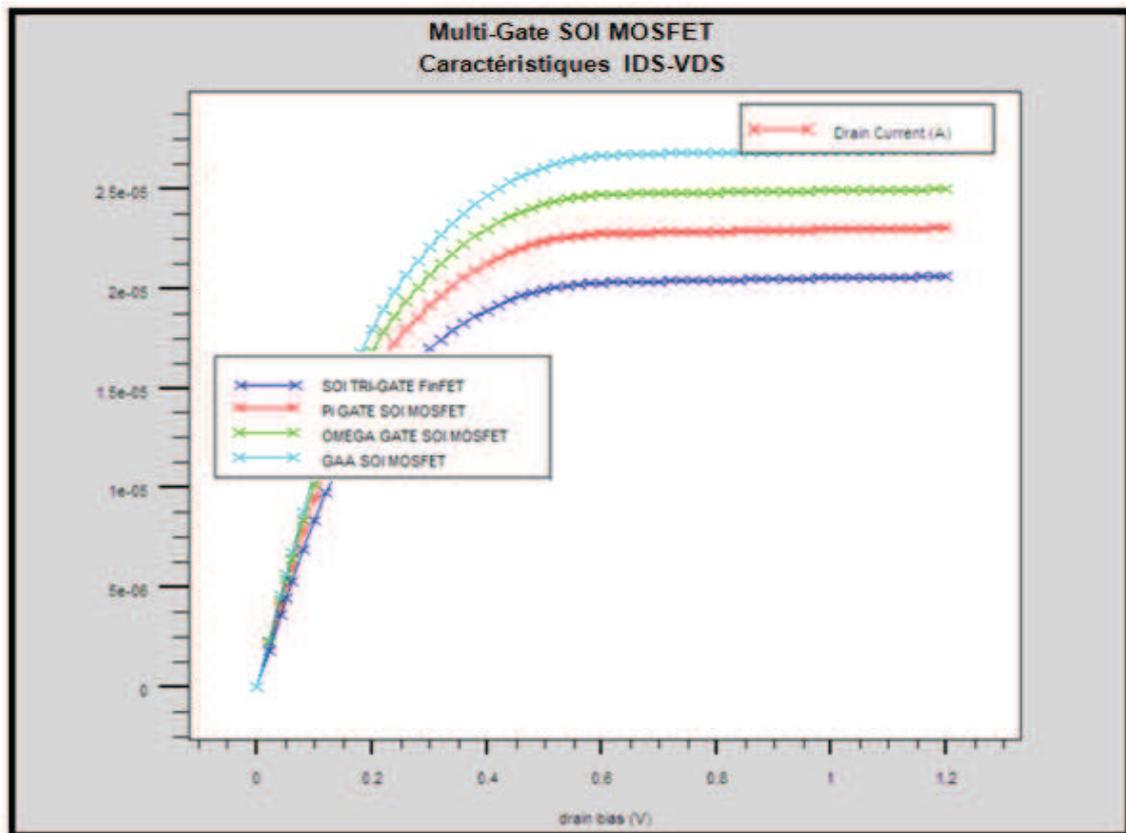


Figure IV.8: Caractéristiques $I_{DS}-V_{DS}$ des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

Les résultats de simulations montrent un accroissement du courant de saturation I_{DSAT} quand le nombre de grilles augmente, il atteint 2×10^{-5} A pour le transistor SOI TRI-GATE FinFET, $2,28 \times 10^{-5}$ A pour le transistor Π GATE SOI MOSFET, $2,48 \times 10^{-5}$ A pour le transistor Ω GATE SOI MOSFET et $2,67 \times 10^{-5}$ A pour le transistor GAA SOI MOSFET à section rectangulaire (Tableau IV.4).

L'apport des extensions d'un Π GATE SOI MOSFET ou bien d'un Ω GATE SOI MOSFET sur l'amélioration des performances du transistor SOI TRI-GATE FinFET est très remarquable.

IV.4.1.2. Caractéristique de transfert $I_{DS}-V_{GS}$

La Figure IV.9 illustre les caractéristiques $I_{DS}-V_{GS}$ des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

Les dispositifs ont été simulés pour une polarisation de grille varie de -0.1 V à 0.6V et pour une polarisation de drain $V_{DS}=0.1$ V.

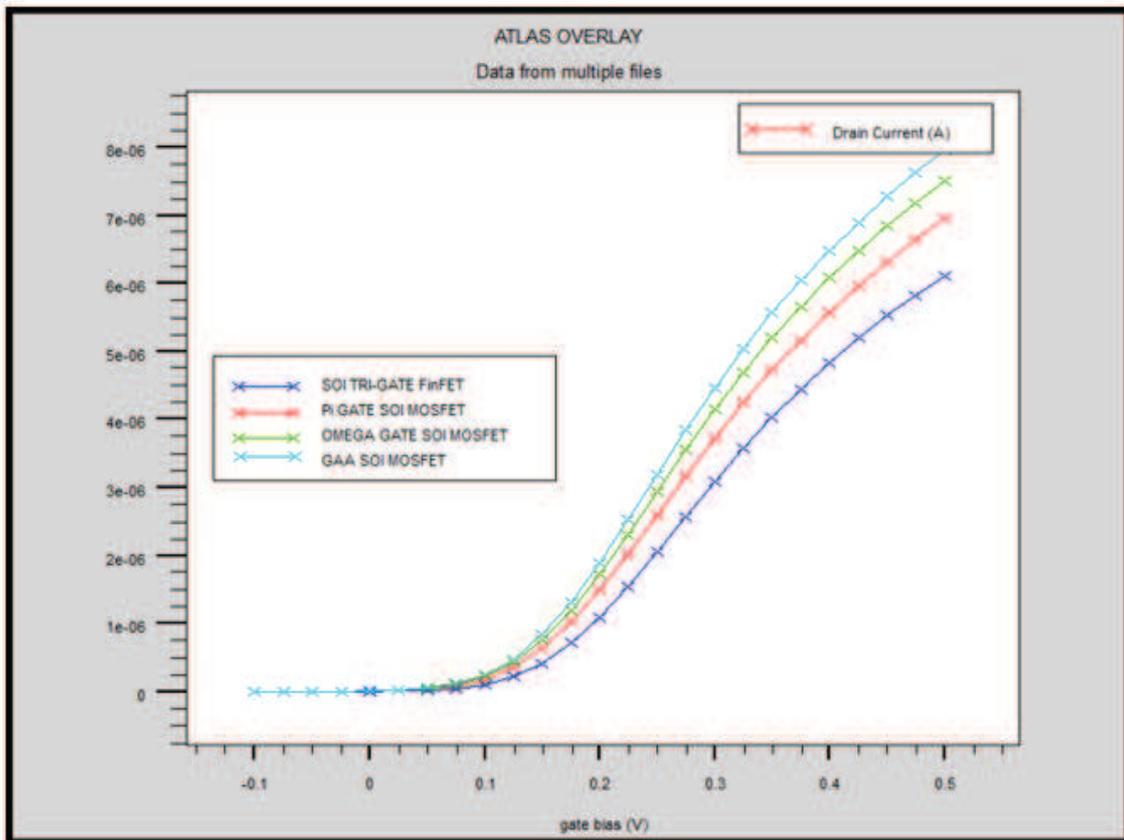


Figure IV.9: Caractéristiques $I_{DS}-V_{GS}$ des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

On remarque que la tension de seuil est légèrement décroissante avec l'augmentation de nombre de grille (Tableau IV.4).

IV.4.1.3. La pente sous le seuil

L'un des principaux paramètres en régime sous le seuil amélioré par l'augmentation du nombre de grille est l'inverse de la pente sous le seuil.

La pente sous le seuil (SS) est un paramètre caractéristique du régime faible inversion, il caractérise la vitesse de commutation du dispositif et est défini comme étant égale à l'inverse de la pente sous le seuil (S) « subthreshold Swing » et est donné par la relation suivante:

$$SS = \frac{dV_{GS}}{d(\log I_{DS})}$$

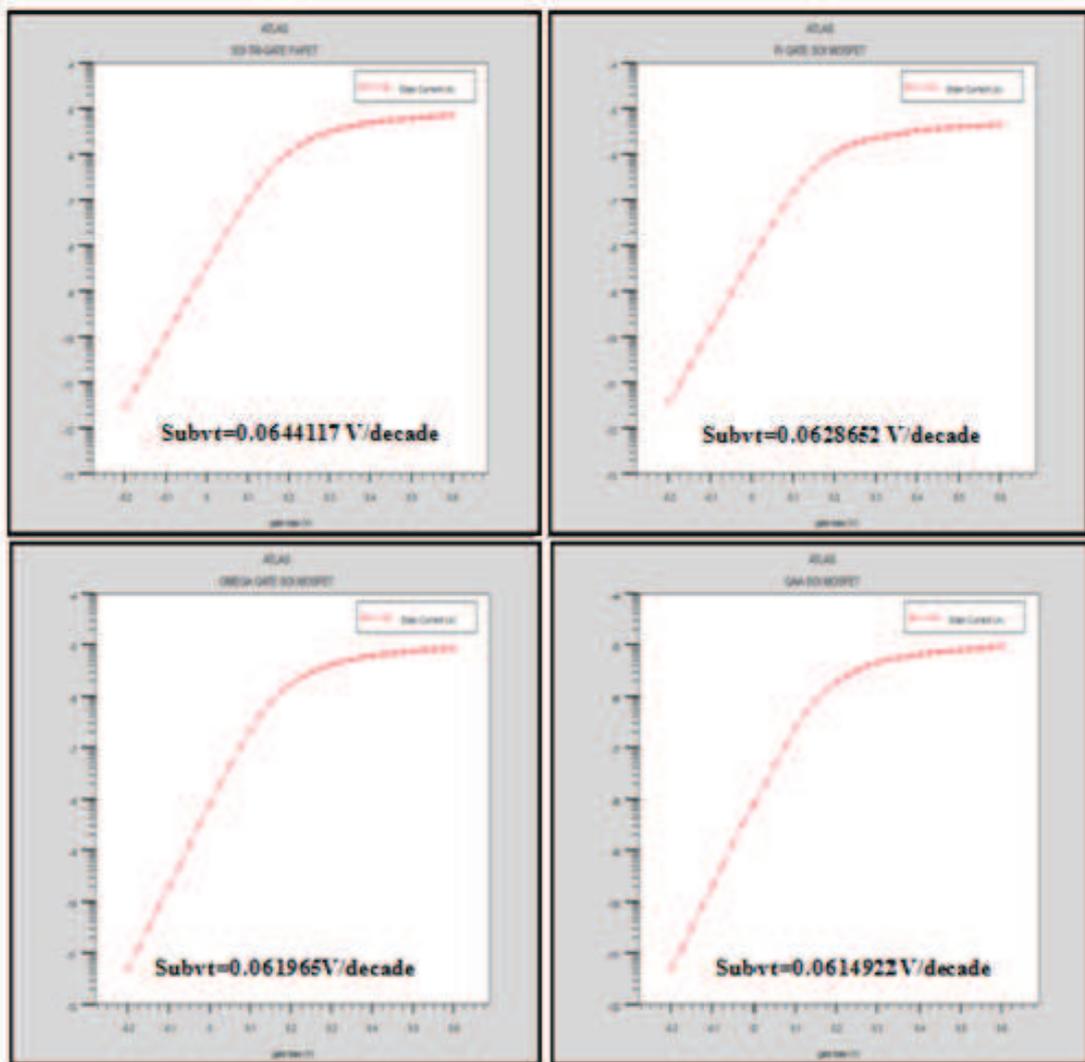


Figure IV.10 : Caractéristiques I_{DS} - V_{GS} subthreshold tension des transistors SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

Les résultats de simulation montrent une diminution de la valeur de la pente sous le seuil relativement au nombre croissant de grille, elle atteint 64.4117mV/decade pour le transistor SOI TRI-GATE FinFET, 62.8652 mV/decade pour le transistor Π GATE SOI MOSFET, 61.965mV/decade pour le transistor Ω GATE SOI MOSFET et 61.4922 mV/decade pour le transistor GAA SOI MOSFET à section rectangulaire (Tableau IV.4).

IV.4.1.4. Le courant de fuite I_{off} des structures simulées

Un des plus grands défis auxquels sont confrontés les transistors MOSFET à l'échelle nanométrique c'est l'augmentation de courant de fuite I_{off} résultant à la consommation en haute puissance.

Le courant de fuite a été calculé pour une polarisation de drain ($V_{DS}= 1.2V$) et pour une polarisation grille ($V_{GS}=0V$).

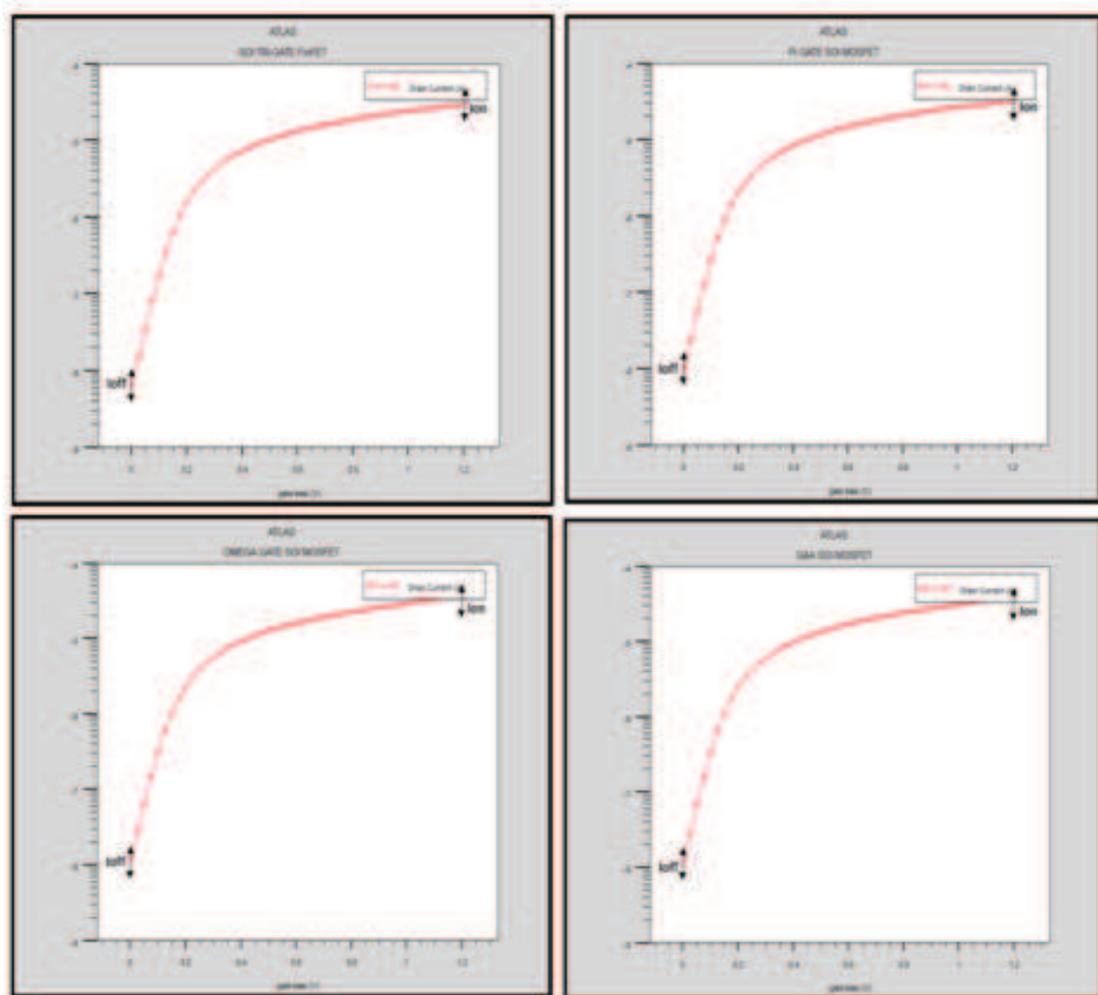


Figure IV.11 : Courant I_{off} - I_{on} dans les transistors : SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

D'après les résultats de simulation de nos structures (Figure IV.11), on remarque que le courant de fuite augmente relativement au nombre croissant de grille.

Le courant de fuite I_{off} atteint $8.91 \times 10^{-9} \text{A}$ pour le transistor SOI TRI-GATE FinFET, $1.01 \times 10^{-8} \text{A}$ pour le transistor Π GATE SOI MOSFET 1.14×10^{-8} pour le transistor Ω GATE SOI MOSFET et 1.15×10^{-8} pour le transistor GAA SOI MOSFET à section rectangulaire (Tableau IV.4).

IV.4.1.5. Le courant dans l'état ON (I_{on}) des structures simulées

L'ajout de grille traduit un ajout de canal d'inversion en forte inversion. Ainsi, le courant à l'état passant I_{on} accroît lorsque le nombre de grilles augmente, comme le montre la Figure IV.11.

Le courant à l'état passant a été calculé pour une polarisation de drain ($V_{DS} = 1.2 \text{V}$) et pour une polarisation grille ($V_{GS} = 1.2 \text{V}$).

Le courant I_{on} atteint $2.85 \times 10^{-5} \text{A}$ pour le transistor SOI TRI-GATE FinFET, $3.29 \times 10^{-5} \text{A}$ pour le transistor Π GATE SOI MOSFET, $3.55 \times 10^{-5} \text{A}$ pour le transistor Ω GATE SOI MOSFET $3.97 \times 10^{-5} \text{A}$ pour le transistor GAA SOI MOSFET à section rectangulaire (Tableau IV.4).

IV.4.1.6. Le rapport I_{on} / I_{off} des structures simulées

Un transistor est un commutateur contrôlé électriquement. Un bon transistor doit pouvoir communiquer avec des éléments distants d'un circuit intégré. Le courant dans l'état ON du transistor I_{on} doit être le plus grand possible pour charger les éléments du circuit rapidement. Dans l'état OFF, un transistor doit avoir un courant de fuite I_{off} le plus faible possible pour éviter la dissipation d'énergie et le chauffage.

Le ratio I_{on}/I_{off} est une bonne mesure de la versatilité d'un transistor, pour évaluer et comparer plusieurs dispositifs entre eux, on peut utiliser le tracé de mérite I_{on}/I_{off} qui représente le logarithme du courant de fuite I_{off} en fonction du courant de conduction I_{on} . De génération en génération, on cherche à avoir un rapport I_{on}/I_{off} le plus élevé possible.

Le rapport I_{on}/I_{off} est le rapport entre les valeurs maximale et minimale du courant de drain pour un V_{DS} donné en régime de saturation. I_{off} est le courant de drain à $V_{GS}=0$.

Le rapport I_{on}/I_{off} a été calculé pour une polarisation de drain ($V_{DS} = 1.2 \text{V}$) et pour une polarisation grille V_{GS} varie de 0V à 1.2V .

Ion/Ioff atteint $0.32 \times 10^{+4}$ pour le transistor SOI TRI-GATE FinFET, $0.33 \times 10^{+4}$ pour le transistor II GATE SOI MOSFET, $0.31 \times 10^{+4}$ pour le transistor Ω GATE SOI MOSFET et $0.35 \times 10^{+4}$ pour le transistor GAA SOI MOSFET à section rectangulaire (Tableau IV.4).

IV.4.1.7. Le DIBL: l'abaissement de la barrière de potentiel induit par le drain

Le DIBL (Drain-Induced Barrier Lowering) est alors attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la jonction source/canal.

L'abaissement de la barrière de potentiel, dû aux effets de canal court entre la source et le drain est la cause d'une diminution de la tension de seuil mais aussi d'une augmentation du courant de fuite Ioff, il est obtenu en effectuant la différence sur la tension de seuil pour deux tensions de drain, une première très faible ($V_{DS1}=0.1V$) et une seconde assez élevée ($V_{DS2}=1.2V$) tel que :

$$DIBL = \frac{V_{th}|_{V_{DS2}} - V_{th}|_{V_{DS1}}}{V_{DS2} - V_{DS1}}$$

La Figure IV.12 illustre l'amélioration de la contrôlabilité de la grille sur le canal relativement au nombre croissant de grilles où le DIBL est calculé pour différentes structures multi-grille SOI TRI-GATE FinFET, II GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire, les résultats de simulations montrent la décroissance du DIBL respectivement au nombre croissant de grille.

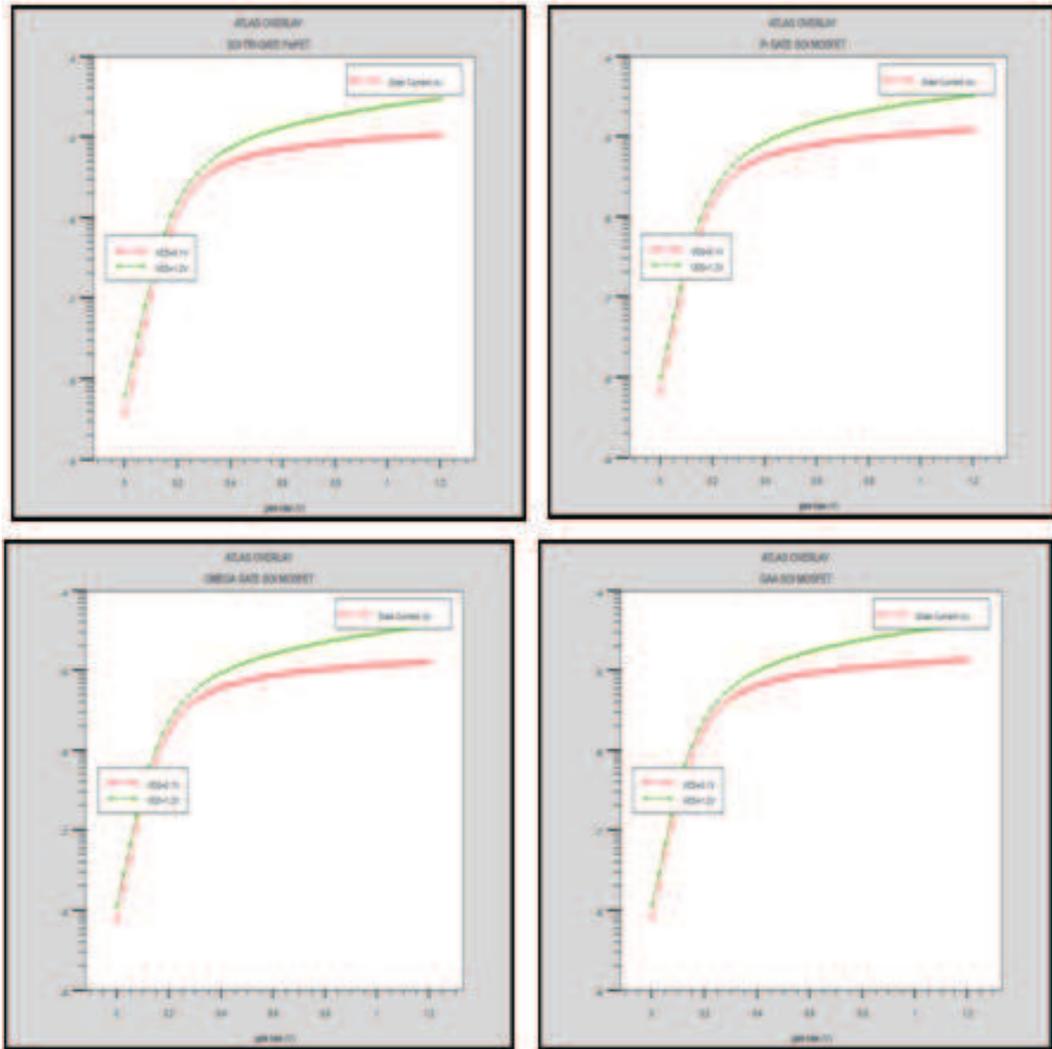


Figure IV.12 : L'effet DIBL dans les transistors : SOI TRI-GATE FinFET, Π GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

DIBL atteint 85 mV/V pour le transistor SOI TRI-GATE FinFET, 70 mV/V pour le transistor Π GATE SOI MOSFET, 65 mV/V pour le transistor Ω GATE SOI MOSFET et 59 mV/V pour le transistor GAA SOI MOSFET à section rectangulaire (Tableau IV.4).

L'apport des extensions d'un Π GATE SOI MOSFET et Ω GATE SOI MOSFET sur l'amélioration de l'intégrité électrostatique par rapport à un SOI TRI-GATE FinFET est remarquable. Cependant, le quadruple-grille reste la structure la plus optimale avec le rapport I_{on}/I_{off} et le DIBL le plus bas et donc la meilleure contrôlabilité possible.

Tableau IV.4

Résultats de simulation des transistors SOI TRI-GATE FinFET, II GATE SOI MOSFET, Ω GATE SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

	SOI TRI-GATE FinFET	II GATE SOI MOSFET	Ω GATE SOI MOSFET	GAA SOI MOSFET à section rectangulaire
I_{DSAT} [A]	2 e-5	2.28 e-5	2.48 e-5	2.67 x10-5
V_{th} [V]	0.102694	0.0925475	0.0823485	0.0808688
Subvt [V/decade]	0.0644117	0.0628652	0.061965	0.0614922
I_{on} [A]	2.85 e-5	3.29 e-5	3.55 e-5	3.97 e-5
I_{off} [A]	8.91 e-9	1.01 e-8	1.14 e-8	1.15 e-8
I_{on} / I_{off}	0.32e+4	0.33 e+4	0.31 e+4	0.35 e+4
DIBL [mV/V]	85	70	65	59

IV.5. Les transistors multi-grille à base de matériaux innovants

L'amélioration des performances des transistors imposée par les recommandations de la Roadmap ITRS, requiert une réduction des dimensions de ces transistors. En particulier, l'épaisseur d'oxyde de silicium prévue pour les prochaines générations ne devra pas dépasser le nanomètre pour conserver un couplage capacitif correct entre la grille et le canal d'inversion. Mais cette réduction drastique de l'épaisseur n'est pas sans conséquence sur le fonctionnement du transistor : augmentation des courants parasites de grille, réduction de la mobilité des porteurs du canal par interaction avec les charges de déplétion dans la grille... Pour palier à ces limitations, l'une des solutions envisagées est de remplacer l'empilement de grille conventionnel Poly-Si/SiO₂ par un empilement de type grille métallique/diélectrique de forte permittivité ("high-k" en anglais).

L'intérêt d'intégrer ces matériaux alternatifs est double : d'une part, l'utilisation d'un métal comme matériau de grille supprime l'effet de déplétion qui induit des charges à l'interface Poly-Si/SiO₂. Parmi les matériaux de grille envisagés en remplacement, on peut citer TiN, W, WN ou TaN qui sont les plus étudiés à l'heure actuelle. D'autre part, l'intégration d'un matériau à forte permittivité, c'est à dire de constants diélectriques supérieurs à celle de SiO₂,

permet d'augmenter l'épaisseur physique de diélectrique (donc la diminution du courant de fuite tunnel) tout en maintenant la même capacité d'oxyde générale. Il est donc aujourd'hui convenu de ne plus parler d'épaisseur d'oxyde T_{ox} mais d'épaisseur équivalente d'oxyde ou EOT (Equivalent Oxide thickness) définit pour deux couches de matériaux quelconques (M_1 et M_2) par:

$$EOT = T_{M1} \frac{\epsilon_{SiO2}}{\epsilon_{M1}} + T_{M2} \frac{\epsilon_{SiO2}}{\epsilon_{M2}}$$

Où T_{M1} et T_{M2} sont les épaisseurs des matériaux d'oxydes M_1 et M_2 et ϵ_{M1} et ϵ_{M2} sont leurs permittivités respectives.

Parmi les matériaux high-k qui sont actuellement les plus prometteurs, ainsi que leurs permittivités diélectriques sont référencés dans le Tableau IV.5.

Tableau IV.5:

Matériaux high-k qui sont actuellement les plus prometteurs, ainsi que leurs permittivités diélectriques

Matériau utilisé	Constante diélectrique relative
HfO ₂	20
Al ₂ O ₃	9
Y ₂ O ₃	15
La ₂ O ₃	30
ZrO ₂	25

La structure GAA SOI MOSFET à section rectangulaire est l'une des plus importantes structure multi-grille qui montre une meilleure pente sous le seuil (SS) « subthreshold Swing », plus grand rapport Ion/Ioff et un DIBL le plus bas et donc la meilleure contrôlabilité possible.

Dans cette partie, nous intéressons à la structure GAA SOI MOSFET à section rectangulaire (de même paramètres que le GAA SOI MOSFET à section rectangulaire simulé dans la première partie) mais nous avons remplacé l'empilement de grille Poly-Si/SiO₂ par un empilement de type grille métallique (le nitrure de titane TiN)/diélectrique de forte permittivité: TiN/ Al₂O₃ (k ~ 9)/ SiO₂, TiN/ HfO₂ (k ~ 20)/ SiO₂ et TiN/ La₂O₃ (k ~ 30) /SiO₂. La Figure IV.19 illustre la structure 3D avec une coupe 2D du transistor GAA SOI MOSFET à section rectangulaire simulé pour trois types d'empilement TiN/ Al₂O₃/ SiO₂, TiN/ HfO₂/ SiO₂ et TiN/ La₂O₃ /SiO₂ et avec un EOT (Equivalent Oxide thickness)=1.2nm.

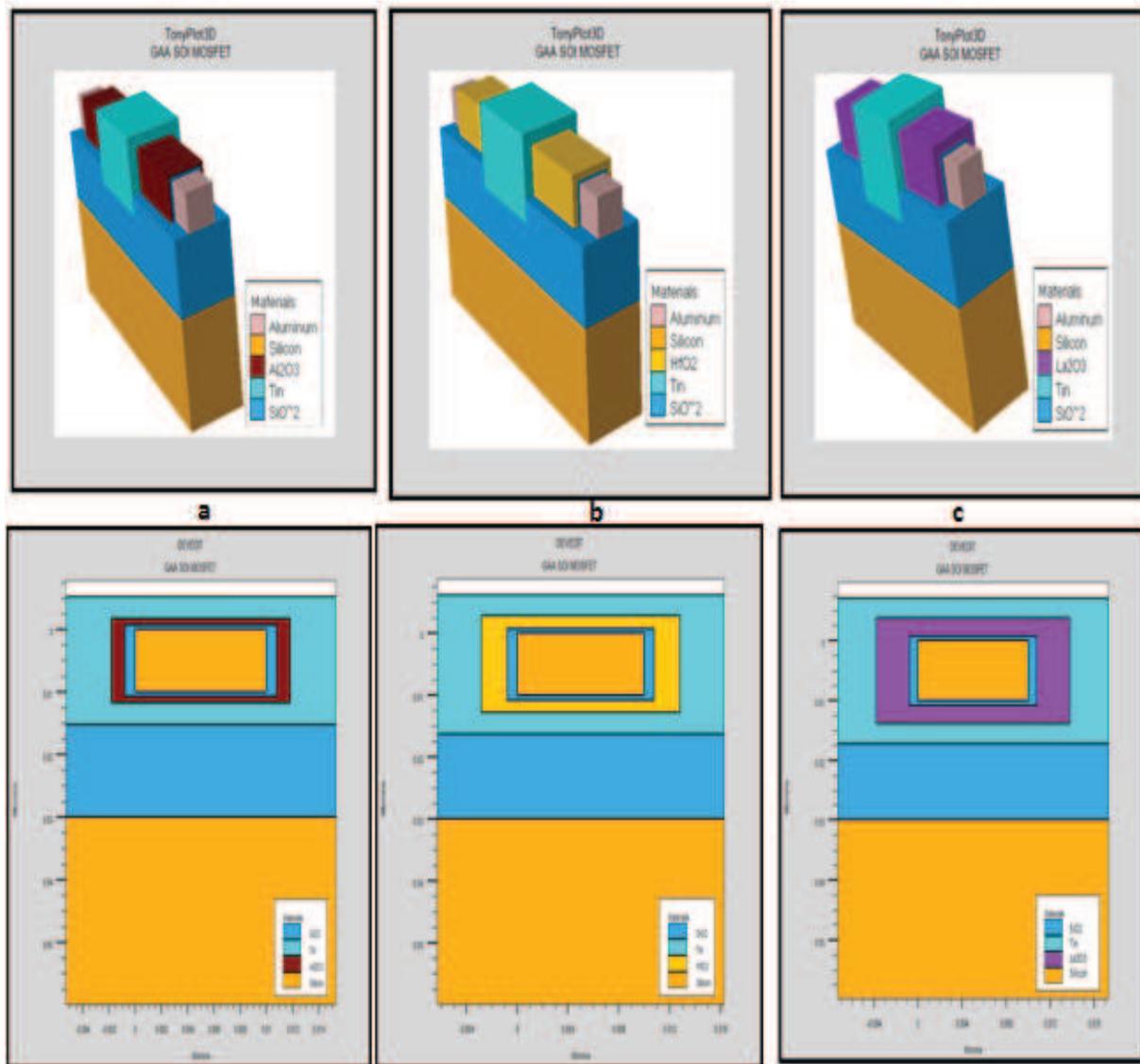


Figure IV.13 : Structure 3D et Coupe 2D du GAA SOI MOSFET à section rectangulaire simulé avec un empilement TiN / 1nm Al₂O₃ / 0.8nm SiO₂ , (b) TiN / 2nm HfO₂/0.8nm SiO₂ et (c) TiN / 3nm La₂O₃/0.8nm SiO₂.

Les caractéristiques électriques du transistor GAA SOI MOSFET à section rectangulaire simulé avec l'empilement TiN / 1nm Al₂O₃ / 0.8nm SiO₂, TiN / 2nm HfO₂/0.8nm SiO₂ et TiN / 3nm La₂O₃/0.8nm SiO₂ sont présentés dans la Figure IV. 14 : caractéristique $I_{DS} - V_{DS}$, Figure IV. 15: caractéristique $I_{DS} - V_{GS}$, Figure IV.16: caractéristique $I_{DS} - V_{GS}$ subthreshold tension , Figure IV.17: courant Ioff-Ion et la Figure IV.18: L'effet DIBL dans le transistor GAA SOI MOSFET à section rectangulaire.

IV.5.1. Caractéristique de sortie $I_{DS}-V_{DS}$

Les résultats de simulations montrent un accroissement du courant de saturation I_{DSAT} du transistor GAA SOI MOSFET à section rectangulaire lorsque nous avons utilisé les diélectriques High-k : Al_2O_3 , HfO_2 et La_2O_3 .

Les dispositifs ont été simulé pour une polarisation de drain varie de 0 V à 0.6V et pour une polarisation de grille $V_{GS}=0.8V$.

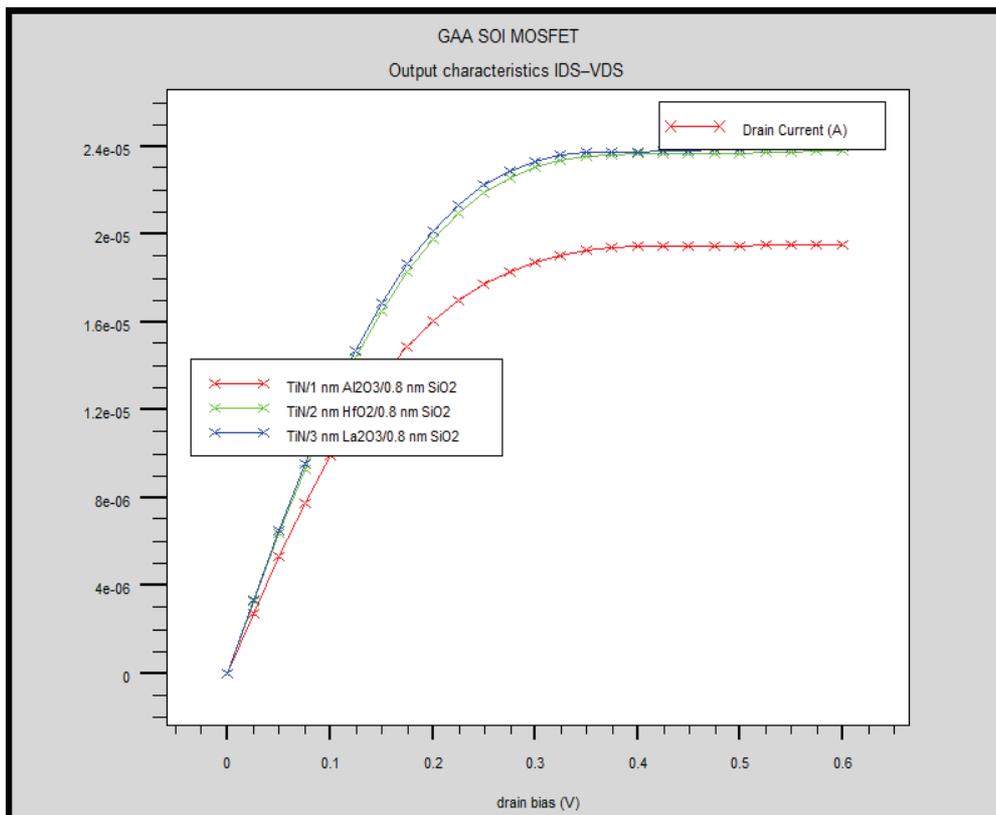


Figure IV.14 : Caractéristiques $I_{DS}-V_{DS}$ of du transistor GAA SOI MOSFET à section rectangulaire avec un empilement TiN / 1nm Al_2O_3 /0.8nm SiO_2 , TiN / 2nm HfO_2 /0.8nm SiO_2 et TiN / 3nm La_2O_3 /0.8nm SiO_2 .

Le courant de saturation I_{DSAT} du transistor GAA SOI MOSFET à section rectangulaire atteint : $1.95 \times 10^{-5} A$ avec l'empilement empilement TiN / 1nm Al_2O_3 /0.8nm SiO_2 , $2.4 \times 10^{-5} A$ avec l'empilement TiN / 2nm HfO_2 /0.8nm SiO_2 et avec l'empilement TiN / 3nm La_2O_3 /0.8nm SiO_2 .

IV.5.2. Caractéristique de transfert $I_{DS}-V_{GS}$

Les résultats de simulations montrent un accroissement de la tension de seuil du transistor GAA SOI MOSFET à section rectangulaire lorsque nous avons utilisé les diélectriques Al_2O_3 , HfO_2 et La_2O_3 .

Les dispositifs ont été simulés pour une polarisation de grille variée de -0.2 V à 0.6 V et pour une polarisation de drain $V_{DS}=0.1\text{ V}$.

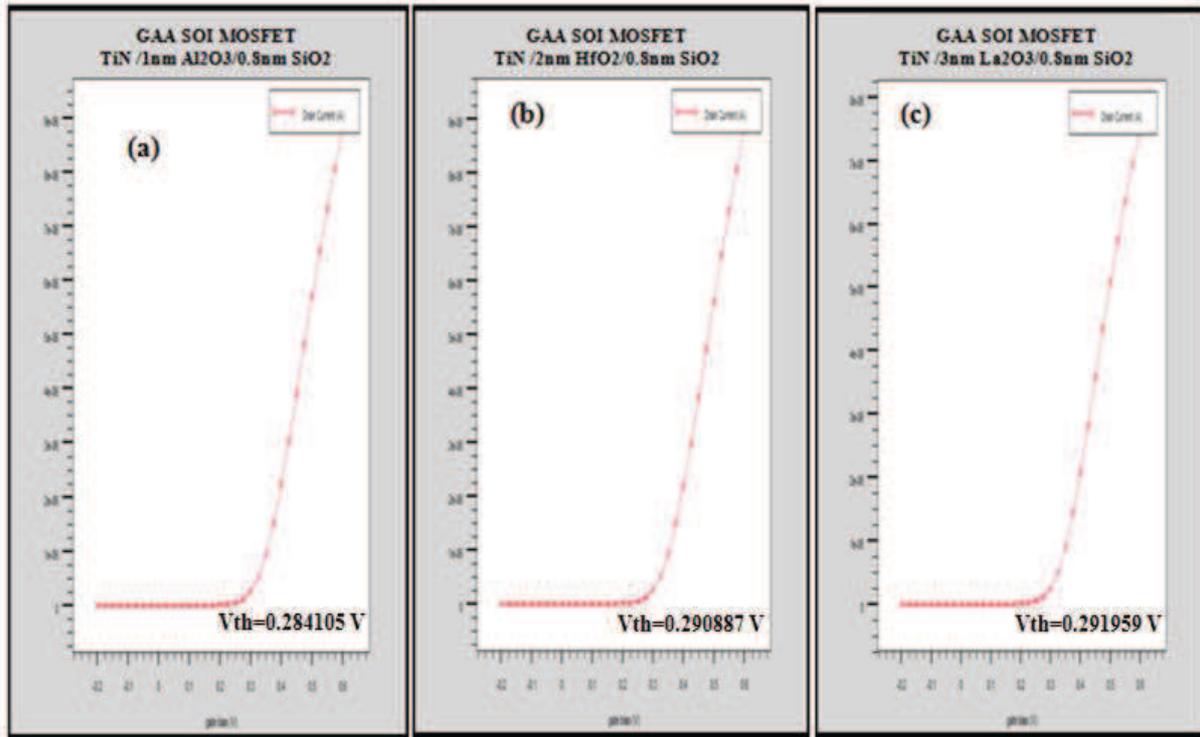


Figure IV.15 : Caractéristiques $I_{DS}-V_{GS}$ du transistor GAA SOI MOSFET à section rectangulaire avec un empilement (a) TiN / 1nm Al_2O_3 / 0.8nm SiO_2 , (b) TiN / 2nm HfO_2 / 0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 / 0.8nm SiO_2 .

La tension de seuil du transistor GAA SOI MOSFET à section rectangulaire atteint : 0.284105 V avec l'empilement TiN / 1nm Al_2O_3 / 0.8nm SiO_2 , 0.290887 V avec l'empilement TiN / 2nm HfO_2 / 0.8nm SiO_2 et 0.291959 V avec l'empilement TiN / 3nm La_2O_3 / 0.8nm SiO_2 .

IV.5.3. La pente sous le seuil

Les résultats de simulations montrent une amélioration de la pente sous le seuil du transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2nm HfO_2 / 0.8nm SiO_2 par rapport à l'empilement TiN / 1nm Al_2O_3 / 0.8nm SiO_2 et TiN / 3nm La_2O_3 / 0.8nm SiO_2 .

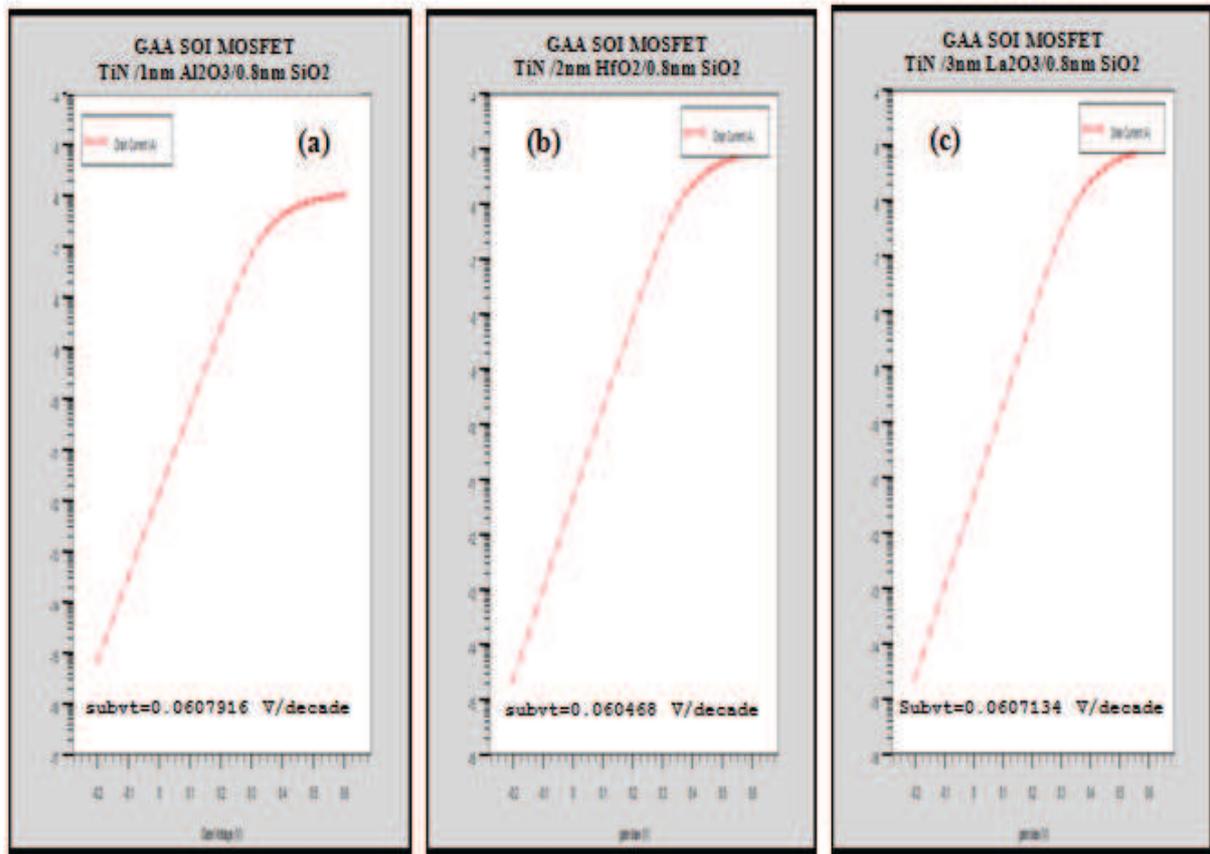


Figure IV.16 : Caractéristiques I_{DS} - V_{GS} subthreshold tension du transistor GAA SOI MOSFET à section rectangulaire avec un empilement : (a) TiN / 1nm Al_2O_3 / 0.8nm SiO_2 , (b) TiN / 2nm HfO_2 / 0.8nm SiO_2 et (c) TiN / 3nm La_2O_3 / 0.8nm SiO_2 .

La pente sous le seuil du transistor GAA SOI MOSFET à section rectangulaire atteint : 60.7916 mV/decade avec l'empilement TiN / 1nm Al_2O_3 / 0.8nm SiO_2 , 60.4680 mV/decade avec l'empilement TiN / 2nm HfO_2 / 0.8nm SiO_2 et 60.7134 mV/decade avec l'empilement TiN / 3nm La_2O_3 / 0.8nm SiO_2 .

IV.5.4. Le courant de fuite I_{off}

Les résultats de simulations montrent une amélioration du courant de fuite dans le transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2nm HfO_2 / 0.8nm SiO_2 par rapport à l'empilement TiN / 1nm Al_2O_3 / 0.8nm SiO_2 et TiN / 3nm La_2O_3 / 0.8nm SiO_2 .

Le courant de fuite a été calculé pour une polarisation de drain ($V_{DS} = 1.2V$) et pour une polarisation grille ($V_{GS} = 0V$).

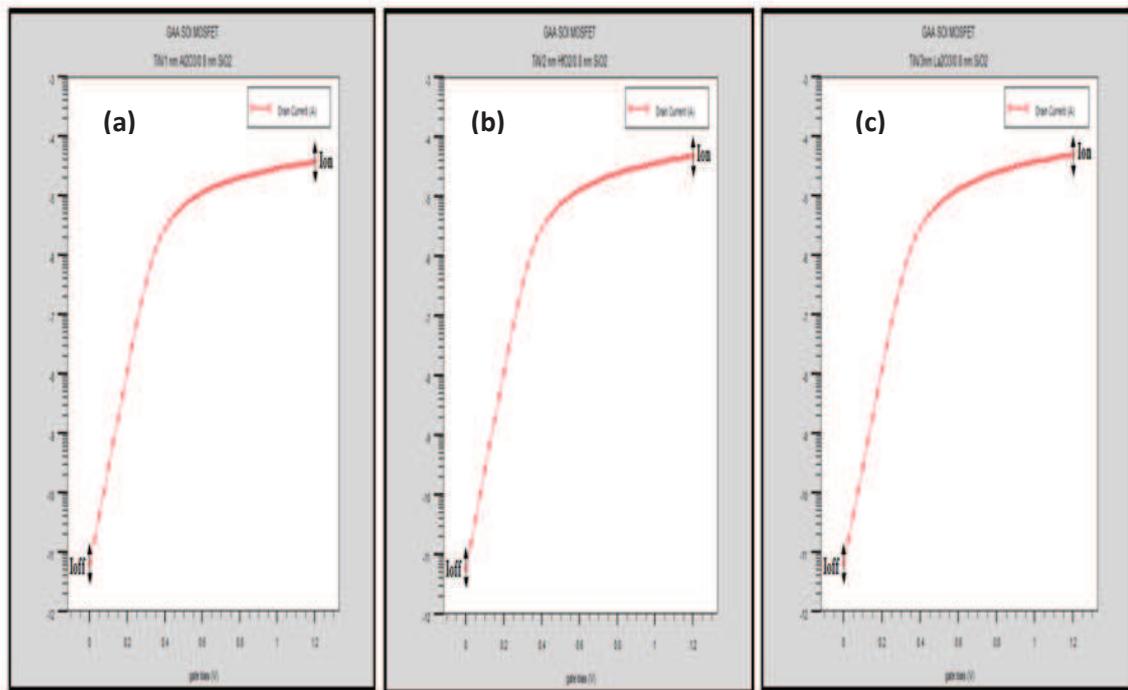


Figure IV.17: Courant Ioff-Ion dans le transistor GAA SOI MOSFET à section rectangulaire avec un empilement (a) TiN / 1nm Al₂O₃ / 0.8nm SiO₂, (b) TiN / 2nm HfO₂ / 0.8nm SiO₂ et (c) TiN / 3nm La₂O₃ / 0.8nm SiO₂.

Avec l'intégration des diélectriques de haute permittivité (high-k) dans la structure GAA SOI MOSFET à section rectangulaire , les performances du transistor sont encore renforcées et améliorées.

Le courant Ioff dans le transistor GAA SOI MOSFET à section rectangulaire décroît de 23.19% avec l'empilement TiN / 2nm HfO₂ / 0.8nm SiO₂ et décroît de 3% avec l'empilement TiN / 1nm Al₂O₃ / 0.8nm SiO₂ par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 3nm La₂O₃ / 0.8nm SiO₂.

IV.5.5. Le courant dans l'état ON (Ion)

Les résultats de simulations montrent une amélioration du courant Ion dans le transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 3nm La₂O₃ / 0.8nm SiO₂ par rapport à l'empilement TiN / 1nm Al₂O₃ / 0.8nm SiO₂ et TiN / 2nm HfO₂ / 0.8nm SiO₂.

Le courant Ion a été calculé pour une polarisation de drain ($V_{DS}= 1.2V$) et pour une polarisation grille ($V_{GS}=1.2 V$), Figure IV.17.

Le courant Ion dans le transistor GAA SOI MOSFET à section rectangulaire augmente de 33.24% avec l'empilement TiN / 3nm La₂O₃ / 0.8nm SiO₂ et augmente de 28.85% avec

l'empilement TiN / 2nm HfO₂/0.8nm SiO₂ par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 1nm Al₂O₃ /0.8nm SiO₂.

IV.5.6. Le rapport Ion / Ioff

Les résultats de simulations montrent une amélioration du rapport Ion/Ioff du transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2nm HfO₂/0.8nm SiO₂ par rapport à l'empilement TiN / 1nm Al₂O₃ /0.8nm SiO₂ et TiN / 3nm La₂O₃/0.8nm SiO₂.

Le rapport Ion/Ioff a été calculé pour une polarisation de drain ($V_{DS}= 1.2V$) et pour une polarisation grille V_{GS} varie de 0V à 1.2 V (Figure IV.17).

Le rapport Ion/Ioff du transistor GAA SOI MOSFET à section rectangulaire augmente de 62.71% avec l'empilement TiN / 2nm HfO₂/0.8nm SiO₂ et augmente de 28.81% avec l'empilement TiN / 3n La₂O₃/0.8nm SiO₂ par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 1nm Al₂O₃ /0.8nm SiO₂.

IV.5.7. Le DIBL: l'abaissement de la barrière de potentiel induit par le drain

Le DIBL est obtenu en effectuant la différence sur la tension de seuil pour deux tensions de drain, une première très faible ($V_{DS1}=0.1V$) et une seconde assez élevée ($V_{DS2}=1.2V$) tel que :

$$DIBL = \frac{V_{th}|_{V_{DS2}} - V_{th}|_{V_{DS1}}}{V_{DS2} - V_{DS1}}$$

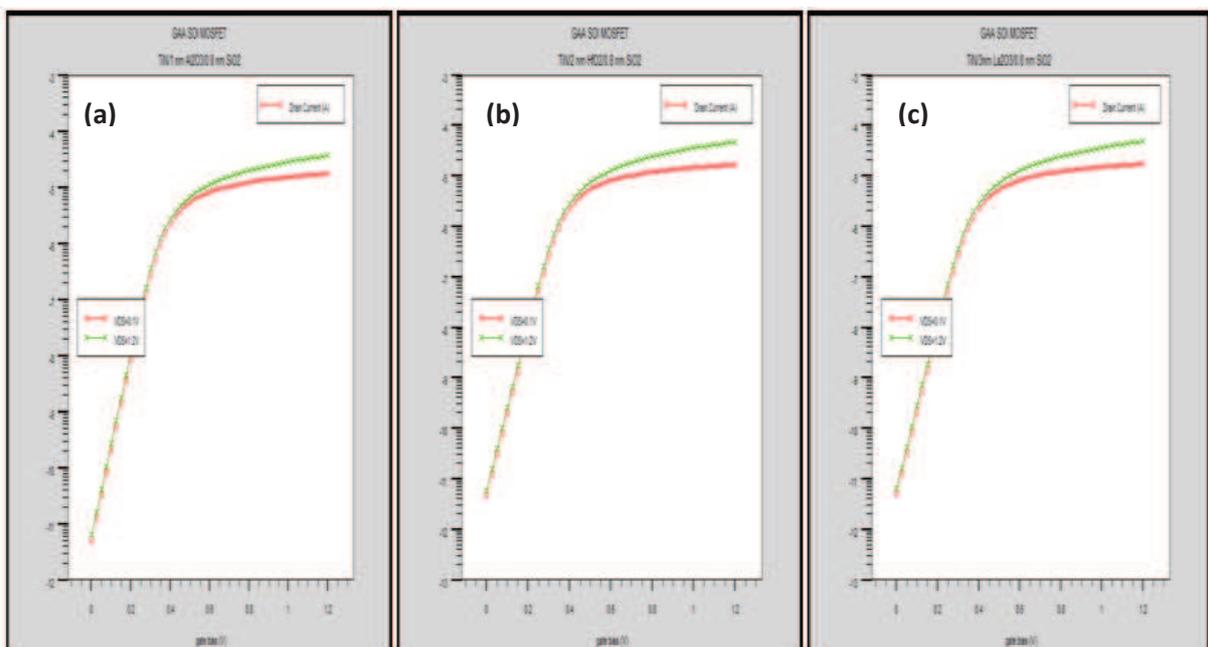


Figure IV.18: L'effet DIBL dans le transistor GAA SOI MOSFET à section rectangulaire avec un empilement (a) TiN / 1nm Al₂O₃ /0.8nm SiO₂, (b) TiN / 2nm HfO₂/0.8nm SiO₂ et (c) TiN / 3nm La₂O₃/0.8nm SiO₂.

Le DIBL dans le transistor GAA SOI MOSFET à section rectangulaire décroît de 18.18% avec l'empilement TiN/ 2nm HfO₂/0.8nm SiO₂ et décroît de 13.64% avec l'empilement TiN / 3nm La₂O₃/0.8nm SiO₂ par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 1nm Al₂O₃ /0.8nm SiO₂.

Tableau IV.6

Résultats de Simulations du transistor GAA SOI MOSFET à section rectangulaire avec high-k diélectriques

Paramètres de Simulations	TiN /1nm Al ₂ O ₃ /0.8nm SiO ₂	TiN /2nm HfO ₂ /0.8nm SiO ₂	TiN / 3n mL ₂ O ₃ /0.8nm SiO ₂
I _{DSAT} [A]	1.95e-5	2.4e-5	2.4e-5
V _{th} [V]	0.284105 V	0.290887 V	0.291959 V
Subvt[V/decade]	0.0607916	0.060468	0.0607134
Ion [A]	3.64e-5	4.69 e-5	4.85e-5
Leakage current I _{off} [A]	6.15e-12	4.87e-12	6.34e-12
Ion/I _{off} ratio	5.9e6	9.6e6	7.6e6
DIBL [mV/V]	44	36	38

Le transistor GAA SOI MOSFET à section rectangulaire avec le diélectrique HfO₂ donne le meilleur rapport Ion / I_{off} par rapport aux diélectriques : Al₂O₃ et La₂O₃. Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille HfO₂.

Les résultats de simulations obtenus montrent que le transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2 nm HfO₂ / 0.8 nm SiO₂ a entraîné une amélioration significative des effets canaux courts SCE, en particulier le DIBL réduit de 18.18%, le courant de fuite I_{off} réduit de 20.81% et le rapport Ion / I_{off} augmente de 62.71% par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 1 nm Al₂O₃ /0.8nm SiO₂ et par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 3nm La₂O₃ /0.8nm SiO₂, le DIBL réduit de 5.26%, le courant de fuite I_{off} réduit de 23.19% et le rapport Ion / I_{off} augmente de 26.32% .

IV.6. Modulation du travail de sortie du métal de la grille

Pour améliorer de plus en plus les performances du transistor GAA SOI MOSFET à section rectangulaire à section rectangulaire avec l'empilement $\text{TiN} / 2 \text{ nm HfO}_2 / 0.8 \text{ nm SiO}_2$, nous avons utilisé une nouvelle technologie qui consiste à moduler le travail de sortie du métal contact de la grille : dans notre cas c'est le TiN par l'intégration de grilles duales métal.

La Figure IV.19 illustre la nouvelle structure du GAA SOI MOSFET à section rectangulaire mais avec un nouveau empilement $\text{TaN} / \text{TiN} / 2 \text{ nm HfO}_2 / 0.8 \text{ nm SiO}_2$.

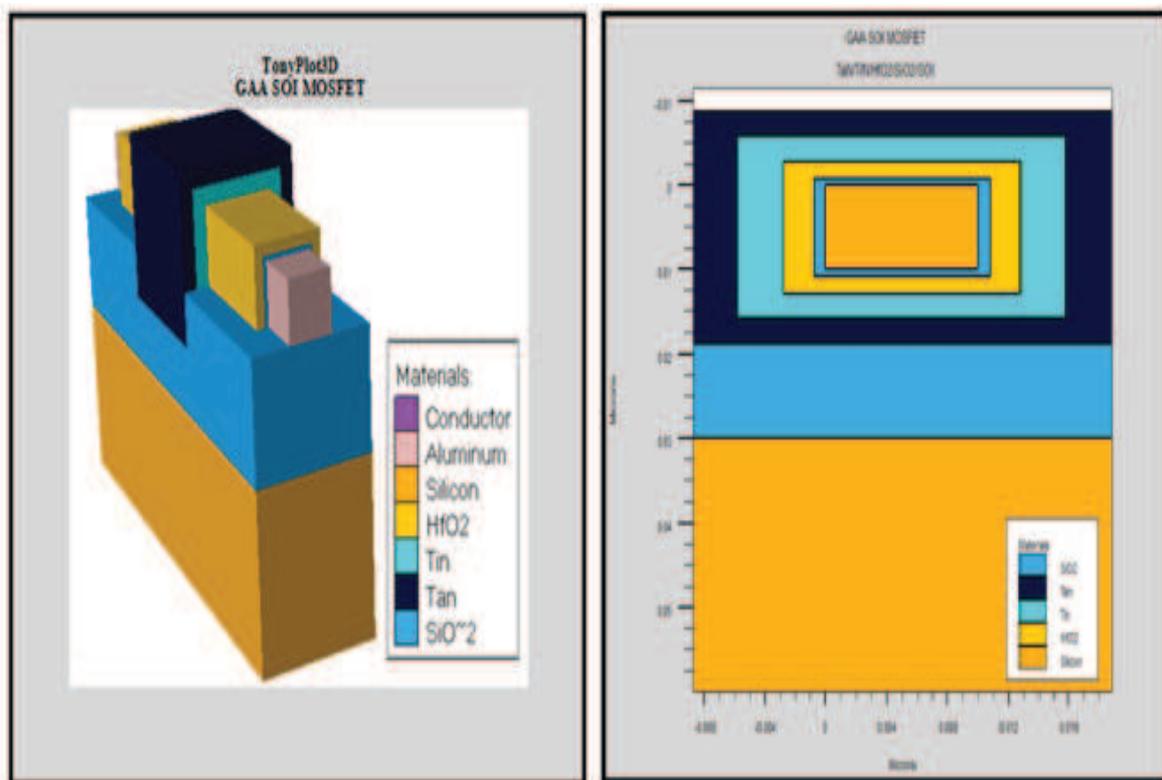


Figure IV.19 : Structure 3D et Coupe 2D du GAA SOI MOSFET à section rectangulaire simulé avec un empilement $3\text{nm TaN} / 3\text{nm TiN} / 2\text{nm HfO}_2 / 0.8\text{nm SiO}_2$.

Dans cette structure, nous avons conçu le contact de la grille avec double métaux : le TaN et TiN de même épaisseur $T_{M1}(\text{TaN}) = T_{M2}(\text{TiN}) = 3\text{nm}$ et nous avons gardé les mêmes paramètres de la structure GAA SOI MOSFET à section rectangulaire simulée dans la deuxième partie sauf que nous avons remplacé l'empilement $\text{TiN} / 2\text{nm HfO}_2 / 0.8\text{nm SiO}_2$ par l'empilement $3\text{nm TaN} / 3\text{nm TiN} / 2\text{nm HfO}_2 / 0.8\text{nm SiO}_2$.

Les caractéristiques électriques du transistor GAA SOI MOSFET à section rectangulaire simulé avec l'empilement $3\text{nm TaN} / 3\text{nm TiN} / 2\text{nm HfO}_2 / 0.8\text{nm SiO}_2$ sont présentés dans la Figure IV.20: caractéristique $I_{DS} - V_{DS}$ ($V_{GS} = 0.8 \text{ V}$), Figure IV. 21 : caractéristique

$I_{DS} - V_{GS}$ ($V_{DS} = 0.1$), Figure IV.22: caractéristique $I_{DS} - V_{GS}$ subthreshold voltage, Figure IV.23 Courant I_{off} / I_{on} et la Figure IV.24 l'effet DIBL dans le transistor GAA SOI MOSFET à section rectangulaire.

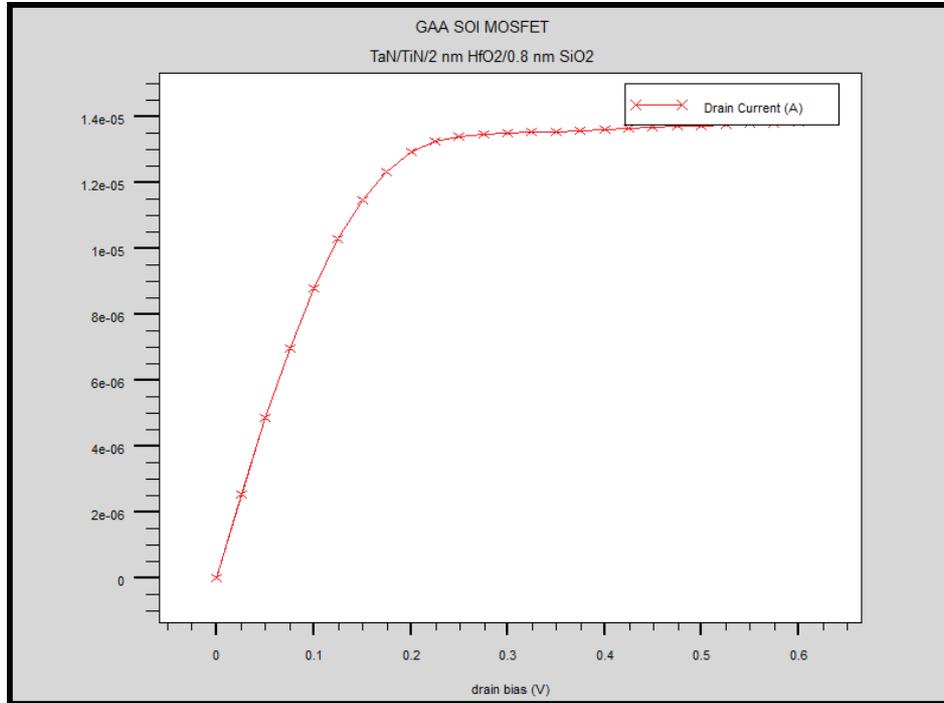


Figure IV.20 : Caractéristiques $I_{DS} - V_{DS}$ of du transistor GAA SOI MOSFET à section rectangulaire avec un empilement 3nmTaN/ 3nmTiN / 2nm HfO₂/0.8nm SiO₂ .

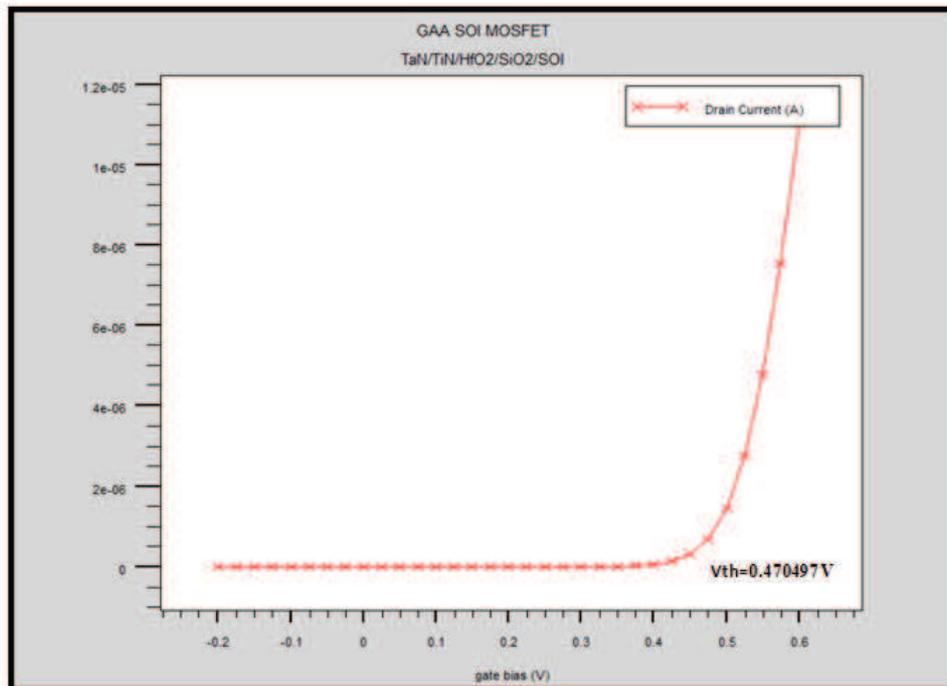


Figure IV.21 : Caractéristiques $I_{DS} - V_{GS}$ du transistor GAA SOI MOSFET à section rectangulaire avec un empilement 3nmTaN/ 3nmTiN / 2nm HfO₂/0.8nm SiO₂ .

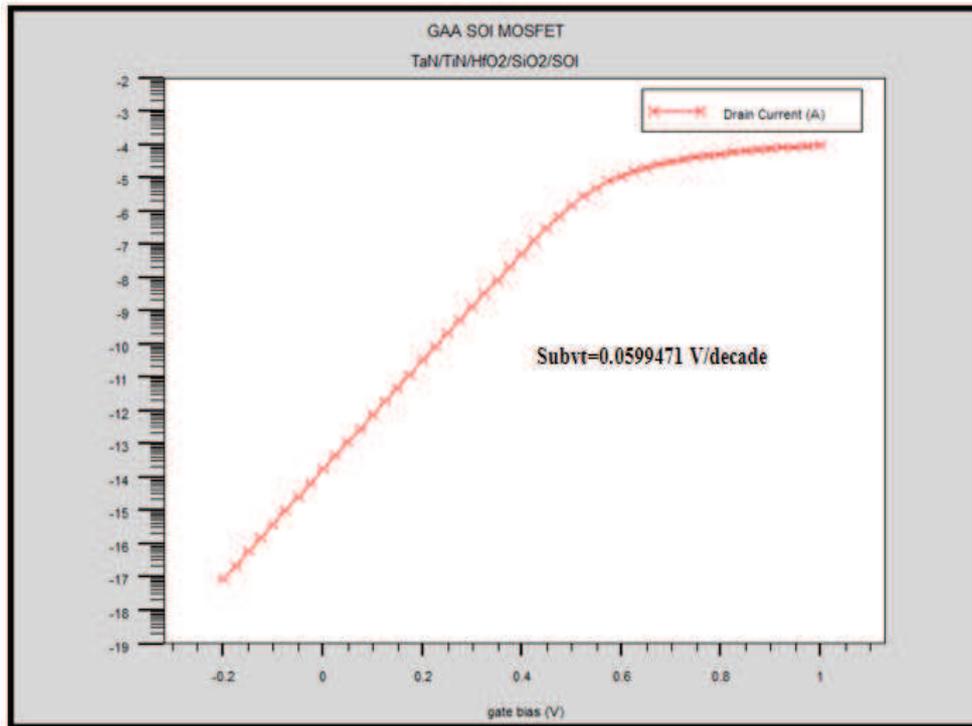


Figure IV.22 : Caractéristiques I_{DS} - V_{GS} subthreshold tension du transistor GAA SOI MOSFET à section rectangulaire avec un empilement 3nmTaN/ 3nmTiN / 2nm HfO₂/0.8nm SiO₂ .

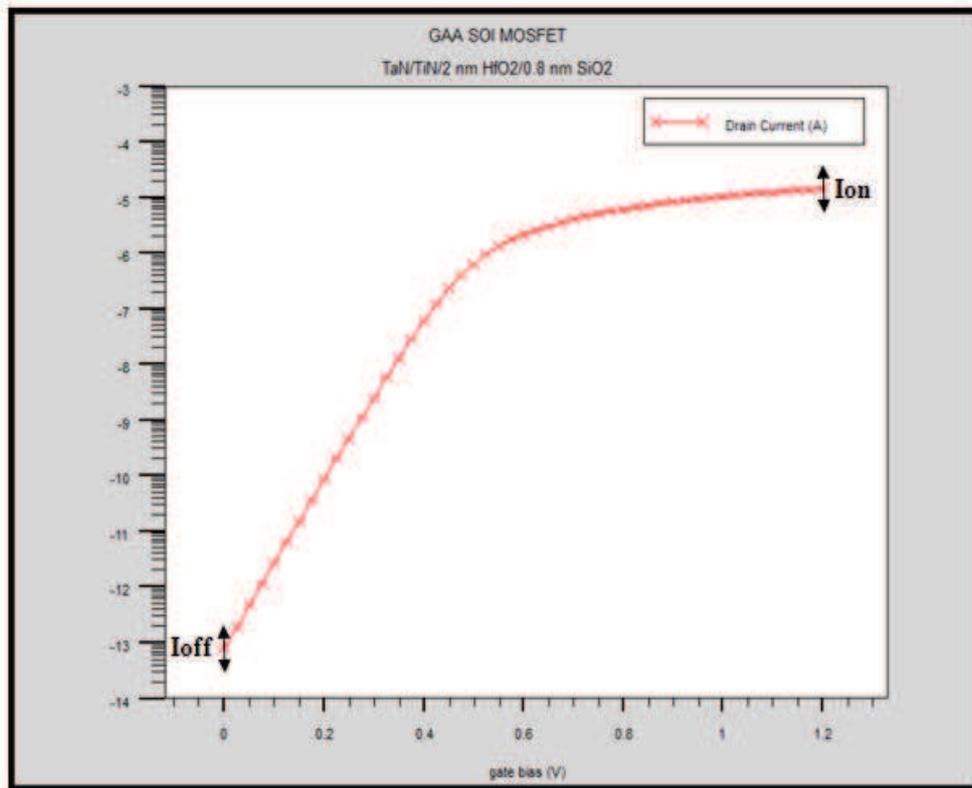


Figure IV.23 : Courant I_{off} - I_{on} dans le transistor GAA SOI MOSFET à section rectangulaire avec un empilement 3nmTaN/ 3nmTiN / 2nm HfO₂/0.8nm SiO₂ .

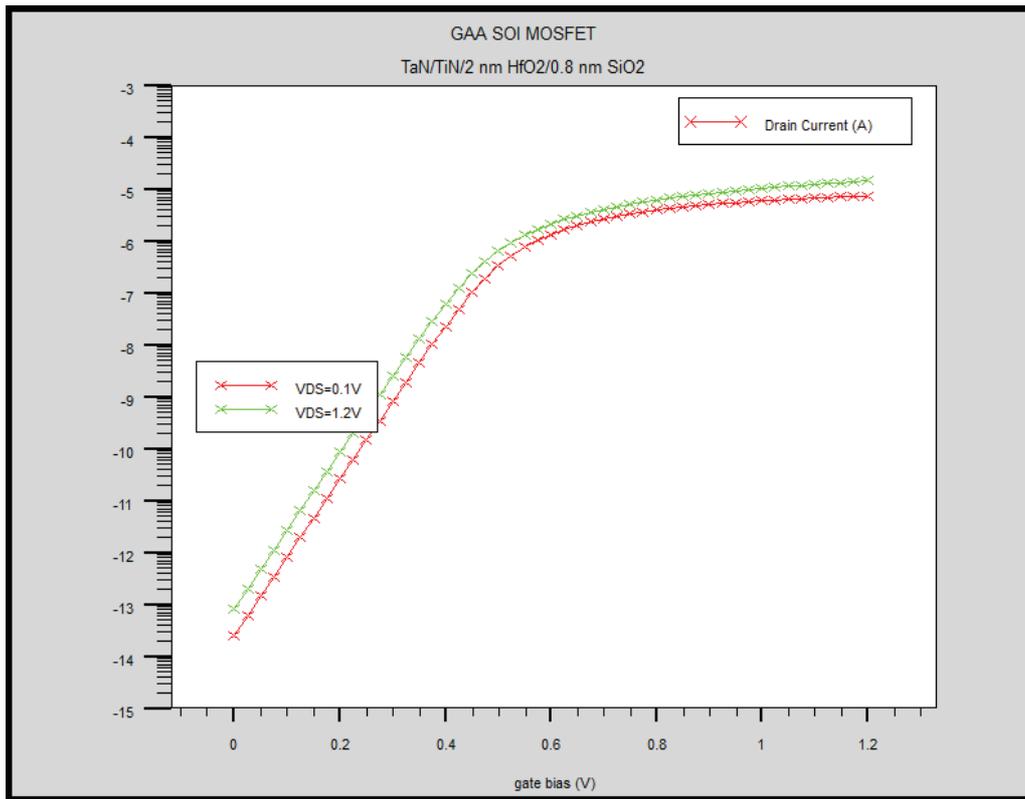


Figure IV.24 : L’effet DIBL dans le transistor GAA SOI MOSFET à section rectangulaire avec empilement 3nm TaN/ 3nm TiN / 2nm HfO₂/0.8nm SiO₂.

Avec l’intégration de grilles duales dans la structure GAA SOI MOSFET à section rectangulaire, les performances du transistor sont encore renforcées et améliorées, la tension de seuil V_{th} augmente de 61.75%, le DIBL réduit de 38.89%, le courant de fuite I_{off} réduit de 80.46% et le rapport I_{on}/I_{off} augmente de 94.67% par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l’empilement TiN / 2nm HfO₂ /0.8nm SiO₂.

Tableau IV.7

Résultats de simulations du transistor GAA SOI MOSFET à section rectangulaire avec l’empilement 3nm TaN/3nm TiN /2nm HfO₂/0.8nm SiO₂.

Transistor GAA SOI MOSFET à section rectangulaire	I_{DSAT} (A)	V_{th} (V)	Subvt [V/decade]	I_{on} (A)	I_{off} (A)	DIBL mV/V	I_{on} / I_{off}
3nm TaN/3nm TiN/HfO ₂ /SiO ₂	1.4e-5	0.470497	0.0599471	1.44 e-5	8.16 e -14	22	0.18 e 9

IV.7.Conclusion

La structure GAA SOI MOSFET à section rectangulaire est l'une des plus importantes structure multi-grille qui montre une meilleure pente sous le seuil (SS) « subthreshold Swing », plus grand rapport Ion/Ioff et un DIBL le plus bas et donc la meilleure contrôlabilité possible.

Pour des épaisseurs d'oxyde inférieures à 2nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. Cet effet, d'origine quantique, modifie les caractéristiques électriques du transistor MOSFET. En particulier, l'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde.

L'utilisation d'isolants de valeur de permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse.

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein du polysilicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde. Il se crée donc une capacité parasite dans la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. Ce phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre également une plus grande flexibilité sur l'ajustement de la tension de seuil des dispositifs.

Dans la deuxième partie de ce chapitre, nous sommes intéressés à la structure GAA SOI MOSFET à section rectangulaire dans laquelle nous avons remplacé l'empilement de grille Poly-Si/SiO₂ simulé dans la première partie par un empilement de type grille métallique (le nitrure de titane TiN)/diélectrique de forte permittivité: TiN/ Al₂O₃ (k ~ 9)/ SiO₂, TiN/ HfO₂ (k ~ 20)/ SiO₂ et TiN/ La₂O₃ (k ~ 30) /SiO₂ .

Le transistor GAA SOI MOSFET à section rectangulaire avec le diélectrique HfO₂ donne le meilleur rapport Ion / Ioff par rapport aux diélectriques : Al₂O₃ et La₂O₃. Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille le HfO₂.

Les résultats de simulations obtenus montrent que le transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2 nm HfO₂ / 0.8 nm SiO₂ a entraîné une amélioration significative des effets canaux courts SCE, en particulier DIBL réduit de

18.18%, courant de fuite I_{off} réduit de 20.81% et le rapport I_{on} / I_{off} augmente de 62.71% par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 1 nm Al_2O_3 / 0.8nm SiO_2 et par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 3nm La_2O_3 / 0.8nm SiO_2 , le DIBL réduit de 5.26%, courant de fuite I_{off} réduit de 23.19% et le rapport I_{on} / I_{off} augmente de 26.32% .

Pour améliorer de plus en plus les performances du transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2 nm HfO_2 / 0.8 nm SiO_2 , nous avons utilisé une nouvelle technologie qui consiste à moduler le travail de sortie du métal contact de la grille : dans notre cas c'est le TiN par l'intégration de grilles duales métal.

Dans cette structure, nous avons conçu le contacte de la grille avec double métaux : le TaN et TiN de même épaisseur $T_{M1}(TaN) = T_{M2}(TiN) = 3nm$ et nous avons gardé les mêmes paramètres de la structure GAA SOI MOSFET à section rectangulaire simulée dans la deuxième partie sauf que nous avons remplacé l'empilement TiN / 2nm HfO_2 / 0.8nm SiO_2 par l'empilement 3nm TaN / 3nm TiN / 2nm HfO_2 / 0.8nm SiO_2 .

Avec l'intégration de grilles duales métal dans la structure GAA SOI MOSFET à section rectangulaire, les performances du transistor sont encore renforcées et améliorées, la tension de seuil V_{th} augmente de 61.75%, le DIBL réduit de 38.89%, le courant de fuite I_{off} réduit de 80.46% et le rapport I_{on}/I_{off} augmente de 94.67% par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2nm HfO_2 / 0.8nm SiO_2 .

Références chapitre IV

[1] <http://www.silvaco.com/>

[2] <http://www.engr.sjsu.edu/dparent/Silvaco/vwf2.pdf>

[3] http://www.silvaco.com/products/device_simulation/atlas.html,

*Conclusion générale
et perspectives*

Conclusion générale et perspectives

La miniaturisation continue des dimensions des composants électroniques et en particulier des transistors MOSFET a pour objectif d'accroître les performances des circuits, d'augmenter la densité d'intégration et de réaliser des fonctions de plus en plus complexes. Cette réduction des dimensions est accompagnée inévitablement d'effets parasites néfastes appelés généralement effets canaux courts qui détériorent le bon fonctionnement des transistors MOSFET.

Afin de diminuer ces effets canaux courts, il fut nécessaire de trouver de nouvelles structures qui permettent de maintenir de bonnes performances pour les transistors de faibles dimensions. De ce fait les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver de bonnes caractéristiques. On citera entre autre la technologie SOI.

La technologie SOI offre l'opportunité d'intégrer des dispositifs présentant de hautes performances et/ou des éléments innovants qui peuvent repousser les frontières d'intégration des technologies CMOS sur substrat massif. Néanmoins, pour des architectures aux longueurs de grille inférieures à 50 nm, l'utilisation de la filière SOI doit nécessairement être combinée à celle des architectures multi-grille. Cette partie à laquelle nous nous sommes intéressés dans ce travail qui présente les avancées provoquées par l'utilisation de telles architectures.

Dans ce contexte particulier, de nouvelles solutions sont étudiées pour permettre d'optimiser les futures générations de composants.

Parmi ces multiples axes de recherche, le remplacement de l'oxyde de grille SiO_2 conventionnel par des matériaux de plus forte permittivité (dont, en autre, l'oxyde d'hafnium HfO_2) est l'une des solutions envisagées. Cependant, ces modifications de matériaux et de structures des dispositifs ne sont pas sans engendrer un certain nombre de bouleversements quant aux propriétés physiques et électriques. Le cœur de ce travail de thèse consiste à l'étude de l'impact de ces nouveaux matériaux sur les performances des transistors MUGFET SOI et en particulier le transistor GAA SOI MOSFET à section rectangulaire.

Dans la première partie de ce manuscrit, nous nous sommes tout d'abord attachés à positionner au mieux notre travail dans le contexte complexe et en constante évolution de la microélectronique et à décrire avec le plus de précision possible les outils théoriques nécessaires à notre étude et les connaissances dans ce domaine de recherche.

Le premier chapitre a ainsi permis de retracer l'historique du transistor MOS et de comprendre les différentes problématiques engendrées par sa miniaturisation. Nous avons évoqué ensuite les solutions technologiques possibles pour répondre à ces problèmes, expose ainsi la technologie SOI « Silicon On Insulator » avec ses solutions émergentes.

Dans un second chapitre, nous avons présenté un aperçu des différentes architectures multi-grille alternatives: les structures double-grille planaires, les architectures double-grille à conduction verticale, Transistor à conduction latérale : le Delta-FET et le FinFET, les architectures Triple Grille : Triple-Grille classique, Pi-gate et Omega-Gate et enfin l'architecture MOSFET à grille enrobée : GAA MOSFET rectangulaire, GAA MOSFET triangulaire, GAA MOSFET pentagonal, GAA MOSFET cylindrique, GAA MOSFET à un canal, GAA MOSFET à deux canaux (TSNWFET), GAA MOSFET à canaux multiples (MBCFET) et le GAA MOSFET vertical.

Les avantages de la technologie SOI notamment des dispositifs à grille multiple offre une alternative prometteuse à la technologie bulk conventionnelle qui se rapproche de ses limites à une échelle fortement submicronique. Les performances électriques des transistors à grille enrobée sont les plus intéressantes, la configuration optimale de ces structures offre une intégrité électrostatique des plus favorables à un meilleur contrôle des effets canaux courts.

Dans le chapitre 3, nous avons mis en évidence l'importance du choix des modèles physiques afin d'introduire le lecteur à la logique du processus de simulation. Dans une première partie nous présentons les équations fondamentales dans les semi-conducteurs. Dans une seconde partie, nous exposons les modèles physiques de TCAD utilisés dans cette étude telle que CVT (modèle de Lombardi pour la mobilité), CONMOB (modèle de la mobilité dépendant de la concentration), FLDMOB (modèle de la mobilité dépendant du champ électrique parallèle), SRH (modèle de Shockley-Read-Hall), AUGER (modèle Recombinaisons Auger), BGN (Modèle de rétrécissement de bande interdite) et IMPACT SELB (modèle de génération de porteurs par ionisation par impact).

Dans le chapitre 4, Nous avons dans un premier temps présenté l'outil de simulation numérique du dispositif et process SILVACO-TCAD puis nous avons élaboré les structures MUGFET SOI nanométriques de type SOI Tri-Gate FinFET , Pi Gate SOI MOSFET, OMEGA Gate SOI MOSFET et GAA SOI MOSFET à section rectangulaire.

Les résultats de simulations obtenus montrent que la structure GAA MOSFET SOI à section rectangulaire est l'une des plus importantes structure multi-grille qui montre une meilleure pente sous le seuil (SS) « subthreshold Swing », plus grand rapport Ion/Ioff et un DIBL le plus bas et donc la meilleure contrôlabilité possible.

Pour des épaisseurs d'oxyde inférieures à 2 nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. Cet effet, d'origine quantique, modifie les caractéristiques électriques du transistor MOSFET. En particulier, l'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde.

L'utilisation d'isolants de valeur de permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse.

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein du polysilicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde. Il se crée donc une capacité parasite dans la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. Ce phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre également une plus grande flexibilité sur l'ajustement de la tension de seuil des dispositifs.

Dans la deuxième partie de ce chapitre, nous sommes intéressés à la structure GAA SOI MOSFET à section rectangulaire dans laquelle nous avons remplacé l'empilement de grille Poly-Si/SiO₂ simulé dans la première partie par un empilement de type grille métallique (le nitrure de titane TiN)/diélectrique de forte permittivité: TiN/ Al₂O₃ (k ~ 9)/ SiO₂, TiN/ HfO₂ (k ~ 20)/ SiO₂ et TiN/ La₂O₃ (k ~ 30) /SiO₂ .

Le transistor GAA SOI MOSFET à section rectangulaire avec le diélectrique HfO₂ donne le meilleur rapport Ion / Ioff par rapport aux diélectriques : Al₂O₃ et La₂O₃. Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille le HfO₂.

Les résultats de simulations obtenus montrent que le transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2 nm HfO₂ / 0.8 nm SiO₂ a entraîné une amélioration significative des effets canaux courts SCE, en particulier DIBL réduit de 18.18%, courant de fuite I_{off} réduit de 20.81% et le rapport I_{on} / I_{off} augmente de 62.71% par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 1 nm Al₂O₃ / 0.8nm SiO₂ et par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 3nm La₂O₃ / 0.8nm SiO₂, le DIBL réduit de 5.26%, courant de fuite I_{off} réduit de 23.19% et le rapport I_{on} / I_{off} augmente de 26.32% .

Pour améliorer de plus en plus les performances du transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2 nm HfO₂ / 0.8 nm SiO₂, nous avons utilisé une nouvelle technologie qui consiste à moduler le travail de sortie du métal contact de la grille : dans notre cas c'est le TiN par l'intégration de grilles duales métal.

Dans cette structure, nous avons conçu le contacte de la grille avec double métaux : le TaN et TiN de même épaisseur $T_{M1}(\text{TaN}) = T_{M2}(\text{TiN}) = 3\text{nm}$ et nous avons gardé les mêmes paramètres de la structure GAA SOI MOSFET à section rectangulaire simulée dans la deuxième partie sauf que nous avons remplacé l'empilement TiN / 2nm HfO₂/0.8nm SiO₂ par l'empilement 3nm TaN/3nm TiN / 2nm HfO₂/0.8nm SiO₂.

Avec l'intégration de grilles duales métal dans la structure GAA SOI MOSFET à section rectangulaire, les performances du transistor sont encore renforcées et améliorées, la tension de seuil V_{th} augmente de 61.75%, le DIBL réduit de 38.89%, le courant de fuite I_{off} réduit de 80.46% et le rapport I_{on}/I_{off} augmente de 94.67% par rapport au transistor GAA SOI MOSFET à section rectangulaire avec l'empilement TiN / 2nm HfO₂ / 0.8nm SiO₂.

En parallèle de l'étude des architectures multi-grilles, l'émergence des diélectriques de grille high-k a permis d'envisager un changement radical des matériaux de la partie active du transistor MOSFET en introduisant les matériaux à forte mobilité : germanium et semi-conducteurs III-V. De part leur propriétés intrinsèques (faible masse effective des électrons et des trous donc meilleure mobilité et courant de drain plus fort), les transistors MOSFET à base de matériaux à forte mobilité (Ge pour les transistors p-MOS et III-V pour les transistors n-MOS) seront envisagés pour des nœuds technologiques très avancés où la longueur du canal serait inférieure à 10 nm.

Publications

1. Fatima Zohra Rahou ,A.Guen Bouazza ,B. Bouazza ,Performance Improvement Of Pi Gate SOI MOSFET Transistor Using High-K Dielectric With Metal Gate, IETE JOURNAL OF RESEARCH, VOL.61, NO. 5, 1_8, Taylor & Francis, October 2015, ISSN: 0377-2063 (Print) 0974-780X.
 2. Ahlam Guen-Bouazza, Benyounes Bouazza, Nassreddine Benmoussat, Fatima Rahou and Nassreddine Chabane Sari ,Temperature variation effects in partially depleted SOI n-channel MOSFETs ,Journal of New Technology and Materials JNTM Vol. 05, N°01 (2015)17-26.
 3. Fatima Zohra Rahou ,A.Guen Bouazza ,B. Bouazza , 3D-NUMERICAL SIMULATION OF NANOSCALE Pi GATE SOI N- MOSFET TRANSISTOR WITH HIGH-k DIELECTRIC AND GRADUAL DOPING OF THE CHANNEL , European Scientific Journal ,August 2014, edition vol.10, No.24 ,ISSN: 1857 – 7881 (Print) e - ISSN 1857- 7431.
 4. F.Z Rahou, A. Guen-Bouazza, M. Rahou ,Electrical Characteristics Comparison Between Full Depleted SOI MOSFET and Partially-Depleted SOI MOSFET using Silvaco Software, Global Journal of Researches in Engineering Electrical and Electronics Engineering, Volume 13 Issue 1 Version 1.0, Year 2013,Online ISSN:2249-4596 & Print ISSN:0975-5861.
 5. F.Z. Rahou, M. Rahou and A. Guen Bouazza, Study and Simulation of SOI n-MOSFET Transistor Single Gate using SILVACO Software, International Journal of NanoScience and Nanotechnology, ISSN 0974-3081, Volume 4, Number 1 (2013), pp. 91-103.
 6. FATIMA ZOHRA RAHOU , A.GUEN.BOUAZZA, M.RAHOU, K.GHAFFOUR,B. BOUAZZA, Electrical Characteristics Comparison Between Single Gate SOI N-MOSFET And Double Gate SOI N-MOSFET Using Silvaco Software ,Proceedings of The first International Conference on Nanoelectronics, Communications and Renewable Energy 2013, ICNCRE '13, ISBN : 978-81-925233-8-5.
 7. F.Z Rahou, A. Guen-Bouazza, M. Rahou ,Self- heating effects in SOI MOSFET transistor and numerical simulation using Silvaco software, the 24th International Conference on Microelectronics (ICM 2012) Algeria , IEEE XPLORE, ISBN: 978-1-4673-5289-5,Digital Object Identifier:10.1109/ICM.2012.6471454.
 8. Ahlam Guen, B.Bouazza,C Sayah, F.Z Rahou, N.E.Chaabane Sari “Numerical Simulation of Nanoscale SOI n-MOSFETs Using SILVACO software” - *International Journal of Science and Advanced Technology (ISSN 2221-8386)* Volume 1 No 10 December 2011.
-

Résumé

Afin de continuer l'amélioration des performances du transistor MOSFET à l'échelle nanométrique, la recherche en microélectronique explore différentes solutions. La technologie SOI offre l'opportunité d'intégrer des dispositifs présentant de hautes performances et/ou des éléments innovants qui peuvent repousser les frontières d'intégration des technologies CMOS sur substrat massif. Néanmoins, pour des architectures aux longueurs de grille inférieures à 50 nm, l'utilisation de la filière SOI doit nécessairement être combinée à celle des architectures multi-grille. Cette partie à laquelle nous nous sommes intéressés dans ce travail qui présente les avancées provoquées par l'utilisation de telles architectures.

Dans ce contexte particulier, de nouvelles solutions sont étudiées pour permettre d'optimiser les futures générations de composants.

Les travaux de cette thèse sont orientés vers l'étude des transistors SOI MOSFETs multi-grille, tels que le SOI Tri-gate Finfet, le Pi-gate, le Omega-gate et le Gate-all-around rectangulaire. Nous avons alors pu présenter différents résultats de simulations des architectures SOI MOSFETs multi-grille que nous avons obtenu grâce à l'utilisation des modules DevEdit et Atlas du logiciel SILVACO-TCAD.

Ces simulations nous a permis alors de faire une comparaison entre les différentes architectures multi-grille réalisés, d'extraire leurs caractéristiques physiques et électriques ainsi d'examiner leurs performances.

Le transistor GAA SOI MOSFET à section rectangulaire avec le diélectrique HfO_2 donne le meilleur rapport Ion / Ioff par rapport aux diélectriques : Al_2O_3 et La_2O_3 . Par conséquent, de meilleures performances de dispositif peuvent être obtenues en utilisant comme diélectrique de grille HfO_2 .

Pour améliorer de plus en plus les performances du transistor GAA SOI MOSFET à section rectangulaire avec le diélectrique HfO_2 , nous avons utilisé une nouvelle technologie qui consiste à moduler le travail de sortie du métal contact de la grille : dans notre cas c'est le TiN par l'intégration de grilles duales métal :TiN et TaN.

Mots clés: transistors MOSFET, technologie SOI, effet canaux courts, SOI MOSFET multi-grilles, High-k diélectriques, Silvaco Software

Abstract

In order to continue improving MOSFET performance at the nanoscale, research in microelectronics explores different solutions. SOI technology offers the opportunity to integrate devices with high performance and / or innovative elements that can push the boundaries of integration of CMOS technologies on bulk substrate. However, for architectures with gate lengths less than 50 nm, the use of the SOI must be necessarily combined with the multi-gate architectures. The party to which we were interested in this work that is caused by the advanced use of such architectures.

In this particular context, new solutions are designed to help optimize future generations of components.

The work in this thesis are specifically oriented to the study of multi-gate SOI MOSFETs such as SOI Tri-gate FinFET, the Pi-gate, the Omega-gate and the gate-all-around. At the end of this work, different results of multi-gate SOI MOSFETs architectures that we obtained through the use of DevEdit and Atlas modules SILVACO-TCAD software.

These simulations allowed us then to make a comparison made between different multi-gate architectures, extracted of their physical and electrical characteristics as well to review their performance.

The rectangular GAA SOI MOSFET with the dielectric HfO_2 gives the best Ion / Ioff ratio compared to dielectric: Al_2O_3 and La_2O_3 . Therefore, better device performance can be obtained using as HfO_2 gate dielectric.

To more improve the performance of rectangular GAA SOI MOSFET transistor with HfO_2 dielectric, we used a new technology that consists to modulate the work function of the metal gate contact by integration of dual metal gate: TiN and TaN.

Keywords: MOSFET transistors, Technology SOI, short-channel effects (SCEs), Multi-gate SOI MOSFET, High-k dielectric, Silvaco Software

ملخص

من أجل مواصلة تحسين الأداء الترانزستور MOSFET على مقياس النانومتر في مجال الإلكترونيات الدقيقة توصلت إلى استكشاف حلول مختلفة. تقدم التكنولوجيا SOI الفرصة لدمج الأجهزة مع الأداء العالي و / أو العناصر المبتكرة التي يمكن دفع حدود إدماج تكنولوجيات CMOS على الركيزة الصلبة و مع ذلك فإن الأبنية التي يفوق طول البوابة فيها $L_g=50\text{nm}$, فإن استخدام التكنولوجيا SOI يجب أن يكون مرفق بأبنية متعددة البوابة.

الأعمال المنجزة في هذه الأطروحة موجهة خصيصا لدراسة الترانزستور SOI MOSFETs متعددة بوابة، مثل SOI Tri-gate FinFET, Pi-gate, Omega-gate و GAA SOI MOSFET مستطيل المقطع و استخدام مواد الجديدة مثل عوازل البوابة ذات السماحية العالية تسمى "high-k" مثل Al_2O_3 , La_2O_3 و HfO_2 .

في هذا السياق الخاص، فقد تم تصميم حلول جديدة للمساعدة في تحسين الأجيال القادمة من المكونات. في خضم هذا العمل قمنا بتقديم نتائج محاكاة البنية SOI MOSFET متعددة البوابة التي حصلنا عليها من خلال استخدام الوحدات DevEdit و Atlas للبرنامج SILVACO TCAD.

سمحت لنا هذه المحاكاة بعد ذلك بإجراء مقارنة بين مختلف أبنية متعددة بوابة، استخراج الخصائص الفيزيائية والكهربائية بالإضافة إلى مراجعة أدائها. الترانزستور GAA SOI MOSFET مستطيل المقطع مع استخدام العازل HfO_2 ، أعطى أفضل معامل Ion/Ioff بالنسبة للعوازل الأخرى Al_2O_3 و La_2O_3 . ولذلك، يمكن الحصول على أفضل أداء الجهاز باستخدام HfO_2 كبوابة عازلة.

من أجل تحسين أداء الترانزستور GAA SOI MOSFET مستطيل المقطع مع استخدام العازل HfO_2 ، استخدمنا تكنولوجيا جديدة و التي تنص على تعديل عمل البوابة و ذلك باستخدام البوابة المعدنية المزدوجة TiN-TaN.

مفاتيح البحث : الترانزستور MOSFET، التكنولوجيا SOI، اثار canaux courts، SOI MOSFET multi-grille، عوازل البوابة ذات السماحية العالية High-k diélectriques، البرنامج SILVACO TCAD