

الجمهورية الجزائرية الديمقراطية الشعبية

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

وزارة التعليم العالي والبحث العلمي

**Ministère de l'Enseignement Supérieur et de la Recherche Scientifique**

جامعة أبي بكر بلقايد - تلمسان

Université Aboubakr Belkaïd - Tlemcen -

Faculté de TECHNOLOGIE



**THESE**

Présentée pour l'obtention du **grade de DOCTORAT 3<sup>ème</sup> Cycle**

**En** : Microélectronique

**Spécialité** : Microélectronique

**Par** : Khaouani Mohammed

**Sujet**

**Etude et conception d'un transistor nanométrique a grille enrobante GAA MOSFETs**

Soutenue publiquement, le 25/ 01/2018 , devant le jury composé de :

M. Ghaffour kheirddine	Professeur	Univ. Tlemcen	Président
Mme. Guen bouazza ahlam	Professeur	Univ. Tlemcen	Directeur de thèse
Mme. Ayache née Sayah Choukria	MCA	Univ. Ain Temouchente	Examineur 1
M. Benallal Rafik	MCA	Ecole Supérieure en Sciences Appliquées de Tlemcen	Examineur 2
M. Bouazza Benyounes	Professeur	Univ. Tlemcen	Invité

NB : les membres du jury doivent être classés conformément au P.V d'autorisation de soutenance

## Remerciements

---

Je remercie **ALLAH** le Tout-Puissant de m'avoir donné le courage, la volonté et la patience de mener à terme ce présent travail.

Tout d'abord, un grand merci à ma directrice de thèse Professeur **BOUAZZA née GUEN Ahlam**, à qui je tiens à rendre hommage pour avoir dirigé mes travaux de thèse et guidé mes recherches. Difficile d'être original pour remercier Madame **Ahlam GUEN BOUAZZA**, tant les avis de ses étudiants aussi bien anciens que nouveaux, sont unanimes. Je vais donc saluer son excellent encadrement, son étonnante disponibilité malgré ses activités diverses et toute sa réactivité. Son côté humain et sa patience m'ont permis d'avancer en toute quiétude. Enfin je remercie ma directrice de thèse pour son aide précieuse lors de mes travaux de simulation et de modélisation ainsi que pour ses remarques plus que pertinentes.

Je tiens aussi à exprimer mes remerciements aux membres du jury, qui ont accepté d'évaluer mon travail.

Merci au président Mr **Ghaffour kheirdine**, aux examinateurs Mme. **Ayach née Sayah Choukria**, Mr **Benallel Rafik**, Mr **Bouazza Benyounes** pour l'intérêt qu'ils ont bien voulu porter à ce travail en acceptant de l'examiner.

Je tiens aussi à remercier le Professeur **Germán Gonzalez Díaz** de l'université Complutense de MADRID qui m'a ouvert les portes de son laboratoire et de sa salle blanche. Mes remerciements vont aussi au Professeur **Ignacio Mártel** de la plaza, Professeur **Enrique San Dndrés Serrano**, au docteur **Javier Olea Driza**, au doctorant **Daniél Montero Dévarez**, et au doctorant **Rodrigo Garía hernansanz** que j'ai eu la chance de rencontrer lors de mon stage en Espagne.

Enfin, j'adresse mes plus sincères remerciements à tous mes proches et amis qui m'ont toujours soutenus et encouragés au cours de la réalisation de cette thèse.

Mes derniers mots s'adressent à ma famille : mon père, mes sœurs, et surtout ma mère dont les encouragements et le soutien ont été indispensables à l'aboutissement de mes études, sans qui je n'aurais jamais pu réussir.

## Dédicaces

---

Je tiens à dédier ce mémoire :

Spécialement a notre Prophète Mohammed ( ﷺ ) ;

Aux être les plus chers à mon cœur "mes parents", pour leur soutien et leur amour ;

A mon grand père ;

Á mes sœurs et leurs maries ;

Á toute ma famille

Á ma Directrice de thèse

Á tous mes amis et à toute ma promotion.

Á notre cher pays l'Algérie

## Sommaire

---

Remerciements .....	i
Dédicaces .....	ii
Sommaire.....	iii
Listes des figures .....	viii
Liste des tableaux .....	xv
Liste des symboles .....	xvi
Liste des abréviations et significations.....	xx
Liste des Publications et communications .....	xxi
Introduction générale.....	1
<b>Chapitre I : Le Transistor MOSFET : Limitations et solutions à la Miniaturisation .....</b>	<b>3</b>
I-1.Introduction .....	4
I-2.Structure et principe de fonctionnement du transistor MOSFET .....	4
I-2-1.Structure du transistor MOSFET .....	4
I-2-2.Différents types de MOSFETs .....	6
I-2-3.Symboles des différentes structures de base.....	7
I-3.Principe de fonctionnement .....	8
I-3-1.Sans polarisation de grille par rapport au substrat.....	8
I-3-2.La grille est polarisée positivement par rapport au substrat .....	9
I-3-3.La polarisation de la grille atteint la tension de seuil : $V_{GS} > V_{th}$ .....	10
I-3-3-1.Caractéristique $I_{DS} - V_{DS}$ d'un transistor NMOS à enrichissement de canal.....	11
I-3-3-1-1.La tension drain-source $V_{DS}$ est faible .....	11
I-3-3-1-2. La tension de grille $V_{GS} > V_{th}$ et la tension drain-source $V_{DS}$ non négligeable ..	12
I-3-3-2.Caractéristique de sortie du transistor $I_{DS} - V_{DS}$ .....	14
I-4. Analyse physique de la structure métal/ oxyde/ semi-conducteur idéale .....	14
I-4-1. Diagramme d'énergie à l'équilibre thermodynamique.....	14
I-4-2. Régime d'accumulation .....	15
I-4-3. Régime de désertion .....	17
I-4-4. Régime de faible inversion .....	17
I-4-5.Régime de forte inversion.....	18

## Sommaire

---

I-4-6. Capacité équivalente de la structure MOS.....	19
I-5. La tension de seuil du MOSFET .....	20
I-6. Caractéristique d'un transistor MOS idéal .....	21
I-6-1. Expression de la charge dans le canal .....	21
I-6-2. Calcul du courant.....	22
I-7. Modèle petit signaux du MOSFET.....	24
I-7-1. Capacités parasites du MOSFET .....	25
I-7-2. Modèles du MOS Utilisés en simulation .....	27
I-7-2-1. Régime d'inversion du transistor MOS.....	27
I-8. Problèmes induits par la réduction de la taille des : Effet canaux courts "SCEs" .....	27
I-8-1. Définition.....	27
I-8-2. Impact sur la tension de seuil .....	28
I-8-3.L'ionisation par impact .....	30
I-8-4. Le perçage ou « punchthrough » .....	33
I-8-5. L'effet DIBL et les courant de fuite Ion, Ioff.....	34
I-8-6 .L'effet des résistances série .....	35
1-8-7. Le confinement quantique.....	36
1-9. Amélioration des performances du MOSFETs.....	37
1-9-1. Transistors sur substrat SOI.....	37
I-9-1-1. La particularité du transistor SOI partiellement déplétion .....	38
I-9-1-2. Particularité du transistor SOI entièrement déplété.....	39
I-10. Aperçue sur les transistors SOI MOSFETs .....	40
I-10-1. Avantages de la technologie SOI par rapport au MOSFET bulk .....	42
I-10-1-1.Diminution des effets parasites.....	43
I-10-1-2. Amélioration du contrôle de la grille sur la charge de déplétion.....	43
I-10-1-3. Amélioration de la pente sous le seuil .....	44
I-10-2. Les principaux inconvénients rencontres dans les transistors SOI MOSFET .....	45
I-10-2-1. Dans le cas du SOI MOSFET partiellement déplété PD-SOI .....	45
I-10-2-1-1. L'effet KINK.....	45
I-10-2-2. Dans le cas du SOI MOSFET entièrement déplété FD-SOI .....	46
I-10-2-2-1. Auto-échauffement.....	46
I-10-2-3. Les effets canaux courts .....	46
I-10-2-4. Le scaling.....	47

## Sommaire

---

I-11. Conclusion .....	48
<b>Chapitre II : Les Transistors à grille Multiples .....</b>	<b>49</b>
II-1.Introduction .....	50
II-2. Les architectures multi-grilles .....	53
II-2-1. Transistor MOSFET à double grilles (Double-Gate MOSFET) .....	55
II-2-2.Le FinFET .....	56
II-2-3. Le GAA MOSFET "surrounding gate MOSFETs" .....	57
II-3. Avantage et inconvénients des transistors à grilles multiples .....	58
II-3-1. Avantages .....	58
II-3-2. Inconvénients .....	59
II-4. Nouvelles lois de réduction d'échelle .....	60
II-5. Modes de fonctionnement des transistors à grilles multiples.....	62
II-5-1. Etat passant.....	62
II-5-2.Etat bloqué.....	63
II-6. Le MOSFET Quadruple grille.....	63
II-6-1. Avantages de Quadruple grille MOSFET .....	64
II-7. Différent types des transistors a grille enrobante GAA MOSFET.....	65
II-7-1. GAA nanofil .....	65
II-7-2.Transistor nanométrique a grille enrobante GAA MOSFET .....	66
II-8. Différent architecture du GAA MOSFET .....	67
II-8-1.Le transistor GAA MOSFET Cylindrique .....	68
II-8-2.Le transistor GAA MOSFET rectangulaire .....	69
II-8-3. Le transistor GAA MOSFET triangulaire .....	69
II-8-4. Le transistor GAA MOSFET pentagonal .....	70
II-8-5. Le transistor GAA MOSFET à canal unique .....	71
II-8-6. Le transistor GAA MOSFET à deux canaux (TSNWFET) .....	71
II-8-7.Le transistor GAA MOSFET à canaux multiples (MBCFET).....	72
II-8-8.Le transistor GAA MOSFET vertical .....	73
II-8-8-1.Avantage des architectures verticales .....	73
II-8-9.Les transistors GAA MOSFETs à base de matériaux III-V .....	73
II-8-9-1.Les composés semi-conducteurs III-V .....	74
II-8-9-2.InGaAs GAA MOSFETs .....	74
II-9. Modélisation du courant du GAA MOSFET .....	75

## Sommaire

---

II-9-1. L'incorporation de l'effet de champ.....	76
II-9-2. Modélisation du courant dans les GAA cylindrique .....	78
II-9-3. Modélisation du courant du GAA à section rectangulaire .....	80
II-10. Conclusion.....	81
<b>Chapitre III : Résultats et discussion</b> .....	<b>82</b>
III-1. Introduction.....	83
III-2. Présentation de l'outil TCAD SILVACO.....	83
III-2-1. Principes et conditions d'utilisation .....	83
III-2-2. Programmes SILVACO .....	84
III-2-2-2. Les outils interactifs.....	86
III-2-2-3. Les outils d'automatisation .....	86
III-3. Logique de programmation.....	87
III-3-1. Spécification de la structure.....	87
III-3-2. Spécification des modèles physiques utilisés lors de la simulation.....	88
III-3-3. Sélection de la méthode numérique employée.....	89
III-3-4. Spécification des solutions.....	89
III-3-5. Analyse des résultats de simulation obtenus.....	90
III-3-6. DECKBUILD.....	90
III-4. Diagramme de la simulation numérique sous environnement ATLAS .....	90
III-5. Structures simulées .....	92
III-5-1. Choix du maillage .....	92
III-6. Résultats et discussion .....	93
III-6-1. Le GAA MOSFET horizontal à section rectangulaire.....	93
III-6-1-1. Caractéristiques $I_{DS}-V_{DS}$ de sortie et $I_{DS}-V_{GS}$ de transfert du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille.....	95
III-6-1-2. Variation des paramètres technologiques de la structure.....	96
III-6-1-2-1. Variation de l'épaisseur de la couche d'oxyde .....	96
III-6-1-2-2. Variation de la longueur du canal.....	98
III-6-1-2-3. Variation de la concentration des dopants au niveau du canal de conduction du GAA MOSFET horizontal à section rectangulaire.....	99
III-6-1-2-4. Effet de la nature de l'oxyde de grille .....	100
III-6-1-3 Effet DIBL.....	103
III-6-2. GAA MOSFET Vertical .....	103

## Sommaire

---

III-6-2-1. Caractéristiques $I_{DS}$ - $V_{DS}$ de sortie et $I_{DS}$ - $V_{GS}$ de transfert du GAA MOSFET vertical à section rectangulaire.....	106
III-6-2-2. Variation des paramètres technologies .....	107
III-6-2-2-1. Variation du dopage du canal .....	107
III-6-2-2-2. variation de la longueur du canal.....	108
III-6-2-2-3 variation du travail de sortie de la grille. ....	109
III-6-2-3.L'effet DIBL du vertical GAA MOSFET.....	111
III-6-3. GAA MOSFET Cylindrique .....	111
III-6-3-1.Variation des paramètres technologiques du GAA à section cylindrique .....	113
III-6-3-1-1. Variation de l'épaisseur d'oxyde.....	113
III-6-3-1-2. Effets de la Variation de la longueur du canal.....	115
III-6-3-1-3. Etude de l'effet de la variation de la concentration des dopants dans le canal de conduction du GAA MOSFET à section cylindrique .....	116
III-6-3-1-4 Effet de la nature de l'oxyde de grille .....	118
III-6-3-2. Effet DIBL.....	120
III-6-4. GAA MOSFET à quatre canaux .....	120
III-6-4-1.Caractéristique DC du GAA MOSFET vertical à section rectangulaire et à quatre canaux. ....	122
III-6-4-2.Effet de la multiplicité des canaux sur les caractéristiques électrique du dispositif.....	123
III-6-4-3. La Transconductance $g_m$ .....	126
III-5.Conclusion .....	128
Conclusion générale .....	129
Références.....	132
ANNEXE : Syntaxes et valeurs des paramètres des programmes SILVACO .....	139

**Figure 1-1:** Structure et Principe du MOSFET en régime d'inversion.

**Figure 1-2 :** Coupe schématique d'un transistor MOS normalement conducteur (à appauvrissement).

**Figure 1-3 :** Coupes et représentation symboliques des différents types de TMOS.

**Figure 1-4 :** Transistor NMOS à l'équilibre thermodynamique.

**Figure 1-5 :** Création de la zone de charge d'espace sous grille par présence d'un champ électrique.

**Figure 1-6 :** Création du canal lorsque la tension de grille devient supérieure ou égale à la tension de seuil.

**Figure 1-7 :** La variation de la résistance interne du transistor vue entre le drain et la source en fonction de  $V_{GS}$ .

**Figure 1-8 :** Modification de la forme du canal d'électron lorsque la tension de grille est supérieure à la tension de seuil et la tension drain augment. Le canal beaucoup plus étroit du cote drain, jusqu'à ce qu'il disparaisse.

**Figure 1-9 :** Evolution de la caractéristique  $I_{DS}(V_{DS})$  lorsque la tension de grille supérieure à la tension.

**Figure 1-10 :** Déplacement du point de pincement lorsque la tension de drain rend la différence de potentiel entre grille et drain inférieure à la tension de seuil.

**Figure 1-11 :** Caractéristique de sortie du transistor MOS.

**Figure 1-12 :** Diagramme d'énergie à l'équilibre thermodynamique des différents matériaux de la structure MOS avant contact puis après contact.

**Figure 1-13 :** Variation du potentiel à travers la structure.

**Figure 1-14 :** Diagramme de bandes d'énergie pour un MOSFET à canal n à désertion en régime : a-accumulation b-désertion c-inversion faible d-inversion forte

**Figure 1-15 :** Représentation de la distribution des charges dans la structure en régime de forte inversion.

**Figure 1-16 :** Variation de la capacité normalisée en fonction de la tension de grille.

**Figure 1-17:** Représentation schématique de la structure MOS en régime conduction non saturée.

**Figure 1-18 :** caractéristique de transfert typique d'un transistor NMOSFET intégré.

**Figure 1-19 :** Réseau de Caractéristique  $I(V)$  d'un MOSFET idéal.

**Figure 1-20 :** Schéma équivalent du MOS en régime petits signaux sans effet de substrat.

**Figure 1-21 :** Les capacités des jonctions de la Source et du Drain du MOSFET

**Figure 1-22 :** Les capacités d'Overlap du MOSFET.

**Figure 1-23 :** Distribution de la charge de désertion contrôlée par la grille  $Q_g$  pour a un MOSFET à canal long, b un MOSFET à canal court.

**Figure 1-24 :** Caractéristiques  $I_D/V_D$  du transistor MOS à canal court  $L= 0.23\mu\text{m}$

**Figure 1-25 :** Caractéristiques  $I_D/V_G$  du transistor MOS en régime sous seuil pour différentes longueurs de canal. Sze.[7 ]

**Figure 1-26 :** Évolution de la tension de seuil en fonction de la longueur du canal. Sze.

**Figure 1-27 :** Diagramme de bande d'un semiconducteur soumis à un fort champ électrique, illustrant le mécanisme d'ionisation par impact.

**Figure 1-28 :** Schématisation du phénomène d'ionisation par impact dans un transistor à canal N.

**Figure 1-29:** Illustration du phénomène du perçage.

**Figure I-30:** Diagramme énergétique le long du canal dans le cas d'un canal long et d'un canal court montrant l'effet DIBL.

**Figure 1-31:** courbe courant-tension illustrant la chute de tension de seuil (a)  $I_{DS}-V_{GS}$  dans le cas d'un transistor court pour des tensions de drain en régime ohmique et en saturation (b)

**Figure 1-32 :** Caractéristique IDS-VGS de p-MOSFET (gauche) n-MOSFET (droite) avec l'indication des courants de fuite Ion et  $I_{off}$

**Figure 1.33:** L'effet des résistances séries sur les MOSFETs : à canal long (a) ;à canal court (b).

**Figure 1-34 :** Structure n-MOSFET sur SOI

**Figure 1-35:** Représentation schématique des différentes architectures de transistors MOSFETs sur substrats à films minces :(a) transistor partiellement déplété, (b) transistor complètement déplété et (c) transistor SON.

**Figure 1-36 :** L'augmentation du courant de drain résultant de l'effet KINK [12]

**Figure 1-37 :** Structure d'un transistor SOI de type-n

**Figure 1-38:** Distribution de la charge de déplétion pour le MOSFET bulk et le SOI

**Figure 1-39:** Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI

**Figure 1-40 :** Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI.

**Figure 2-1 :** Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de GORDON Moore [26].

**Figure 2-2:** Evolution de la longueur de grille des transistors MOS en termes de hautes performances selon les prévisions de l'ITRS datées de 2011

**Figure 2-3:** Evolution de la longueur de grille des transistors MOSFETs.

**Figure 2-4:** représentation des différentes solutions technologiques proposées et adoptés par l'ITRS rassemblés en trois groupes.

**Figure 2-5:** Structure de transistors MOSFET sur SOI pour différentes configurations de grille 1) Simple Grille, 2) Double grille, 3)Triple Grille, 4) Quadruple Grille et 5) Grille en Pi

**Figure 2-6:** Schéma de coupe de différentes structures MOSFETs à grilles multiples: (a) Double Gate MOSFET, (b) Quadruple gate MOSFET, (c) Triple-Gate MOSFET,(d) GAA MOSFET,(e) Triangulaire MOSFET, (f) Double gate FINFET

**Figure 2-7:** Lignes de champ électrique.

**Figure 2-8:** Présentation des DG-MOSFETs. Les flèches rouges indiquent l'orientation du transport.

**Figure 2-9:**(a) Structure 3D d'un transistor FinFET ; Sections horizontale (b) et verticale (c) du FinFET

**Figure 2-10 :** Schémas de coupes transversales : structure d'un  $\Omega$  - Gate (a) ; structure d'un  $\Pi$  -Gate (b).

**Figure 2-11:** Rapport épaisseur du film de silicium maximum / la longueur de la grille du dispositif afin d'éliminer les effets canaux courts

**Figure 2-12 :** Caractéristiques de sortie des multi-grilles En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple grille

**Figure 2-13:** Schéma 3D d'un MOSFET à grille enrobée à section carrée.

**Figure 2-14 :** Développement de la structure du dispositif classique seule porte plane vers structure totalement GAA

**Figure 2-15 :** Le nanofil MOSFET

**Figure 2-16 :** Structure de dispositif MOSFET Quad-gate

**Figure 2-17 :** Structure de dispositif MOSFET cylindrique

**Figure 2-18 :** Trois géométries des architectures de porte-tout autour, avec différentes formes de section.

**Figure 2-19 :** Cylindrique GAA MOSFET

**Figure 2-20 :** Coupe et vue en 3D du transistor GAA MOSFET rectangulaire

**Figure 2-21 :** Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire, et (b) GAA MOSFET pentagonale.

**Figure 2-22:** Images FIB-SEM de coupe d'un GAA MOSFET pentagonale.

**Figure 2-23:** Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et  $\Omega$ -gate

**Figure 2-24 :** Coupe et géométrie 3D du transistor GAA MOSFET à section carré et à canal unique

**Figure 2-25 :** (a) schéma 3D du transistor GAA TSNWFET (b) images TEM de la coupe du TSNWFET

**Figure 2-26:** image TEM de la section du transistor n-MOSFET multicanaux

**Figure 2-27 :** Image SEM d'un transistor vertical avec une épaisseur de~20nm et une hauteur d'1 $\mu$ m

**Figure 2-28 :** image SEM 20nm InGaAs GAA MOSFET

**Figure 2-29 :** Coupe 2D du GAA MOSFET Cylindrique

**Figure 2-30 :** Calcul du potentiel dû à une plaque uniformément chargée.

**Figure 2-31 :** géométrie cylindrique.

**Figure 2-32 :** Coupe 3D du canal d'un GAA rectangulaire

**Figure 3-1 :** Entrées et sorties d'Atlas

**Figure 3-2 :** Les composants (ou les modules) d'Atlas

**Figure 3-3 :** Organigramme adopté pour les simulations numériques sous environnement ATLAS-SILVACO

**Figure 3-4:** GAA MOSFET horizontal à section rectangulaire à deux métaux a) structure b) maillage c)dopage d) coupe 2D horizontale e) les électrodes

**Figure 3-5:** a) caractéristique de sortie pour deux métaux de grille du GAA MOSFET, b) caractéristiques de transfert pour deux métaux de grille du GAA MOSFET

**Figure 3-6:** a) caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille avec différentes épaisseurs de l'oxyde ( $t_{ox}=1\text{nm}$ ,  $2\text{nm}$  and  $3\text{nm}$ )

**Figure 3-7:** caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille pour différentes longueur du canal ( $L_{ch}=9\text{nm}$ ,  $15\text{nm}$  and  $22\text{nm}$ )

**Figure 3-8:** caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille pour différents dopage du canal ( $10^{17}\text{ cm}^{-3}$ ,  $10^{18}\text{ cm}^{-3}$  et  $10^{19}\text{ cm}^{-3}$  respectivement)

**Figure 3-9:** caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille pour différents type d'oxyde ( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  et  $\text{HfO}_2$ )

**Figure 3-10 :** Mise en évidence de l'effet DIBL du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille

**Figure 3-11:** GAA MOSFET verticale à section rectangulaire à quatre métaux a) structure b) maillage c) dopage d) coupe 2D horizontale e) les électrodes

**Figure 3-12:** caractéristique de sortie (a) et de transfert (b) du GAA verticale à section rectangulaire

**Figure 3-13:** caractéristique de sortie (a) et de transfert (b) du GAA verticale à section rectangulaire pour différentes concentrations de dopage du canal

**Figure 3-14:** caractéristique de sortie (a) et de transfert (b) du vertical GAA MOSFET à section rectangulaire pour différentes longueur du canal ( $L_{ch}=10\text{nm}$ ,  $17\text{nm}$  and  $22\text{nm}$ )

**Figure 3-15:** caractéristique de sortie (a) et de transfert (b) du vertical GAA MOSFET à section rectangulaire pour différent travaux de sortie du métal de grille

**Figure 3-16:** DIBL du vertical GAA MOSFET

**Figure 3-17:** GAA MOSFET à section circulaire et à trois métaux de grille a) structure 3D b) Présentation du maillage c) structure les électrodes b) coupe 2D du GAA MOSFET e) Dopage

**Figure 3-18:** Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à trois métaux de grille pour différentes épaisseurs de l'oxyde de grille ( $T_{ox}=1\text{nm}$ ,  $2\text{nm}$  and  $3\text{nm}$ )

**Figure 3-19:** Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à trois métaux de grille pour différentes longueurs du canal ( $L_{ch}=9\text{nm}$ ,  $15\text{nm}$  and  $22\text{nm}$ )

**Figure 3-20:** Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à 3 métaux de grille pour différentes concentrations des dopants du canal ( $10^{17}\text{cm}^{-3}$ ,  $10^{18}\text{cm}^{-3}$  et  $10^{19}\text{cm}^{-3}$ )

**Figure 3-21:** Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à 3 métaux de grille avec différents oxydes de grille ( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  et  $\text{HfO}_2$ )

**Figure 3- 22:** Mise en évidence du DIBL pour le GAA MOSFET Vertical à section cylindrique à 3 métaux de grille

**Figure 3- 23:** Coupe transversale d'une structure à canaux multiples

**Figure 3-24:** GAA MOSFET vertical à section rectangulaire à quatre canaux a) maillage b) structure c) coupe 2D horizontale d) coupe 2D vertical e) dopage f) les électrodes

**Figure 3-25:** GAA MOSFET vertical à section rectangulaire à quatre canaux:(a) Caractéristique de sortie b) Caractéristique de transfert.

**Figure 3-26:** Effet de la multiplicité du nombre de canaux sur le courant (a) et sur la tension de seuil (b) du GAA à canaux multiples.

**Figure 3-27:** transconductance  $g_m$  pour GAA MOSFET à canal unique

**Figure 3-28:** transconductance  $g_m$  pour un GAA MOSFET à 4 canaux

## Liste des tableaux

---

**Tableau I-1 :** Les valeurs de capacité de terminaison en fonction des capacités intrinsèques.

**Tableau II-1:** Principaux avantages et inconvénients des architectures MOSFETs émergentes

**Tableau II-2 :** Expressions de la longueur naturelle dans les différentes structures SOI

**Table II-3.** électron mobilité ( $\mu_e$ ) , trou mobilité ( $\mu_p$ ), et la bande interdite ( $E_g$ ) pour les matériaux III-V

**Tableau III.1 :** Commandes fondamentales dans le programme Atlas

**Tableau III-2 :** les paramètres des différentes structures conçues

**Tableau III-3 :** Matériaux à haute permittivité high-k

**Tableau III-4 :** Variation du courant de sortie et de la tension de seuil du avec la variation du dopage du canal

**Tableau III-5:** Variation du courant de sortie et de la tension de seuil avec la variation de la longueur du canal

**Tableau III-6 :** Variation du courant de sortie et de la tension de l'épaisseur de l'oxyde  $T_{ox}$   
Seuil du transistor avec la variation de l'épaisseur de tox.

**Tableau III-7 :** Variation du courant  $I_{DSmax}(mA)$  et de la tension de seuil  $V_{th}$  du GAA MOSFET à section cylindrique avec la variation de la longueur du canal.

**Tableau III-8 :** Variation du courant  $I_{DSmax}(mA)$  et de la tension de seuil  $V_{th}$  du GAA à section cylindrique à 3 métaux de grille avec la variation de la concentration des

**Tableau III-9:** Variation du  $I_{DSmax}(mA)$  et du  $V_{th}$  du GAA MOSFET à section cylindrique à 3 métaux de grille avec la variation de la nature de l'oxyde de grille

**Tableau III-10:** Variation du  $I_{DSmax}$ ) et du  $V_{th}$  du GAA MOSFET à section Carré en fonction du nombre de canaux de conduction.

**Tableau III-11 :** Effet de la multiplication des canaux sur les caractéristiques électriques du dispositif étudié.

**Tableau III-12 :** Tableau récapitulatif

## Liste des symboles

---

**CDEP** : Capacité de désertion entre la grille et le substrat

**COX** : Capacité d'oxyde de grille

**EC** : Energie de la bande de conduction

**EF** : Energie du niveau de Fermi

**E<sub>i</sub>(x)** : Energie de la sous-bande i a la tranche x

**E<sub>l</sub>** : Energie longitudinale

**EV** : Energie de la bande de valence

**E<sub>x</sub>** : Champ électrique local dans la direction transverse au transport

**ε<sub>0</sub>** : Permittivité diélectrique du vide

**ε<sub>Si</sub>** : Permittivité diélectrique du silicium, ε<sub>Si</sub> = 11,8. ε<sub>0</sub>

**ε<sub>SiO2</sub>** : Permittivité diélectrique de l'oxyde de silicium, ε<sub>SiO2</sub> = 3,9.ε<sub>0</sub>.

**Φ<sub>M</sub>** : Travail de sortie du métal de grille gDS

**g<sub>m</sub>** : Transconductance de sortie.

**h** : Constante de Planck

**IDS** : Courant circulant entre la source et le drain

**IDS<sub>sat</sub>** : Courant de drain de saturation

**IOFF** : Courant de drain IDS à V<sub>DS</sub> = V<sub>DD</sub> et V<sub>GS</sub> = 0

**ION** : Courant de drain IDS à V<sub>DS</sub> = V<sub>GS</sub> = V<sub>DD</sub>

**LG** : Longueur de grille

**m<sub>0</sub>** : Masse de l'électron libre (9,109.10<sup>-31</sup> kg)

**m<sub>eff</sub>** :Masse efficace d'électrons

## Liste des symboles

---

**NA** : Concentration de dopants de type accepteurs d'électrons

**ND** : Concentration de dopants de type donneurs d'électrons

**ND/S** : Dopage de source/ drain (n+ type)

**ni** : Concentration intrinsèque de porteurs libres

**q** : Charge élémentaire de l'électron ( $1,602 \cdot 10^{-19}$  C)

**S** : Pente sous le seuil.

**T** : Température absolue

**TOX** : Epaisseur physique d'oxyde de grille

**TSi** : Epaisseur de la zone active de silicium.

**TSD** : Coefficient de transmission de la source au drain

**VDD** : Tension nominale d'alimentation

**VDS** : Tension entre le drain et la source

**VDSsat** : Tension entre le drain et la source à partir de laquelle a lieu la saturation du courant

**VGS** : Tension entre la grille et la source

**VT** : Tension de seuil - Threshold voltage

**VFB** : Tension de bande plate (« flat band » en anglais)

**V(x,z)** : Potentiel électrostatique

**W** : Largeur du transistor

**x** : Direction selon l'axe x source-drain

**y** : Direction selon l'axe y de la profondeur de transistor

**z** : Direction selon l'axe z, direction perpendiculaire au transport

**$\mu_{eff}$**  : Mobilité effective des porteurs

## Liste des symboles

---

- $\mu_D$  : Niveau de Fermi pour le drain
- $\mu_S$  : Niveau de Fermi pour la source
- $C_g$  : Capacité d'oxyde efficace
- $C_{gs}$  : Capacité porte-source
- $C_{gd}$  : Capacité de porte-drain
- $Q_s$  : Densités de charge mobile à la source
- $Q_d$  : Densité de charge mobile au drain
- $Q_s$  : Charge normale induite à la source
- $Q_d$  : Charge normale induite au drain
- $V_{bi}$  : Tension intégrée de la jonction Source et drain
- $R$  : Rayon du corps cylindrique en silicium
- $V_{fb}$  : Tension de bande plate
- $V_{ch}$  : Tension du canal
- $V_{gs}$  : Appliquée à la tension de grille
- $Q_{dep}$  : Densité de charge fixe par zone de grille unitaire
- $Q_{in}$  : Densité de charge d'inversion par zone de porte d'unité
- $E_s$  : Champ électrique à l'interface silicium-oxyde
- $\Phi_{sBT}$  : Potentiel de surface au sous-seuil
- $\Phi_{oBT}$  : Potentiel central au sous-seuil
- $LW$  : Fonction Lambert
- $\Phi_{sT}$  : Potentiel de surface au seuil
- $\Phi_{oT}$  : Potentiel central au seuil
- $\Phi_s$  : Potentiel de surface global
- $\alpha_T$  : Différence normale entre la surface et la surface  
Potentiel du centre au seuil
- $V_{GM}$  : Tension de grille maximale applicable

## Liste des symboles

---

$Q_{\text{sem}}$  : Charge semi-conductrice par zone de porte d'unité

$W$  : Largeur du canal

$L$  : Longueur du canal

$\mu$  : Mobilité électronique

$V_s$  : Tension source

## Liste des abréviations et significations

---

**DIBL**: «Drain Induced Barrier Lowering »: Effets de l'abaissement de la barrière de potentiel du canal dû à la polarisation du drain

**ITRS** : « International Technology Roadmap of Semiconductor » : feuille de route internationale des semi-conducteurs.

**NMOS**: Transistor à effet de champ MOS à canal N

**MOS**: Métal/Oxyde/Semi-conducteur

**MOSFET**:«MOS Field Effect Transistor»: transistor à effet de champ MOS

**PMOS**: Transistor à effet de champ MOS à canal P

**SCE** :«Short-Channel Effects»: Effets des canaux courts

**SOI** :«Silicon On Insulator»: silicium sur isolant

**TEM**:«Transmission Electron Microscopy»: Microscopie à transmission électronique.

**TMOS**:Transistor Métal-Oxyde-Semiconducteur

**ZCE** :Zonedecharged'espace

**GAA** : « gate all around » grille enrobé

**VRGAA**: « vertical rectangular gate all around» grille enrobe verticale rectangulaire

**VcGAA**: « vertical cylindrical gate all around» grille enrobe verticale cylindrique.

### Publications

1. **M. Khaouani**, A. Guen-Bouazza” Impact of multiple channels on the Characteristics of Rectangular GAA MOSFET”, International Journal of Electrical and Computer Engineering (IJECE), Vol. 07, N. 04, pp. 1899-1905, (2017).
2. **M. Khaouani**, A. Guen-Bouazza, B. Bouazza, Z. Kourdi,”3D Numerical simulation of a dual metal (Aluminum, Titanium) horizontal square surrounding gate MOSFET”, Journal of New Technology and Materials, Vol. 04, N. 02, pp. 28-32, (2014).
3. Z. Kourdi, B. Bouazza, A. Guen-Bouazza, **M. Khaouani**,” Side Effects in InAlN/GaN High Electron Mobility Transistors”, Microelectronic Engineering, Vol.142, pp. 52–57, (2015).
4. Z. Kourdi, B. Bouazza, A. Guen-Bouazza, **M. Khaouani**, “Performance study of a HEMT For power application”, Journal of New Technology and Materials, Vol. 05, N. 01, pp. 07-10, (2015).
5. Z. Kourdi, B. Bouazza, A. Guen-Bouazza, **M. Khaouani**, “Modeling of mHEMT InAlN/GaN Double Gate Performance”. Electrotehnică, Electronică, Automatică, Vol. 63, n. 02, (2015).

### Communications

1. **M. Khaouani**, A. Guen-Bouazza, ,”Rf and High frequency InGaAs Channel vertical cylindrical GAA MOSFETs”,the 3rd International Conference on Power Electronics and Their Applications, septembre, (2017).
2. Z. Kourdi, B. Bouazza, A. Guen-Bouazza, **M. Khaouani**, “Performance of 15 nm Gate Length  $\text{In}_{0.17}\text{Al}_{0.83}\text{N}/\text{GaN}$  HEMT Used Simulation SILVACO Software”, Proceedings of The first International Conference on Nanoelectronics, Communications and Renewable Energy Jijel, pp. 385-389, (2013).
3. B. Bouazza, A. Guen-Bouazza, **M. Khaouani**, Z. Kourdi , “Characteristics sensitivity of DG SOI n-MOSFET to its Parameters variations “, Proceedings of The first International Conference on Nanoelectronics, Communications and Renewable Energy Jijel, pp. 89-94, (2013).
4. FATIMA ZOHRA RAHOU, A. Guen-Bouazza, K.GHAFFOUR, B. BOUAZZA, **M. Khaouani**, “Electrical Characteristic Comparison between single gate SOI N-MOSFET and double gate SOI N-MOSFET “, Proceedings of The first International Conference on Nanoelectronics, Communications and Renewable Energy Jijel, pp. 89-94, (2013).

### Résumé

Le nombre grandissant de défis à relever au quotidien pour lutter contre les effets canaux courts dans les prochaines générations de transistors MOSFET conventionnels sur bulk est singulièrement impressionnant. De ce fait, il devient donc nécessaire de développer de nouvelles architectures de transistors MOSFETs à grille multiples. Dans ce contexte, le travail présenté dans cette thèse a été principalement consacré à l'étude et la modélisation par le biais de la simulation sous environnement ATLAS-SILVACO de différentes structures de transistors MOSFET à grille enrobante. Ces architectures multi-grille apparaissent comme les futurs candidats pour relever le défi lié à la réduction de la taille de ces transistors. Le GAA MOSFET considéré comme le plus performant des transistors à grilles multiples permet un meilleur contrôle électrostatique du canal. Nos travaux de thèse portent sur l'étude et la modélisation par le biais de la simulation sous environnement SILVACO de différentes structures GAA telle que les GAA MOSFETs cylindrique et rectangulaire. Nous avons pu ainsi mettre en évidence les effets de la variation des paramètres de ces transistors sur leurs performances.

**Mots clés:** *GAAMOSFET, SILVACO*

### Abstract

The growing number of day-to-day challenges to combat short channel effects in the next generations of conventional bulk MOSFETs is remarkably impressive. As a result, it is therefore necessary to develop new architectures of multi-gate MOSFETs. In this context, the work presented in this thesis was mainly devoted to the study and the modeling by the simulation under ATLAS-SILVACO environment of different structures of MOSFET transistors with enrobing gate. These multi-grid architectures appear as future candidates for the challenge of reducing the size of these transistors. The GAA MOSFET considered as the most efficient multi-grid transistors allows better electrostatic control of the channel. Our thesis works on the study and modeling through the simulation under SILVACO environment of different structures GAA such as GAA MOSFETS cylindrical and rectangular. We have thus been able to demonstrate the effects of the variation of the parameters of these transistors on their performances.

**Keywords:** *GAAMOSFET, SILVACO*

## المخلص

عدد متزايد من التحديات اليومية لمكافحة الآثار الجانبية للفتوات القصيرة في الأجيال المتقدمة من الجيل الجديد للترانزستورات MOSFET يلفت الكثير من الانتباه . ونتيجة لذلك، فإنه من الضروري تطوير منصومة جديدة من الترانزستورات داة بوابات متعددة . في هذا السياق، كان العمل المقدم في هذه الرسالة مكرس أساسا للدراسة والنمذجة بواسطة المحاكاة تحت ارضية SILVACO ، هياكل مختلفة من الترانزستورات. تظهر هذه النماذج الجديدة كمرشحين في المستقبل للتحدي المتمثل في تقليل حجم هذه الترانزستورات. يعتبر GAA MOSFET ترانزستورات متعددة الشبكات الأكثر كفاءة يسمح التحكم الكهربائي أفضل للفتاة.نعمل في هذه الأطروحة على الدراسة والنمذجة من خلال محاكاة تحت بيئة SILVACO و هياكل مختلفة أسطوانية ومستطيلة. وهكذا تمكنا من إثبات آثار تغيير القياسات للترانزستورات على مختلف خصائص عملها

### Introduction générale

Le développement ininterrompu des produits issus de la microélectronique sont omniprésents et ont permis certainement de faciliter notre vie qui a depuis bien changé et se trouve être largement améliorée. L'industrie du semi-conducteur est à l'origine d'une véritable révolution dans le traitement de l'information et de la rapidité d'exécution et ceci grâce à une évolution technologique rayonnante, établie principalement sur la réduction d'échelle des dispositifs tout en conservant une fabrication à faible coût. Depuis 1965 cette évolution est dictée par la loi de « Moore » qui implique, un doublement de la densité d'intégration des composants tous les deux ans. Par ailleurs, tous les équipements dont le fonctionnement repose principalement sur des produits dérivés de la microélectronique ont envahi notre vie, et l'acteur capital de cette course immodérée à la recherche de performances, principalement associée à la miniaturisation des circuits et par conséquent des objets issus de l'électronique utilisés au quotidien, est sans aucun doute le transistor MOS (Metal Oxide Semiconductor) qui est à la base de la conception des circuits intégrés VLSI et ULSI, menant la technologie CMOS au rang confirmé de technologie dominante de l'industrie du semi-conducteur.

Au cours de cette dernière décennie, la réduction de la taille des transistors MOSFETs a fait apparaître des effets indésirables et qui consistent au partage de charge entre la grille et les régions de source et drain (short-channel effects), l'abaissement de la barrière de potentiel induit par le drain (DIBL), les effets quantiques, la fluctuation du nombre de dopants et courants de fuite accrus. Pour contrer ses effets, la technologie cherche de nouvelles architectures permettant d'améliorer les performances des composants électroniques. Les solutions technologiques permettant de minimiser ou même d'éliminer ces effets indésirables et gênants coûtent malheureusement chères ayant pour conséquence la fin de la technologie MOS bulk qui a malheureusement atteint ses limites ceci a alors mené les concepteurs à s'orienter vers d'autres architectures de MOSFETs basées sur la technologie SOI. Ces nouveaux transistors à grille multiple représentent les dispositifs les plus prometteurs pour succéder à la technologie MOS Bulk et sont considérés comme une alternative sérieuse pour contrer les contraintes de dimensions imposées par la loi de Moore [2]. Parmi ces architectures multi grille on trouve les double grille, le Finfet, le Tri-Gate, le Pi-Gate, l'oméga Gate le Gate all around MOSFETs. Ces derniers sont actuellement soumis à une étude intense du point de vue simulation et modélisation. Ces nouvelles architectures font toujours l'objet d'études intenses en raison de leurs complexités géométriques particulières. La

## Introduction générale

---

description analytique des MOSFET cylindriques GAA par rapport des GAA rectangulaire, est plus simple due à la symétrie de la structure permettant une description 1D basée sur la composante radiale. L'utilisation de structures à grille enrobante ou bien GAA MOSFETs permet de fabriquer des dispositifs MOSFET complètement dépletée qui offrent une bonne commande électrostatique du canal ce qui en résulte en un contrôle efficace de l'abaissement du DIBL. L'utilisation de matériaux à mobilité élève tel que les semi-conducteurs III-V pour la conception des GAA MOSFETs, permet aussi d'élargir le domaine d'utilisation de ces composants électroniques vers des applications en haute fréquence.

Dans cette thèse, différentes structures de transistors de type GAA avec des grilles enrobantes sont proposée afin d'améliorer le courant à l'état passant du transistor. Pour cela nous nous sommes intéressé au structures : rectangulaire, cylindrique horizontale et verticale

Ainsi, Le premier chapitre présente de manière succincte le fonctionnement du MOSFET tout en présentant les différents effets parasites liés à la réduction des dimensions physiques du composant.

Dans un deuxième chapitre, des architectures alternatives comme voie d'améliorations sont présentées, on présentera alors les MUGFETS en générale et on s'intéressera particulièrement aux transistors à grilles multiple que nous avons explorés dans ces travaux de thèse.

Le troisième et dernier chapitre est principalement destiné à la présentation et discussion des résultats de simulation obtenus pour l'étude de chacun des GAA étudié.

**Chapitre I : Le Transistor  
MOSFET : Limitations et solutions  
à la Miniaturisation**

### **I-1.Introduction**

Le transistor MOSFET (Metal Oxide Semiconductor) est le dispositif semi-conducteur le plus utilisé à la base du coeur de chaque circuit analogique ou numérique. Il est présent en forte densité dans des circuits intégrés comme les microprocesseurs ou les mémoires. Tout d'abord ses concepts ont été brevetés par Julius Lilienfeld au début des années 1930 ensuite été étudié par William Bradford Shockley et Roger Pearson [3] au cours de la fin des années 1940 aux Bell Labs. . Le MOSFET, n'est apparu sous sa forme moderne qu'en 1955 grâce à Ross. En 1960, Joseph R. Ligenza et W.G. Spitzer [4] ont réalisé le premier dispositif de qualité qui a utilisé le système Si-SiO<sub>2</sub> par oxydation thermique. La structure MOSFET basée sur ce système a été proposée par Martin M. Atalla [5] et déclaré par D. Kahng et Martin M Atalla en 1960 [6]. Le silicium fut un choix réfléchi car vu que le silicium est l'élément le plus abondant de la croûte terrestre après l'oxygène. De surcroit le SiO<sub>2</sub> est non seulement un très bon isolant électrique mais est aussi tout à fait adapté pour former des couches dites de passivation qui servent à protéger les circuits permettant ainsi d'accroître leur fiabilité.

La maîtrise technologique des procédés appliqués au silicium comparé au germanium et plus particulièrement la mise en œuvre des oxydes minces de silicium a permis le développement de la technologie MOS. Le transistor MOSFET est considéré comme la base de la conception des circuits intégrés VLSI (Very Large Scale Integration) et ULSI (Ultra Large Scale Integration), et a mené la technologie CMOS au rang avéré de technologie dominante de l'industrie du semi-conducteur.

Avec la course exaltée vers la miniaturisation, certains effets indésirables nommés SCEs "short channel effects" ont mené l'industrie des semi-conducteurs à se projeter dans le futur afin de concevoir de nouvelles structures corrigeant les effets indésirables des composants MOS de première génération.

### **I-2.Structure et principe de fonctionnement du transistor MOSFET**

#### **I-2-1.Structure du transistor MOSFET**

Le transistor MOSFET (Transistor Métal-Oxyde-Semi-conducteur à effet de champ) est un transistor à effet de champ à grilles isolé pouvant être conçu sur un substrat de type P pour les transistors à canal N ou sur un substrat de type P pour les transistors conçus sur un substrat de type N. Ce transistor est donc organisé autour d'une structure MOS suivant le dispositif type représenté sur la figure 1-1. Le transistor MOS type N que nous allons

## Chapitre I : Le Transistor MOSFET : Limitations et solutions à la Miniaturisation

présenter dans ce qui suit pour expliquer le principe de fonctionnement de ce transistor est constitué :

- ✓ D'un substrat de type P, pour le transistor NMOS, (et de type N pour le transistor PMOS).
- ✓ D'une couche conductrice métallique ou parfois d'une couche de polysilicium fortement dopé appelée grille déposé sur l'isolant qui est généralement dans le cas des MOSFETs de la silice  $\text{SiO}_2$ .
- ✓ De deux régions de type opposé à celui du substrat ; Ces deux régions sont fortement dopées, et appelées source et drain. La région entre ces deux régions est appelée la région du « canal ».

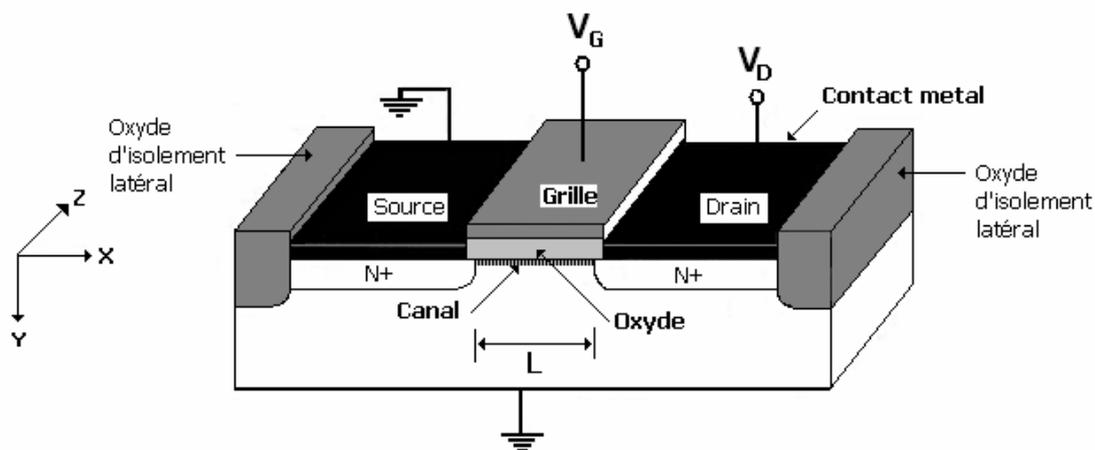


Figure 1-1: Structure et Principe du MOSFET en régime d'inversion [1].

Un transistor peut être considéré comme un interrupteur commandé par un signal électrique de faible puissance (courant ou tension) appelé signal de commande. Cela permet de déduire deux types de fonctionnement : soit en amplification pour les applications de type analogique, soit en tout ou rien pour les applications logiques.

Le schéma en coupe d'un transistor MOS sur substrat massif est représenté sur la figure 1-1 .

On remarque que ce transistor est conçu sur substrat en silicium faiblement dopé. Le MOSFET est constitué d'une électrode de grille qui est l'électrode de commande de longueur  $L_G$ , déposée sur un isolant recouvrant un substrat semi-conducteur qui constitue le canal de conduction. L'isolant de grille en oxyde de silicium  $\text{SiO}_2$ , d'épaisseur notée  $T_{ox}$ , est intercalé entre l'électrode de grille et le substrat de silicium. De part et d'autre du canal sont placées les électrodes de source et de drain, considérés comme deux réservoirs de charges très fortement dopées, d'un type de dopage inverse à celui du substrat et

permettant la circulation du courant.

On peut alors déterminer deux types de transistors selon le type de porteurs qui constituent le courant dans le canal de conduction du transistor : transistor NMOS où le canal n est constitué d'électrons et le PMOS où le canal p est constitué de trous.

### I-2-2. Différents types de MOSFETs

Rappelons que le transistor ne conduit pas entre la source et le drain lorsqu'aucune tension n'est appliquée sur la grille, c'est-à-dire au repos.

En pratique, il est possible de réaliser une couche très fine et suffisamment dopée juste sous l'isolant de même type que les zones de source et de drain afin de permettre une conduction au repos, on parle alors de MOSFETs à appauvrissement de canal, dans ce cas trois zones dopées du même type sont en série. Par contre, l'application d'un champ électrique peut « chasser » les électrons de ce canal existant au repos et donc peut entraîner le blocage de la conduction. De ce fait le transistor peut conduire dès que la tension appliquée sur la grille est supérieure ou égale à zéro vu que le canal de conduction est préfabriqué.

La Figure 1-2 montre une coupe schématique d'une structure MOSFET. Ce transistor est alors appelé transistor NMOS à appauvrissement dit « normally on » en anglais.

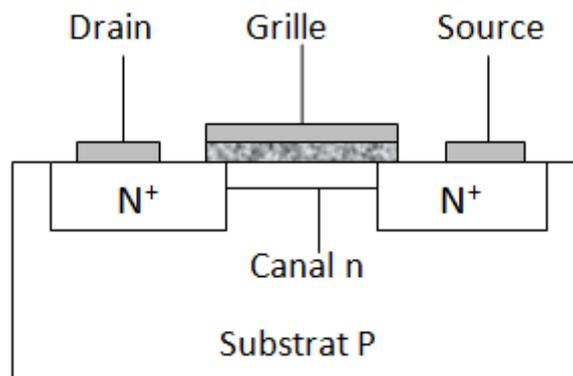


Figure 1-2 : Coupe schématique d'un transistor MOS normalement conducteur (à appauvrissement de canal).

La Figure I-2 est celle d'un transistor à canal n. Nous pouvons remplacer par analogie le dopage de type n des zones de source et de drain par un dopage de type p, et le dopage du substrat de type p par du type n et éventuellement celui du canal en surface par un canal de type p. Nous créons dans ce cas des transistors PMOS [2].

Dans le cas des MOSFETs à enrichissement de canal, ce dernier est obtenu par la polarisation de la grille.

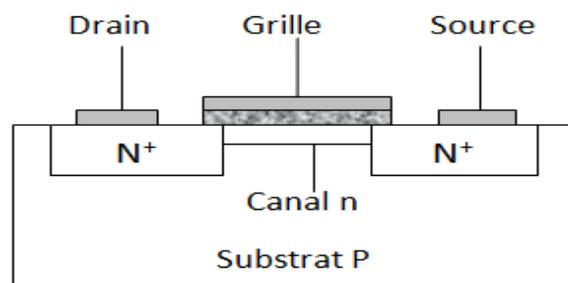
## Chapitre I : Le Transistor MOSFET : Limitations et solutions à la Miniaturisation

Il existe ainsi 4 types de transistors MOS différents selon la nature du substrat et le procédé technologique de fabrication. On distingue alors :

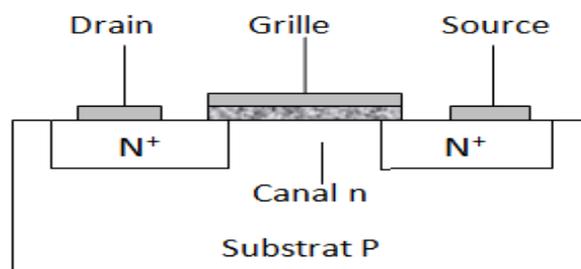
- Le NMOS à enrichissement de canal,
- Le NMOS à appauvrissement de canal,
- Le PMOS à enrichissement de canal,
- Le PMOS à appauvrissement de canal.

### I-2-3.Symboles des différentes structures de base

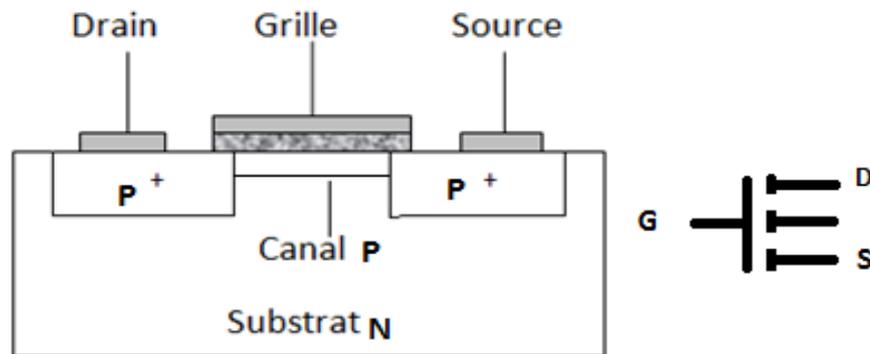
Les quatre types possibles de MOSFETs sont représentés ci-dessous avec leurs symboles conventionnels. Il faut noter que pour des simplicités graphiques certains catalogues et ouvrages utilisent des formes légèrement différentes. La Figure 1-3 présente ces différentes structures. De façon symbolique, une flèche apparaît parfois entre le substrat et le canal. Cette flèche est orientée dans le sens passant de la jonction « pn » fictive substrat-canal,



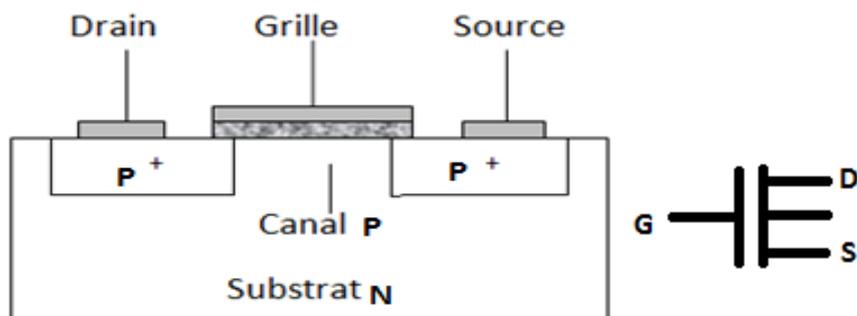
(a) NMOS à appauvrissement de canal



(b) NMOS à enrichissement de canal



(c) PMOS appauvrissement de canal.



(d) PMOS enrichissement de canal.

Figure I-3 : Coupes et représentation symboliques des différents types de transistors MOSFETs [2].

### I-3.Principe de fonctionnement

Le principe de fonctionnement des transistors à grille isolée est effectué en prenant comme exemple un transistor NMOS à enrichissement de canal [3].

#### I-3-1.Sans polarisation de grille par rapport au substrat

Lorsque la polarisation de la grille  $V_{GS}$  est nulle, il n'y a pas de champ électrique et il n'y a pas de charge dans le canal. Dans ce cas, le circuit électrique entre la source et le drain est toujours constitué de deux diodes à jonction P-N. Quel que soit le signe d'une polarisation drain-source, automatiquement, l'une des deux diodes est polarisée en inverse ce qui signifie que le courant dit drain-source,  $I_{DS}$  peut être considéré nul ou tout au moins négligeable. Le courant ne peut donc pas circuler de la source vers le drain, le transistor est alors en mode bloqué.

A l'équilibre thermodynamique, il existe en permanence une zone de charge d'espace entre le drain et la zone de substrat, ainsi entre la source et le substrat (Figure 1-4). On fera particulièrement attention aux extensions de ces zones qui doivent bien sûr être inférieures à la distance entre les jonctions métallurgiques pour éviter de mettre en court-circuit les zones de source et de drain.

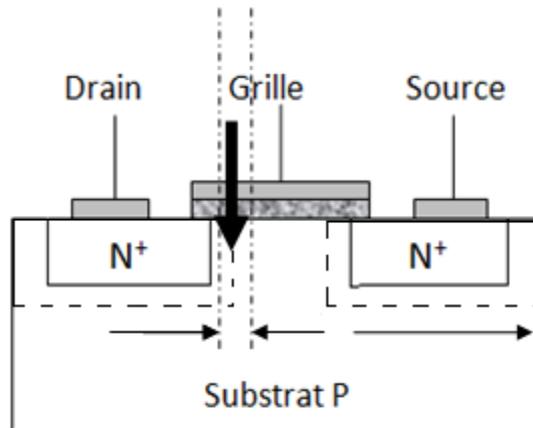


Figure 1-4 : Transistor NMOS à l'équilibre thermodynamique.

Au niveau du substrat du transistor, la structure source-substrat-drain qui est une structure npn a l'aspect d'un transistor bipolaire. Puisque les jonctions source-substrat ou drain-substrat ne sont pas polarisées, le substrat qui pourrait jouer le rôle de la base n'est pas alimenté et ne provoque donc aucune jonction ; il n'y a donc pas dans ces conditions l'effet de transistor bipolaire.

Il est important de décrire l'état du transistor sans polarisation de la grille. Dans ce cas la conductivité du canal est très faible et une tension de grille doit être appliquée pour former un canal conducteur (régime d'accumulation).

### I-3-2. La grille est polarisée positivement par rapport au substrat

Dans ce cas le circuit électrique entre la source et le drain est toujours constitué de deux diodes à jonction. L'application d'un potentiel  $V_{GS} > 0$  sur la grille, entraîne la création d'un champ électrique orienté vers le substrat à la fois dans l'oxyde et dans le semi-conducteur. En général, la référence est le substrat et quand ce dernier est court-circuité à la source, la référence sera donc la source, si bien que nous noterons dans la suite  $V_{GS} > 0$ . Ce champ dans le semi-conducteur a tendance à chasser les trous près de l'interface et donc à désertir la zone sous la grille ceci est représenté en Figure I-5, puisque les ions accepteurs

sont immobiles. Il se crée ainsi une zone de charge d'espace (ZCE) sous la grille qui prolonge les deux zones latérales préexistantes. Pour un champ électrique faible, la zone de charge d'espace « ZCE » correspond essentiellement à l'évacuation de trous qui sont majoritaires dans cette zone dopée de type p.

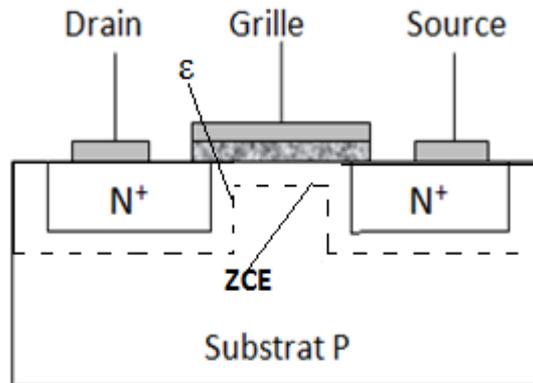


Figure 1-5 : Création de la zone de charge d'espace sous grille par présence d'un champ électrique.

Si le champ appliqué dans le semi-conducteur augmente, il peut devenir suffisant pour attirer les porteurs minoritaires qui viennent s'accumuler sous l'oxyde. Il se forme alors progressivement un canal constitué d'électrons sous l'oxyde. La transition entre la source et le drain devient possible et un faible courant  $I_{DS}$  peut commencer à circuler dans le canal.

Pour le MOSFET, le passage du mode de fonctionnement bloqué au mode passant ne se fait pas de manière abrupte. Il existe un régime d'inversion faible pour une barrière de drain importante notée  $\Phi_d$ . Un faible courant peut alors circuler dans le canal de conduction vu que certains porteurs peuvent franchir cette barrière par activation thermique. Ce courant augmente de manière exponentielle avec une polarisation de la grille jusqu'à ce qu'il puisse atteindre une tension limite, appelée tension de seuil  $V_{th}$ .

### I-3-3. La polarisation de la grille atteint la tension de seuil : $V_{GS} > V_{th}$

En augmentant  $V_{GS}$ , on augmente le champ électrique dans le substrat près de l'interface oxyde substrat et la concentration en électrons continue à augmenter. A l'interface oxyde-substrat, coté semi-conducteur, la concentration en électrons peut atteindre la valeur du dopage, c'est-à-dire la concentration en trous initiale du substrat.

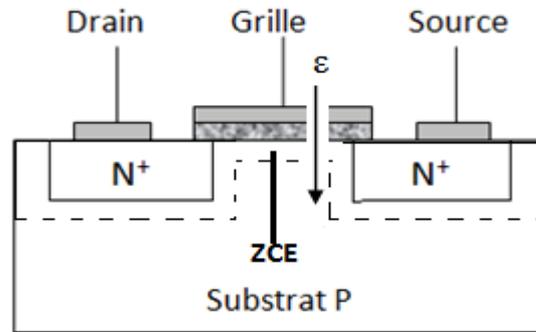


Figure 1-6 : Création du canal lorsque la tension de grille devient supérieure ou égale à la tension de seuil.

Il y a une inversion de population de porteurs quand la tension de grille atteint la tension de seuil du transistor  $V_{th}$ . Nous dirons aussi que le canal est créé. La conduction entre source et le drain peut devenir importante et le transistor sera dit en régime de conduction. Ainsi, par application d'une tension positive sur la grille, il est possible de commander un courant entre la source et le drain. En régime continu ou aux basses fréquences, le courant traversant la grille peut être considéré nul. Le dispositif est donc un convertisseur tension courant (entrée-sortie) qui sera d'autant meilleur qu'une faible tension pilote un fort courant (transconductance élevée).

### I-3-3-1. Caractéristique $I_{DS} - V_{DS}$ d'un transistor NMOS à enrichissement de canal

#### I-3-3-1-1. La tension drain-source $V_{DS}$ est faible

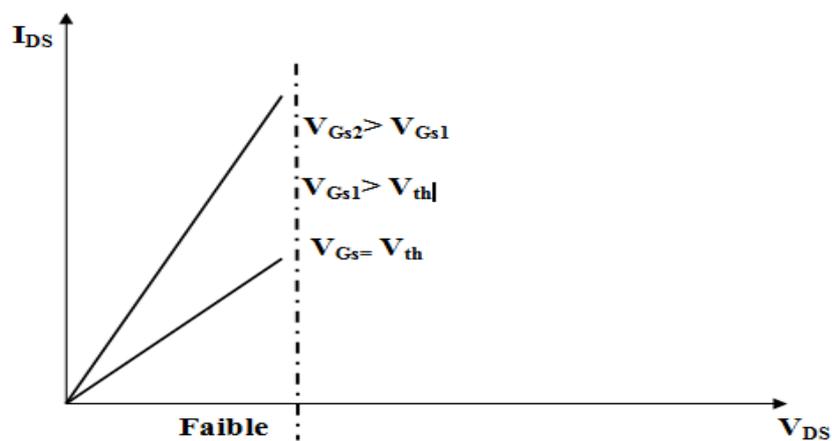


Figure 1-7 : La variation de la résistance interne du transistor vue entre le drain et la source en fonction de  $V_{GS}$ .

Dès que la tension  $V_{GS}$  atteint une tension de seuil appelée  $V_{th}$ , le canal d'électrons est formé. Lorsque cette tension croît encore, la densité d'électrons dans la zone de canal augmente et la résistance équivalente du canal diminue. La pente  $I_{DS}/V_{DS}$  augmente. Tant que la tension  $V_{DS}$  est faible, elle ne modifie sensiblement pas cette distribution de concentration d'électrons. Le dispositif est dit en régime ohmique; le transistor se comporte comme une résistance pilotée par la tension de grille. Ceci est illustré au niveau de la figure 1-7.

### I-3-3-1-2. La tension de grille $V_{GS} > V_{th}$ et la tension drain-source $V_{DS}$ non négligeable

Dans le cas où  $V_{GS} > V_{th}$  et pour une tension  $V_{DS}$  très faible, le canal d'électrons existe en tout point compris entre les zones de drain et de la source. Pour une tension  $V_{DS}$  positive et non négligeable, la différence de potentiel entre la grille et le substrat (dans la zone de canal) coté drain diminue, ce qui à diminuer le champ électrique dans la zone de canal sous la grille coté drain. La concentration dans le canal du coté drain, a alors tendance à diminuer (Figure I-8). La résistance du canal coté drain augmente puisque le nombre de porteurs diminue, ce qui signifie que la pente de la courbe  $I_{DS}-V_{DS}$  diminue.

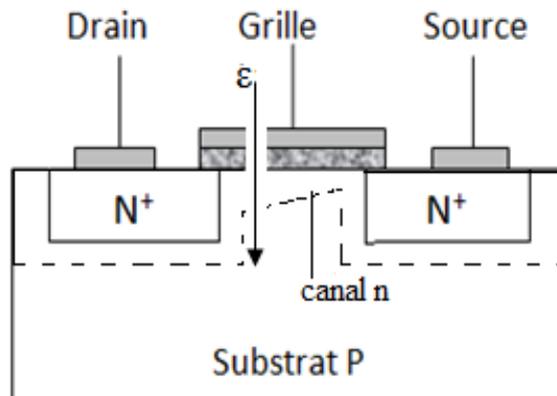


Figure 1-8 : Modification de la forme du canal d'électron  $V_{GS} > V_{TH}$  et  $V_{DS} > V_{DSAT}$ .

Nous dirons que nous sommes dans la zone de caractéristique intermédiaire, ceci est bien illustré sur la figure 1-9 :

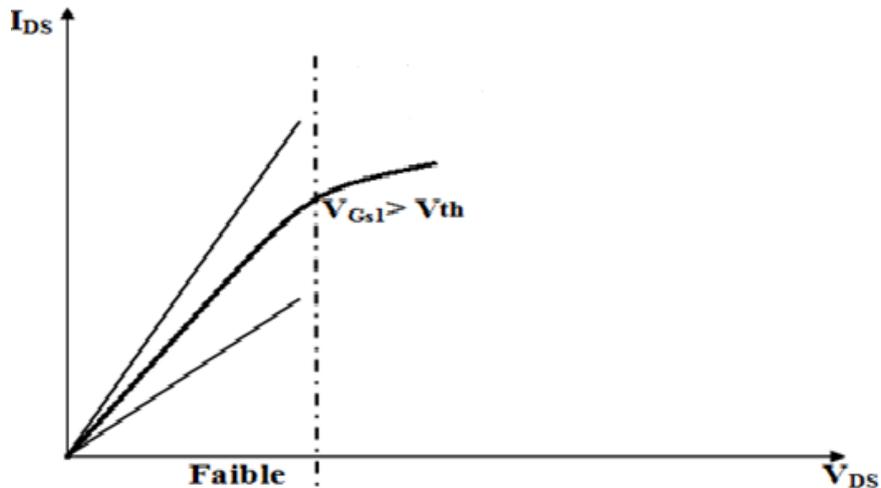


Figure 1-9 : Evolution de la caractéristique  $I_{DS}-V_{DS}$  .

Le champ électronique transverse représenté en Figure I-10 est calculé par l'intégration de l'équation de Poisson dans ce domaine compris entre l'extrémité canal et drain. Si la concentration de dopant dans la canal n'est pas trop faible, l'extension de cette zone est faible et la variation relative de la longueur totale du canal est faible. Le canal existant n'est alors pas modifié sensiblement et sa résistance entre la source et le point de pincement correspond à  $V_{GS}-V_{th}$  qui est constant pour une valeur donnée de  $V_{GS}$ . Ainsi, la différence de potentiel entre le point de pincement et la source est constant.

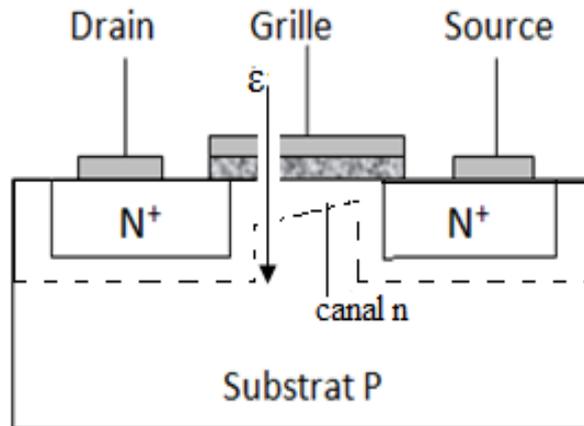


Figure 1-10 : Déplacement du point de pincement lorsque la tension de drain rend la différence de potentiel entre grille et drain inférieure à la tension de seuil.

Quand la différence de potentiel  $V_{DS} > V_{DSAT} = V_{GS} - V_{th}$ , le transistor fonctionne en zone saturée. Pour une tension  $V_{GS}$  donnée, la caractéristique de sortie comprend ainsi trois zones de fonctionnement :

- Le régime ohmique.
- Le régime intermédiaire.
- La saturation.

### I-3-3-2. Caractéristique de sortie du transistor $I_{DS} - V_{DS}$

La Figure 1-11 a été tracée pour une tension appliquée sur la grille bien définie et supérieure à la tension de seuil. La modification de la tension de polarisation  $V_{GS}$  va permettre de modifier la pente en régime ohmique, déplacer la tension de saturation,  $V_{DSsat}$ , et de modifier l'amplitude du courant de saturation.

Le réseau de caractéristiques  $I_{DS} - V_{DS}$  est semblable à celui d'un transistor bipolaire mais la grandeur de contrôle est dans ce cas le potentiel de grille à la place du courant base.

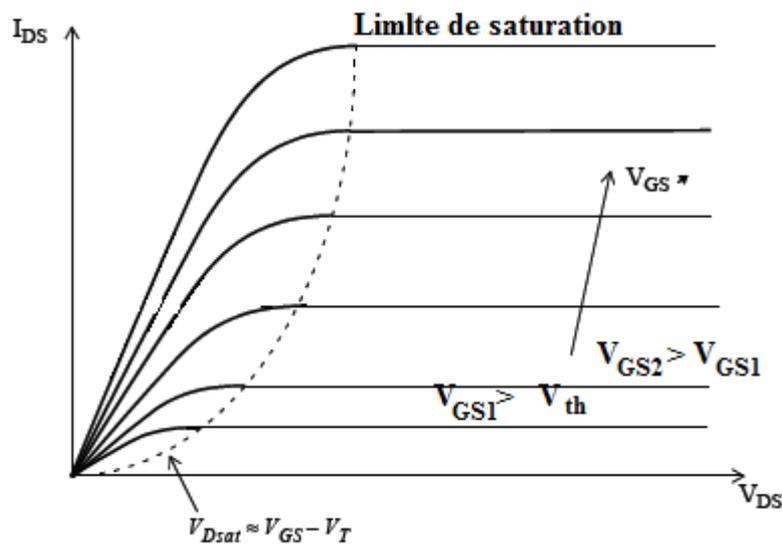


Figure 1-11 : Caractéristique de sortie du transistor MOSFET.

## I-4. Analyse physique de la structure métal/ oxyde/ semi-conducteur idéale

### I-4-1. Diagramme d'énergie à l'équilibre thermodynamique

La structure métal/ oxyde/ semi-conducteur est donc un empilement de couches constituées de matériaux de nature différente : conducteur, isolant et semi-conducteur [4]. Considérons que l'écart énergétique entre le niveau du vide et le niveau de Fermi du métal est égal à celui du SC dopé composant le substrat.

A l'équilibre thermodynamique, il n'y a donc pas de différence de potentiel et donc pas de champ électrique local entre le conducteur et le semi-conducteur.

La Figure 1-12 montre les diagrammes énergétiques avant et après contact entre les différents matériaux. Nous considérerons toujours un modèle unidimensionnel ( l'orientation est perpendiculaire aux interfaces) [4].

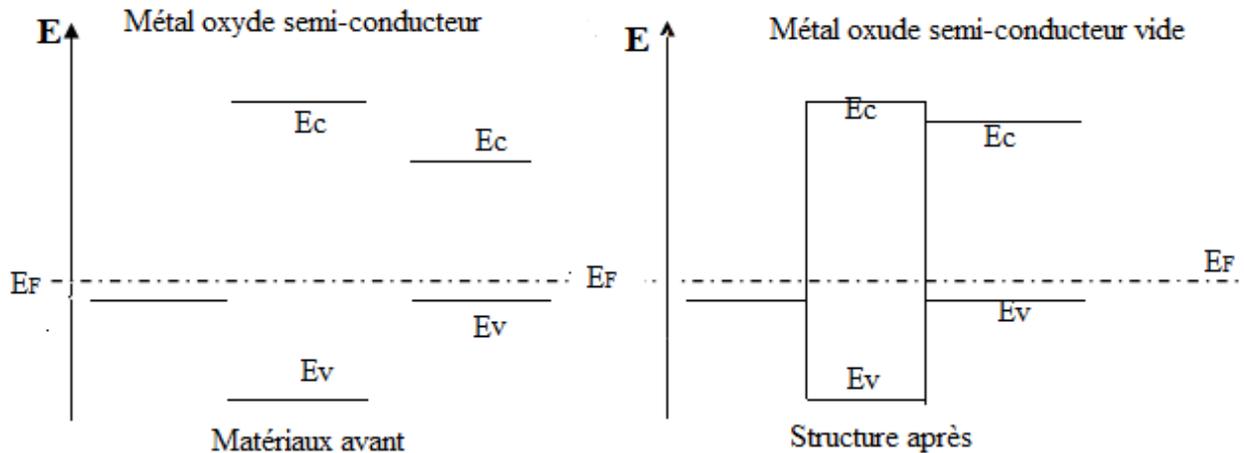


Figure 1-12 : Diagramme d'énergie à l'équilibre thermodynamique des différents matériaux de la structure MOS avant contact puis après contact.

Pour le métal, le niveau de Fermi  $E_F$  est dans la bande de conduction. La largeur de la bande interdite de l'oxyde est très importante comparée à celle du semi-conducteur.

Dans le cas de la figure 1-12, le niveau de Fermi est proche de la bande de valence, le semi-conducteur est alors dopé p. A l'équilibre thermodynamique, le métal et le semi-conducteur sont au même potentiel, les niveaux de fermi sont donc alignés. Nous allons prendre comme potentiel de référence le potentiel du semi-conducteur loin de l'interface oxyde/ semi-conducteur.

### I-4-2. Régime d'accumulation

En régime d'accumulation, une tension est appliquée sur le métal par rapport au semi-conducteur "SC" qui correspond à la tension  $V_{GS}$  appliquée par rapport au substrat. La chute de potentiel va se répartir entre l'oxyde et le SC près de l'interface. L'oxyde étant supposé idéal, il n'existe aucune charge à l'intérieur. D'après l'équation de Poisson, le champ électrique y est constant et la variation de potentiel est alors linéaire. Puisqu'il existe une charge d'espace possible dans le semi-conducteur, le champ et par conséquent le potentiel peut varier dans cette zone.

## Chapitre I : Le Transistor MOSFET : Limitations et solutions à la Miniaturisation

La figure 1-13 présente la variation du potentiel dans la structure, et donc la variation du niveau du vide.

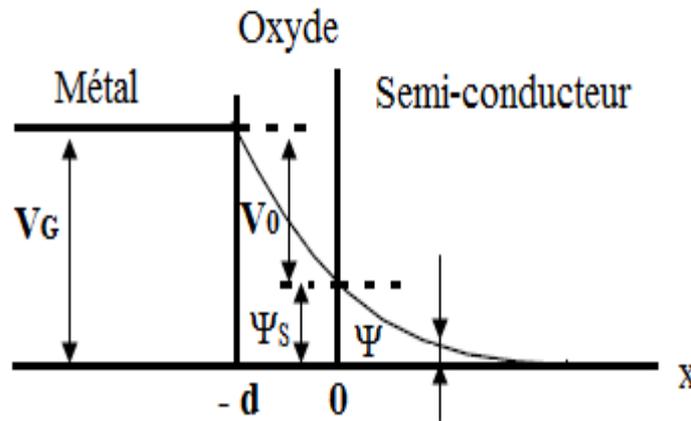


Figure 1-13 : Variation du potentiel à travers la structure. [4]

La variation est linéaire dans l'oxyde.  $\psi_s$  est le potentiel à l'interface. Le potentiel de la grille est égal à la somme des potentiels dans l'oxyde et le semi-conducteur.

Lorsque  $V_{GS}$  est négatif  $\psi$  l'est aussi. Le niveau de Fermi dans zone considérée se rapproche de la bande de valence et la tension  $V_G$  est telle que :

$$V_G = V_0 + \psi_s \quad \text{I-1}$$

Sachant que

$$P = N_V \exp\left(\frac{E_V - E_F}{KT}\right) \quad \text{I-2}$$

Le semi-conducteur s'enrichit en trous majoritaires, nous appelons ce régime le régime d'accumulation. La zone de charge d'espace "ZCE" est alors remplie par des trous majoritaires et les concentrations des autres types de charges deviennent négligeables. La Figure I-14 montre le diagramme d'énergie dans ce régime. Dans le cas présenté, le potentiel du métal est plus faible que celui du semi-conducteur (sens inverse des énergies).

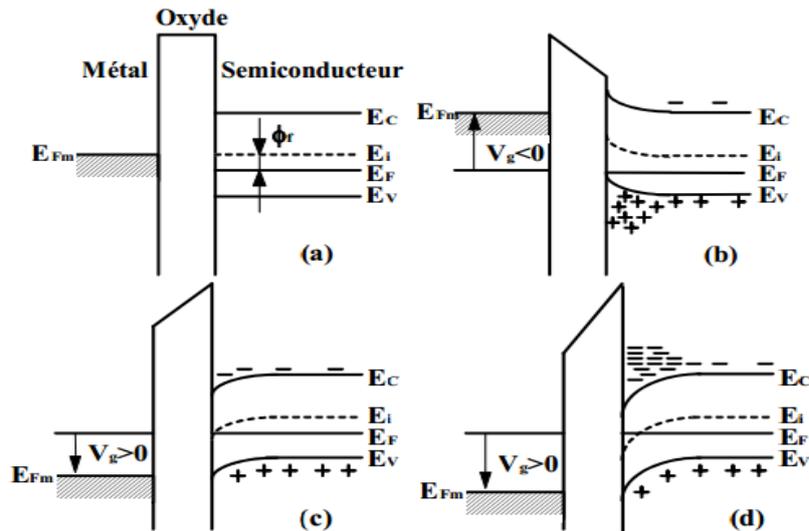


Figure 1-14 : Diagramme de bandes d'énergie pour un MOSFET à canal n à désertion en régime : a-accumulation b-désertion c-inversion faible d-inversion forte. [4]

### I-4-3. Régime de désertion

Dans cette condition, la tension  $V_G$  appliquée sur le métal est positive  $V_G > 0$ , mais pas trop élevée. La courbure des bandes d'énergie à un sens opposé par rapport au cas précédent (voir figure 1-14). Le potentiel de surface,  $\psi_s$ , est positif et le niveau de Fermi à l'interface s'éloigne de la bande de valence, se rapprochant du milieu de la bande interdite,  $c'$ . Il y a appauvrissement en porteurs soit appauvrissement en trous dans notre cas. La ZCE contient principalement des atomes accepteurs ionisés dans ce cas. La Figure I-14 montre le diagramme d'énergie. Dans ce cas :

$$|q \cdot \psi_s| < |\phi_p| \quad \text{I-3}$$

$\psi_s$  est le potentiel à l'interface Si/SiO<sub>2</sub>.

$\phi_p$  est le potentiel de la surface p

Ce qui signifie que le niveau de Fermi  $E_F$  reste dans la partie inférieure de la bande interdite. La concentration en trous est alors très inférieure à la concentration en dopant et la concentration en électrons reste complètement négligeable. La zone ZCE s'étend en fonction de la tension appliquée sur la grille. Quand la courbure augmente, l'extension augmente.

### I-4-4. Régime de faible inversion

sur le métal, la tension appliquée est plus importante de façon à ce que le potentiel de surface soit supérieur à l'écart énergétique entre le niveau de Fermi et le niveau de Fermi

intrinsèque dans le substrat semi-conducteur initial  $q\cdot\phi$ , la courbure est alors vers le bas, le niveau de Fermi à l'interface est passé au-dessus du niveau de Fermi intrinsèque, le niveau de Fermi à l'interface est plus proche de la bande de conduction que de la bande de valence. Les électrons sont plus nombreux que les trous cependant ils restent en concentration négligeable par rapport aux atomes dopants ionisés. La population de porteurs s'est inversée à l'interface, nous sommes alors dans un régime de faible inversion.

### I-4-5. Régime de forte inversion

Ce régime débute lorsque la concentration en électrons devient égale en surface du semi-conducteur à la concentration d'atome dopant ionisé, ce qui correspond à la concentration en trous dans le volume neutre (loin de l'interface). L'écart énergétique entre le niveau de Fermi de surface et le niveau de Fermi intrinsèque est égal en valeur absolue à celui du volume neutre et le potentiel en surface est égal ou supérieur à  $2q\phi$ .

Nous noterons :

$$|\psi_s| \geq 2q\phi \quad \text{I-4}$$

Lorsque :

$$|\psi_s| = 2q\phi \quad \text{I-5}$$

Alors :

$$|V_G| = |V_{th}| \quad \text{I-6}$$

Cette situation est illustrée sur la figure 1-15 qui montre que la courbure de bande a augmenté et la zone de charge d'espace comporte deux parties chargées avec des éléments portant le même signe. La zone désertée de concentration  $N_a$  dans notre cas, La zone de canal de concentration  $n$  très élevée et supérieure à  $N_a$ . La zone du canal est en fait très fine elle est de l'ordre de quelques Angstrom à quelques dizaines d'Angstrom, puisque les porteurs s'accumulent contre la couche d'oxyde. La charge totale de ces deux contributions se retrouve de signe opposé sur la grille comme illustré sur la figure 1-15

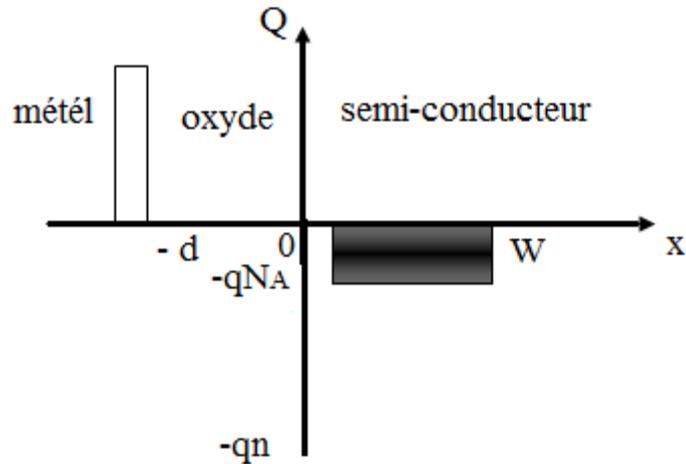


Figure 1-15 : Représentation de la distribution des charges dans la structure en régime de forte inversion. [4]

On remarque au niveau de la figure 1-15 que le canal est de faible épaisseur. Du côté du métal, la concentration en électrons est tellement forte que l'épaisseur concernée, correspondant à un déficit en électrons est qu'elle est donc de faible épaisseur.

#### I-4-6. Capacité équivalente de la structure MOS

On associe la variation de charge totale de ZCE à la variation de la tension de grille  $V_G$ , ceci peut être exprimé par l'équivalence d'une capacité :

$$C = \frac{dQS}{dV_G} \quad \text{I-7}$$

Avec :

$$V_G = V_0 + \psi_S \quad \text{I-8}$$

Et donc :

$$dV_G = dV_0 + d\psi_S \quad \text{I-9}$$

D'où:

$$C = \frac{dQS}{dV_0 + d\psi_S} = \frac{1}{\frac{dV_0 + d\psi_S}{dQS}} \quad \text{I-10}$$

$$C = \frac{1}{\frac{1}{dC_{ox}} + \frac{1}{dCd}} = \frac{C_{ox}Cd}{C_{ox} + Cd} \quad \text{I-11}$$

Le premier terme du dénominateur correspond à la capacité de l'oxyde  $C_{ox}$ , le second terme correspond à la capacité équivalente de la zone de charge d'espace du semi-conducteur,  $C_d$ . est la capacité totale, elle est équivalente à la mise en série des deux capacités  $C_{ox}$  et  $C_d$  qui peuvent être déduites à partir de la courbe de la figure 1.16.

Ainsi, si nous supposons que la variation de  $V_G$  est suffisamment lente et que l'équilibre est atteint en permanence, la forme de  $C - V_{GS}$  est celle représentée sur la Figure I-16.

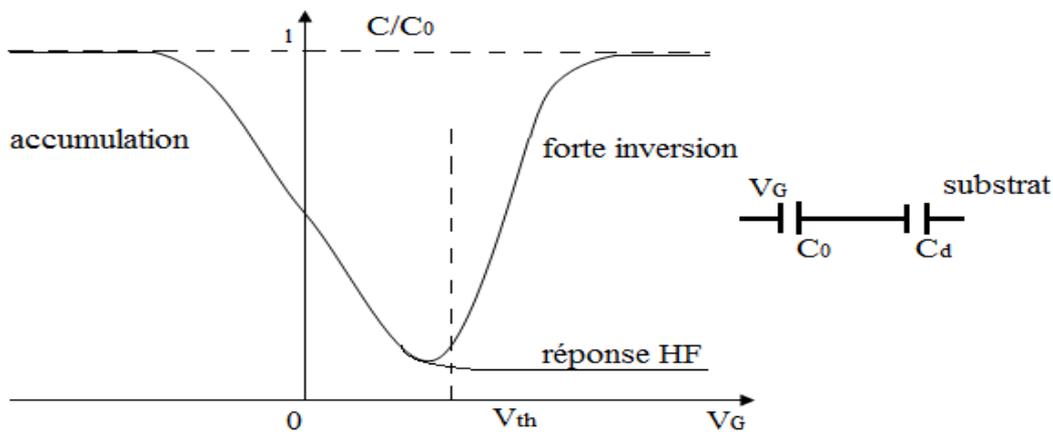


Figure I-16 : Variation de la capacité normalisée en fonction de la tension de grille. [4]

La capacité totale est équivalente à la mise en série des deux capacités  $C_{ox}$  et  $C_d$ . si la fréquence est très basse, les porteur minoritaire sont le temps de répondre et la capacité remonte vers  $C_{ox}$  en forte inversion. En haute fréquence, nous obtenons la courbe en pointillés pour les tensions de grille positives.

### I-5. La tension de seuil du MOSFET

La tension de seuil du MOSFET est la tension  $V_{GS}$  pour laquelle le transistor passe de l'état bloqué à l'état passant. C'est la tension pour laquelle le canal de conduction se forme entre source et drain. Dans un MOSFET, le courant est dû aux porteurs minoritaires. L'état passant du transistor correspond au régime d'inversion de la capacité MOS. quantitativement la quantité de porteurs minoritaires de densité  $n_s$  doit être supérieure à la quantité de dopants ionisés soit les accepteurs pour un transistor NMOS et qui sont de densité égale au niveau de dopage  $N_{ch}$  du semiconducteur. Le seuil s'exprime par:

$$V_{th} = V_{FB} + 2\phi_f + \frac{\sqrt{2qN_{ch}\epsilon_{si}2\phi_f}}{C_{ox}} \quad \text{I-12}$$

où:

$\phi_f$  est le potentiel de Fermi du semiconducteur, qui est égal à la différence entre le niveau de Fermi  $E_f$  et le niveau de Fermi intrinsèque  $E_i$

$N_{ch}$  est le dopage du semiconducteur,

$V_{FB}$  la tension de bandes plates

### I-6. Caractéristique d'un transistor MOS idéal

Nous allons alors présenter les expressions analytiques  $I_{DS}-V_{DS}$ , et  $I_{DS}-V_{GS}$ ,

#### I-6-1. Expression de la charge dans le canal

La charge totale  $Q_s$  dans le semi-conducteur est égale à la somme de la charge équivalant des porteurs libres dans le canal  $Q_I$  et de la charge correspondant aux atomes dopants ionisés dans la zone de charge d'espace  $Q_B$  et :

$$Q_s = Q_I + Q_B \quad \text{I-13}$$

Une tension de grille,  $V_{GS} > V_{th}$  est appliquée au niveau de l'interface de l'isolant. En raisonnant à l'aide d'un condensateur équivalent, la charge totale  $Q_s$  se retrouve en vis-à-vis aux bornes de l'isolant. La tension aux bornes de l'isolant a pour expression :

$$V_0 = \frac{Q_s}{C_{ox}} \quad \text{I-14}$$

Et donc :

$$V_G = \frac{Q_s}{C_{ox}} + \psi_s \quad \text{I-15}$$

Lorsque  $V_{GS} = V_{th}$ , nous pouvons dire que  $Q_I$  est également négligeable puisque le canal commence tout juste à se former, même si la concentration est suffisamment faible pour être négligeable devant l'extension de la zone de charge d'espace, ceci est bien sur une approximation importante. Alors :

$$V_G = \frac{Q_s}{C_{ox}} + 2\phi_p \quad \text{I-16}$$

Ainsi, en tout point du canal, le potentiel local dans la zone de canal à l'interface oxyde-semi-conducteur.

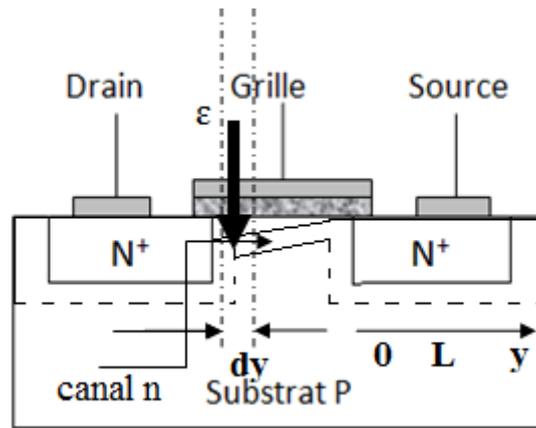


Figure 1-17: Représentation schématique de la structure MOS en régime conduction non saturée.

On remarque que le canal couvre toute l'interface, et dans ce cas le potentiel de surface varie en fonction de la position  $y$ , il en est de même pour la charge d'interface  $Q_I$ . L'intégrale de la résistance entre 0 et 1 permet de déterminer le courant totale drain-source qui traverse le transistor. La résistance augmente proportionnellement à la tension de polarisation drain-source (figure 1-17).

### I-6-2. Calcul du courant

Dans la zone de canal, nous supposons que le mécanisme de transport est de type dérive dû au champ électrique  $\epsilon_y$ . L'expression du courant prend donc en compte le champ électrique, la mobilité des porteurs, la charge du canal par unité de surface et la largeur du canal  $W$  et enfin la longueur du canal  $L$ . Le courant a alors pour expression [5]:

$$I_D = -W \mu_n Q_I \epsilon_y \quad \text{I-17}$$

$$\text{Avec } \epsilon_y = -\frac{d\psi}{dy} \quad \text{I-18}$$

Donc :

$$I_D = -W \mu_n C_{OX} (V_G - V_{th} - \psi(y)) \frac{d\psi}{dy} \quad \text{I-19}$$

En intégrant cette équation tout le long du canal entre 0 et 1, le potentiel variant de 0 à  $V_D$

$$\int_0^L I_D dy = -W \mu_n C_{OX} \int_0^{V_D} (V_G - V_{th} - \psi(y)) d\psi \quad \text{I-20}$$

$$I_D L = W \mu_n C_{OX} [(V_G - V_{th}) V_D - \frac{V_D^2}{2}] \quad \text{I-21}$$

$$I_D = \frac{W}{L} \mu_n C_{ox} [(V_G - V_{th}) V_D - \frac{V_D^2}{2}] \quad \text{I-22}$$

L'expression du courant bien que simplifiée nous donne un bon aperçu de l'équation du courant du transistor. Dans le calcul ci-dessus, nous avons supposé que le canal existe sur toute la longueur  $L$ . Lorsque  $V_{DS} = V_{GS} - V_{th}$  le point de pincement du canal apparaît au niveau du drain. Cette situation correspond au début de la saturation du courant, le courant de saturation sera noté  $I_{Dsat}$ . Dans ce cas :

$$V_{Dsat} = V_G - V_{th} \quad \text{I-23}$$

et:

$$I_D = \mu_n C_{OX} \frac{W}{L} [(V_G - V_{th}) V_D - \frac{V_D^2}{2}] \quad \text{I-24}$$

Le courant a alors pour expression:

$$I_D = \mu_n C_{OX} \frac{W}{L} \frac{(V_G - V_{th})^2}{2} \quad \text{I-25}$$

On remarque que le courant de saturation ne dépend que de la différence entre la tension de grille et la tension de seuil ainsi que de la géométrie du transistor, de la capacité de l'oxyde et de la mobilité des porteurs dans le canal. Il faut cependant remarquer que pour la tension de grille très légèrement inférieure ou égale à la tension  $V_{TH}$ , le courant  $I_D$  n'est pas nul. Pour connaître le comportement électrique au-dessus du seuil, il faut reprendre les équations qui déterminent la quantité effective des porteurs (dans notre cas les électrons) dont la concentration est inférieure à la concentration des dopants mais est loin d'être nulle ( $10^{17} \text{ cm}^{-3}$  par exemple). Nous pouvons alors déterminer la caractéristique de transfert sous seuil (figure 1-18), le courant pouvant varier sur une bonne dizaine de décades pour atteindre la valeur du courant inverse d'une des deux jonctions drain-canal ou source-canal. La pente de la caractéristique  $I_{DS} - V_{GS}$ , dans une échelle logarithmique, est directement liée à l'épaisseur de l'oxyde, au dopage de la zone de canal et à la densité de charge parasite liée essentiellement aux défauts d'interface oxyde/zone canal.

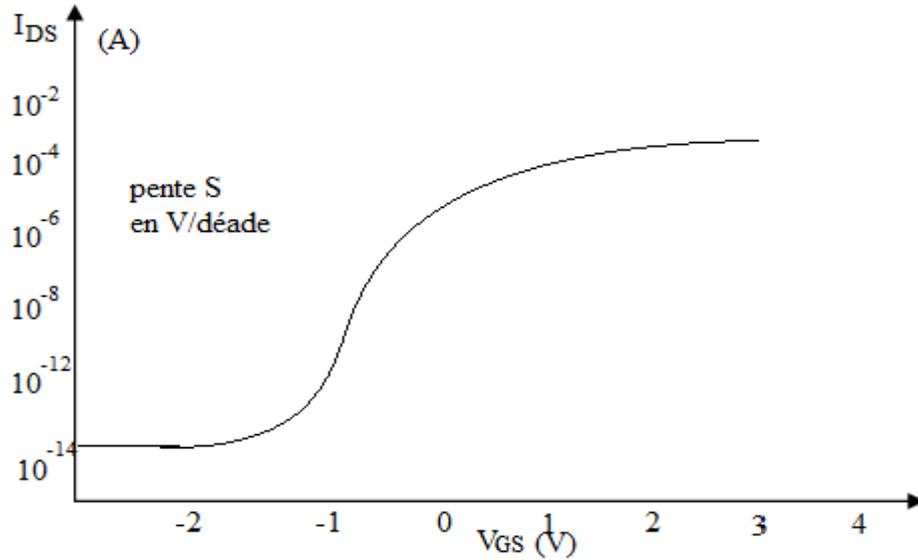


Figure 1-18 : caractéristique de transfert typique d'un transistor NMOSFET [5].

Le courant drain-source varie d'une dizaine de décade pour une variation de l'ordre du volt pour la tension de grille.

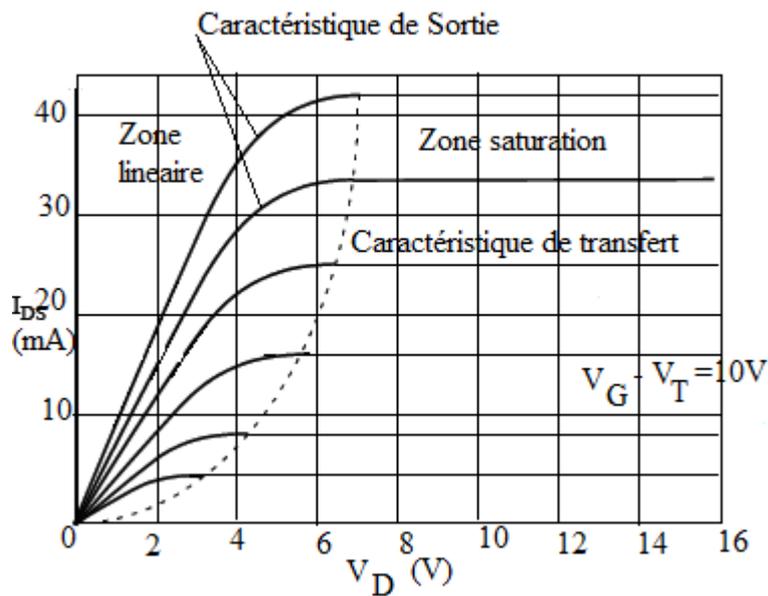


Figure 1-19 : Réseau de Caractéristique  $I_{DS}$ - $V_{DS}$  d'un MOSFET idéal. [5]

### I-7. Modèle petit signaux du MOSFET

Il se trouve que dans ce modèle le courant  $I_{DS}$  peut être exprimé par :

$$I_D = g_m V_{GS} + g_{DS} V_{DS} + g_{mb} V_{BS} \quad \text{I-26}$$

On définit alors la conductance  $g_D$  et la transconductance  $g_m$  par :

$$g_{DS} \equiv \frac{dI_{DS}}{dV_{DS}} \text{ à tension } V_{GS} \text{ constante}$$

$$g_{DS} \approx \frac{W}{L} \mu_n C_{ox} (V_G - V_{th}) \quad \text{I-27}$$

$$r_{DS} = \frac{1}{\lambda I_D} \quad \text{I-28}$$

$$g_m \equiv \frac{\partial I_D}{\partial V_{GS}} \text{ à tension } V_{DS} \text{ constante}$$

$$g_m \approx \frac{W}{L} \mu_n C_{ox} V_D \quad \text{I-29}$$

$$g_{mb} \equiv \frac{\partial I_{DS}}{\partial V_{BS}} = \frac{\gamma}{\sqrt{2|\phi_F| + V_{SBQ}}} g_m \quad \text{I-30}$$

On en déduit alors le schéma équivalent du MOSFET en régime petits signaux présenté sur le schéma de la Figure 1-20 :

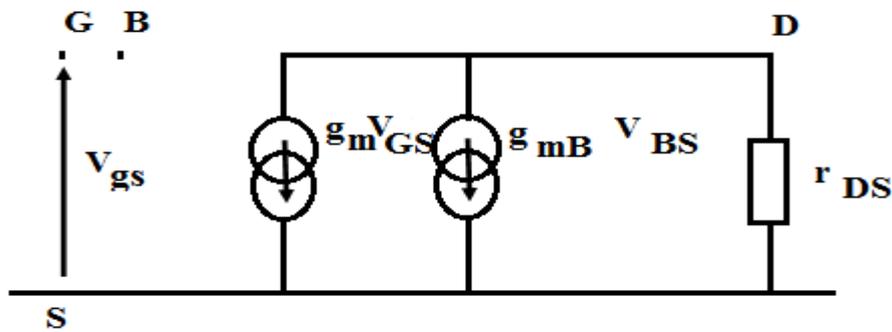


Figure I-20 : Schéma équivalent du MOSFET en régime petits signaux.

### I-7-1. Capacités parasites du MOSFET

En haute fréquence les modèles du MOSFET cités auparavant sont inadaptés. Les capacités parasites qui s'ajoutent sont l'ensemble des capacités extrinsèques du transistor MOSFET qui se présentent comme étant des éléments parasites produisant le courant et la vitesse de commutation du MOSFET. Leur effet est d'autant plus prononcé que la taille du MOSFET est réduite.

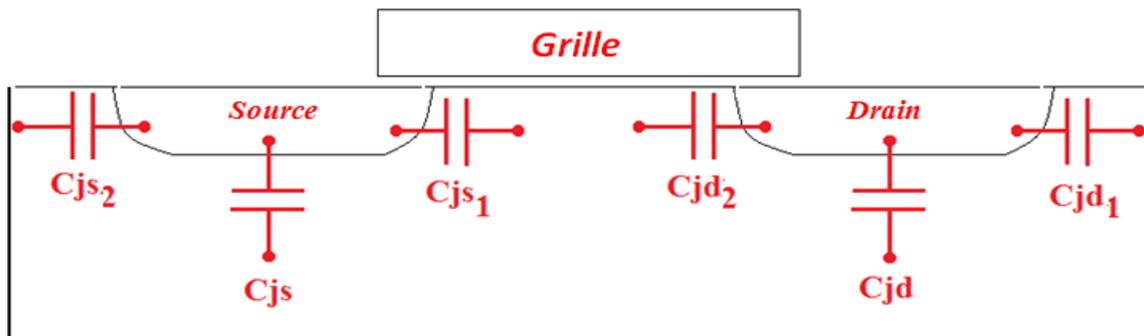


Figure 1-21 : Les capacités des jonctions de la Source et du Drain du MOSFET.

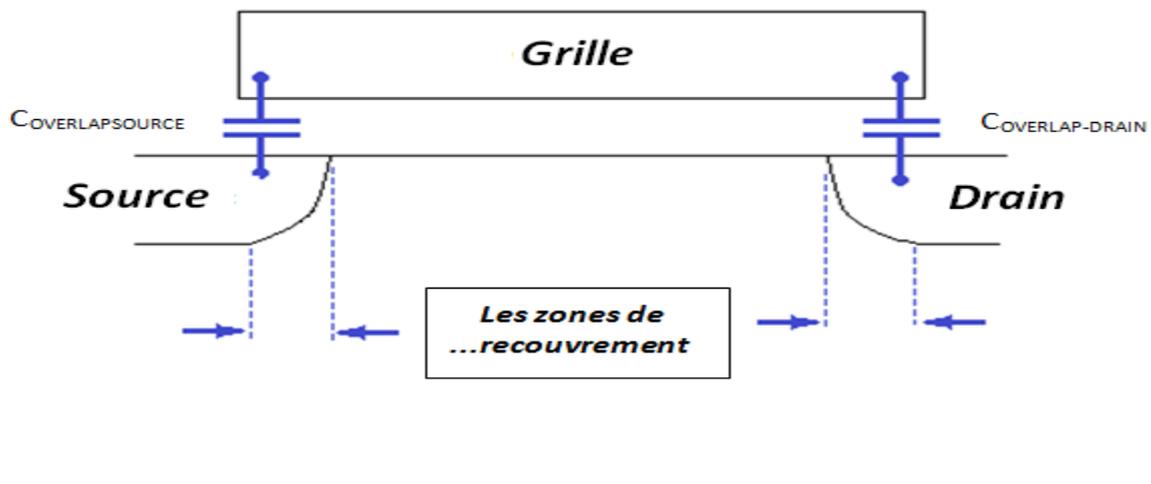


Figure 1-22 : Les capacités d'Overlap du MOSFET.

On peut alors distinguer deux types de capacités extrinsèques :

1. Celles liées aux jonctions (Source, Drain/substrat) soit  $C_{jw}$ ,  $C_{jw1}$  et  $C_{jw2}$
2. Celles de recouvrement (appelées Overlap). Ces dernières sont liées à l'électrode de grille et aux régions Source et Drain COVERLAPSOURCE et COVERLAPDRAIN

Sur le tableau qui suit nous indiquons pour chacune des zones de fonctionnement du MOSFET les valeurs de capacité de terminaison en fonction des capacités intrinsèques du transistor.

Région			
	Bloque	Ohmique	Saturée
CGD	$COXWL$ D	$COXWLD + \frac{1}{2} COXWLD$	$COXWLD$
CGS	$COXWL$ D	$COXWLD + \frac{1}{2} COXWLD$	$COXWLD + \frac{1}{2} COXWLD$
CBG	$COXWL$ D	0	0
CBD	CBD1	$CBD1 + \frac{1}{2} CBD1$	CBD
CBS	CBS1	$CBS1 + \frac{1}{2} CBS1$	$CBS1 + \frac{1}{2} CBS1$

Tableau I-1 : Les valeurs de capacité de terminaison en fonction des capacités intrinsèques

[4].

### I-7-2. Modèles du MOS Utilisés en simulation

#### I-7-2-1. Régime d'inversion du transistor MOS

Selon la valeur de  $V_{GS}$ , le canal du MOS est plus au moins bien formé. On peut distinguer trois types d'inversion, l'inversion faible correspondant à l'absence de canal mais pour la quelle il existe néanmoins des porteurs de courant en faible quantité dans la ZCE engendré par la présence d'un canal fortement rempli de porteurs du courant (électrons pour un NMOS et trous pour un PMOS) et entre les deux l'inversion modérée ou le canal est présent mais ou la quantité de charges mobiles dans le canal n'est pas prédominante devant la zone située sous le canal.

- $V_{TH} - (50 \text{ à } 100\text{mV} < V_{GS} < V_{TH})$  : Inversion faible
- $V_{TH} < V_{GS} < V_{TH} + (75 \text{ à } 100 \text{ mV})$  : Inversion modérée
- $V_{GS} > V_{TH} + 100 \text{ mV}$  : Inversion forte

### I-8. Problèmes induits par la réduction de la taille des : Effet canaux courts "SCEs"

#### I-8-1. Définition

La diminution de la longueur des canaux des transistors MOSFET conduit à de nombreux effets indésirables. Ces problèmes de nature physique et quantique, perturbant le bon fonctionnement des MOSFETs limitent les fonctionnalités des circuits CMOS ., les effets indésirables liés à la miniaturisation sont : les effets canaux courts SCEs (*Short Channel effects*), le confinement quantique et le courant tunnel .

Nous nous intéressons dans ce qui suit aux effets canaux courts Ces effets sont dus aux zones de désertion de la source et du drain qui viennent recouvrir partiellement la zone de la grille représentée par le trapèze Q. Ceci est bien représenté sur le schéma de la figure 1-22 :

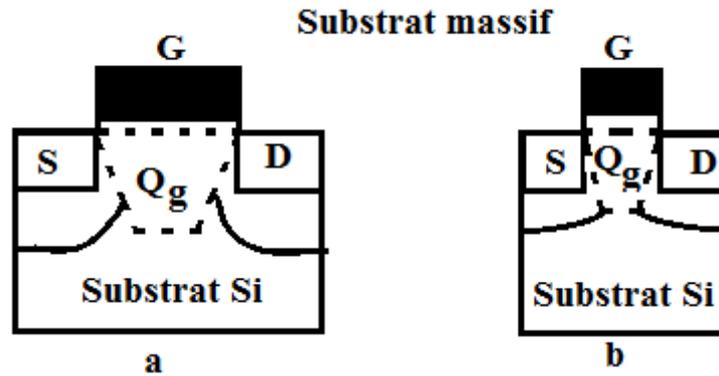


Figure I-23 : Distribution de la charge de désertion contrôlée par la grille  $Q_g$  pour a un MOSFET à canal long, b un MOSFET à canal court. [7]

Pour les transistors à canal long cet effet est insignifiant. Cet effet devient de plus en plus significatif au fur et à mesure que la longueur du canal diminue.

Les effets canaux courts se manifestent par la réduction de la tension de seuil, l'effet DIBL (*Drain Induced Barrier Lowering*), le partage de charge, .....

### I-8-2. Impact sur la tension de seuil

Les effets des canaux courts ont un impact important sur les caractéristiques statiques du transistor MOSFET. Par exemple ces effets dégradent la pente sous seuil et par conséquent la vitesse de commutation des circuits numériques. Ils dégradent également le courant de fuite à l'état bloqué et peuvent impliquer une conduction du transistor sous sa tension de seuil. De ce fait les paramètres technologiques ont un impact direct sur la tension de seuil. Par exemple, l'effet DIBL qu'on expliquera par la suite augmente lorsque la longueur de la grille diminue. D'autre part, le courant de drain dans les transistors à canaux courts augmente considérablement avec la tension de drain au-delà de la zone de pincement (saturation) en comparaison avec des dispositifs à canal long où l'on peut considérer que le courant reste constant en mode saturé (on considère l'effet Early négligeable). Dans les cas des MOSFET à canal court le courant de drain ne sature pas vraiment (figure 1-23).

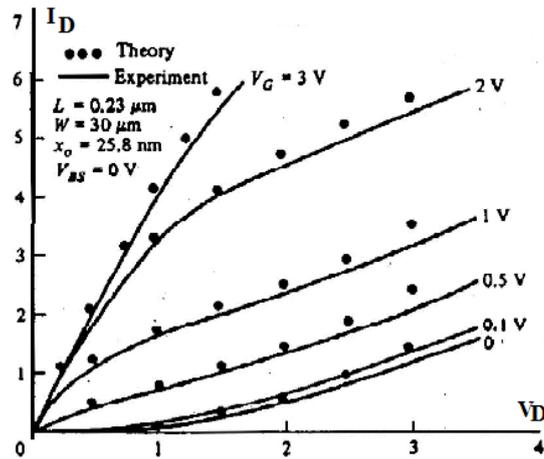


Figure I-24 : Caractéristiques  $I_{DS}/V_{DS}$  du transistor MOS à canal court  $L= 0.23\mu\text{m}$ . [7]

En outre, le courant de drain n'est pas nul pour une tension  $V_{GS}$  nulle. Pour une tension de drain de l'ordre de 3V pour un transistor d'une longueur de  $0.23\mu\text{m}$  par exemple comme illustré en Figure 1-29 [7] le courant de drain peut être de l'ordre du mA. La grille a donc perdu le contrôle du canal et ne peut plus "couper" le transistor. En deuxième lieu, considérons la caractéristique  $I_{DS}-V_{GS}$  de transistors MOS à canal court en régime sous seuil représenté en figure 1-24.

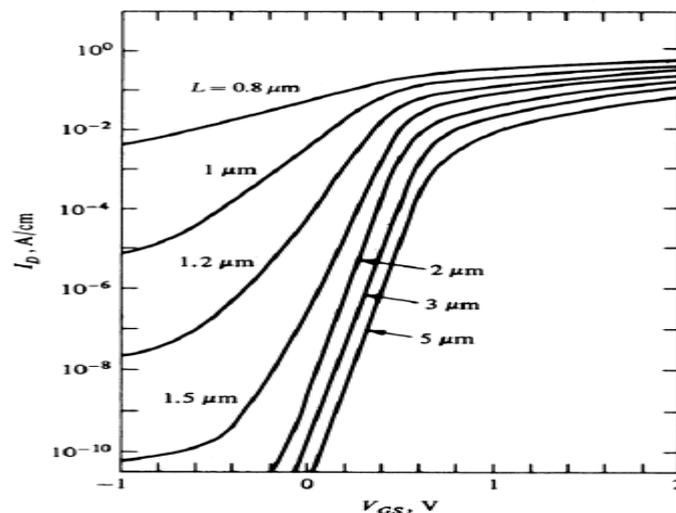


Figure I-25 : Caractéristiques  $I_{DS}-V_{GS}$  du transistor MOS en régime sous seuil pour différentes longueurs de canal. [7]

La caractéristique  $I_{DS}-V_{GS}$  est idéale pour des transistors à canal long, Ceci est bien illustré dans le cas de la Figure I-23. On remarque sur cette figure qu'en faisant alors varier la longueur du canal "L" de  $0.8\mu$  à  $5\mu$ , la caractéristique  $I_{DS}-V_{GS}$  se déforme pour  $L < 2\mu\text{m}$ . On se trouve donc en présence d'une chute de la tension de seuil lorsque la longueur de canal

diminue en dessous de 2  $\mu\text{m}$ . En dessous de 0.8  $\mu\text{m}$ , la tension de grille ne contrôle plus le courant de drain et le transistor ne peut plus être utilisé alors comme interrupteur. La variation de la tension de seuil avec la variation de la longueur du canal est représentée sur la Figure 1-25 [7].

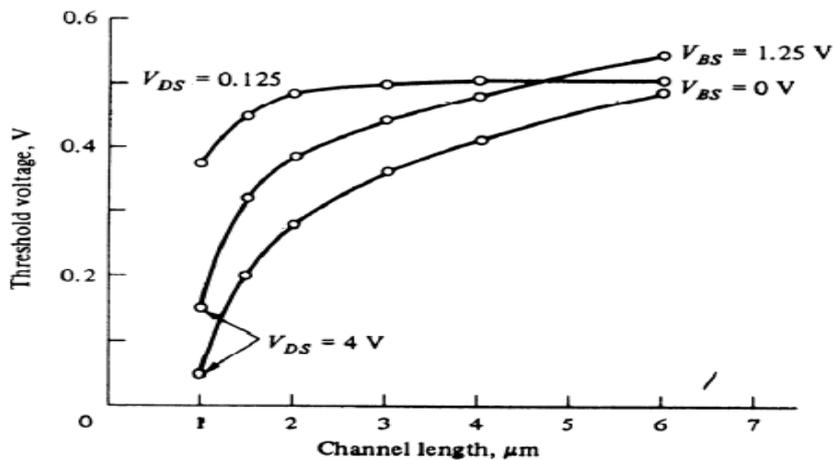


Figure I-26 : Évolution de la tension de seuil en fonction de la longueur du canal. [7]

On peut donc conclure que pour les dispositifs à canaux longs, la tension de seuil ne dépend pas de la longueur de canal. Néanmoins, pour les transistors à canaux courts, la tension de seuil décroît fortement lorsque  $L$  devient inférieur à 2  $\mu\text{m}$ .

### I-8-3.L'ionisation par impact

Lorsqu'un porteur, dans un semiconducteur, acquiert une énergie suffisante, il peut alors en céder une partie à un électron de sa bande de valence "BV" à partir du moment où il entre en choc avec les atomes du réseau. L'électron de la BV peut alors sauter dans la bande de conduction "BC". On passe alors d'une situation à un électron à une situation avec deux électrons et un trou. Ce phénomène est appelé phénomène d'ionisation par impact. Si les porteurs qui se créent arrivent à leur tour à acquérir une énergie suffisante pour créer des paires électrons/trous, et ainsi de suite, on parle dans ce cas d'avalanche. De la même façon, le phénomène peut aussi être avoir lieu par des trous. Dans ce cas le champ électrique joue un rôle actif, car il accélère le porteur, lui permettant ainsi de gagner de l'énergie. Le phénomène d'ionisation par impact est expliqué sur la figure I.27.

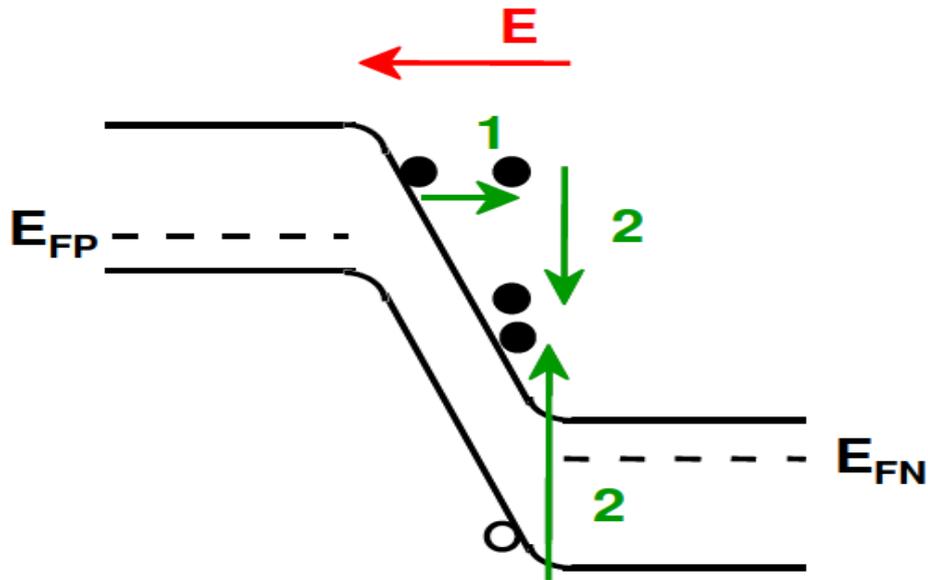


Figure 1-27 : Diagramme de bande d'un semiconducteur soumis à un fort champ électrique ,illustrant le mécanisme d'ionisation par impact.

L'ionisation par impact a lieu en deux phases :

- phase 1 : le gain en énergie du porteur
- phase 2: l'interaction avec le réseau cristallin qui aboutit à la création d'une paire de porteur

L'expression du champ électrique longitudinal dans la région de pincement du canal est donnée par l'équation :

$$E(x) = E_{sat} \cosh \left( \frac{x-l_{sat}}{l_p} \right) \quad \text{I-31}$$

$$l_p = \sqrt{\frac{\epsilon_s}{C_{ox}}} t_d \quad \text{I-32}$$

$l_{sat}$  est la longueur du canal jusqu'au point de pincement.

$l_p$  est la longueur caractéristique

$t_d$  est l'épaisseur de la région n+ de drain pour un MOSFET à substrat massif.

A la jonction drain/canal, l'amplitude de ce champ électrique notée  $E_d$  est maximale et dépend de la longueur de la grille " $L_g$ ". Elle dépend aussi et de la tension  $V_{DS}$ . L'amplitude du champ électrique est alors supérieure à l'amplitude du champ électrique critique " $E_c$ " lié à la vitesse de saturation des porteurs.

Pour des transistors à canal long le champ critique se situe directement près du point de pincement. Lorsque la longueur du canal diminue,  $E_c$  se situe près de la jonction

source/canal. puis, lorsque les porteurs minoritaires atteignent leur vitesse de saturation "V<sub>sat</sub>", le champ électrique longitudinal va alors céder encore de l'énergie à ces porteurs minoritaires. Les interactions dans le réseau cristallin modifient de façon aléatoire leur libre parcours moyen puisque leur vitesse de propagation reste constante, De ce fait leur énergie cinétique augmente en suivant une loi de probabilité dictée par les interactions dans le canal [7] ceci est bien illustré dans la figure 1-27 :

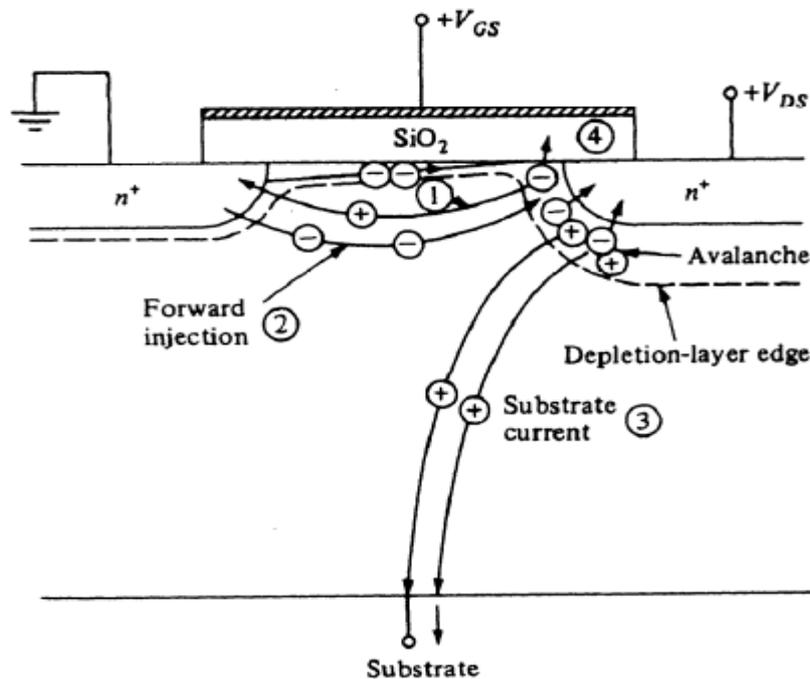


Figure 1-28: Schématisation du phénomène d'ionisation par impact dans un transistor à canal court. [7]

Une partie de ces porteurs ont une énergie suffisamment importante pour ioniser les atomes de silicium du cristal [7]. Ils sont appelés les porteurs chauds. Des paires électrons/trous se forment à partir de ces impacts. Le champ électrique longitudinal attire les électrons du côté du drain. Les trous sont repoussés vers le substrat par le champ électrique de la zone de désertion. Ces trous, issus de l'ionisation par impact, constituent le courant de substrat. Ce dernier a pour expression [7] :

$$I_{db} = |I_{ds}| K_i (V_{ds} - V_{dsat}) \exp\left(\frac{V_i}{V_{th} - V_{dsat}}\right) \quad \text{I-33}$$

Ou :  $K_i$  et  $V_i$  sont des paramètres empirique d'ajustement.

A partir de l'équation I-32, nous pouvons déduire le rapport  $\frac{I_{db}}{I_{ds}}$  qui représente le coefficient d'ionisation par impact. Une partie des électrons dans le canal, possède une énergie suffisante leur permettant de franchir la barrière de potentiel située entre l'oxyde de grille et la zone active. Ces électrons sont ensuite collectés par la grille et forment un courant de grille. Une portion de ces électrons dégrade l'interface oxyde de grille/substrat et augmente alors la densité d'état d'interface. La mobilité diminue (dégradation de la mobilité) alors que la tension de seuil augmente. Une partie des électrons issus du canal se trouve piégés dans l'oxyde. Ce piégeage a pour effet d'augmenter la quantité de charge intrinsèque de l'oxyde de grille.

### I-8-4. Le perçage ou « punchthrough »

Pour les MOSFET de type p le phénomène de perçage s'observe à partir d'une longueur de grille  $L_G=0.35\mu\text{m}$  et en dessous. Ce phénomène est moins marqué pour les n MOSFET. Le phénomène de perçage volumique se traduit par une apparition du courant de fuites sous le seuil conduisant alors une dégradation de la pente sous le seuil. Cet effet se produit quand les ZCE des jonctions source/substrat et drain/substrat se rejoignent dans la zone active par l'utilisation de faibles dopages et dans les zones de désertion issues du drain et de la source ces faibles dopages permettent à ces zones de s'étendre dans le canal jusqu'à pouvoir fusionner. ceci est présenté sur la figure 1-29. Notons aussi que ces faibles dopages permettent l'amélioration de la pente sous seuil.

Notons que pour des tensions  $V_{DS}$  élevées, les lignes de champ de la zone de drain vont atteindre la source et augmenter le potentiel de surface. [8]. Cet effet implique une pente sous le seuil légèrement dégradée et un plus fort courant de fuite à l'état bloqué ( $I_{off}$ ) contrôlé par la tension  $V_{DS}$ . Ce phénomène peut être atténué et même annulé par l'augmentation de la concentration des dopants de la zone active pour réduire la diffusion des ZCEs des jonctions source/substrat et drain/substrat. Des implantations en profondeur spécifiques permettent également de contrôler l'effet de perçage. Cet artifice est limité par les courants de fuite de la jonction drain/source.[8]

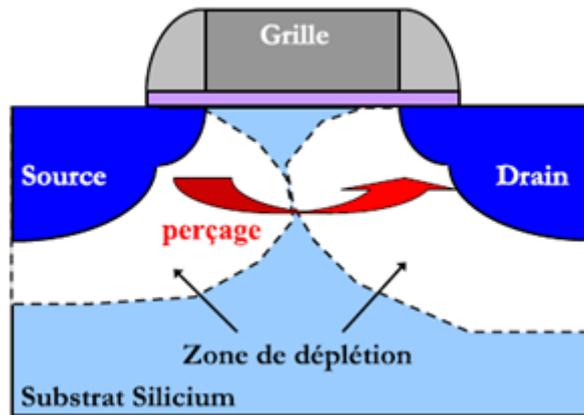


Figure 1-29: Illustration du phénomène du perçage. [9]

### I-8-5. L'effet DIBL et les courant de fuite Ion, Ioff

L'effet DIBL en anglais "Drain Induced Barrier Lowering" est attribué à l'influence électrostatique du drain sur la hauteur de barrière de la jonction source-substrat ou barrière d'injection (figure 1-28). En augmentant la tension de drain  $V_{DS}$ , il y a extension de la zone de charge d'espace au niveau du drain. Cette zone de charge d'espace peut aller jusqu'à diminuer la hauteur de barrière d'injection.

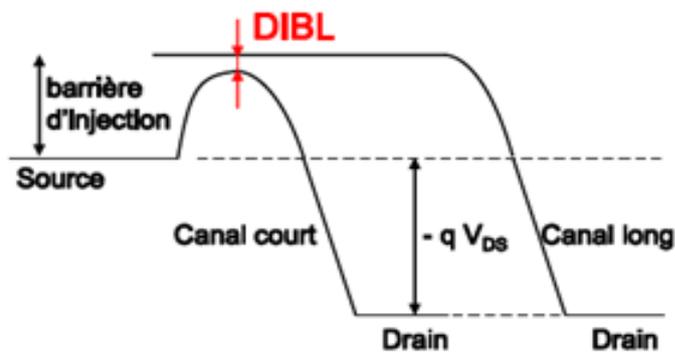


Figure I-30: Schéma énergétique le long du canal dans le cas d'un canal long et d'un canal court montrant l'effet DIBL.

La conséquence de l'effet DIBL consiste en la diminution de la tension de seuil  $V_{TH}$  du transistor avec une tension  $V_{DS}$  d'autant plus importante que la distance source/drain (la longueur de canal) est faible figure 1-31 (a). Généralement, on mesure l'effet DIBL par le décalage de la courbe de transfert  $I_{DS}-V_{GS}$  entre une mesure en régime où  $V_{DS}$  est faible et une mesure en saturation avec  $V_{DS}$  fort (figure 1-31 (b)).

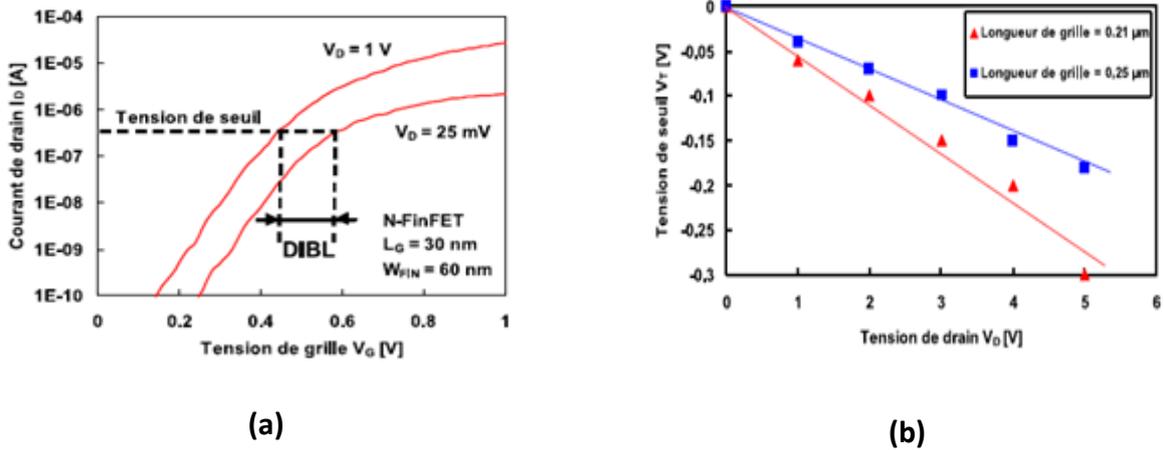


Figure I-31: courbe  $V_T(V_{DS})$  illustrant la chute de tension de seuil (a)  $I_{DS}-V_{GS}$  dans le cas d'un transistor court pour des tensions de drain en régime ohmique et en saturation (b) . [10]

Notons que nous pouvons déterminer d'après les caractéristiques des figures 1.32 (a) et 1-32 (b) différentes grandeurs caractérisant le transistor MOSFET , nous citons alors la tension de seuil  $V_{th}$ , le courant en régime de saturation  $I_{ON}$  et le courant en régime bloqué  $I_{OFF}$ , le DIBL, qui est la variation de  $V_{th}$  entre deux mesures réalisées à différentes valeurs de  $V_{DS}$ .

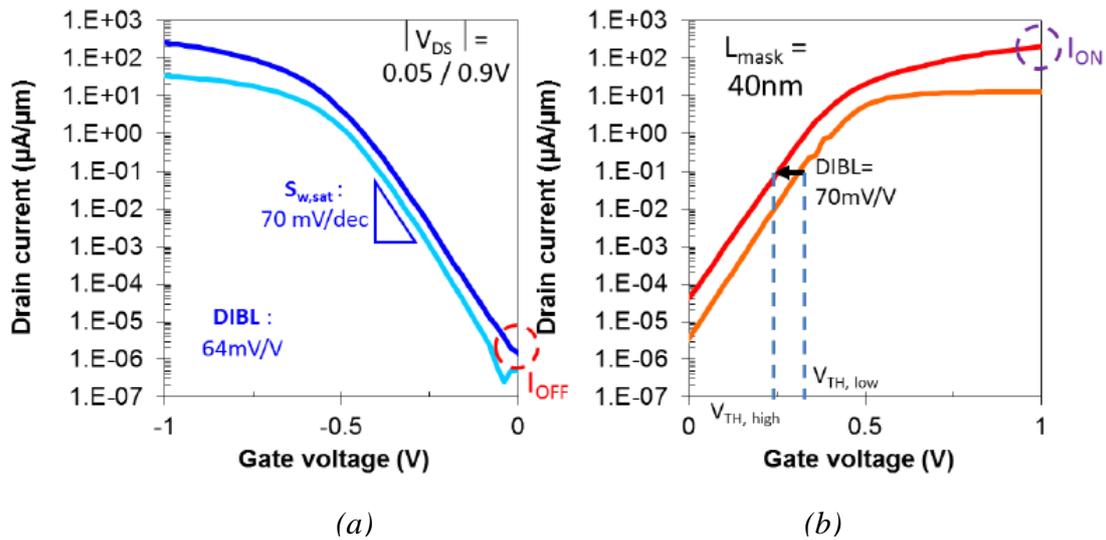


Figure I-32 : Caractéristique  $I_{DS}-V_{GS}$  de pMOSFET (gauche) nMOSFET (droite) avec l'indication des courants de fuite  $I_{on}$  et  $I_{off}$ . [11]

### I-8-6 .L'effet des résistances série

La résistance du canal  $R_{Channel}$  et qui est proportionnelle à sa longueur diminue avec la réduction de ce dernier et devient comparable aux résistances séries de la Source et

du Drain RD [12]. Ceci affecte négativement les caractéristiques électriques. Les résistances d'accès créent une diminution du courant de sortie  $I_{DS}$ , de la conductance  $g_{DS}$  et de la vitesse de commutation des dispositifs CMOS. Sur la Figure.1.31, on a pu mettre en évidence l'influence des résistances séries.

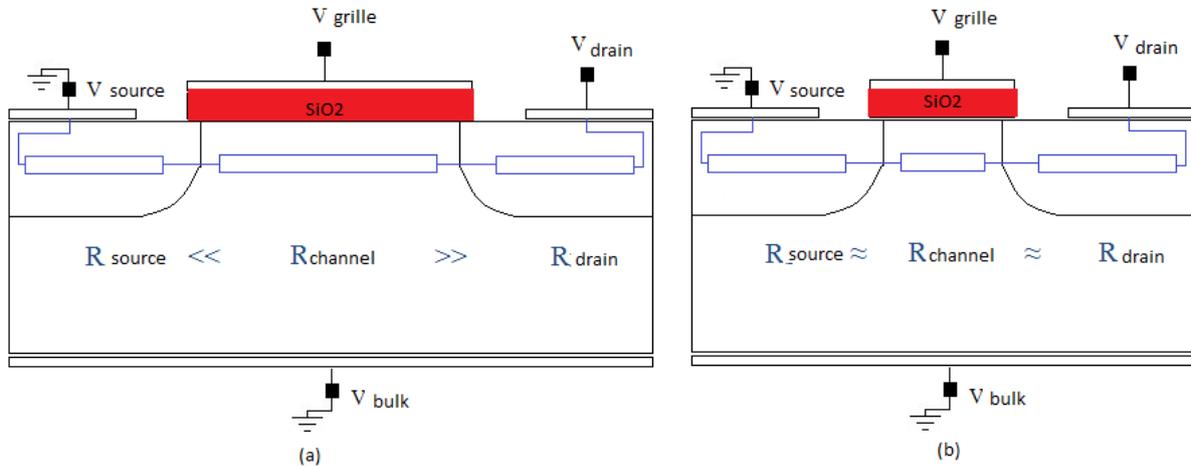


Figure 1.33: L'effet des résistances séries sur les MOSFETs : à canal long (a) ; à canal court (b).

### 1-8-7. Le confinement quantique

Dans la couche d'inversion d'un transistor MOSFET, les porteurs sont confinés dans un puits de potentiel qui est créé par le champ de grille. L'effet de confinement quantique affecte de façon directe la tension de seuil des MOSFETs ainsi que la capacité de grille. Perpendiculairement au transport, les porteurs d'énergie  $E$  voient d'un côté une barrière créée par la courbure de bande et de l'autre part une barrière avec le diélectrique de grille. Cela constitue donc un puits. La distance moyenne sur laquelle la couche d'inversion s'étend depuis l'interface diélectrique de grille/canal est de l'ordre de quelques nanomètres.

Afin de contrôler les effets SCEs, les concepteurs fabriquent des MOSFETs avec un canal fortement dopé et avec une couche d'oxyde de grille très fine. ce qui a pour conséquence l'apparition d'un champ électrique assez fort à l'interface Si/SiO<sub>2</sub> qui va créer des puits de potentiel qui quantifient le mouvement des porteurs de charges dans la direction perpendiculaire au dispositif. Il en résulte un décalage de la tension de seuil  $V_{TH}$  qui provoque la réduction du courant de drain  $I_{DS}$  du transistor ainsi que la transconductance  $g_m$ . Cet effet mène également à la réduction et au déplacement du maximum de la densité de charge à partir de l'interface [13].

### 1-9. Amélioration des performances du MOSFETs.

Afin de lutter contre les effets néfastes dus à la miniaturisation des structures planaires, différentes approches ont pu être mises en œuvre et afin de poursuivre l'amélioration des performances des dispositifs, telles que l'intégration de dispositif sur substrat silicium sur isolant (SOI de l'anglais « silicon on isolator »), structure présentant une couche d'oxyde enterrée (BOX de l'anglais «Buried Oxide »).

#### 1-9-1. Transistors sur substrat SOI

Les effets canaux courts se produisent quand le contrôle de la région de canal par la grille est affecté par des lignes de champ électrique de la source et du drain. Les lignes de champ électrique se propagent à travers les régions associées à la déplétion des jonctions. Leur influence sur le canal du transistor peut être largement réduite en augmentant la concentration des dopants dans cette région. Dans les dispositifs à canaux courts voire nanométriques, la concentration des dopants devient trop élevée afin de permettre un fonctionnement adéquat du dispositif. Afin d'obtenir un meilleur contrôle des effets SCE, de nouvelles solutions voire même de nouvelles architectures sont réalisées sur des substrats structurés, à films minces, telle que les transistors à base de substrat SOI ou de SON (de l'anglais« Silicon On Nothing.( Figure 1.34 )

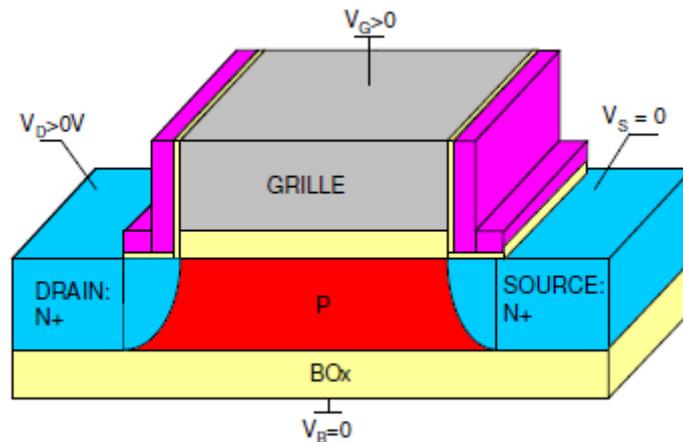


Figure 1-34 : Structure n-MOSFET sur SOI. [14]

Il existe trois types d'architectures différents SOI sont présenté (figure 1-35):

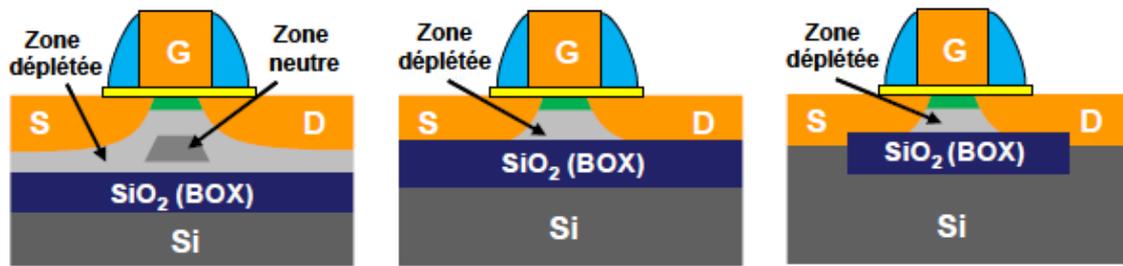


Figure 1-35. Représentation schématique des différentes architectures de transistors MOSFETs sur substrats à films minces : (a) transistor partiellement déplété, (b) transistor complètement déplété et (c) transistor SON.

### I-9-1-1. La particularité du transistor SOI partiellement déplétion

Lorsque le film de silicium est relativement épais, la zone de déplétion sous le canal de conduction du transistor ne s'étend pas jusqu'à l'oxyde enterré. De ce fait une zone neutre persiste dans la couche SOI. Le transistor est appelé transistor partiellement déplété. Toutefois les propriétés des dispositifs partiellement déplétés diffèrent peu des transistors conventionnels sur substrat massif et le contrôle des effets canaux courts n'est que faiblement amélioré. De plus, des effets parasites liés à l'accumulation de charges dans la zone neutre du substrat provoquent des effets néfastes appelés effets KINK.

Le transistor SOI partiellement déplétion est très proche du transistor MOS bulk. La similitude entre les procédés de fabrication permet l'intégration des deux types de dispositifs sur une même puce. De plus, la couche d'oxyde enterré isole le canal de conduction du substrat permettant d'immuniser le transistor contre les radiations [17] et permet aussi l'amélioration de la densité d'intégration en rapprochant les dispositifs. L'oxyde enterré limite aussi les capacités parasites drain substrat et source-substrat qui sont quatre à sept fois plus faibles que sur silicium massif [12]. La réduction des capacités de jonction parasites se traduit par une amélioration des performances des transistors SOI en haute fréquence par rapport aux transistors MOS sur silicium massif (bulk).

Toutefois, le transistor PD-SOI ne permet pas le contrôle du potentiel dans tout le film. En plus des effets SCEs, le transistor PD-SOI est soumis aux effets de substrat flottant qui dégradent le fonctionnement du transistor.

Nous soulignons aussi le fait que l'effet KINK qui est l'un des principaux effets du substrat flottant et déclenché par l'accumulation de charges produites par ionisation par impact dans le film de silicium. Cet effet se traduit dans les transistors SOI partiellement

déplétés par une augmentation du courant de drain (figure 1-32) et par du bruit électrique en saturation.

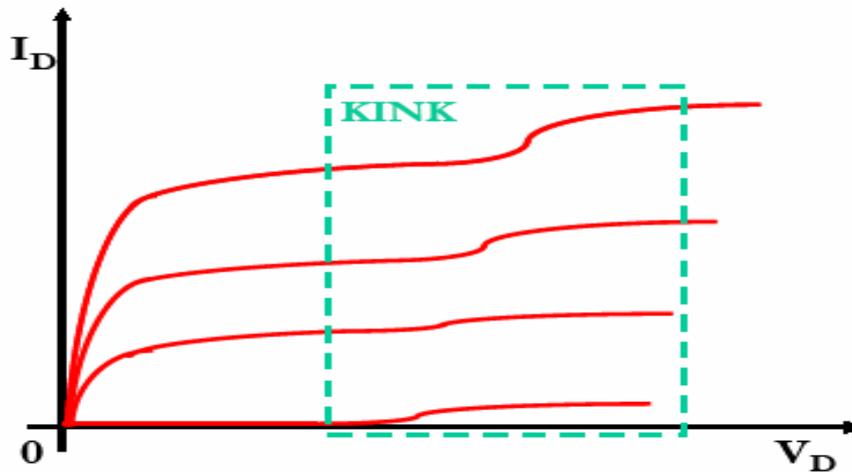


Figure 1-36 : L'augmentation du courant de drain résultant de l'effet KINK. [18]

### I-9-1-2. Particularité du transistor SOI entièrement déplété

Pour les dispositifs de taille nanométriques le contrôle des effets canaux courts nécessite une réduction importante des épaisseurs d'oxyde et du film de silicium. En plus des améliorations citées dans la description du transistor partiellement déplétée, le transistor SOI entièrement déplétion possède d'autres avantages par rapport au transistor MOSFET conventionnel.

Tout d'abord, les jonctions ultra minces limitées par l'épaisseur du film de *Silicium*  $T_{Si}$  permettent un bon contrôle des effets de canal court. La pente sous le seuil est alors améliorée par la limitation de la déplétion à l'épaisseur du film  $T_{Si}$  [19].

Le bon contrôle des effets canaux courts permet également de réduire le dopage du film.

L'utilisation d'un film faiblement dopé et la réduction des champs électriques dans le SOI permettent d'améliorer la mobilité des porteurs et, par conséquent, le courant de saturation.

Cependant, la fabrication de transistors SOI à film de silicium mince présente quelques inconvénients. La réduction de l'épaisseur  $T_{Si}$  augmente les résistances parasites des contacts source et drain.

Pour réduire ces résistances, les jonctions de source et de drain doivent être fortement dopées, ce qui augmente la diffusion des dopants dans le film et réduit par conséquent la longueur effective du canal.

Parallèlement, plus les films sont minces, plus les fluctuations sur une même plaquette induisent des différences de comportement entre les composants, notamment en termes de tension de seuil. La tension de seuil est également modifiée par l'apparition des effets de confinement quantique des porteurs dans les films très minces.

Aussi, l'oxyde enterré s'avère être un obstacle pour l'intégration des transistors les plus avancés.

Il empêche l'évacuation de la chaleur par le substrat et le phénomène d'auto-échauffement en résultant dégrade le courant de fuite  $I_{OFF}$ , la pente sous le seuil et la mobilité des porteurs.

Il a aussi été observé que l'oxyde enterré ne limite pas indéfiniment le couplage électrostatique entre la source et le drain et par conséquent les effets de canal court.

Pour conclure, nous pouvons dire que lorsque l'épaisseur de la couche SOI diminue, et la déplétion sous la grille atteint l'oxyde enterré, le transistor est alors complètement déplété. Dans ce cas, les effets canaux courts peuvent être mieux contrôlés car la plupart des lignes de champ se propagent dans l'oxyde enterré avant d'atteindre la région de canal.

Une autre variété, les transistors sur SON, permet de travailler avec des substrats SOI localisés uniquement sous le canal de conduction.

Cette nouvelle technologie appelée SOI présente indéniablement des avantages par rapport à la technologie MOSFET classique.

### I-10. Aperçue sur les transistors SOI MOSFETs

Rappelons que le transistor SOI MOSFET est réalisé avec un film de silicium mince sur un oxyde enterré. La première différence par rapport à un transistor MOSFET Bulk est qu'il n'y a donc plus de courant de substrat.

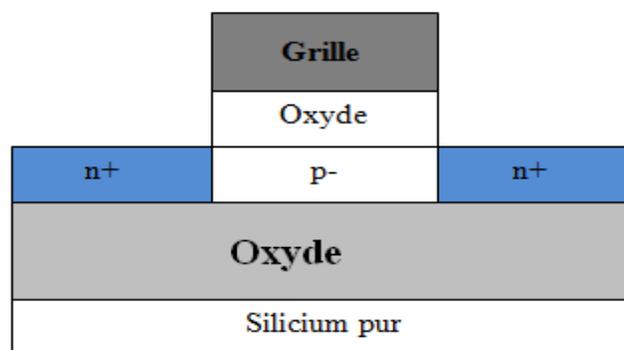


Figure 1-37 : Structure d'un transistor SOI de type-n.

Suivant les différentes épaisseurs du silicium et dopages du canal, il existe deux types de technologies SOI (simple grille) :

Si tout le film de silicium (avec une épaisseur très grande et un fort dopage du canal) n'est pas complètement déplété, nous sommes dans le cas d'un SOI partiellement déplété (Partially Depleted SOI, ou PD SOI). Le fait que toute l'épaisseur de silicium ne soit pas déplété donne alors un fonctionnement semblable au MOS bulk. Le PD SOI n'a donc que relativement peu d'intérêt par rapport au MOS Bulk.

Par contre, si l'épaisseur du silicium est suffisamment mince et le dopage du silicium est moins important pour que tout le silicium puisse être déplété, nous sommes dans le cas d'un SOI entièrement déplété (Fully Depleted SOI, ou FDSOI). Dans le cas du FD-SOI, l'épaisseur de silicium est très petite, et donc nous n'avons plus besoin d'une grande tension de grille pour la déplétion du silicium et le champ transversal est naturellement plus faible que dans le MOS bulk. Dans ce cas, où il y a moins de porteurs qui circulent vers la grille sous le champ transversal, moins de porteurs sont capturés par les pièges dus à l'imperfection de l'interface.

Notons aussi une bonne isolation diélectrique pour les SOI MOSFET (figure 1-37). En effet ces composants réalisés à base de la technologie SOI sont bien séparés les uns par rapport aux autres par l'oxyde et aussi du substrat par l'isolation verticale. Le courant de fuite lié au substrat, le latch-up et la photo courant dû à la radiation sont bien éliminés.

Les jonctions verticales : Les jonctions source/drain s'étendent jusqu'à l'isolant, ce qui réduit la capacité parasite et le courant de fuite. Cela est surtout intéressant dans les applications de faible consommation et de grande vitesse.

Concernant le processus de fabrication de dispositifs à base de cette technologie, il est à noter que l'utilisation des wafers SOI, en dépit du prix de revient élevé ont un processus de fabrication simple grâce à l'absence des caissons présent pour la technologie MOSFET conventionnel.

Il est à noter que les effets canaux courts qui se manifestent pour les transistors conventionnels de petites dimensions, ont tendance à s'atténuer pour les SOI MOSFET. En effet la faible épaisseur du film de silicium des SOI MOSFET limite la pénétration des champs des source/drain dans le silicium. L'effet de canal court est donc moins sensible dans le FD-SOI que dans le MOS bulk. La faible tension de fonctionnement : le transistor FD-SOI

a une pente sous le seuil plus idéale que le transistor MOS bulk pour un jeu de paramètres technologiques comparable. Tout cela rend la technologie FD-SOI attractive notamment pour des applications mobiles qui demandent une faible consommation d'énergie et une faible tension d'alimentation.

Finalement on peut résumer les avantages et inconvénients du SOI MOSFETs comme suit:

- Leur résistance d'entrée est très importante  $R_s=1012 \Omega$ , pour un transistor au effet de champ à jonction, elle est plus faible soit de l'ordre de  $108 \Omega$ .
- Le bruit intrinsèque est toujours très faible.
- Facile à fabriquer et par suite peu onéreux.
- La densité d'intégration autorisée par ce type de composant est très importante: (107transistors sur une seule puce).
- Petite surface de silicium
- Impédance de sortie faible de l'ordre de  $100\Omega$ .
- Ce composant est symétrique, aucune distinction du point de vu fabrication entre la source et le drain.
- Le circuit de commande est très simple.
- Il supporte très bien la mise en parallèle sans dispositif particulier grâce à son coefficient de température positif.

### **I-10-1. Avantages de la technologie SOI par rapport au MOSFET bulk**

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (« déplétion »), sont dans l'ensemble bien meilleures comparées au transistor MOS bulk [12]. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm [15]. Nous allons maintenant voir les principales propriétés de la technologie SOI par rapport au MOSFET sur bulk.

### I-10-1-1. Diminution des effets parasites

Les avantages de la technologie SOI sont multiples. Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites. En effet, les capacités de jonction source-substrat et drain-substrat, lesquelles pour le MOSFET bulk correspondent à la capacité d'une jonction polarisée en inverse, ne sont en réalité pour le SOI qu'une capacité d'oxyde (i.e. la capacité d'oxyde enterré  $C_{\text{BOX}}$ ).

Naturellement, cette capacité d'oxyde enterré est quatre, voire sept fois inférieure à la capacité de la jonction obtenue sur le silicium massif. En plus de cet avantage, le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé [12] une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons.

Parmi les avantages, notons également que lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplétée à tension de grille nulle, ce qui est également avantageux en ce qui concerne le courant de percement en surface.

Il existe aussi l'effet latch-up, présent sur le MOSFET bulk, qui est éliminé par le SOI. Ce phénomène parasite est dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ de transistors nMOS et pMOS voisins.

La facilité d'augmenter la densité d'intégration est une conséquence directe de la suppression de cet effet parasite [12]

### I-10-1-2. Amélioration du contrôle de la grille sur la charge de déplétion

Ainsi que nous l'avons cité auparavant, les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. Si nous comparons le transistor MOS bulk au transistor SOI, avec des dimensions identiques ( $L, W, T_{\text{ox}}, X_j$ ), nous constatons que le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important en technologie SOI.

Comme la montre la figure 1-34, ce phénomène est d'autant plus marqué que la longueur du canal diminue.

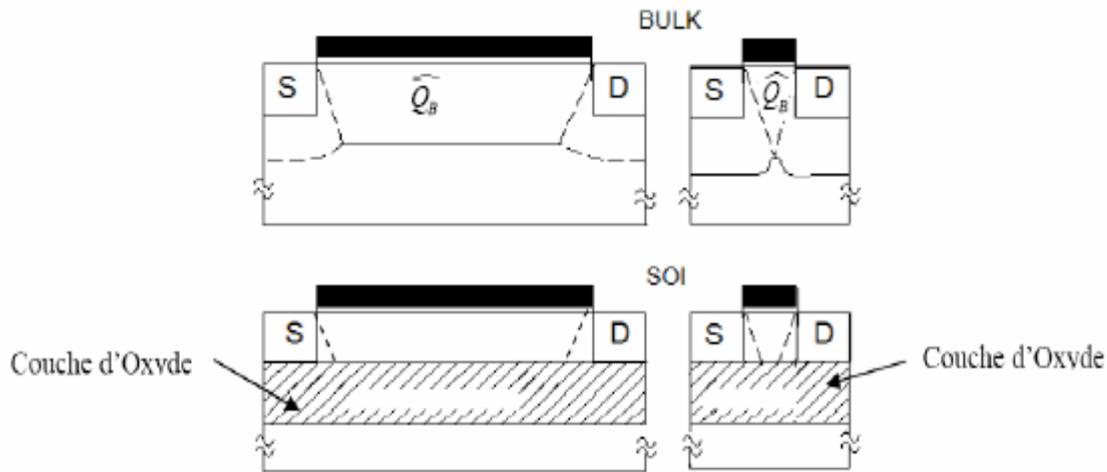


Figure I-38: Distribution de la charge de déplétion pour le MOSFET bulk et le SOI. [16]

### I-10-1-3. Amélioration de la pente sous le seuil

Rappelons que la pente sous le seuil est définie par  $SS = n^1 \cdot \ln(10) \cdot k \cdot T / e$  avec, le facteur de substrat.

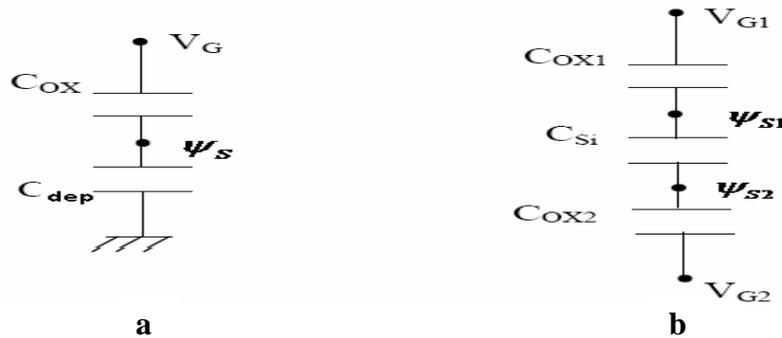


Figure I-39: Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI.

Pour le transistor MOS bulk (Fig. 32-a), comme  $C_{dep}$  n'est pas négligeable, cela implique  
 ↳ transistor SOI sur film mince, le film en entier est déplétée avant que la tension n'atteigne la tension de seuil et donc  $C_{Si}$  est une constante, d'où :

$$SS = \frac{nkT}{e} \ln(10); n = \left(1 + \frac{C_{Si}}{C_{Ox1}}\right) - \frac{\frac{C_{Si}}{C_{Ox1}} \frac{C_{Si}}{C_{Ox2}}}{1 + \frac{C_{Si}}{C_{Ox2}}} \quad I - 34$$

$C_{Si}$  désigne la capacité du film de silicium complètement déplétée  $C_{OX}$  et  $C_{BOX}$ , les capacités d'oxyde situés respectivement dans la partie supérieure et la partie inférieure du film de silicium.

À la figure I-32-b,  $\Psi_{S1}$  et  $\Psi_{S2}$  désignent respectivement les potentiels de surface dans les régions supérieure et inférieure du film et, enfin,  $V_{G1}$  et  $V_{G2}$  correspondent aux polarisations des grilles, toujours dans la région supérieure et la région inférieure du film.

Habituellement, pour des films minces,  $C_{BOX} \ll C_{OX}$  et  $C_{OX} \ll C_{Si}$ , et donc nous obtenons une valeur de  $n$  proche de l'unité et la pente sous le seuil optimale. La pente sous le seuil à température ambiante est pratiquement maximale ( $= 60\text{mV} / \text{dec}$  pour  $n = 1$ ) en technologie SOI (figure 1-36)

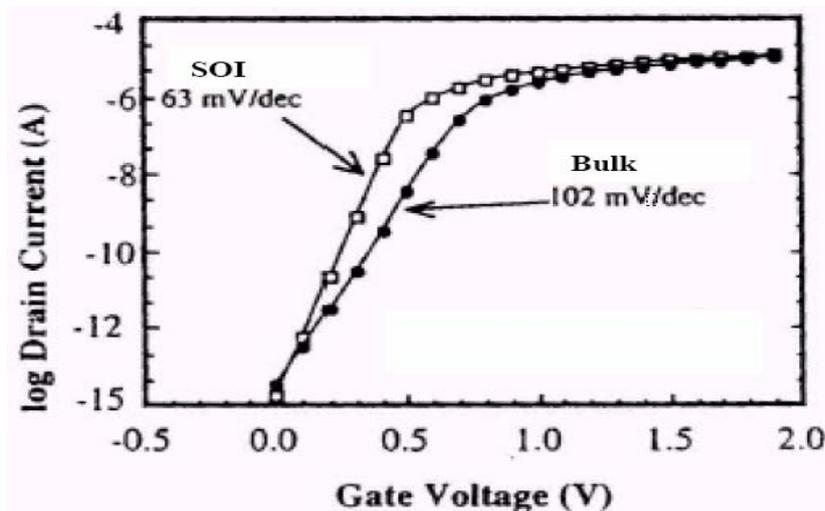


Figure I-40 : Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante. [16]

### I-10-2. Les principaux inconvénients rencontrés dans les transistors SOI MOSFET

#### I-10-2-1. Dans le cas du SOI MOSFET partiellement déplété PD-SOI

##### I-10-2-1-1. L'effet KINK

Un fort champ près du drain peut induire une ionisation par impact [18] lors du fonctionnement du transistor. Les porteurs majoritaires, qui sont générés par l'ionisation par impact seront alors stockés dans le substrat parce qu'ils ne peuvent pas être évacués. Ces

porteurs non évacués mènent à une augmentation de potentiel du canal qui va abaisser la tension de seuil  $V_{TH}$  et produire une augmentation inattendue de  $I_{DS}$  sur la caractéristique de sortie du transistor  $I_{DS}$ - $V_{DS}$  (1er KINK).

Dans le transistor PD-SOI MOSFET à court canal la jonction source-canal est polarisée en direct et le transistor bipolaire latéral NPN dans le cas des N- MOSFET devient actif. De plus lorsque  $V_{DS}$  augmente, les porteurs majoritaires s'accumulent de plus en plus. Par conséquent, la tension de seuil baisse et  $I_{DS}$  augmente (2ème KINK). Pour les N-MOSFETs la possibilité d'ionisation par impact est bien plus grande que pour les PMOSFET car la mobilité de l'électron est plus importante que celle des trous. En conclusion, on peut dire que L'effet KINK a donc principalement lieu dans les dispositifs à canal-n, ou la probabilité d'ionisation par impact est importante. Cet effet peut être écarté par rajout d'un contact de source/substrat ce qui ressemble au cas d'un transistor conventionnel sur bulk. [19].

### **I-10-2-2. Dans le cas du SOI MOSFET entièrement déplété FD-SOI**

Le FD-SOI peut fonctionner dans un champ faible, la mobilité des porteurs majoritaires est moins importante ici que dans le cas de PD-SOI. Cela résulte en une faible possibilité d'ionisation par impact et donc moins de trous stockés près du drain, L'effet KINK est inexistant dans le cas des transistors PD-SOI.

#### **I-10-2-2-1. Auto-échauffement**

Le refroidissement du transistor SOI est limité par la faible conductivité thermique de l'oxyde et du film de silicium. L'épaisseur influence beaucoup la conductivité thermique du film silicium surtout dans le cas d'un film mince de silicium [20]. Ce phénomène conduit essentiellement en une réduction de la mobilité des porteurs, une augmentation de la tension de seuil et une chute de la conductance pour les tensions de grille et de drain importantes.

#### **I-10-2-3. Les effets canaux courts**

Pour les SOI entièrement et partiellement déplétion submicronique, le transistor latéral bipolaire parasite (source-canal-drain) peut être facilement polarisé en sens direct. L'ionisation par impact augmente le potentiel du canal ce qui induit une polarisation directe de la jonction source-canal. L'activation du transistor parasite bipolaire induit un courant en excès. Ce phénomène est renforcé dans le canal de type n pour les dispositifs canal court à haute température parce que la possibilité de collision ionique est plus importante dans un NMOS à haute température qu'un NMOS à basse température ou un PMOS quelle que soit sa

température. Un effet canal court dans le transistor PD-SOI est la transformation de l'état de déplétion partielle à celui de déplétion entière. La région de déplétion latérale, gouvernée par les source/drain, ne couvre pas seulement une grande portion du corps ('body'), mais réduit aussi le dopage effectif dans le corps ; cela a pour incidence la déplétion entière par l'action de la grille. De plus, le profil latéral du potentiel de l'interface arrière peut être fortement inhomogène :

De déplétion au milieu du canal a la faible inversion près du bout du canal. Cette faible inversion localisée explique la dégradation de la pente sous le seuil.

Les effets canaux courts résultant en un abaissement de la tension de seuil sont le recouvrement des zones de charge d'espace entre la grille et les source/drain et l'effet DIBL.

Les lignes de champ électrique du bas induisent une forte augmentation de potentiel dans l'oxyde enterré si la grille arrière est polarisée positivement: cet effet s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing) [20-22].

A cause du DIVSB et du couplage d'interface, la tension de seuil du canal avant et la pente de seuil se trouvent abaissées. C'est une des raisons pour laquelle sera élaborée la structure SOI à double grille.

### **I-10-2-4. Le scaling**

L'étude du scaling (mise à l'échelle des longueurs) du SOI MOSFET requises pour les nœuds technologie 22 et 32 nm et au-delà [24]. Ainsi que la structure générique du dispositif, et les paramètres de conception importants utilisés pour la simulation des composants [25] et pour freiner le scaling dans les MOSFET bulk et PD-SOI il faut une augmentation du dopage par contre dans le cas d'un FD-SOI on peut aller vers des longueurs minimum juste en variant quelque paramètre tel que l'épaisseur d'oxyde  $T_{ox}$  et le dopage [23].

L'expression de la longueur naturel du canal a un petit changement avec l'augmentation du dopage et l'effet SCE, DBL et l'effet KINK va disparaissent par rapport à la diminution de l'épaisseur du film [18,23].

La fabrication des films ultra-minces qui possède une excellente qualité et uniformité et qui permettra à réduire l'effet SCE et l'effet DIBL va donner un grands défis pour les fabricants

des wafer pour atteindre la technologie dans les salles blanche qui sera capables a fournir ces type des wafer.

### **I-11. Conclusion**

Nous avons présenté au sein de ce chapitre, les transistors MOSFET pour lesquels nous avons expliqué leurs modes de fonctionnements ainsi que leurs principales caractéristiques électriques. Les effets indésirables les plus dominants dans les transistors à canaux court ont été présentés dans ce chapitre. Cependant il s'avère que des effets indésirables sont souvent rencontrés dans ce type de dispositifs, nous citons entre autre les effets canaux courts et les bruits pouvant affecter les performances du transistor MOSFETs bulk. C'est ainsi que nous entamerons au sein du second chapitre, l'étude les architecture multi grille et tout particulièrement les transistors nanométriques a grille enrobées « Gate-all-around MOSFETs » qui permettent d'éliminer les effets indésirables des dispositifs MOSFETs et d'obtenir des meilleurs performances.

# Chapitre II :

# Les Transistors à grille Multiples

### II-1.Introduction

L'évolution de la technologie CMOS est principalement basée sur la réduction de la taille des transistors MOSFETs dans les circuits intégrés. Pour la conception de circuits voire de systèmes plus performants en termes de densité d'intégration et de la vitesse d'exécution le nombre de transistors par unité de surface doit doubler pratiquement tous les 24 mois selon la loi de GORDON MOORE, ce qui revient à une réduction de la taille des transistors par un facteur égal à 0,7.

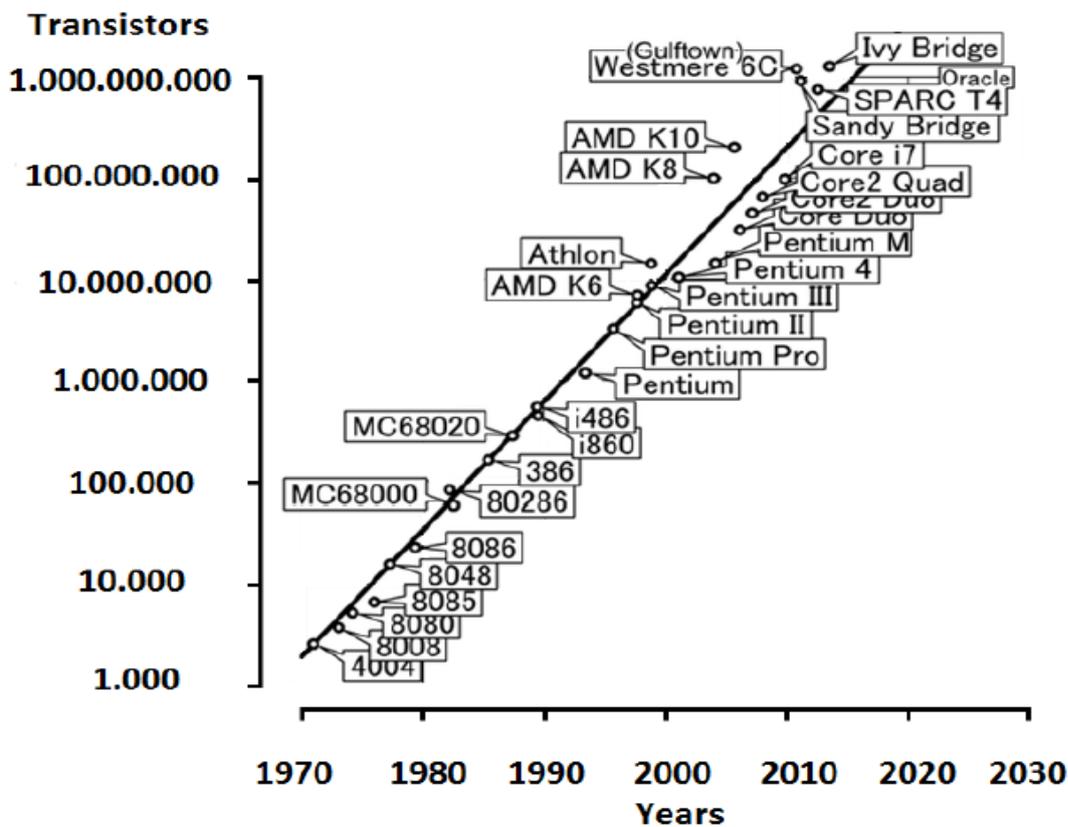


Figure 2-1 : Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de GORDON Moore [26].

D'après les données produites par l'ITRS en 2010, 2011 et 2012, la longueur de la grille des transistors MOSFETs qui se situait autour de 90nm en 2003 et autour des 22 nm de nos jours (INTEL, 2011), cette grandeur évolue tous les deux ans ceci est bien illustré au niveau de la figure 2.2, cette grandeur va évoluer vers les 6 nm en 2026 [27, 28]. La figure 2.2 permet de mettre en évidence la diminution de la grandeur de la grille au cours du temps [29].

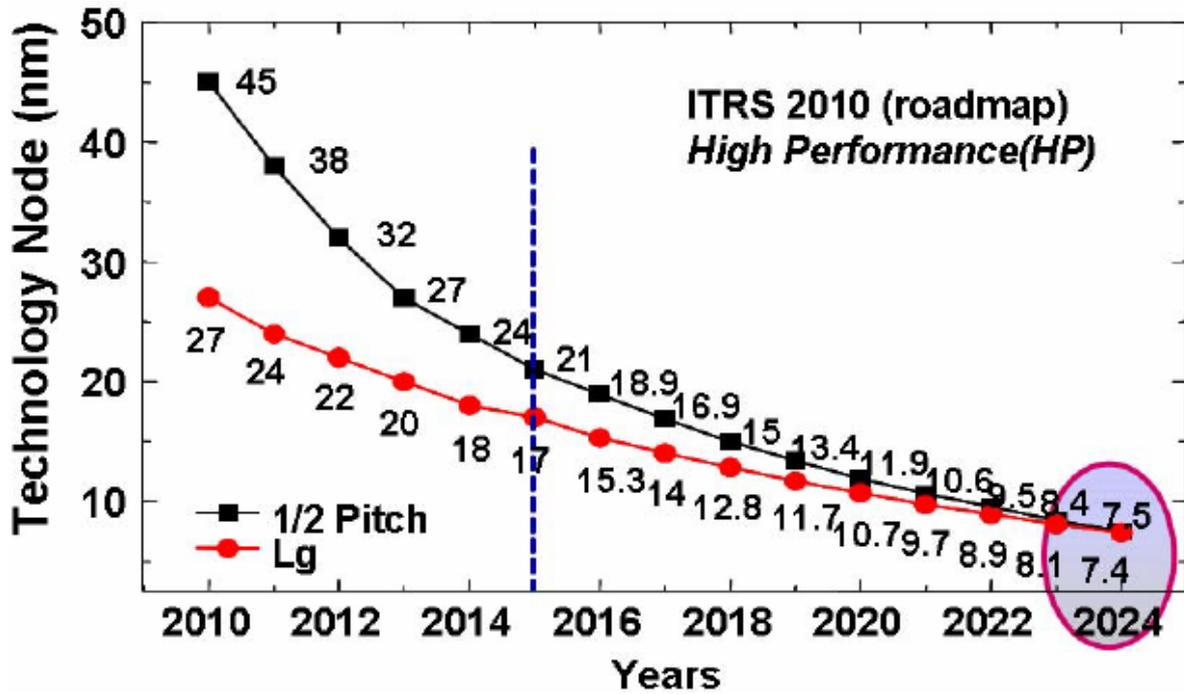


Figure 2-2: Evolution de la longueur de grille des transistors MOS en termes de hautes performances selon les prévisions de l'ITRS datées de 2011. [29]

## On-Time 2 Year Cycles

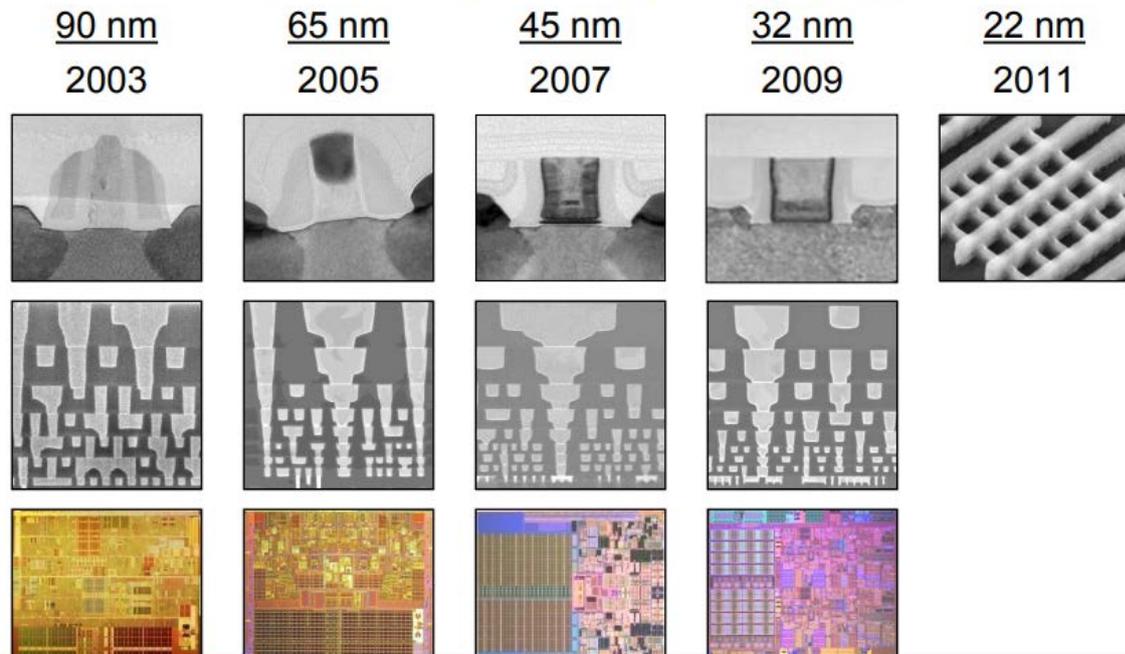


Figure 2-3: Evolution de la longueur de grille des transistors MOSFETs.

Il est cependant aisé de noter que les limites technologiques causés principalement par la miniaturisation des Transistors MOSFETs conventionnels ont conduit au

développement et à la recherche de solutions technologiques adoptées par l'industrie de la microélectronique.

L'ensemble des solutions technologiques proposées et adoptés par l'ITRS se regroupent en trois groupe [27, 28] et sont représentées au niveau de la figure 2.4 [30]:

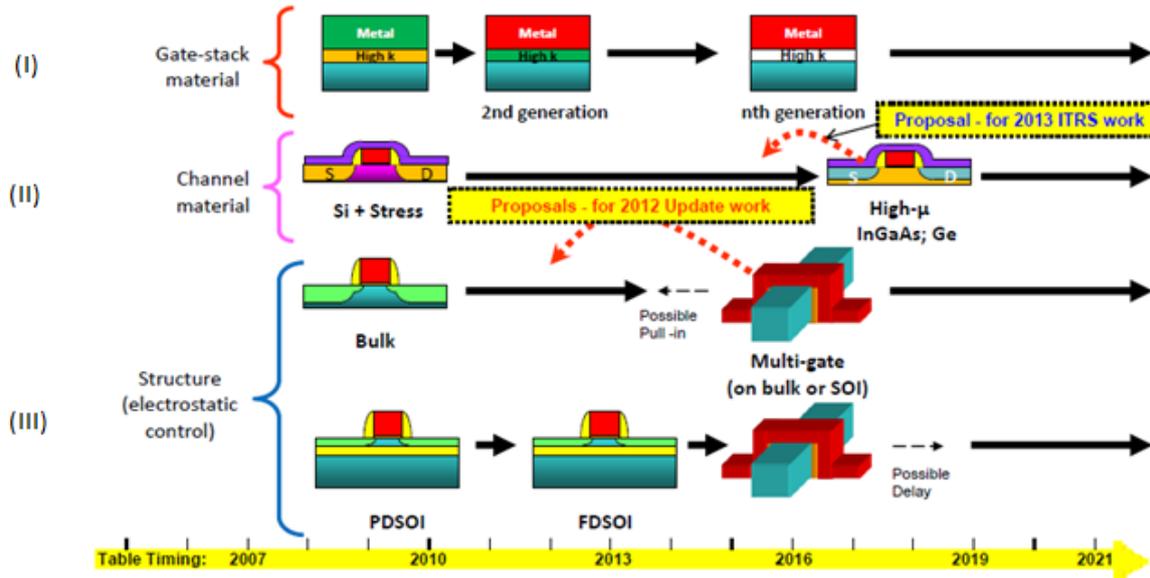


Figure 2-4: représentation des différentes solutions technologiques proposées et adoptés par l'ITRS rassemblés en trois groupes. [30]

- Le premier groupe rassemble les nouveaux matériaux adoptés comme diélectriques de grille et tout particulièrement les diélectriques de haute permittivité noté high k tel que le  $HfO_2$ ,  $Al_2O_3$ ,  $Si_3N_4$ ,  $Ta_2O_5$ , etc.
- Le deuxième groupe, concerne l'utilisation de matériaux contraints et de forte mobilité pour la constitution du canal de conduction.
- Le troisième groupe est celui qui nous intéresse dans ce travail de thèse et est destiné au développement d'architectures innovatrices telles que les Transistors à grilles multiples.

C'est ainsi qu'actuellement, le développement de nouveaux dispositifs fait l'Object d'énormes travaux de recherche guidés par l'ITRS et principalement menés par l'industrie de la micro-électronique et les différentes institutions de recherche. En effet, le développement de la technologie SOI a permis l'apparition de nouvelles géométries 3D de composants considérés comme alternatives envisageables aux remplacement des transistors MOSFETs traditionnels conçus sur substrats massifs, ces architectures multi-grilles " MUGFETs: *Multiple Gate MOSFETs*)" conçus sur substrat SOI paraissent être particulièrement prometteuses particulièrement en termes de contrôle électrostatique de canal. Ces architectures sont

considérées comme étant une sérieuse alternative pour maintenir la miniaturisation continue dans les dimensions des dispositifs imposées par la loi de Moore. Ces structures montrent des possibilités prometteuses en ce qui concerne le contrôle des effets canaux courts [31].

En effet l'ajout de grille autour du canal de conduction, non seulement favorise l'isolement de ce dernier permettant ainsi sa protection, mais offre aussi par la même occasion un meilleur contrôle électrostatique sur ce canal. C'est ainsi que sont apparus, au cours de cette décennie, de nouvelles structures ayant deux, trois, voire quatre grilles

### II-2. Les architectures multi-grilles

Les MUGFETS sont donc des transistors MOSFETs en technologie SOI fabriqués avec l'intention d'obtenir plusieurs configurations de grille et de ce fait avoir différents formes de grilles que nous pouvons même multiplier afin d'améliorer les performances par exemple en terme de courant du transistors.

Notons que c'est Suivant le nombre de grilles qui contrôle le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature des transistors Double-grille, le FinFET, le Triple-grille , le GAA à section carré ou même le GAA à section cylindrique que nous représentons en figure 2.5

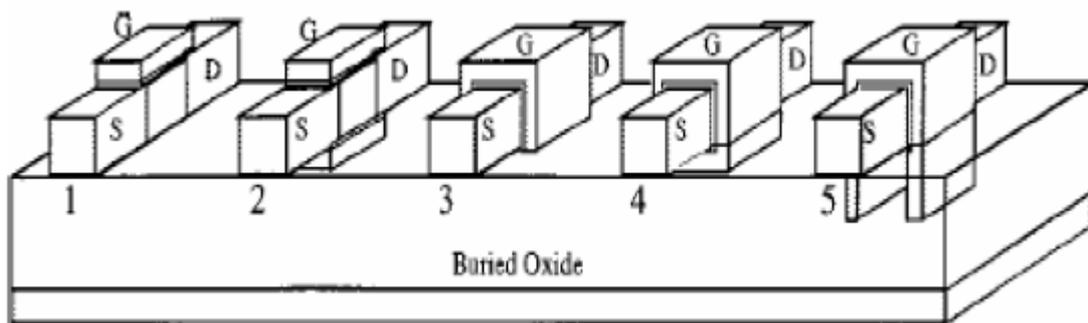


Figure 2-5: Structure de transistors MOSFET sur SOI pour différentes configurations de grille 1) Simple Grille, 2) Double grille, 3)Triple Grille, 4) Quadruple Grille et 5) Grille en Pi. [32]

Une coupe schématique de MOSFETs multigrilles est donnée au niveau de la figure 2.6

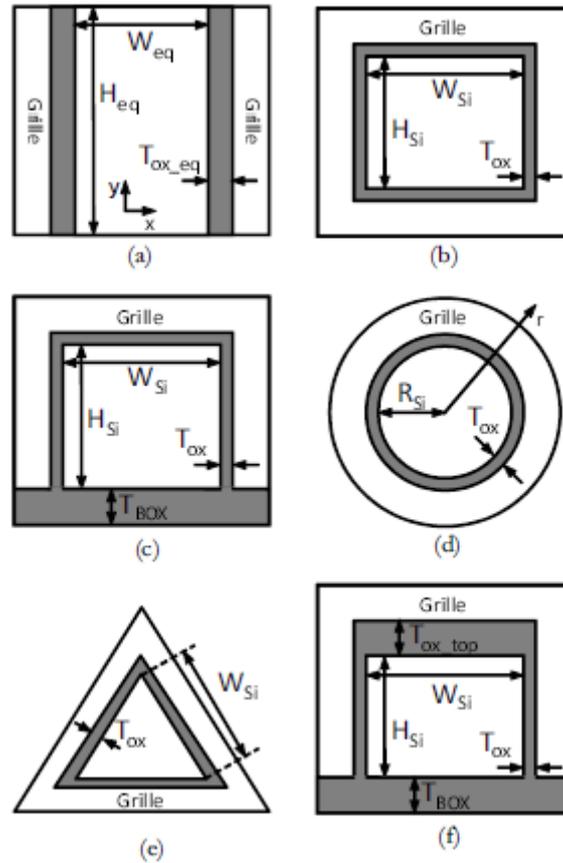


Figure 2.6: Schéma de coupe de différentes structures MOSFETs à grilles multiples: (a) Double Gate MOSFET, (b) Quadruple gate MOSFET, (c) Triple-Gate MOSFET, (d) GAA MOSFET, (e) Triangulaire MOSFET, (f) Double gate FINFET

L'intérêt principal des Multi-Grilles est l'excellent contrôle électrostatique du potentiel dans le canal, cela augmente donc le contrôle des grilles de charge dans ce dernier par le nombre et l'architecture des grilles. En effet, le développement des MUGFETs est bâti sur l'excellent contrôle des effets canaux courts. L'utilisation de substrats SOI pour la conception de ces nouveaux composants permet la réalisation de transistors MOSFET à plus fort pouvoir bloquant et surtout bien plus rapides. IL est bien établi que pour un transistor MOSFET conventionnel, le substrat est le siège d'un courant de fuite qui est principalement dû aux effets indésirables de percement volumique qui surviennent dès que la longueur du canal diminue et ceci pour atteindre des valeurs nanométriques inférieures ou égales à 50 nm. Dans un SOI-MOSFET, l'oxyde enterré constituant l'isolant généralement du SOI prend la place de la zone de percement. Cet oxyde enterré de faible épaisseur a bien évidemment une action bénéfique sur les SCEs [33] et permet aussi la réduction des capacités parasites favorisant la dynamique de l'inverseur CMOS. On peut aussi constater une amélioration de la

mobilité effective des grilles principalement dû au phénomène d'inversion volumique dans les MUGFETs.

### II-2-1. Transistor MOSFET à double grilles (Double-Gate MOSFET)

En considérant un SOI-MOSFET à grille unique, on note l'existence un champ électrique dans l'oxyde enterré d'un transistor SOI simple grille. Les lignes de champ électriques relient le drain et le silicium et traversent l'oxyde enterré augmentant le potentiel dans le silicium. Cet effet s'appelle " Induced Virtual Substrate Biasing effect DIVSB". L'ajout d'une seconde grille enterrée sous le silicium permet d'obtenir un MOSFET double grille ayant pour effet d'éliminer l'effet DIVSB car la grille enterrée va tout simplement couper les lignes de champ. Un deuxième canal s'établira à proximité de l'interface Si-SiO<sub>2</sub> de la grille enterrée ayant pour conséquence de doubler le courant de sortie du transistor en régime de forte inversion [34] .

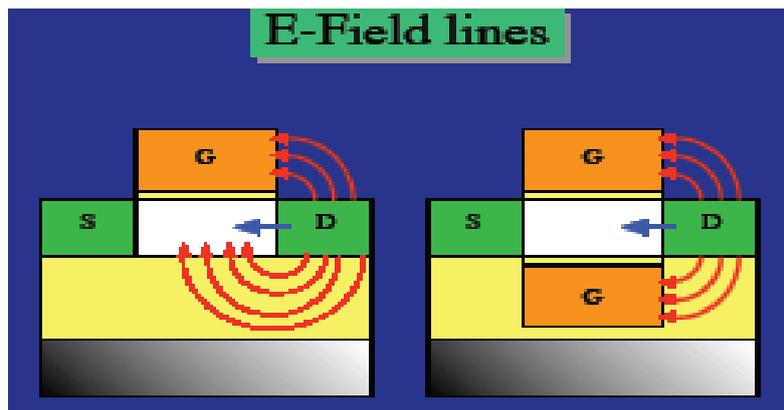


Figure 2.7: Lignes de champ électrique. [34]

Les DG-MOSFETs sont classées en fonction de la direction du champ de grille par rapport au substrat et de la direction du transport électronique. Chaque variante de DG-MOSFET possède ses particularités technologiques qui auront une influence sur leur propriété électrique. On distingue alors les transistors planaires les transistors verticaux qui ont un transport électronique perpendiculaire au plan de substrat et un champ de grille parallèle et une orientation inverse de celle des planaires, les 'quasi-planaires, où le transport électronique et le champ sont parallèles au plan de substrat qu'on appelle un FinFET (figure 2.7) . En outre, le DG MOSFET peut être symétrique ou asymétrique. Le terme symétrique implique l'utilisation du même matériau de grille et des épaisseurs d'oxydes de grilles identiques, dans le cas de DG-MOSFETs asymétriques les matériaux de grille ont différents travaux de sortie et les épaisseurs d'oxyde de différents.

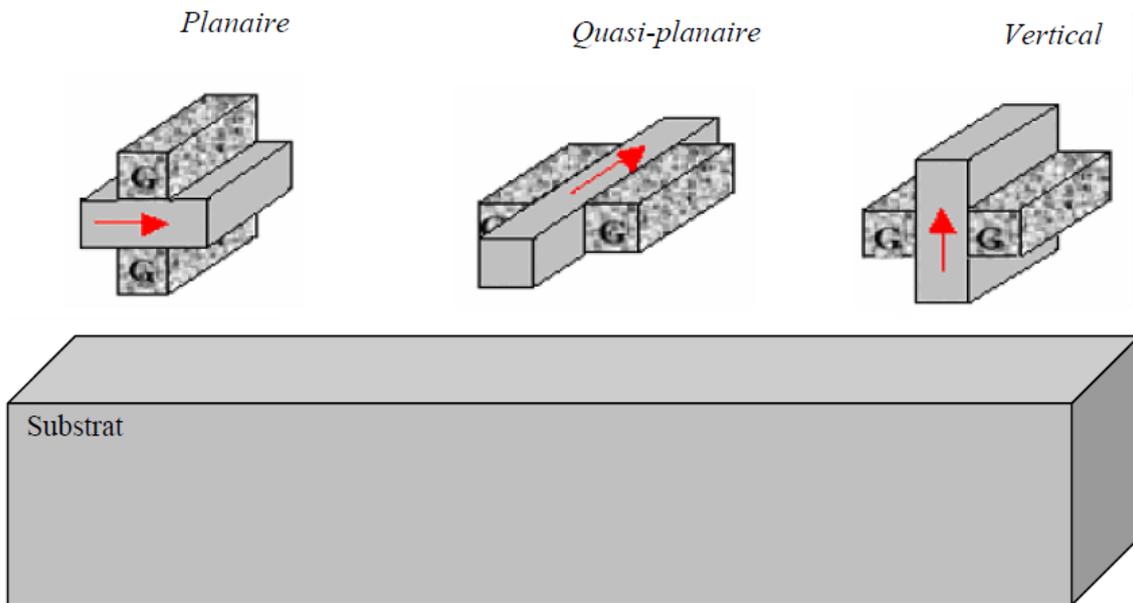


Figure 2-8: Présentation des DG-MOSFETs. Les flèches rouges indiquent l'orientation du transport.

[35]

### II-2-2. Le FinFET

Le FinFET est un dispositif 3D dont la structure se compose d'un film de Silicium vertical (très mince), en anglais appelé "Fin" (aillette ou aileron). La grille entoure les deux côtés du "Fin" ce qui permet la création d'un canal de chaque côté.

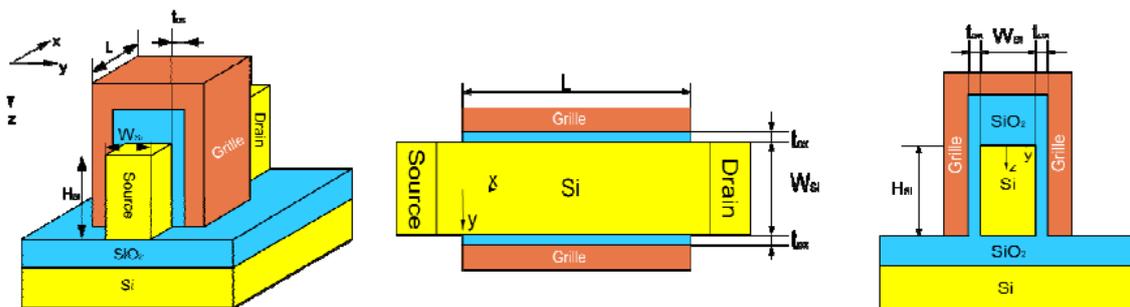


Figure 2-9 : (a) Structure 3D d'un transistor FinFET ; Sections horizontale (b) et verticale (c) du FinFET. [34]

La forme du film de silicium ressemble à un aileron (soit fin en anglais). C'est pourquoi ce transistor est appelé FinFET. La hauteur du Fin du transistor correspond à la largeur du canal d'un DG MOSFET. , alors que sa section horizontale est similaire a celle d'un DG- MOSFET. Par rapport au DG MOSFET, la fabrication du FinFET est plus compatible a celle du MOSFET bulk.

L'avantage principal du FINFET par rapport aux double-grille planaires est que les grilles sont auto-alignées et peuvent alors être fabriquées avec une seule lithographie et une seule étape de gravure. Ce transistor combine donc les hautes performances de l'architecture DGFETS et les processus de la fabrication classique des transistors à effet de champ.

Le contrôle du potentiel électrostatique dans le canal des MOSFETs triple grilles peut être amélioré par les deux structures et qui sont le  $\Pi$ -Gate et le  $\Omega$ -Gate. Ces deux transistors sont représentés à la figure 2.10.

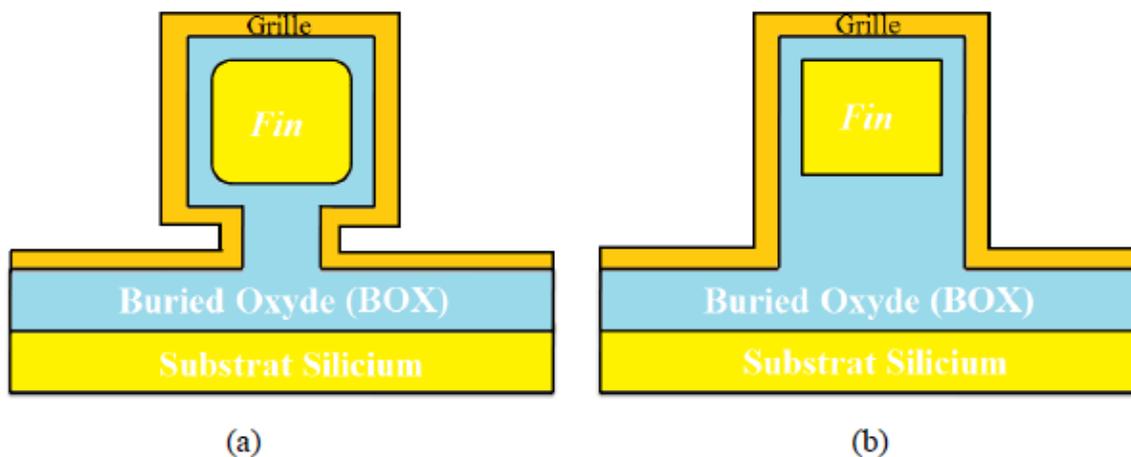


Figure.2.10 Schémas de coupes transversales : structure d'un  $\Omega$ -Gate (a) ; structure d'un  $\Pi$ -Gate (b).

### II-2-3. Le GAA MOSFET "surrounding gate MOSFETs"

Le transistor "quadruple-grille" qui a fait l'objet de nos travaux de thèse possède quatre grilles. Dans le cas des transistors à grilles enrobées le film de silicium est recouvert de grille sur toutes ses faces, d'où leur autre nom : "surrounding gate". Plusieurs études sont toujours en cours pour déterminer tous les avantages de ce type de composant.

Les deux structures nanométrique à section carrés et circulaire à grille enrobante GAA MOSFET font actuellement l'objet d'études intenses de simulation et de modélisation [36]. Dans le cas de ces dispositifs les effets quantiques sont pris en considération puisque les deux confinements structurel et électrique (produit par une grille carrée dans le dispositif quadruple-grille et par une grille circulaire dans une structure cylindrique) font de ces dispositifs (nanofils FET) des transistors quasi-1D, où le transport se produit dans un ensemble de modes de propagation faiblement couplés.

Faisant usage de technologies basées sur ces nouvelles géométries, la longueur du canal pourrait être réduite au-dessous des 22nm en respectant la dernière édition de l'ITRS [37]. À cet égard, leur capacité à réduire les effets canaux courts et la possibilité d'utiliser des canaux non dopés sont des caractéristiques essentielles pour la réalisation de ces dispositifs. Ce dernier, en particulier, est critique, car les effets d'impuretés aléatoires ne sont nullement négligeables dans les dispositifs nanométriques [38], [39]. Ces effets ont un impact direct sur des paramètres fondamentaux tels que la tension de seuil et le sous-seuil pente [38],[40] Les transistors GAA MOSFET font partie de la famille Silicon-On-Insulator (SOI), et présentent des caractéristiques uniques et prometteuses pour les futures technologies CMOS [41] avec un bon contrôle des effets SCEs, et DIBL.

### II-3. Avantage et inconvénients des transistors à grilles multiples

#### II-3-1. Avantages

Les obstacles technologiques ainsi que les limites principalement causés par la miniaturisation des transistors MOSFETs ont mené au développement et à la recherche de solutions technologiques adoptées par l'industrie de la microélectronique. Une des solutions a été consacrée au développement de nouvelles architectures, telles que les transistors à grilles multiples présentant de nombreux avantages comparés aux structures conventionnelles. En effet, l'un des plus importants avantages des MUGFETs est le contrôle de la grille sur les charges électrostatiques dans le canal de conduction.

En fait, l'idée d'ajouter de plus en plus de grilles au transistor repose principalement sur le fait que si l'épaisseur du film de silicium actif situé entre les différentes grilles est suffisamment faible, ainsi les grilles polarisées peuvent commander le volume global de silicium situé entre la source et le drain du transistor. La conduction s'effectuant de manière volumique et non plus surfacique [42], de ce fait le courant de sortie du transistor  $I_{DS}$  est plus important [43]. Étant donné que les grilles contrôlent plus fortement le canal de conduction du transistor on s'affranchit alors des effets canaux courts "SCEs" principalement liés à l'influence de la tension de polarisation drain/ source. On peut donc dire que le contrôle accru de charge dans le canal a pour conséquence l'amélioration des effets de canal court [41]. Enfin, les différentes grilles font office de bouclier contre les lignes de champs qui sont créées par la polarisation du drain du transistor et qui ont une influence sur la circulation des électrons.

## Chapitre II : Les Transistors à grille Multiples

L'amélioration du contrôle de grille sur le canal de conduction permet d'obtenir une plus faible conductance de sortie, permettant de réaliser un plus grand gain en tension considéré comme une caractéristique de grande importance pour les circuits analogiques. Ainsi, les performances sont nettement améliorées avec ces architectures multi-grilles émergentes. C'est pourquoi, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

### II-3-2. Inconvénients

L'un des inconvénients majeur de ces structures est l'accroissement des résistances des extensions source et drain. Aussi, vu que les dimensions de la zone active sont très petites "à moins de quelques dizaines de nanomètres", on s'interroge sur la physique du transport électrique dans ces dispositifs. De plus, Finalement, le point le plus délicat réside dans leur procédé de fabrication requérant la mise en œuvre de procédés extrêmement délicats.

Finalement, afin de mettre en évidence les avantages et inconvénients de telles architectures, un résumé comparatif des différentes technologies à grilles multiples est présenté au Tableau II-1 qui suit.

Structures	Avantages	Inconvénients
MOSFET conventionnel.	<ul style="list-style-type: none"> <li>▪ Procédés de fabrication bien maîtrisés</li> </ul>	<ul style="list-style-type: none"> <li>▪ Présence d'effets canaux courts.</li> </ul>
SOI-MOSFET partiellement déplété à simple grille.	<ul style="list-style-type: none"> <li>▪ Procédés de fabrication bien maîtrisés aussi</li> </ul>	<ul style="list-style-type: none"> <li>▪ Présence d'effets canaux courts.</li> </ul>
SOI-MOSFET totalement déplété à simple grille.	<ul style="list-style-type: none"> <li>▪ Complètement déplété</li> <li>▪ Absence de courant de substrat.</li> <li>▪ Résistance aux radiations</li> </ul>	<ul style="list-style-type: none"> <li>▪ Uniformité de l'épaisseur du silicium.</li> <li>▪ Champ dans l'oxyde enterré (effet du BOX appelé aussi DIVSB (Drain-Induced Virtual Substrate Biasing)).</li> </ul>
Double Grille planaire	<ul style="list-style-type: none"> <li>▪ Courant plus important</li> <li>▪ Bon contrôle du canal de conduction</li> <li>▪ Absence d'effet DIVSB</li> </ul>	<ul style="list-style-type: none"> <li>▪ Uniformité de l'épaisseur du silicium.</li> <li>▪ Faible épaisseur du silicium.</li> <li>▪ Alignement des deux grilles</li> </ul>
FinFET	<ul style="list-style-type: none"> <li>▪ Bon contrôle du canal de conduction</li> <li>▪ Procédés de fabrication proches de celui du MOSFET conventionnel.</li> <li>▪ Auto-alignement des grilles</li> <li>▪ Possibilité de fonctionnement en mode symétrique et en mode asymétrique</li> <li>▪ Possibilité de design en 3</li> </ul>	<ul style="list-style-type: none"> <li>▪ Lithographie difficile.</li> <li>▪ Uniformité de largeur</li> <li>▪ Petite largeur du film de silicium.</li> <li>▪ Effet de coins.</li> </ul>

	Dimensions	
Triple Grille	<ul style="list-style-type: none"> <li>▪ Courant plus important.</li> <li>▪ Procédés de fabrication proches de celui du MOSFET conventionnel.</li> <li>▪ Grilles auto-alignées.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Procédé de fabrication non-compatible avec le MOSFET bulk</li> </ul>
GAA	<ul style="list-style-type: none"> <li>▪ Excellent contrôle du canal de conduction</li> <li>▪ Effet de canal court très réduits</li> <li>▪ Absence d'effet de coins</li> </ul>	<ul style="list-style-type: none"> <li>▪ Procédé de fabrication non-compatible avec celui du MOSFET conventionnel.</li> </ul>
Nanofil MOSFET	<ul style="list-style-type: none"> <li>▪ Excellent contrôle du canal de conduction</li> <li>▪ Effet canaux courts très réduits</li> <li>▪ Courant plus important</li> </ul>	<ul style="list-style-type: none"> <li>▪ Faible diamètre du silicium nécessaire</li> <li>▪ Coût de fabrication important.</li> <li>▪ Problème de mismatch</li> </ul>

Tableau II-1: Principaux avantages et inconvénients des architectures MOSFETs émergentes

### II-4. Nouvelles lois de réduction d'échelle

Les modèles analytiques permettant de dimensionner les dispositifs massifs ont dû être adaptés pour décrire les nouvelles architectures multigrilles sur SOI. Il faut ainsi ajuster de nouveaux facteurs de formes ou longueurs caractéristiques pour optimiser les caractéristiques électriques et assurer l'immunité vis-à-vis des effets de canal court.

La diminution de la taille des composants microélectroniques principalement et quotidiennement dictée par la demande incessante de meilleures performances ne cesse de confronter ces dispositifs à des effets parasites tels que les effets canaux courts "SCEs" et le DIBL qui dégradent ainsi leurs performances. Ces deux effets néfastes sont dus à la pénétration de l'influence du champ du drain dans le silicium

Ainsi afin de continuer la réduction des dimensions de ces dispositifs, sans dégrader leur caractéristiques électriques, il faudrait impérativement respecter des règles de réduction d'échelle (*scaling*) qui consiste à trouver le meilleur rapport entre les différentes dimensions du transistor permettant de maintenir de bonnes performances tout en modifiant correctement les caractéristiques technologiques du dispositif. Dans le cas des nouvelles technologies, telles que les MUGFETs les règles de *scaling* doivent être aussi bien définies, ainsi les modèles analytiques qui ont permis de dimensionner les dispositifs massifs ont dû bien entendu être adaptés afin de décrire les nouvelles architectures multigrilles sur substrat SOI.

C'est ainsi que de nouvelles grandeurs caractéristiques telles que le facteur de forme  $\frac{L}{\lambda}$  ou les longueurs naturelles ( $\lambda$ ) ont été définies pour améliorer la résistance aux effets canaux courts et optimiser les caractéristiques électriques des dispositifs

## Chapitre II : Les Transistors à grille Multiples

La longueur naturelle ( $\lambda$ ) dépend essentiellement de la dimension du transistor et son expression analytique dépend alors de la structure du transistor SOI conçu. Cette grandeur a un sens physique indiquant la pénétration du champ du drain dans le film de silicium. Si  $\lambda$  est grande alors la pénétration du champ du drain dans le film de silicium est plus profonde et les SCEs sont alors plus importants. de ce fait Il faut donc réduire  $\lambda$  ce qui permettra alors l'élimination des effets canaux courts.

Structure	Longueur naturelle ( $\lambda$ )	
Simple SOI	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{\epsilon_{ox}}}$	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{\epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{2 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$
DG MOSFET	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}}}$	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{4 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$
GAA	$\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{4 \cdot \epsilon_{ox}}}$ (section rectangulaire)	$\sqrt{\frac{2 \cdot \epsilon_{Si} \cdot t_{Si}^2 \cdot \ln\left(1 + \frac{2 \cdot t_{ox}}{t_{Si}}\right) + \epsilon_{ox} \cdot t_{Si}^2}{16 \cdot \epsilon_{ox}}}$ (section circulaire)

Tableau II-2 Expressions de la longueur naturelle dans les différentes structures SOI [44]

La figure 2-11 qui suit présentée par Jean Pierre COLINGE permet d'indiquer l'épaisseur maximum de film de silicium nécessaire permettant d'éliminer les effets canaux courts.

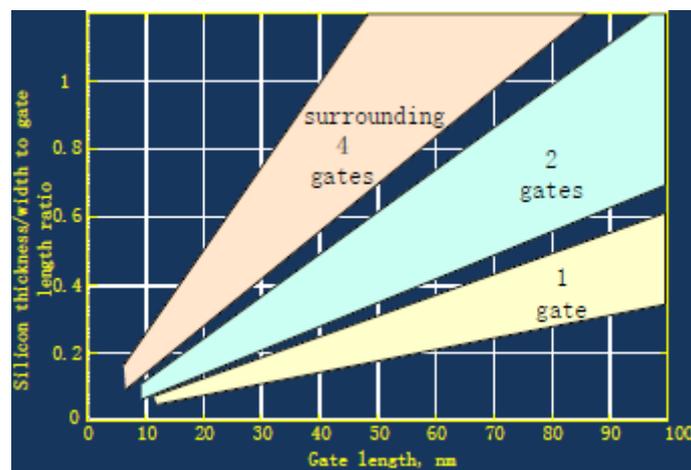


Figure 2-11: Rapport épaisseur du film de silicium maximum / la longueur de la grille du dispositif afin d'éliminer les effets canaux courts [45]

Notons bien que cette longueur naturelle permet aux concepteurs de dispositifs MOSFETs d'améliorer le comgrillement de ces derniers en évitant les effets canaux courts.

### II-5. Modes de fonctionnement des transistors à grilles multiples

Après avoir présenté brièvement les différentes structures MOSFETs à multiple grilles nous présentons quelques caractéristiques statiques des architectures multigrilles.

#### II-5-1. Etat passant

Le fait d'ajouter une grille se traduit par l'ajout d'un canal d'inversion en régime de forte inversion. De ce fait, le courant à l'état passant  $I_{on}$  croit lorsque le nombre de grilles augmente. Cependant, l'augmentation de  $I_{on}$  n'est en fait pas proportionnelle au nombre de grilles du transistor. En effet, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruplegrille. Par ailleurs, La transconductance  $g_m$  est aussi améliorée avec l'augmentation du nombre de grilles du transistor. La même conclusion que pour le courant de  $I_{on}$  du transistor permet de conclure que l'augmentation de la transconductance n'est pas proportionnelle au nombre de grilles. Par ailleurs, diminution de l'épaisseur du canal du transistor conduit à une réduction de sa transconductance [46].

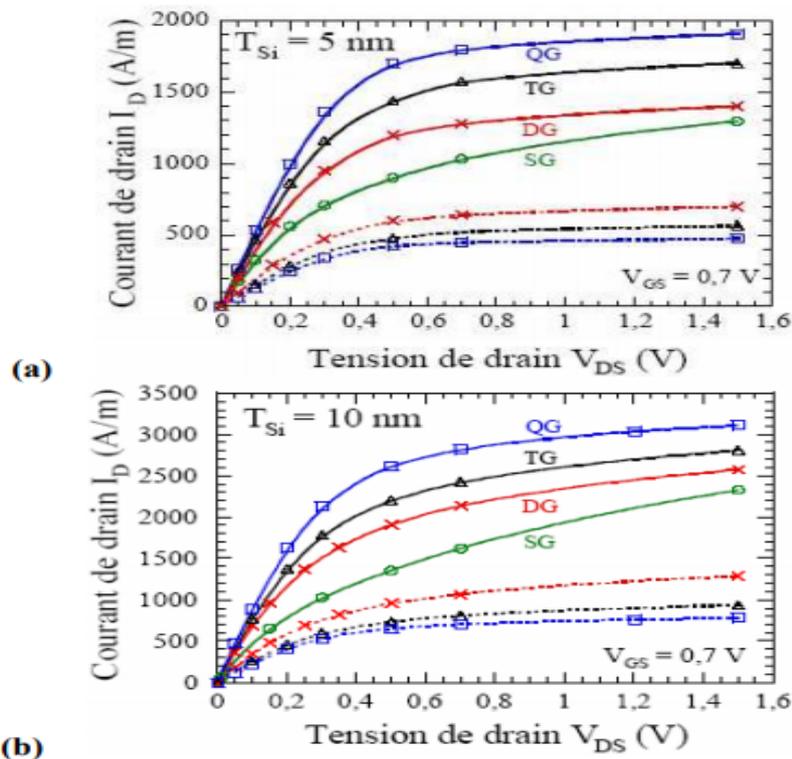


Figure 2-12 : Caractéristiques de sortie des multi-grilles En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruplegrille [46].

### II-5-2. Etat bloqué

L'un des principaux paramètres pour un transistor en état bloqué est l'inverse de la pente sous le seuil qui est fortement dégradée pour un transistor conventionnel. Cette pente est nettement améliorée, relativement au nombre croissant de grille du MOSFET, signe de l'amélioration de l'intégrité électrostatique.

Après avoir présenté les transistors à grilles multiples permettant un meilleur contrôle du canal par les grilles, on présente dans ce qui suit avec plus de détails les transistors à grilles enrobés qui ont fait l'objet de nos travaux.

Rappelons tout d'abord que ces transistors à grilles enrobées représentent une solution très efficace pour éliminer les effets canaux courts. Pour ce type de structure Le silicium est complètement enrobé par la grille. Ce qui a pour effet la suppression de l'effet de BOX. On distingue alors les transistors à grilles enrobés à section carré et à section cylindrique appelés GAA MOSFETs qui permettent d'avoir un comportement symétrique par rapport aux FinFET et Tri-Gate MOSFET. Le contrôle du canal est meilleur dans ce type de structure ainsi le SCE et le DIBL sont minimisés.

### II-6. Le MOSFET Quadruple grille

Les MOSFETs SOI ultra-minces peuvent être fabriqués sous différentes formes, ils peuvent être à simple ou à double grille (DG), où à grille enrobante qui peut être soit cylindrique soit rectangulaire (gate -all-around, GAA) MOSFET. Le MOSFET quadruple grille possède quatre grilles (QG) enrobant de ce fait le film de silicium. Cette structure représente la configuration la plus optimale offrant la meilleure contrôlabilité de la grille sur le canal de conduction du transistor. Les quadruple-grille incluent des structures telles que le CYNTHIA à section circulaire et le Surrounding Gate MOSFET en colonne à section carrée pouvant dans ce cas être planaires ou verticales.

Le quadruple grilles MOSFETs peuvent être groupées comme suit: symétriques, et asymétriques MOSFETs. Les Quadruple grille MOSFETs sont dits symétriques lorsque toutes les grilles ont la même travail de sortie du métal constituant la grille, même épaisseur d'oxyde de grille et une tension de polarisation appliquée à toutes les grilles, Une

configuration d'une structure à grille enrobée et section carrée symétrique est indiqué au niveau de la figure 2-13.

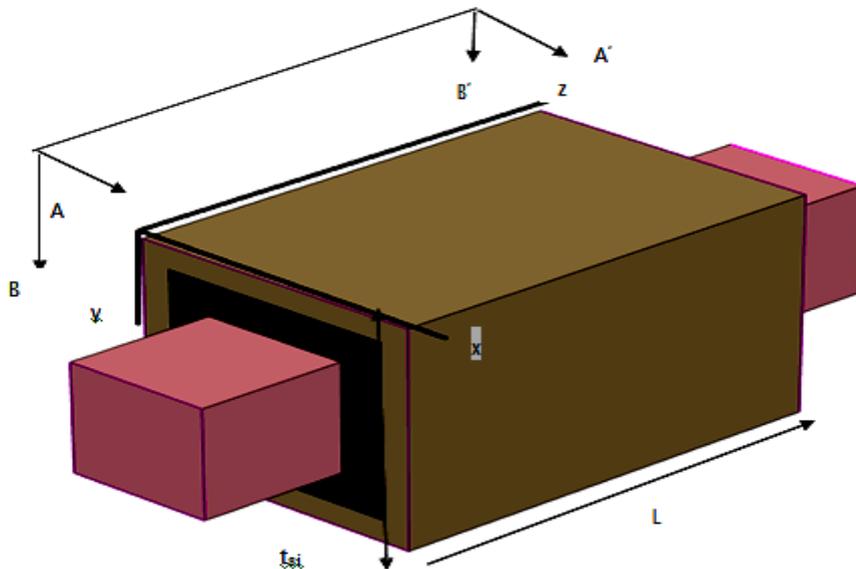


Figure 2-13: Schéma 3D d'un MOSFET à grille enrobée à section carrée. [47]

Pour un transistor MOSFET à quatre grilles asymétrique, les métaux constituant les grilles ont des travaux de sortie distincts. On peut donc conclure que la notion de symétrie, reflète principalement l'apparition ou la non-apparition de symétrie des distributions des potentiels électrostatiques au niveau des interfaces Si-SiO<sub>2</sub> du canal. Les dispositifs MOS à Quadruple grille ont été présentés avec un canal non dopé et dopé pour différentes applications. Le quadruple MOSFET non dopé est adapté aux applications numériques. Les MOSFET quadruples à canaux dopés ont trouvé leur place dans diverses applications telles que les applications de bande de base analogique, applications de mémoire, etc.

### II-6-1. Avantages de Quadruple grille MOSFET

- Le quadruple-gate MOSFET permet un meilleur contrôle de la SCE comparé au MOSFET à double grille
- Une meilleure commutation. Cela peut fournir un plus haut taux de courant  $I_{ON}$  à  $I_{OFF}$  que celle du MOSFET standard offrant ainsi de meilleures caractéristiques de commutation.
- Un courant de conduction supérieur- le courant ON-state peut pratiquement être le double de celui du dispositif à double-grille.

- Une transconductance supérieure et une plus grande linéarité du quadruple MOSFET de grille peut être obtenue en augmentant le niveau de dopage du canal du dispositif. On peut mentionner que les transistors MOS à quatre grilles dopées sont importants pour de nombreuses applications analogiques et RF [48]

### II-7. Différent types des transistors a grille enrobante GAA MOSFET

#### II-7-1. GAA nanofil

Pour les futures applications CMOS, les transistors gate-all-around (GAA) nanofil (NW) sont considérés comme candidats prometteurs grâce à un excellent contrôle de la grille sur le canal.



Figure 2-14: Développement de la structure du dispositif classique seule grille plane vers structure totalement GAA. [49]

La figure 2-14 montre le développement du dispositif à partir d'un transistor à structure plane vers un transistor GAA. Intel a récemment annoncé la production en masse des transistors triple-grille (Finfet) [50]. On s'attend alors à la production en masse des nanofils représenté sur la figure 2-15. et qui permettront un meilleur contrôle de la grille sur le canal ainsi que la suppression des effets de canal court.

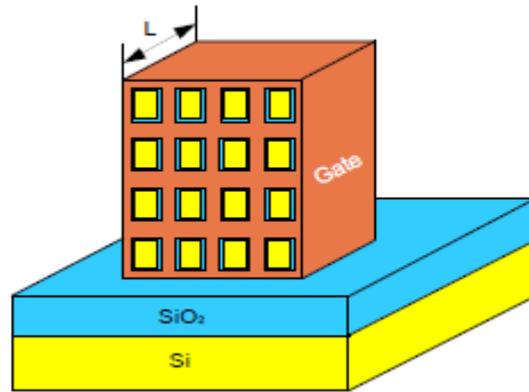


figure 2-15. :Le nanofil MOSFET

Afin d'augmenter le courant du transistor, plusieurs Fins peuvent être mis en matrice ce qui aura pour conséquence d'augmenter l'efficacité de l'utilisation de la surface. Aussi la dimension de la section du silicium étant petite ainsi le contrôle de la grille est alors renforcé.

### II-7-2. Transistor nanométrique a grille enrobante GAA MOSFET

Le GAA MOSFET (gate-all-around) [51], [52] est d'un concept similaire à celui du FinFET, sauf que dans ce cas la grille entoure la région de canal sur tous ses côtés. Selon sa conception, le GAA MOSFET à section rectangulaire peut avoir deux ou quatre grilles efficaces. La Figure 2-16 montre la structure du dispositif d'une quadruple grille MOSFET et la figure 2-17 montre la structure d'un GAA à grille cylindrique.

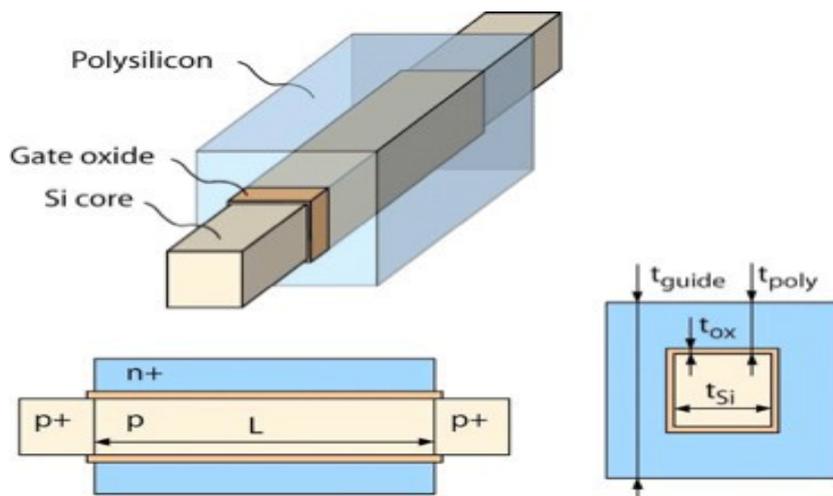


Figure 2-16: Structure de dispositif MOSFET Quad-gate. [53]

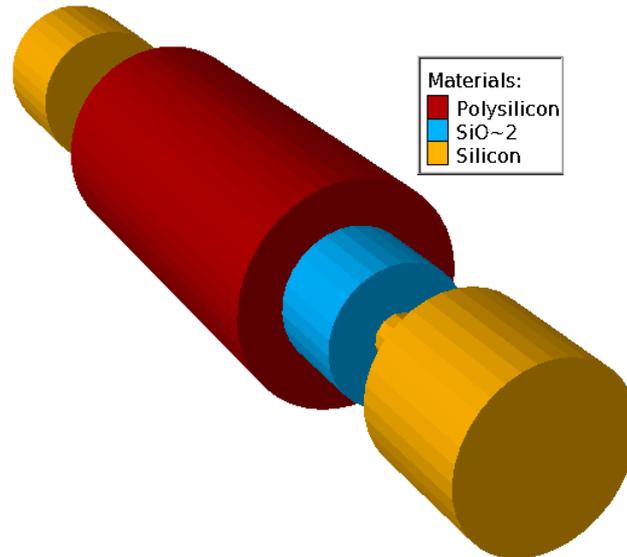


Figure 2-17 : Structure de dispositif MOSFET cylindrique. [54]

Dheeraj Sharma et Santosh Kumar Vishvakarma [55] ont tiré une nouvelle analyse modèle potentiel 3-D dans le subliminale et la région de forte inversion de la GAAMOSFET Quadruple. Ils ont obtenu la distribution du potentiel dans le sous-seuil et la région de forte inversion de la région de canal d'un transistor MOS de QGAA en résolvant simultanément l'équation de Laplace 3-D, et des équations de 3-D Poisson. Ils avaient pris la fonction de distribution potentiel pour être parabolique le long de l'axe z dans le sens vice de canal de- et adapté de manière appropriée avec les résultats du simulateur de dispositif 3-D après examen de longueur caractéristique du dispositif de z-dépendu dans le régime subliminale. Pour une bonne évaluation des effets de canal court (SCE), ils en outre électrostatiques près de la région de source modifiée et la région de drain.

### II-8. Différent architecture du GAA MOSFET

Le (GAA) MOSFETs est une architecture MOSFET bien avancé. Dans ce cas le canal de conduction est totalement entouré par la grille. Trois différentes formes de différentes section sont représentées en figure II.5. Les GAAs MOSFETs sont d'excellents dispositifs, en termes de SCE, DIBL, pente sous seuil et le rapport  $I_{on}/I_{off}$ .

Les principaux inconvénients de ces transistors consistent aux difficultés des procedes de fabrication. Cette fabrication est souvent basée sur la réalisation de nanofils de silicium. Dans ces dispositifs, le canal agit en tant que noyau du dispositif, et suivie par l'oxydation de la

grille et le dépôt de matériau. La section canal est également la partie la plus importante pour le fonctionnement.

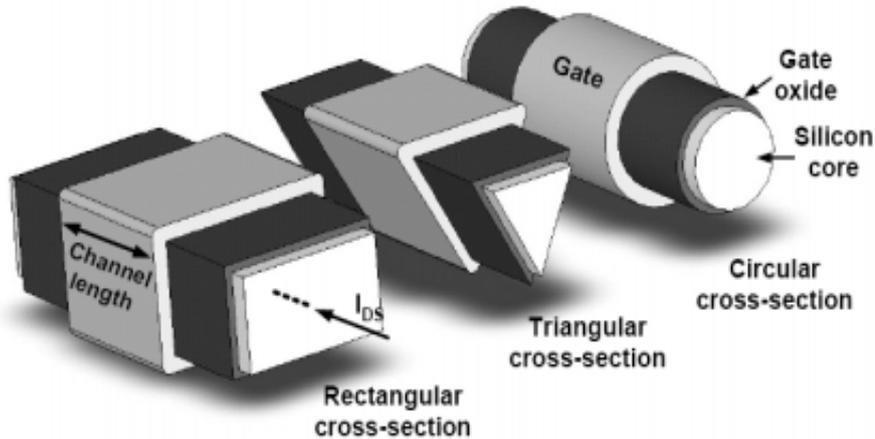


Figure 2-18 : Trois architectures du transistor GAA MOSFET avec des sections différentes [56]

### II-8-1. Le transistor GAA MOSFET Cylindrique

Le GAAMOSFET est considéré comme l'un des dispositifs les plus prometteurs pour la miniaturisation en dessous de 50 nm [57]. Et parmi les différentes architectures du GAA : la structure cylindrique qui entoure complètement le canal d'une façon cylindrique, illustré dans la figure 2-19 et qui donne un excellent contrôle de la grille pour réduire les effets canaux courts et qui néglige les effets de coin qui apparaissent dans les GAA rectangulaire.



Figure 2-19 : Cylindrique GAA MOSFET.

### II-8-2. Le transistor GAA MOSFET rectangulaire

L'architecture du GAA MOSFET à section rectangulaire est basée sur l'architecture du transistor triple grilles soit le SOI-tri-gate FINFET auquel on a ajouté une quatrième grille permettant de réaliser le quadruple grille. [58]. Un schéma de coupe permet de mettre en évidence la section rectangulaire de cette structure [59]

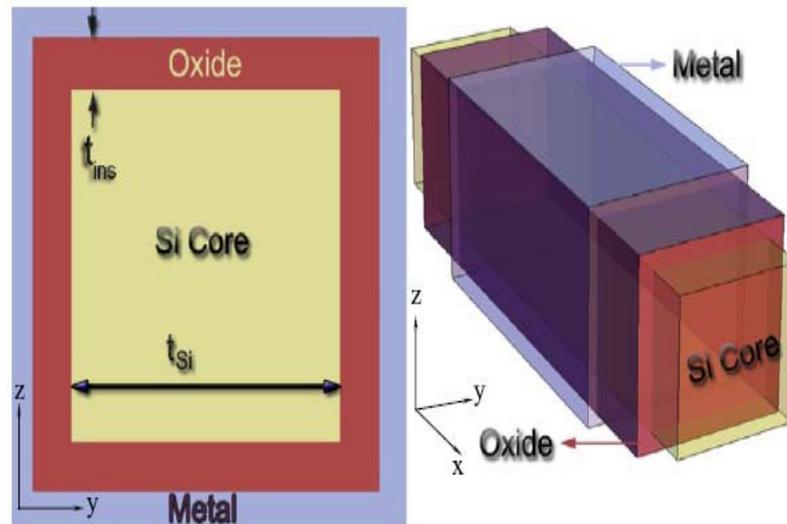


Figure 2-20 : Coupe et vue en 3D du transistor GAA MOSFET rectangulaire. [63]

### II-8-3. Le transistor GAA MOSFET triangulaire

Le GAA MOSFET à section triangulaire [60], [62], [64] présente un canal de section sous forme d'un triangle, c'est ainsi que ce transistor tire son nom de la section de son canal qui est sous forme d'un triangle.

La figure 2-21 permet de présenter un GAA à section triangulaire.

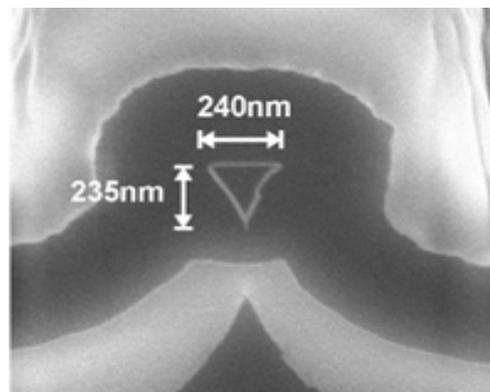


Figure 2-21 : Images FIB-SEM de coupe d'un GAA MOSFET triangulaire. [65]

#### II-8-4. Le transistor GAA MOSFET pentagonal

Le transistor GAA MOSFET pentagonal est illustré sur la figure III. On remarque alors sur une coupe 2D la forme de la section du canal qui a une forme d'un pentagone soit alors une forme géométrique à cinq cotés.

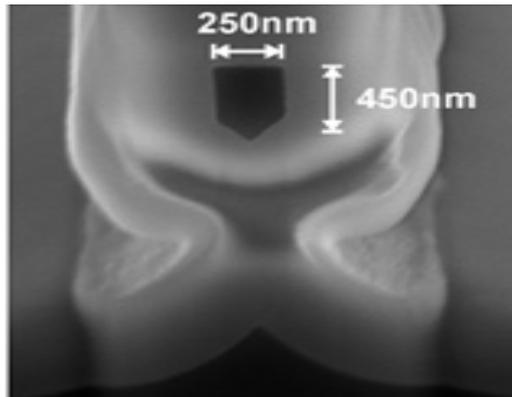


Figure 2-22: Images FIB-SEM de coupe d'un GAA MOSFET pentagonale. [65]

Les étapes simplifiées de réalisation des différentes structures GAA que nous venons de citer sont résumées sur le schéma de la figure 2-23.

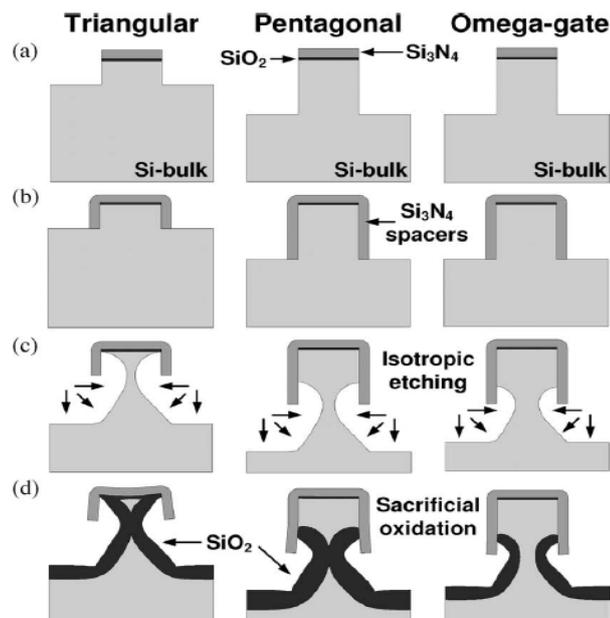


Figure 2-23: Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et  $\Omega$ -gate. [65]

### II-8-5. Le transistor GAA MOSFET à canal unique

Le transistor GAA MOSFET à canal unique noté tout simplement GAA MOSFET est représenté sur la figure 2-24 Il a une architecture relativement simple conduisant à une à des calculs plus simples que celles effectués pour les transistors multi-canaux (MBCFET).

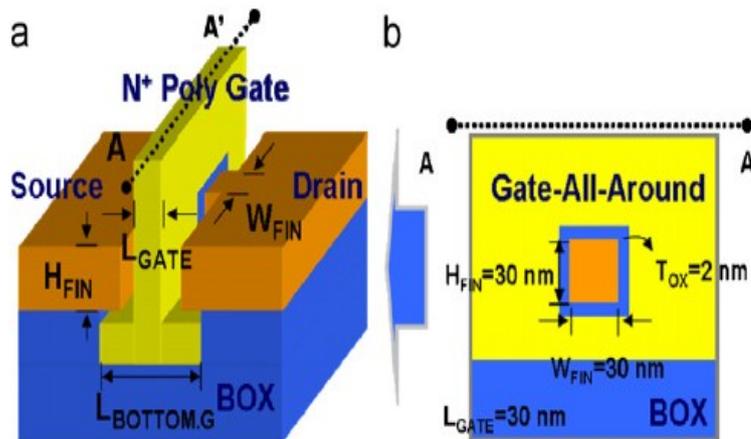


Figure 2-24 : Coupe et géométrie 3D du transistor GAA MOSFET à section carré et à canal unique . [66]

### II-8-6. Le transistor GAA MOSFET à deux canaux (TSNWFET)

Le transistor GAA MOSFET à deux canaux est aussi appelé GAA à double canaux (TSNWFET) [67-68]. Ce dispositif, comme son nom l'indique, possède deux canaux distincts. Un exemple de structure TSNWFET est donnée sur la figure 2-25.

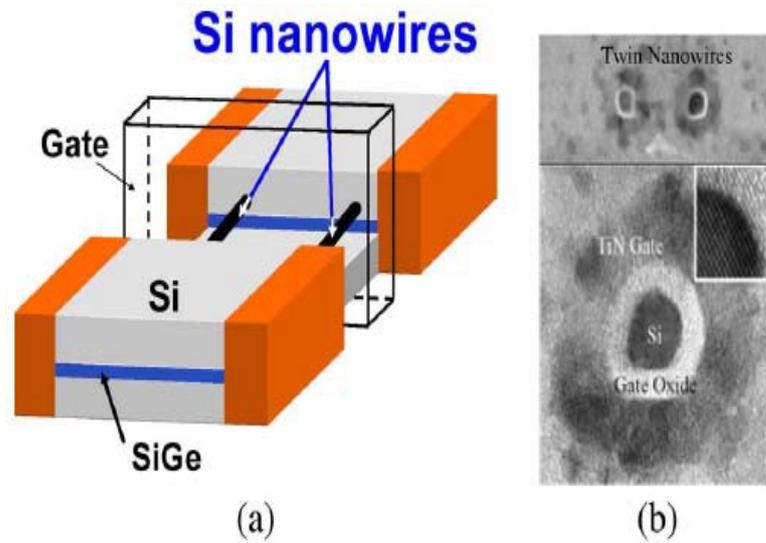


Figure 2-25 : (a) schéma 3D du transistor GAA TSNWFET (b) images TEM de la coupe du TSNWFET. [69]

### II-8-7. Le transistor GAA MOSFET à canaux multiples (MBCFET)

Le transistor GAA MOSFET à canaux multiples est aussi appelé Multi canal (Multi-channel [70] ou multi-bridge Channel MOSFET (MBCFET) [71-72]. Dans ce type de dispositif, le transistor possède au moins trois canaux. Un exemple de MOSFET à canaux multiple est représenté sur la figure 2-26.

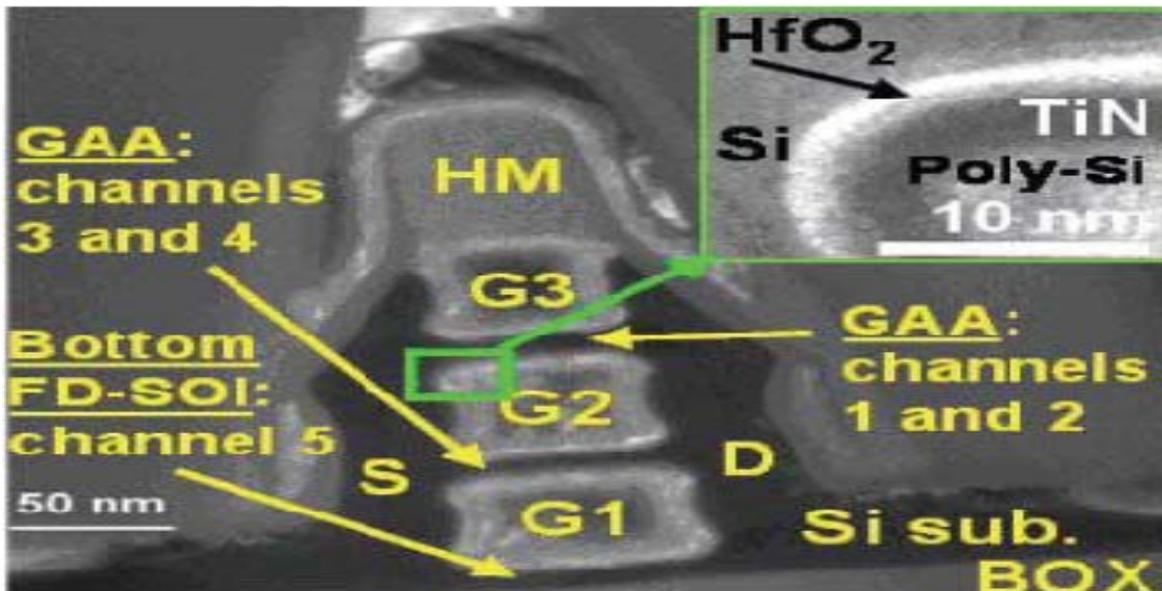


Figure 2-26: image TEM de la section du transistor n-MOSFET multicanaux. [73]

### II-8-8. Le transistor GAA MOSFET vertical

Les études concernant l'intégration des transistors GAA MOSFETs ayant une orientation verticale sont beaucoup moins nombreuses que celles proposées pour l'intégration horizontale.

La première architecture verticale a été proposée par un groupe de recherche de Toshiba à travers le dispositif appelé Cylindrical Thin Pilar Transistor (CYNTHIA) [74], [75]. Dans ces dispositifs, le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat. la figure 2-27 illustre un structure d'un transistor d'un canal vertical [76], [77].

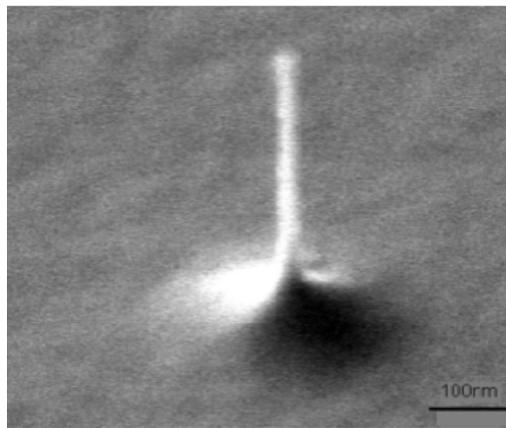


Figure 2-27 : Image SEM d'un transistor vertical avec une épaisseur de ~20nm et une hauteur d'1 $\mu$ m. [77]

#### II-8-8-1. Avantage des architectures verticales

Les MOSFETs à architecture verticale présente de nombreux avantages comparés à l'architecture horizontale ou planaire, notamment par la simplicité d'intégration de la grille qui entoure le canal de conduction et qui se résume par un simple dépôt du matériau de grille où l'épaisseur déposée représente la longueur de grille du composant, donc il permet de relaxer les contraintes pour la structuration de la longueur de grille pour les nœuds technologiques futurs, à l'inverse pour l'intégration horizontale où cette dernière est limitée par la résolution des équipements lithographiques par contre l'intégration verticale est dans la possibilité d'augmenter sensiblement la densité d'intégration des MOSFETs pour la même superficie, l'essence même de la loi de Moore [77]

### II-8-9. Les transistors GAA MOSFETs à base de matériaux III-V

**II-8-9. Les transistors GAA MOSFETs à base de matériaux III-V**

**II-8-9-1. Les composés semi-conducteurs III-V**

(Ga, As.....) et permettent de réaliser des composés ternaires (InGaAs, InGaSb), et même Les composés semi-conducteurs III-V sont composés du groupe III (Ga, In, Al..) , des alliages quaternaires (InAlGaP). Ces composés III-V ont des masses efficaces beaucoup plus faibles et donc des mobilités des électrons et des trous plus élevés que celle du

	Si	Strained Si	Ge	GaAs	In <sub>0.53</sub> Ga <sub>0.47</sub> As	InAs	GaSb	InSb	InP
$\mu_e$ (cm <sup>2</sup> /Vs)	400	1,000	3,900	8,500	8,000	20,000	3,000	77,000	5,400
$\mu_p$ (cm <sup>2</sup> /Vs)	160	240	1,800	400	300	500	1,000	850	200
$E_g$ (eV)	1.12	1.12	0.66	1.42	0.72	0.36	0.73	0.17	1.35

Table II-3. électron mobilité ( $\mu_e$ ) , trou mobilité ( $\mu_p$ ), et la bande interdite ( $E_g$ ) pour les matériaux III-V.[78]

Cependant, ces matériaux à mobilité élevée présentent également des inconvénients tels que de plus faible densité d'états, des bande interdite plus faible et des constantes diélectriques plus importantes que celle du silicium [79].

L'utilisation de ces matériaux III.V semble donc être une solution assez prometteuse pour les différentes applications alliant basse consommation de puissance et haute fréquence. En effet ces transistors bénéficient de très bonnes propriétés de transport, et ceci surtout sous de faible condition de polarisation des matériaux III-V. En effet, le temps de transit des porteurs de charge étant faible assure de bonnes performances en fréquence. D'autre part la topologie MOSFET permet de limiter les courants de fuite tout en améliorant le rapport d'aspect. Néanmoins, notons que par manque d'une interface de bonne qualité entre l'oxyde et le matériau III.V, la progression de la technologie MOSFET III.V a été limitée . Au début des années 2000 la technique ALD fut introduite pour le dépôt des oxydes à haute permittivité " high k" sur matériaux III.V , ce qui a par conséquent permis une avancé sur ces architectures.

**II-8-9-2. InGaAs GAA MOSFETs**

La figure 2-28 présente une Image SEM d'un transistor GAA MOSFETs en technologie 20nm à base de matériau III.V qui est dans ce cas l'InGaAs.

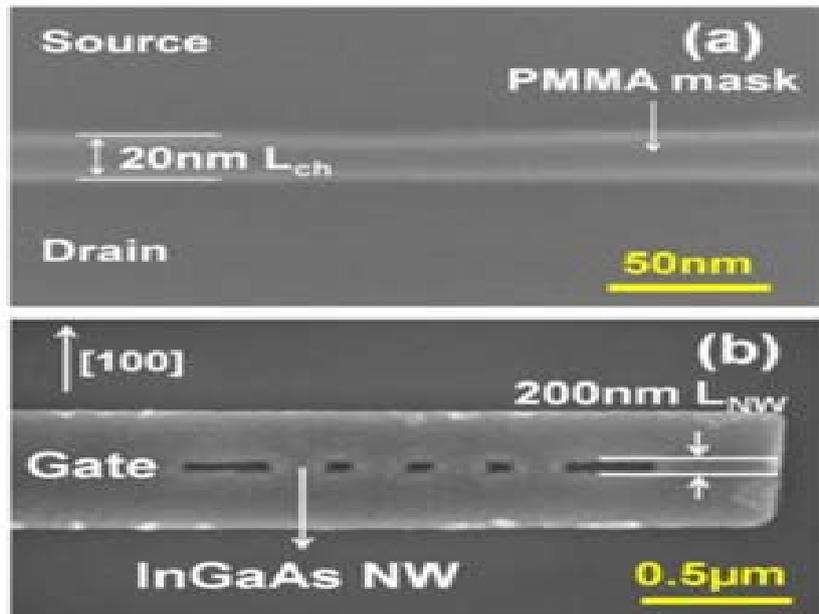


Figure 2-28 : image SEM 20nm InGaAs GAA MOSFET [80]

### II-9. Modélisation du courant du GAA MOSFET

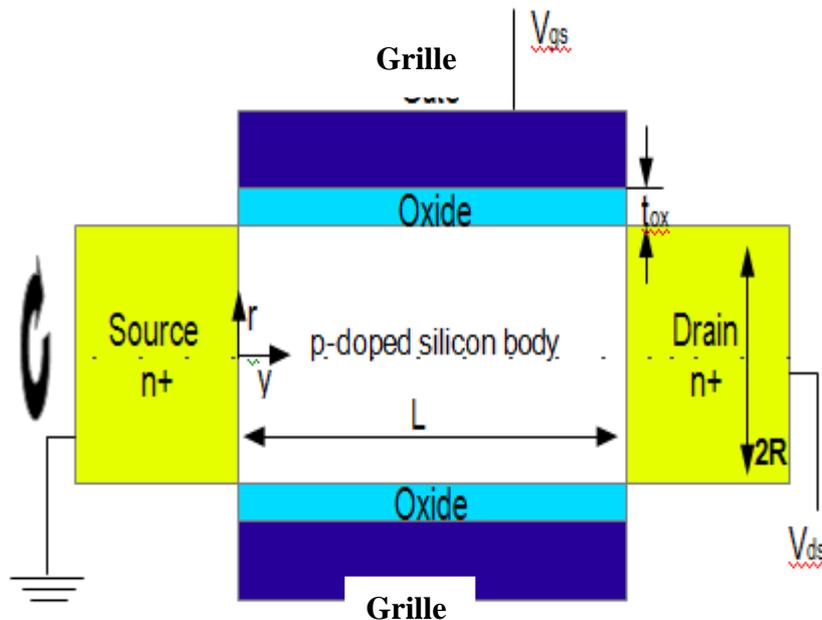


Figure 2-29 : Coupe 2D du GAA MOSFET Cylindrique.

La coupe transversale d'un GAA MOSFET à canal N, à structure cylindrique est représentée sur la figure 2-29.  $R$  est le rayon du corps cylindrique de silicium et  $V_{gs}$  est la tension appliquée à sa grille. Suite à l'approximation progressive du canal (GCA), la distribution de potentiel électrostatique dans le canal de silicium peut être décrite par l'équation de Poisson telle que [81]:

$$\frac{1}{r} \frac{\partial}{\partial x} \left( r \frac{\partial(\varphi(r, z))}{\partial r} \right) + \frac{\partial^2(\varphi(r, z))}{\partial^2 z} = \frac{qN_A}{\epsilon_{Si}} \quad \text{II. 1}$$

Où  $N_A$  représente le dopage du canal,  $\epsilon_{Si}$  est le constant diélectrique du silicium,  $q$  est la charge de l'électron,  $\varphi(r, z)$  est la distribution de potentiel électrostatique dans le canal cylindrique (figure 2-30),  $r$  est la distance dans la direction radiale, et  $z$  est la distance le long du canal. La solution de l'équation de Poisson 1-D a une forme parabolique. En supposant que le profil de potentiel est parabolique dans la direction verticale du canal [82], le potentiel de surface est donné par.

$$\varphi_S(z) = A e^{\lambda z} + e^{-\lambda z} - \frac{\beta}{\lambda^2} \dots \quad \text{II. 2}$$

$$\varphi_{S,min} = 2\sqrt{AB} - \frac{\beta}{\lambda^2} \quad \text{II. 3}$$

où  $\varphi_{S,min}$  représente les minima de potentiel de surface.

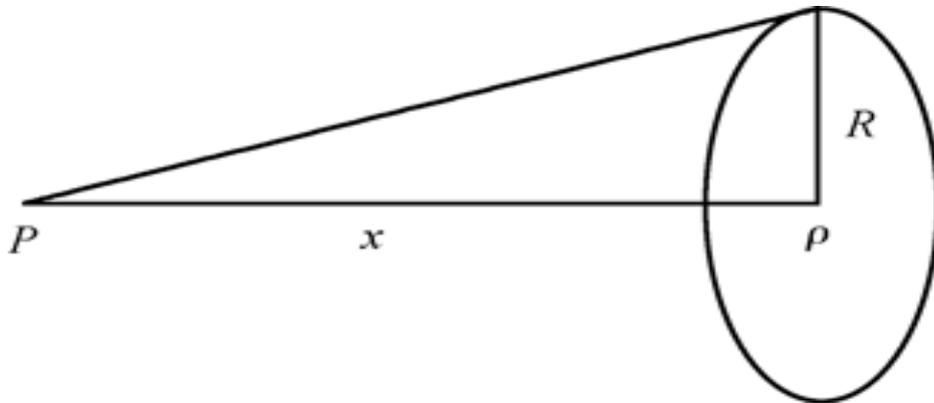


Figure 2-30 : Calcul du potentiel dû à une plaque uniformément chargée.

### II-9-1. L'incorporation de l'effet de champ

La capacité parasite  $C$  de la grille est donnée par [83], [84]

$$C = C_{of} + C_{ov} + C_{side} + C_{if} \quad \text{II. 4}$$

Les charges induites ( $Q_{D/S}$ ) en raison des capacités parasites de grille dans les régions de source / drain sont estimés par [85]:

$$Q_{D/S} = CV_P \quad \text{II. 5}$$

Où  $V_p = V_{BI} - V_{GS} + V_{FB}$  au niveau de la source et  $V_p = V_{BI} + V_{DS} - V_{GS} + V_{FB}$  au niveau du drain,  $V_{FB}$  est la tension de bande plate. Maintenant, pour les calculs simplifiés, nous trouvons l'efficacité de charge ( $Q_{eff}$ ) dans une ouverture cylindrique de rayon  $r$  (identique à celle du rayon du canal) dans les régions de source / drain, comme indiqué ci-dessous.

$$Q_{eff} = \frac{\text{Volume du Cylindricque Source/Drain}}{\text{Total Volume du Source/Drain}} Q$$

$$= \frac{\pi r^2 Q_{D/S}}{4(H_g + t_{ox} + r)(W_g + t_{ox} + r)} \quad \text{II. 6}$$

La densité de charge ( $\rho$ ) d'un disque infinitésimale et donnée par

$$\rho = \frac{Q_{eff}}{L_{SD}} \quad \text{II. 7}$$

Où  $L_{sd}$  c'est la longueur de la région source / drain représenté sur la figure II-27. Le Potentiel à une distance  $x$  (point P) en raison d'un disque avec une densité de charge ( $\rho$ ) représentée sur la Figure 2. 28 est donnée par :

$$V = \frac{1}{4\pi\epsilon_0} \int_0^R \frac{\rho(2\pi r dr)}{\sqrt{r^2 + x^2}} = \frac{\rho}{2\epsilon_0} (\sqrt{R^2 + x^2} - x) \quad \text{II. 8}$$

En divisant la zone / drain source en disques infinitésimalement minces d'épaisseur  $dx$ , nous pouvons trouver le potentiel efficace dans le canal à une distance  $x$  (Point P) en raison de charges induites dans les régions de source / drain représentés sur la Figure. 2.31.

$$V(x) = \frac{\rho}{2\epsilon_0} \int_{z+L_{SD}/2}^{z+L_{SD}/2} (\sqrt{R^2 + x^2} - x) dx \quad \text{II. 9}$$

L'évaluation de l'équation ci-dessus conduit à la valeur de  $v(x)$  qui peut alors s'exprimer par:

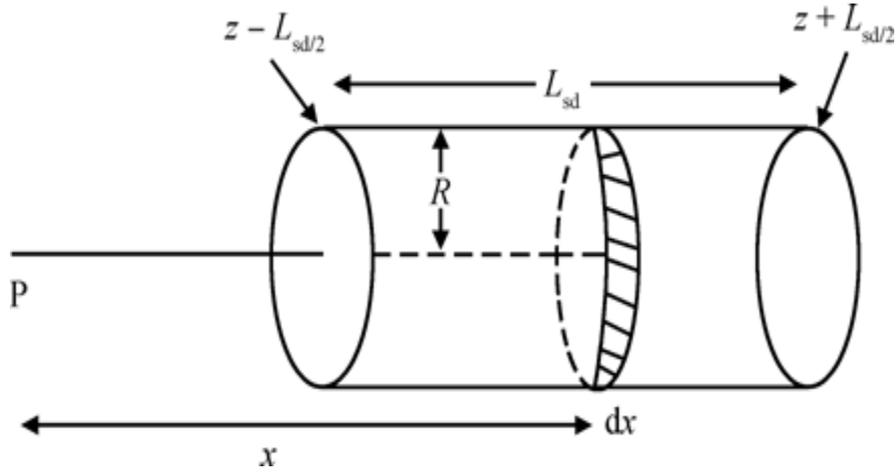


Figure 2-31 : géométrie cylindrique.

$$V(x) = \frac{\rho}{4\epsilon_0} \left[ (z + L_{SD}/2) \sqrt{R^2 + (z + L_{SD}/2)^2} - (z - L_{SD}/2) \sqrt{R^2 + (z + L_{SD}/2)^2} + \right. \\ \left. R^2 L_G \frac{(z + L_{SD}/2) \sqrt{R^2 + (z + L_{SD}/2)^2}}{(z - L_{SD}/2) \sqrt{R^2 + (z + L_{SD}/2)^2}} \right] \quad \text{II-10}$$

Pour déterminer le potentiel de surface, le potentiel  $V(x)$  est ajouté au potentiel de surface donné par

$$\phi'_s(z) = A e^{\lambda z} + e^{-\lambda z} - \frac{\beta}{\lambda^2} + [V(z)|_{\text{source}} + V(L - z)|_{\text{drain}}] \quad \text{II. 11}$$

où :  $V(z)|_{\text{source}}$  est le potentiel du canal qui dépend des charges dans la région de la source et  $V(L - z)|_{\text{drain}}$  est le potentiel du canal qui dépend des charges dans la région du drain. Aussi, le potentiel de surface minimale modifiée peut être donnée par :

$$\phi'_{s,\min} = 2\sqrt{A B} - \frac{\beta}{\lambda^2} + [V(z)|_{\text{source}} + V(L - z)|_{\text{drain}}] \quad \text{II. 12}$$

### II-9-2. Modélisation du courant dans les GAA cylindrique

La densité spatiale de charge d'inversion est donnée par

$$Q_{inv} = -q n_i \exp\left(\frac{\phi(r, z) - V}{V_T}\right) \quad \text{II. 15}$$

Où :  $V_T = kT/q$  est le potentiel thermique et  $V$  est le potentiel de fermi dans le canal obtenu par l'intégration de la densité spatiale tout a long de l'épaisseur du film de silicium (avec un rayon  $r = R$ ).

$$Q_S = \int_{-R}^R n_{inv} dr = -2n_i \int_0^R \exp\left(\frac{\varphi_S(z) - V}{V_T}\right) r dr \quad \text{II. 16}$$

La charge d'inversion de canal par unité longueur de grille est donnée par

$$Q_S = 2\pi q n_i \int_0^R \exp\left(\frac{\varphi_S(z) - V}{V_T}\right) r dr \quad \text{II. 17}$$

En supposant que  $\varphi(r, z) = \varphi(z)$ , on peut alors écrire:

$$Q_S = 2n_i \int_0^R \exp\left(\frac{\varphi_S(z) - V}{V_T}\right) dr = 2n_i \exp\left(\frac{\varphi_S(z) - V}{V_T}\right) R \quad \text{II. 18}$$

Et la charge d'inversion s'exprime alors par

$$Q_1 = -2\pi q n_i \frac{R^2}{2} \exp\left(\frac{\varphi_S(z) - V}{V_T}\right) = -\pi q n_i R^2 \exp\left(\frac{\varphi_S(z) - V}{V_T}\right) \quad \text{II. 19}$$

Cette charge d'inversion tenant compte des effets des champs est donnée par:

$$Q_1 = -\pi q n_i R^2 \exp\left(\frac{\varphi'_{S,\min} - V}{V_T}\right) \quad \text{II. 20}$$

Le courant d'électron a long du canal d'un grille cylindrique enrobante MOSFET est donnée par [84], [86] :

$$I_{DS}(z) = \int_0^R 2\pi R J(r, z) dr \quad \text{II. 21}$$

La conduction subliminale est dominée par la diffusion du courant et est donné par

$$J(r, z) = -q\mu_N n_{\min}(r, z) \frac{dV(z)}{dz} \quad \text{II. 22}$$

Où 
$$n_{\min} = n_i \exp\left(\frac{\varphi'_{S,\min} - V}{V_T}\right)$$

En remplaçant la valeur de la charge d'inversion dans l'équation II.22,  $I_{DS}(z)$  est s'exprime par:

$$I_{DS} = \pi q \mu_N n_i R^2 \frac{dV(z)}{dz} \exp\left(\frac{\phi'_{s,\min} - V}{V_T}\right) \quad \text{II. 23}$$

L'intégration de l'équation ci-dessus le long du canal et l'application des conditions aux limites à la source  $V(0) = 0$  et au drain  $V(L) = V_{DS}$ , permettent d'exprimer le courant subliminale qui est tel que:

$$I_{DS} = \frac{\pi R^2}{L} q \mu_N n_i \exp\left(\frac{\phi'_{s,\min}}{V_T}\right) V_T \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad \text{II. 24}$$

### II-9-3. Modélisation du courant du GAA à section rectangulaire

La figure 2-29 illustre une coupe 3D du canal d'un GAA rectangulaire

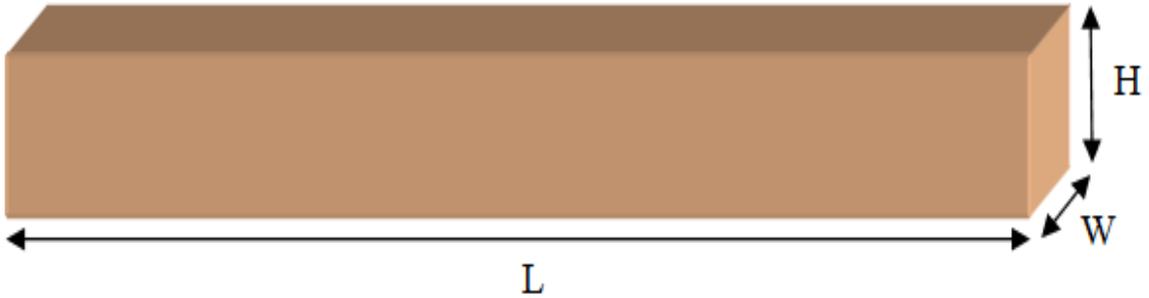


Figure 2-32 : Coupe 3D du canal d'un GAA rectangulaire.

En considérant cette fois-ci une section rectangulaire l'équation 2-32 permet de donner une nouvelle expression du courant telle que:

$$I_{DS} = \frac{WH}{L} q \mu_N n_i \exp\left(\frac{\phi'_{s,\min}}{V_T}\right) V_T \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad \text{II. 25}$$

### II-10. Conclusion

Nous avons pu présenter dans ce chapitre, l'essentiel des effets et problèmes technologiques limitant l'évolution de la technologie CMOS. Nous avons alors de ce fait souligné les principales solutions technologiques envisagées, Nous avons alors présenté les transistors MuGFETs. En effet, les transistors à effet de champs à grilles multiples ont émergé comme étant les candidats prometteurs permettant d'atteindre des noeuds technologiques fortement submicroniques. Cependant, notons que ce type de structures présente des avantages mais aussi des inconvénients. La diversité de ces structures permet une nette amélioration des performances des circuits conçus utilisant de telles structures pour les applications à haute performances. Il est bien évident que la miniaturisation des dispositifs semi-conducteurs devient de plus en plus ardu, c'est ainsi que la modélisation compactes des MuGFETs est très importante et joue un rôle prépondérant dans la conception de circuits intégrés à base de ces dispositifs. Dans la dernière partie de ce chapitre nous avons pu présenter le développement du modèle mathématique avec équations et expressions de courant pour un GAA à section cylindrique et un second à section rectangulaire.

***Chapitre III : Résultats et  
discussion***

### III-1. Introduction

L'introduction de la nouvelle architecture multi-grille avec des structure horizontale et verticale comme le GAA MOSFET où le canal est entièrement entouré par la grille a été proposé afin d'accroître la commande du control électrostatique de la grille sur le canal de conduction du transistor .De nombreuse travaux sont réalisés dans le domaine des GAA afin de bien maitriser le fonctionnement de ces dispositifs. Dans ce chapitre nous présentons les différents résultats que nous avons obtenus permettant de mettre en évidence les caractéristiques électrique de différentes structures GAA. Cette étude a pu être effectuée par le biais du logiciel SILVACO-TCAD.

### III-2. Présentation de l'outil TCAD SILVACO

#### III-2-1. Principes et conditions d'utilisation

Le terme TCAD est l'acronyme anglo-saxon de "Technology Computer Aided Design". Cet outil de conception assistée par ordinateur permet de simuler le comportement électrique d'un dispositif en tenant compte de sa structure tel que les dopages, les matériaux, les différentes géométries,.... Il permet non seulement de concevoir des dispositifs mais aussi de comprendre les mécanismes physiques qui régissent leur fonctionnement.

Le logiciel SILVACO TCAD que nous avons utilisé va résoudre de façon auto-cohérente les équations de continuité et de Poisson en tout point de toutes les structures simulées. Notons en fait que SILVACO TCAD est une société Américaine, fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires. Cette société a son siège en Californie et plus exactement à Santa Clara. Cette société est un fournisseur important de chaînes professionnelles de logiciels de simulation par éléments finis et de CAO pour les technologies de l'électronique TCAD. Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs

Les deux principaux modules que nous avons utilisé lors de cette étude sont : SILVACO « Athena » et qui est un simulateur des processus et « Atlas » qui est un simulateur de dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE et c'est ainsi que « SmartSpice » écrit en langage C++ et permettant de simuler des

circuits électroniques avec les modèles physiques des composants a rejoint la chaîne SILVACO -TCAD . En 2004, SILVACO propose un outil d'extraction de signaux parasites .

### III-2-2. Programmes SILVACO

L'ensemble des outils de simulation et des outils interactifs et qui permettent la conception et l'analyse des dispositifs semi-conducteurs s'appelle VWF (Virtual Wafer Fab). Ces outils sont :

#### III-2-2-1. Les outils de simulation

Ces outils sont Athena, Atlas et SSuprem3.

1) **SSuprem3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs.

2) **Athena** : est un simulateur 2D de procédés technologiques permettant ainsi la simulation des différentes étapes effectuées en Salles Blanches. ATHENA de SILVACO TCAD fournit la possibilité de simuler les processus de fabrication utilisés dans l'industrie des semi-conducteurs : diffusion, oxydation, implantation ionique, gravure, lithographie, et pour finir procédés de dépôt. Il permet ainsi des simulations rapides et assez précises de toutes les étapes de fabrication utilisées dans les différentes technologies bipolaires, MOSFET, HEMT, MESFET, optoélectronique, MEMS, ainsi que les composants de puissance .Il permet ainsi de fournir des informations importantes pour la conception et l'optimisation des procédés technologiques telles que les concentrations des porteurs, les profondeurs de jonctions, etc..... Le programme de simulation définit comme entrée des différentes étapes technologiques et des phénomènes physiques, s'établit avec le module DECKBUILD de TCAD-SILVACO ; puis le fichier de sortie de la structure s'effectue avec le module Tonyplot

3) **Atlas** : est un simulateur 2D ou 3D de dispositifs semi-conducteurs basés sur la physique de semi-conducteurs. Il prédit le comportement électrique des structures semi-conductrices et fournit des aperçus de mécanismes physiques internes associés au fonctionnement des dispositifs et permet ainsi la simulation électrique. Atlas est donc un logiciel fournissant des potentiels généraux de base physique à deux ou trois dimensions (2D, 3D) de simulation de dispositifs à semi-conducteurs. Atlas est conçu de telle sorte à ce qu'il puisse être utilisé avec des outils interactifs VWF qui se composent de ce qui suit: MaskViews, Optimizer, DeckBuild, TonyPlot et DevEdit que nous citerons par la suite.

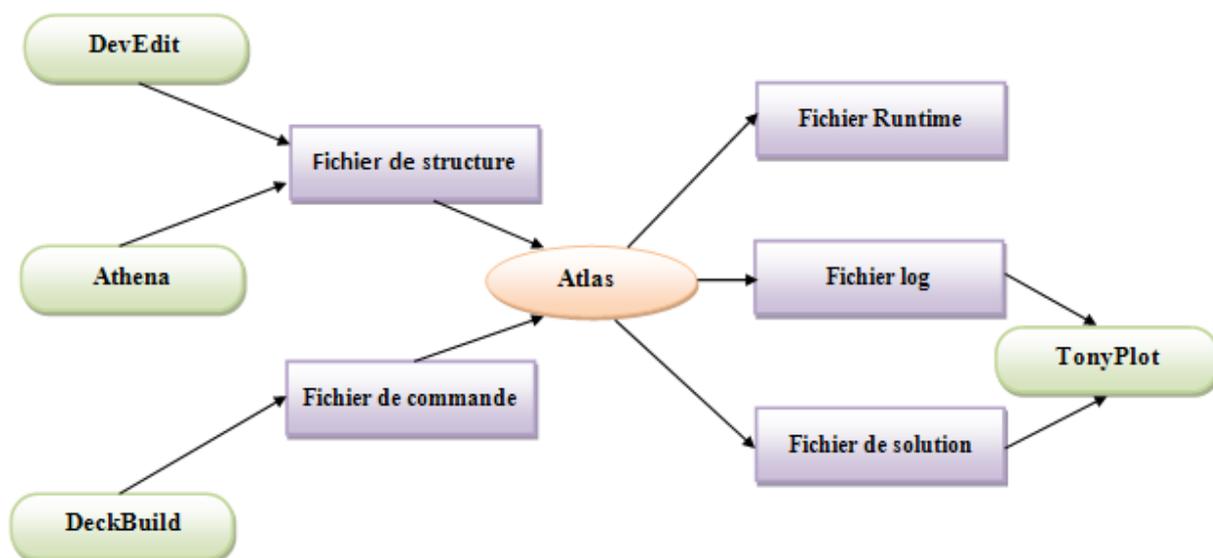


Figure 3-1 : Entrées et sorties d'Atlas.

Pratiquement toutes les simulations réalisées sous environnement ATLAS-SILVACO et représentées sur le schéma de la figure 3.1, utilisent deux fichiers d'entrée:

- Le premier est un fichier script. Ce dernier contenant les commandes pour permettant l'exécution du programme
- Le second fichier est un fichier de structure. Ce dernier permet de définir la structure conçue et qui est prête à être simulée.

A la sortie nous obtenons trois types de fichiers.

- Le premier est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation.
- Le deuxième est le fichier « log » permet le qui stockage de toutes les valeurs de tensions et des courants provenant de l'analyse des dispositifs simulés
- Le troisième est le « Fichier de solution ». Ce dernier stocke les données concernant les valeurs des variables solutions dans le dispositif en un point.

Les deux derniers fichiers de sortie sont traités par l'outil de visualisation «TonyPlot ».

Après avoir présenté brièvement les différentes entrées et sortie du module ATLAS-SILVACO que nous avons utilisé lors de nos simulations, nous présentons dans ce qui suit ses différents composants. Ces derniers sont bien visibles sur le schéma de la figure 3.2.

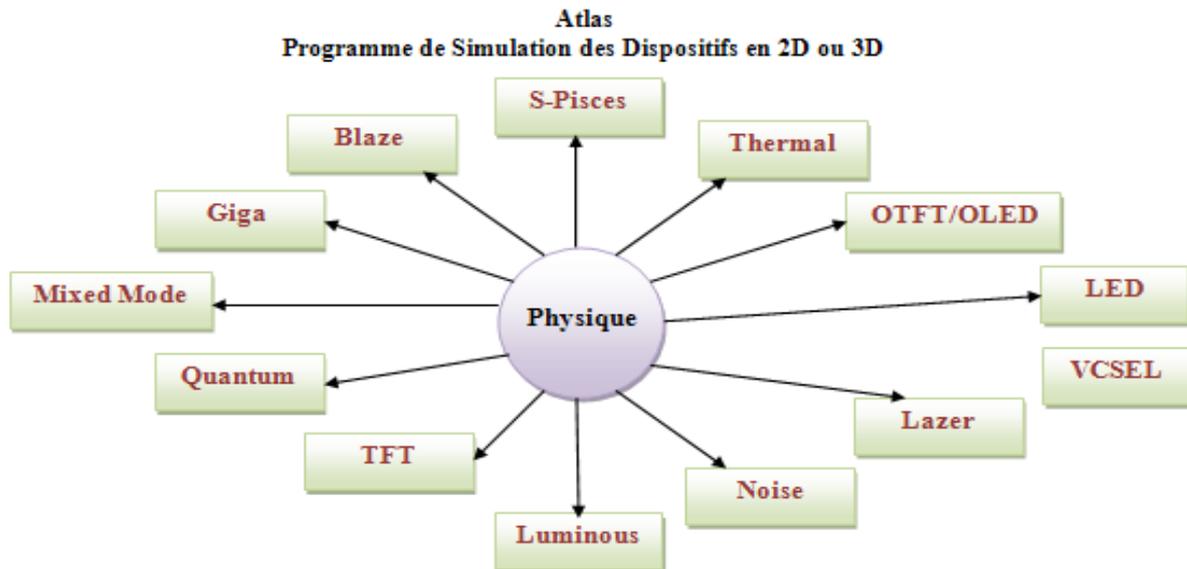


Figure 3-2 : Les composants (ou les modules) d'Atlas

### III-2-2-2. Les outils interactifs

Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. Ces outils sont:

- **TonyPlot** : est l'outil de visualisation et d'analyse graphique des résultats de simulations..
- **DeckBuild** : cet outil permet la simulation des processus et de dispositifs.
- **DevEdit** : est un outil d'édition de structure. Il permet donc la création de différentes structures.
- **Manager** : est l'outil de gestion des fichiers utilisés et créés par le VWF
- **MaskViews** : est l'outil de dessin des masques
- **Optimiseur** : est l'outil d'optimisation automatique
- **SPDB** : (Semiconductor Process Data Base), a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement ainsi que des données qui décrivent les conditions des expériences.

### III-2-2-3. Les outils d'automatisation

Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales se servant de la technologie de base de données répartie et des méthodes de logiciels de transmissions d'interprocessus.

### III-3. Logique de programmation

Après avoir présenté l'outil de simulation des dispositifs "ATLAS- SILVACO" que nous avons utilisé lors de nos différentes simulations nous allons maintenant présenter l'ordre des commandes propres à la logique de programmation que nous présentons au niveau du tableau qui suit.

<i>Groupes</i>	<i>Commandes</i>
<b>1. Spécification de la structure</b>	<ul style="list-style-type: none"> <li>▪ MESH</li> <li>▪ REGION</li> <li>▪ ELECTRODE</li> <li>▪ DOPING</li> </ul>
<b>2. Spécification des modèles de couches</b>	<ul style="list-style-type: none"> <li>▪ MATERIAL</li> <li>▪ MODELS</li> <li>▪ CONTACT</li> <li>▪ INTERFACE</li> </ul>
<b>3. Sélection de la méthode numérique</b>	<ul style="list-style-type: none"> <li>▪ METHOD</li> </ul>
<b>4. Spécification des solutions</b>	<ul style="list-style-type: none"> <li>▪ LOG</li> <li>▪ SOLVE</li> <li>▪ LOAD</li> <li>▪ SAVE</li> </ul>
<b>5. Analyses des résultats</b>	<ul style="list-style-type: none"> <li>▪ EXTRACT</li> <li>▪ TONYPLOT</li> </ul>

Tableau III.1 : Commandes fondamentales dans le programme Atlas

Les commandes présentées au niveau du tableau III.1. Doivent être respectées dans cet ordre. Si cet ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas. Les commandes fondamentales doivent être exécutées comme suit:

#### III-3-1. Spécification de la structure

La conception de la structure étudiée se fait en quatre étapes :

- *Définition du maillage*

Ce maillage se fait par la commande **MESH**. Cette commande produit ou lit un maillage qui a été défini auparavant. Le format général pour définir le maillage est :

X.MESH LOCATION=<VALUE> SPACING=<VALUE>

Y.MESH LOCATION=<VALUE> SPACING=<VALUE>

Généralement ce maillage est triangulaire.

- *Définition des régions*

Les régions sont définies par l'instruction *REGION* qui définit une région dans une structure. Le format pour définir des régions est le suivant:

REGION nombre = <integer><material\_type> / < position des paramètres >

- **Définition des électrodes**

Se fait par l'instruction *ELECTRODE* qui nous indique l'endroit et les noms des électrodes dans une structure. Le format de définition des électrodes est le suivant :

ELECTRODE NAME=<electrode name><position parameters>

- **Ddéfinition des dopages**

Ils se font fait par l'instruction *DOPING* qui indique le type et le profil de dopage. Le format de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPAGE < type de distribution >< type de dopant > / < position des paramètres >

### III-3-2. Spécification des modèles physiques utilisés lors de la simulation

Une fois la structure établie, on doit préciser les modèles physiques à utiliser, il faut aussi définir les matériaux constituant notre structure qui seront déjà prédéfinis ou pas dans la bibliothèque SILVACO. La spécification de modèles et matériaux comporte les étapes suivantes citées dans l'ordre d'apparition dans nos programmes:

- **Spécification des matériaux utilisés**

L'instruction *MATERIAL* va permettre d'associer des paramètres physiques aux matériaux utilisés dans la simulation. On cite entre autres certains des paramètres utilisés et qui sont : l'affinité électronique, l'énergie de gap, densité des états, les vitesses de saturation des porteurs, la durées de vie des porteurs minoritaires, etc ... . Le format de la déclaration du matériau se fait par :

MATERIAL < localisation >< définition du matériau >

- **Spécification des modèles**

L'instruction *MODELS* va permettre de faire appel aux modèles physiques existants déjà dans le logiciel, tels que les modèles de recombinaison Shockley Read Hall (SRH), Auger, CVT, Shirahata, Klaassen's, et les modèles concernant les statistiques des porteurs de Boltzmann, Fermi, etc ... La syntaxe de la déclaration du modèle est :

MODEL< paramètres générales > / < paramètres du modèle >

- **Spécification des contacts**

L'instruction *CONTACT* indique les attributs physiques d'une électrode par exemple anode, cathode dans le cas d'une diode, source, grille ou drain dans le cas des MOSFET, HEMT etc.....

### ▪ Spécification des paramètres des interfaces

L'instruction *INTERFACE* indique les paramètres d'interface aux frontières de semi-conducteur/isolant, on cite alors comme exemple, la vitesse de recombinaison en surface et la densité de charge à l'interface.

La syntaxe utilisée est la suivante:

INTERFACE [<parameters>]

### III-3-3. Sélection de la méthode numérique employée

Se fait par l'instruction *METHOD*. En ce qui concerne le module *ATLAS*, on note particulièrement deux méthodes numériques pour la résolution des équations, celles dites de Newton et celle dites de Gummel.

- La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles gouvernant le fonctionnement de la structure conçue et simulée.
- La méthode de Gummel consiste alors à découpler le système global décrit précédemment en trois sous-systèmes : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport au précédent réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet de diminuer le temps de calcul.

### III-3-4. Spécification des solutions

Cette étape est nécessaire à la déterminer les solutions dont la spécification est donnée par les déclarations : LOG, SOLVE, LOAD, et SAVE.

#### ➤ LOG

Cette instruction permet à toutes les caractéristiques finales de simulation d'être sauvegardée dans un fichier (ouvre un fichier de type log (log en minuscule veut dire le type de fichier, LOG en majuscule veut dire la commande dans le programme).

#### ➤ SOLVE

L'instruction *SOLVE* ordonne à Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.

#### ➤ LOAD

Cette instruction charge des solutions précédentes à partir de fichiers en tant que conditions initiales à d'autres points de polarisation.

#### ➤ SAVE

Cette instruction permet de sauvegarder toutes les informations obtenues au niveau d'un nœud du maillage dans un fichier de sortie.

### III-3-5. Analyse des résultats de simulation obtenus

Une fois la solution obtenue, les informations seront affichées graphiquement. Ceci peut se faire par les instructions TONYPLOT ou/et EXTRACT

#### ▪ TONYPLOT

L'instruction TONYPLOT nous donne l'opportunité de démarrer le programme « TonyPlot » de post processus graphique des donnés. Tonyplot permet de présenter les solutions trouvées pendant la simulation sous forme de graphe directement exploitables. C'est en fait l'environnement où sont visualisés les résultats des simulations. Il donne des possibilités complètes pour la visualisation et l'analyse des caractéristiques de sortie (structure du composant électronique, profil de dopage et caractéristiques électriques). TONYPLOT peut donner des caractéristiques de sortie en une dimension (1D), deux dimensions (2D), ou trois dimensions (3D).

- **EXTRACT** : les commandes de ce type sont utilisées pour effectuer l'extraction des paramètres tels que la tension de seuil, les courants Ion, Ioff etc.....

### III-3-6. DECKBUILD

Le DECKBUILD est l'environnement où l'on effectue le programme de simulation à travers des commandes spécifiques. Plusieurs simulateurs considérés comme des entrées peuvent être utilisés avec le DECKBUILD : ATHENA, ATLAS, SSUPREM3, etc. L'affichage des résultats de simulation tels que les paramètres technologiques (profondeur de jonction, concentration des porteurs) et les paramètres électriques (tension de seuil, courant, etc.) s'effectue à l'aide d'une fenêtre d'information (Output Windows).

### III-4. Diagramme de la simulation numérique sous environnement ATLAS

Une simulation numérique sous environnement ATLAS de SILVACO-TCAD se fait principalement en deux étapes. Les différentes étapes de simulation regroupées et dans l'ordre sont représentées au niveau de la figure qui suit.

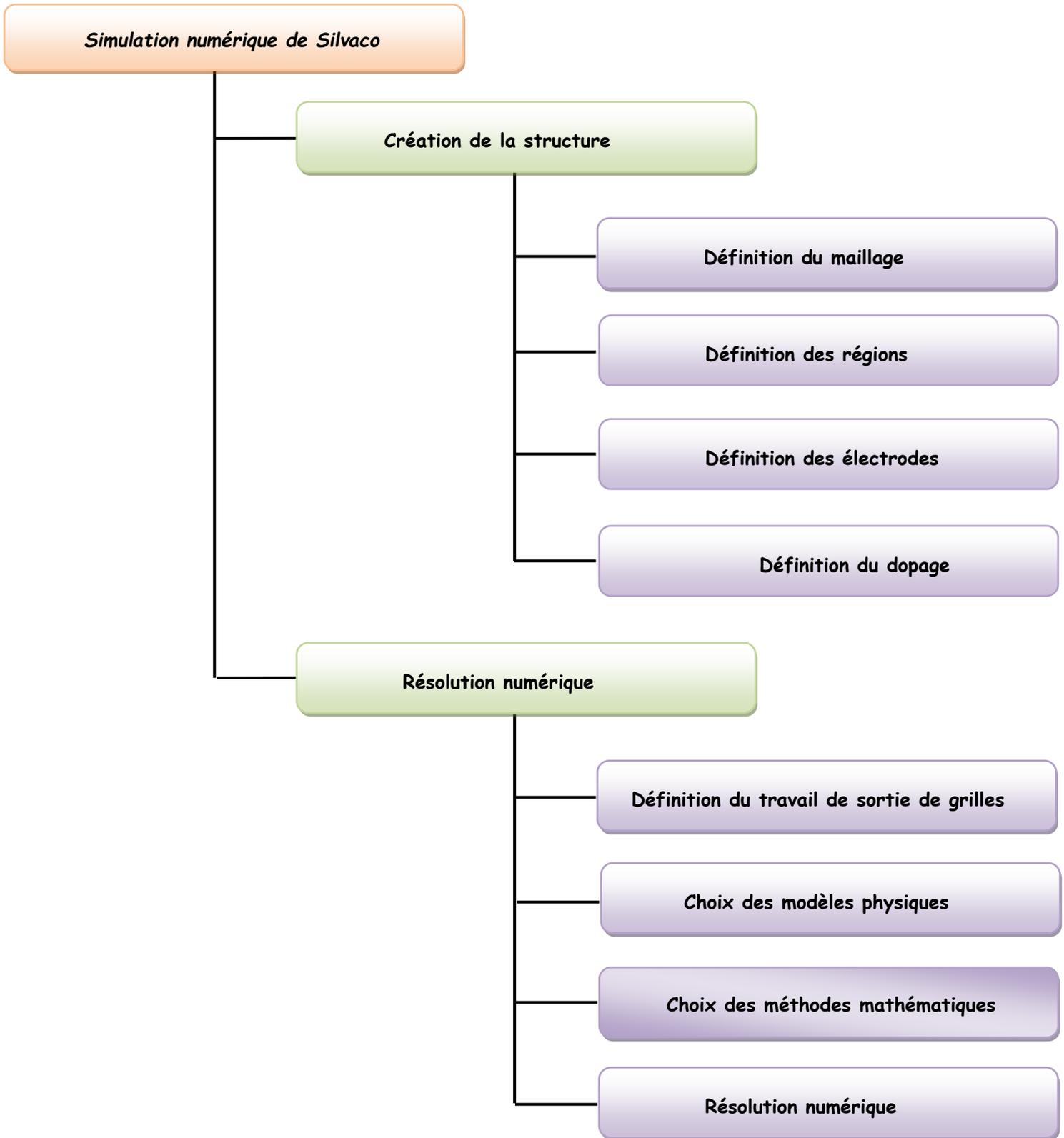


Figure 3-3 : Organigramme adopté pour les simulations numériques sous environnement ATLAS-SILVACO.

On remarque alors que cette simulation se fait en deux temps : tout d'abord on doit créer la structure, puis effectuer une résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages. La seconde étape permet alors d'effectuer la résolution numérique, elle comprend les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur etc.....

### III-5. Structures simulées

Les structures qui font l'objet de nos travaux de thèse sont présentées respectivement ci dessous au niveau figures au 2, 3, 4,5. Ces structures simulées représentent respectivement :

- ✓ Un transistor nanométrique à grille enrobée rectangulaire horizontale,
- ✓ Un transistor nanométrique à grille enrobée cylindrique verticale,
- ✓ Un transistor nanométrique à grille enrobée a quatre canaux,
- ✓ Un transistor nanométrique à grille enrobée verticale et rectangulaire à quatre métaux.

Ces transistors ont été conçus et simulés en 3D à l'aide des outil DevEdit et ATLAS de SILVACO-TCAD. Les différents paramètres technologiques et la géométrie des structures sont donnés au tableau III.3.

Paramètres des structures	GAA MOSFET avec grille rectangulaire horizontale	GAA MOSFET avec grille Cylindrique verticale	GAA MOSFET avec quatre canaux verticaux rectangulaires	GAA MOSFET avec une grille rectangulaire verticale
concentration du dopage du canal $N_A$	$1 \times 10^{17} \text{ [cm}^{-3}\text{]}$	$1 \times 10^{17} \text{ [cm}^{-3}\text{]}$	$1 \times 10^{17} \text{ [cm}^{-3}\text{]}$	$1 \times 10^{17} \text{ [cm}^{-3}\text{]}$
concentration Drain et Source $N_D$	$10^{20} \text{ [cm}^{-3}\text{]}$	$10^{20} \text{ [cm}^{-3}\text{]}$	$10^{20} \text{ [cm}^{-3}\text{]}$	$10^{20} \text{ [cm}^{-3}\text{]}$
Longueur du canal	9 [nm]	22[nm]	22[nm]	22[nm]
L'épaisseur de l'oxyde $T_{ox}$	1[nm]	2[nm]	2[nm]	2[nm]
Larguer du canal ( $T_{si}$ )	5[nm]	5[nm]	5[nm]	5[nm]

Tableau III-2 : les paramètres des différentes structures conçues

#### III-5-1. Choix du maillage

La tâche incontournable à effectuer impérativement afin d'obtenir de bons résultats consiste à choisir un maillage adéquat. Ce dernier n'est pas uniforme et varie selon les régions. Nous appliquons un maillage fin au niveau des interfaces ; en dehors de ces régions, le maillage est plus grossier. Un bon maillage permettra de garantir la précision des résultats obtenus. Par ailleurs, la précision et le temps de calcul dépendent du nombre de nœuds. Chaque nœud, représente le point où les équations sont résolues. Une maille trop large permet d'avoir moins de nœuds et donc de diminuer le temps de calcul, en revanche, les évolutions de différentes

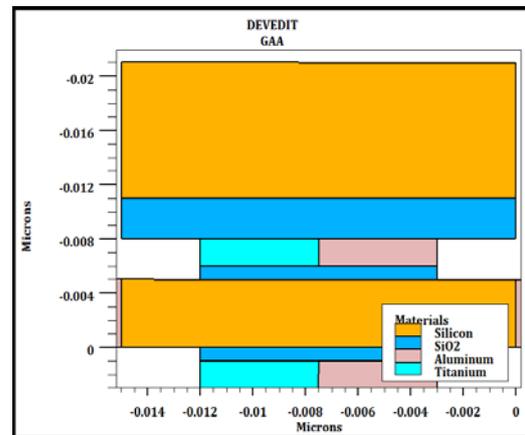
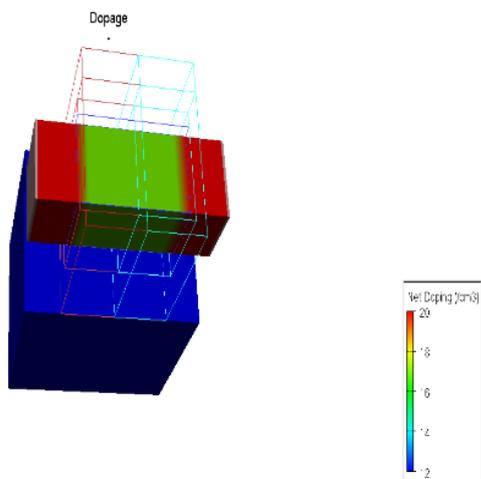
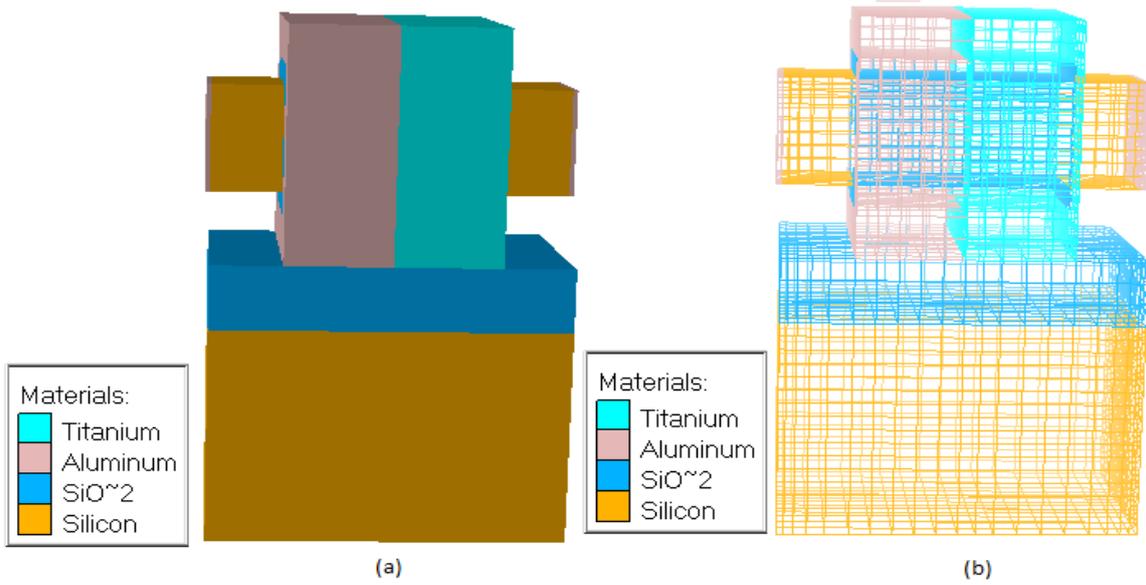
grandeurs physiques deviennent plus importantes d'un nœud à l'autre, les imprécisions sur le résultat final sont accentuées et les risques de divergence sont possibles lors de la résolution des équations. Un maillage trop fin augmente de façon exponentielle le temps de calcul mais permet d'avoir une solution très précise. On a alors un compromis entre la vitesse d'exécution et exactitude des résultats. La méthode numérique qui permet de résoudre les équations physiques est la méthode des éléments finis, son principe de base est la discrétisation par élément des équations à traiter. Généralement, Les éléments qui définissent la maille élémentaire utilisée par le simulateur sont des prismes. Pour obtenir des résultats fiables et précis, la finesse du maillage doit être définie en fonction des variations des grandeurs physiques et doit être dense aux interfaces. Dans un maillage à prismes, les évolutions des différentes grandeurs physiques sont moins grandes et donc la résolution des équations est simplifiée ; en revanche dans le cas d'un maillage hexagonal, chaque nœud a un plus grand nombre de nœuds voisins, impliquant ainsi un grand nombre de conditions initiales ce qui rend la convergence des équations plus compliquée. Il est nécessaire de connaître les différents mécanismes physiques qui ont lieu ainsi que leur localisation dans la structure afin d'affiner le maillage dans ces zones où sont les mécanismes déterminants pour les différentes structures que nous allons étudier.

### III-6. Résultats et discussion

Notons tout d'abord avant de commencer nos simulations que le dopage du canal, la profondeur  $x_j$  des jonctions source et drain, la largeur et la longueur sur le masque, l'épaisseur  $t_{ox}$  de l'oxyde de grille sont les paramètres caractéristiques du transistor,  $W$  et  $L$  qui sont les dimensions effectives du canal du transistor. Un choix adéquat de ces grandeurs permettra d'obtenir de bonnes performances des dispositifs conçus.

#### III-6-1. Le GAA MOSFET horizontal à section rectangulaire

En figure 3-4 nous représentons la structure que nous avons simulée par le biais du logiciel SILVACO en configurant notre structure par DevEdit tout d'abord puis par Atlas. Le maillage de la structure est mis en évidence en figure 3-4(b) et les profils de dopage sont présentés en figure 3.4 (c). Notre transistor est doté d'une grille à deux métaux différents et qui sont l'aluminium, et le titane. Cette étude permettra de bien comprendre l'effet de la nature de la grille sur le courant du dispositif étudié.



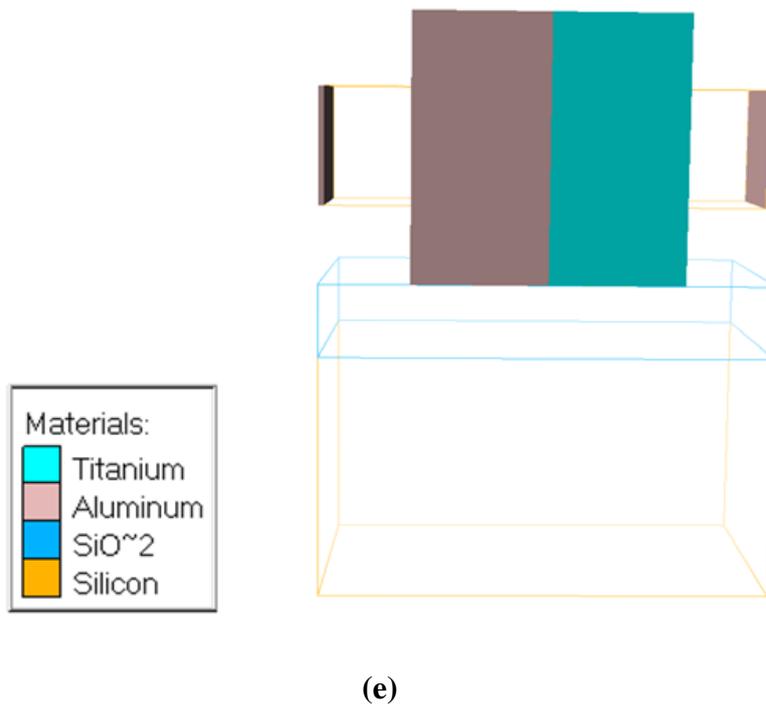
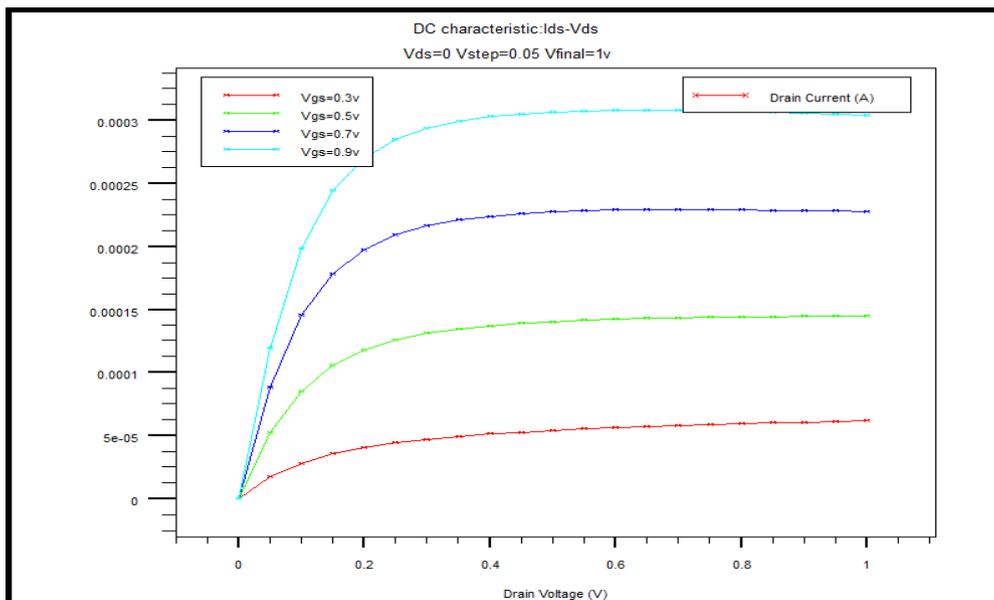


Figure 3-4: GAA MOSFET horizontal à section rectangulaire à deux métaux a) structure b) maillage c) dopage d) coupe 2D horizontale e) les électrodes

### III-6-1-1. Caractéristiques $I_{DS}-V_{DS}$ de sortie et $I_{DS}-V_{GS}$ de transfert du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille

La figure 3-5 montre la caractéristique de sortie avec différentes tension de polarisation de grille soit 0.3v, 0.5v, 0.7v, 0.9v.

a)



b)

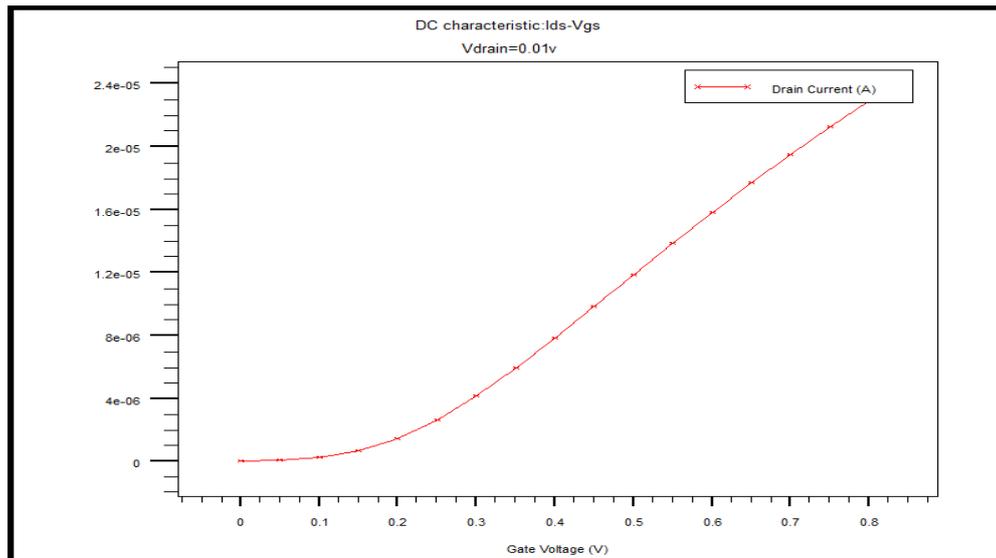


Figure 3-5: a) caractéristique de sortie pour deux métaux de grille du GAA MOSFET, b) caractéristiques de transfert pour deux métaux de grille du GAA MOSFET.

A partir de la caractéristique de transfert  $I_{DS}-V_{GS}$  obtenue à  $V_{DS}=1.2$  V on a pu extraire le courant  $I_{DSmax}$  soit le courant  $I_{on}$  et qui est égal à 0.3mA pour une tension de polarisation  $V_{GS}=0.9$ V. La tension de seuil que nous avons pu extraire de nos simulations est égale à 0.15V pour le dispositif simulé.

### III-6-1-2. Variation des paramètres technologiques de la structure.

Afin d'examiner les effets de la variation des paramètres de la structure sur ses caractéristiques électriques, nous allons alors faire varier chacun de ses paramètres indépendamment et voir dans quelle mesure cette variation les affecte.

#### III-6-1-2-1. Variation de l'épaisseur de la couche d'oxyde

En figure 3-6 nous représentons la caractéristique de sortie  $I_{DS}-V_{DS}$  et de transfert  $I_{DS}-V_{GS}$  du GAA MOSFET à section rectangulaire à deux métaux de grille pour différentes épaisseurs de l'oxyde de grille  $t_{ox}$

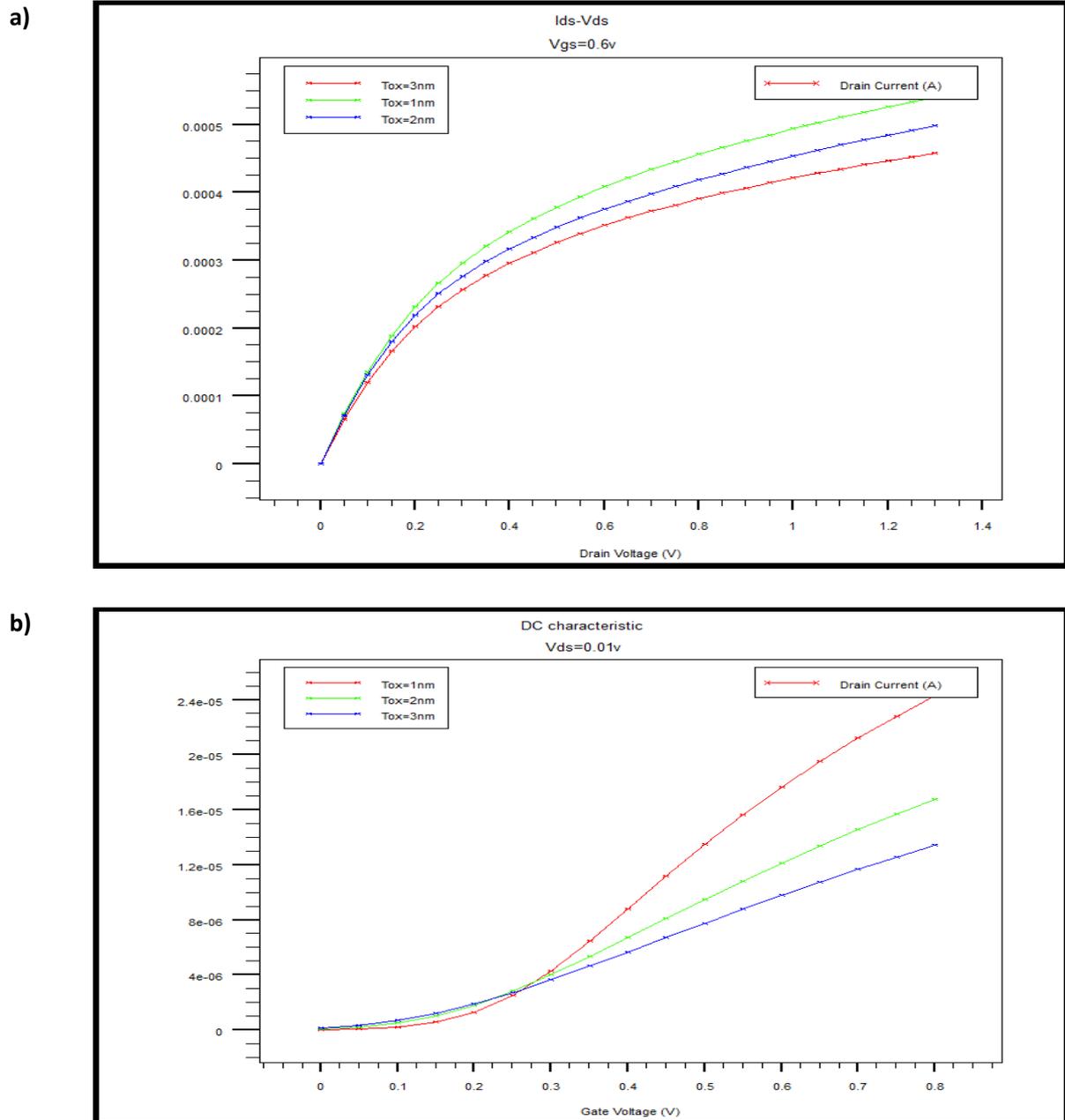


Figure 3-6:a) caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille avec différentes épaisseurs de l'oxyde ( $t_{ox}=1nm, 2nm$  and  $3nm$ )

On constate que les caractéristiques électriques de notre dispositif varient avec la variation de  $t_{ox}$ . En effet les différents résultats que nous avons obtenus et présentés aux niveaux des caractéristiques de transfert et de sortie permettent de conclure qu'un film d'oxyde mince modifie les lignes de champ électrique ce qui accroît par conséquent le control de la largeur de la barrière de potentiel de la grille appliquant une augmentation du courant du drain lorsque l'épaisseur d'oxyde diminue menant aussi à une légère diminution de la tension de seuil  $V_{th}$ .

Nous pouvons aussi ajouter qu'en général pour les MOSFETs à canaux courts, la réduction de l'oxyde de grille ainsi que la réduction de la longueur du canal permettent de concevoir des dispositifs de plus en plus rapide présentant un grand intérêt pour les transistors conçus pour fonctionner en RF.

#### III-6-1-2-2. Variation de la longueur du canal

Une seconde étude nous a permis d'examiner les effets de la variation de la longueur du canal sur le courant de sortie et la tension de seuil de notre transistor. Les résultats que nous avons obtenus sont donnés au niveau de la figure 3-7. Cette étude a été menée en maintenant la largeur et la hauteur du canal constantes soit  $W=5\text{nm}$  et  $H=5\text{nm}$ .

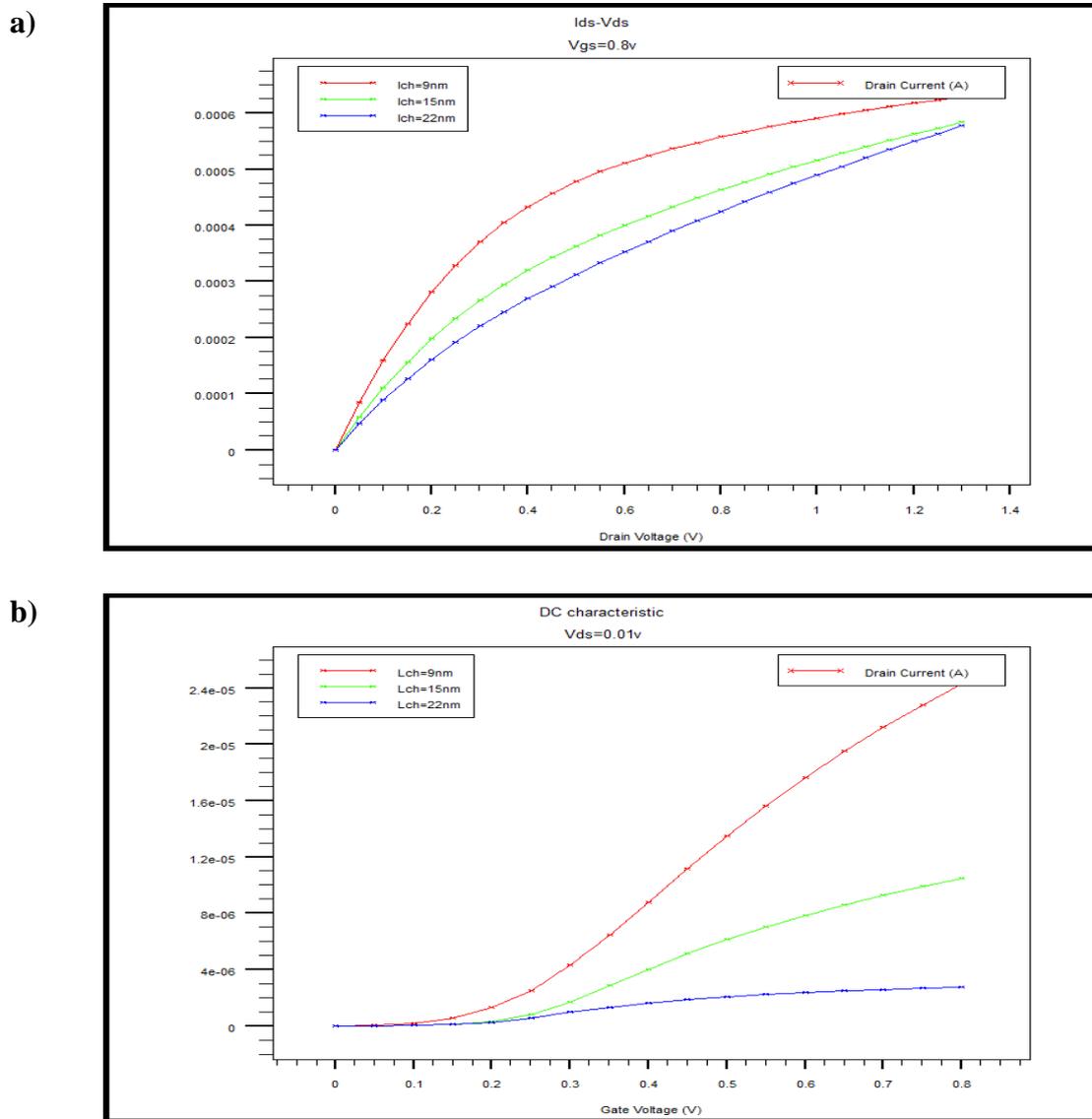


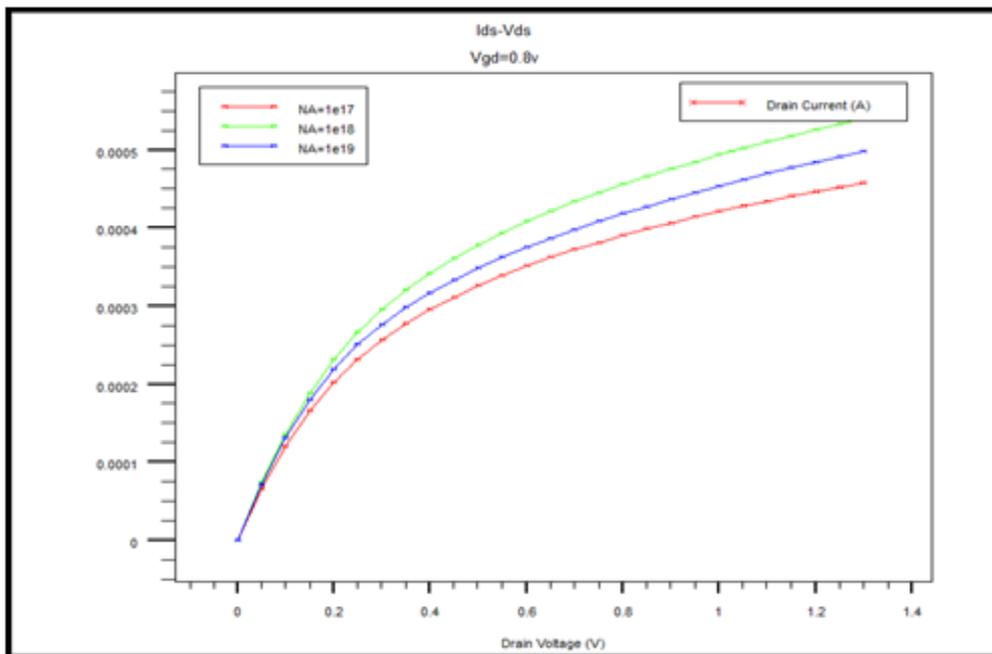
Figure 3-7: caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille pour différentes longueur du canal ( $L_{ch}=9\text{nm}$ ,  $15\text{nm}$  and  $22\text{nm}$ ),

A partir des résultats de simulation que nous avons obtenus, on peut tout de suite remarquer que la variation de la longueur du canal influence directement le courant de sortie du transistor. En effet, ce courant augmente quand la longueur du canal diminue.

#### III-6-1-2-3. Variation de la concentration des dopants au niveau du canal de conduction du GAA MOSFET horizontal à section rectangulaire

La figure 3-8 montre les caractéristiques de transfert simulées du GAA MOSFET rectangulaire a deux métaux de grille pour différentes concentrations du dopage dans le canal ( $10^{17}$ ,  $10^{18}$ ,  $10^{19}$  atome / $\text{cm}^{-3}$ ). Les paramètres du transistor pour cette l'étude on été choisi selon les données faites par ITRS.

a)



b)

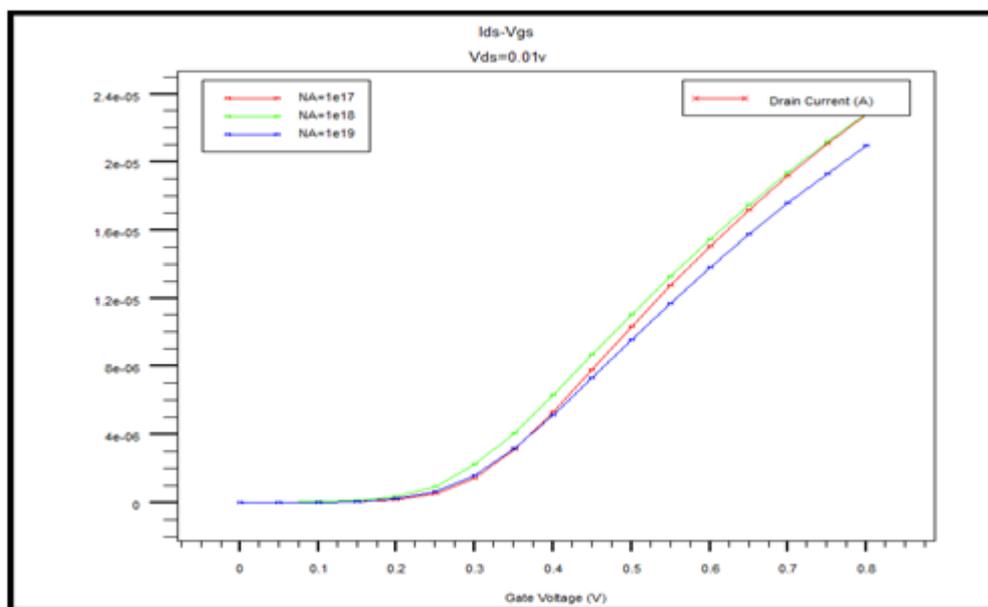


Figure 3-8: caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille pour différents dopage du canal ( $10^{17} \text{ cm}^{-3}$ ,  $10^{18} \text{ cm}^{-3}$  et  $10^{19} \text{ cm}^{-3}$  respectivement).

La variation du dopage du canal a normalement un impact sur la tension de seuil, on note aussi une variation du courant  $I_{on}$  qui varie avec la variation de la concentration des dopants du canal de conduction du transistor. Pour obtenir un bon contrôle des effets canaux courts dans les dispositifs de faibles dimensions, on augmente généralement le dopage du canal ce qui a pour conséquence l'augmentation des interactions coulombiennes, par ailleurs le contrôle de la tension de seuil se fait par l'ajustement du dopage du canal au détriment de la mobilité, par conséquent, en réduisant le courant  $I_{off}$ , nous réduisons également le courant  $I_{on}$ .

### III-6-1-2-4. Effet de la nature de l'oxyde de grille

Le courant de conduction de notre dispositif peut être amélioré par l'utilisation de matériaux à haute permittivité noté les *high k* utilisés comme diélectrique de grille en remplacement de l'oxyde de silicium  $\text{SiO}_2$  conventionnel. En effet, l'amélioration des performances des transistors principalement dictée par les recommandations de l'ITRS, impose une réduction des dimensions des dispositifs semiconducteurs en générales et des MOSFET en particulier. En effet, en passant d'un nœud technologique à un autre, on voit apparaître de nouvelles structures, voire de nouvelles architectures dont la taille est de plus en plus réduite, ce qui impose nécessairement la réduction des grandeurs du transistor telle que l'épaisseur d'oxyde de grille qui doit suivre cette réduction pour conserver un couplage capacitif correct entre la

grille et le canal d'inversion. Cependant, cette réduction imparable n'est pas sans conséquence sur le fonctionnement du transistor qui voit la longueur de son canal diminuer aussi, on voit alors apparaître différents effets indésirables tels que l'augmentation des courants parasites de grille, réduction de la mobilité des porteurs du canal par interaction avec les charges de déplétion dans la grille, et plus généralement l'apparition d'effets appelés effets canaux courts. Pour palier à ces problèmes, l'une des solutions consisterait à remplacer l'empilement de grille conventionnel PolySilicium/SiO<sub>2</sub> par un empilement de type grille métallique/diélectrique de forte permittivité. L'utilisation des **high k** en remplacement à l'oxyde de grille conventionnel va permettre l'utilisation d'un métal comme matériau de grille ce qui aurait pour conséquence la suppression de l'effet de déplétion qui induit des charges à l'interface Polysilicium/SiO<sub>2</sub>. D'autre part, grâce à leur forte permittivité, les matériaux high-κ permettent d'augmenter l'épaisseur physique de l'empilement de grille et par conséquent la diminution du courant de fuite tunnel et ceci tout en maintenant la même capacité d'oxyde. On ne peut donc plus parler d'épaisseur d'oxyde  $T_{ox}$  mais d'épaisseur équivalente d'oxyde ou EOT (Equivalent Oxide thickness en anglais). Cette grandeur définit pour deux couches de matériaux quelconques M1 et M2 s'exprimera par:

$$EOT = T_{M1} \frac{k_{SiO2}}{\epsilon_{M1}} + T_{M2} \frac{k_{SiO2}}{\epsilon_{M2}} \quad \text{III.1}$$

Dans l'équation (III.1)  $k$  représente bien entendu la permittivité alors que  $T_{M1}$  et  $T_{M2}$  sont les épaisseurs des matériaux high  $k$  et qui sont notés M1 et M2 au niveau de l'équation (III.1). Nous avons regroupé alors au niveau du tableau III.4. Différents matériaux à haute permittivité qui sont largement utilisés actuellement. Différentes études ont pu montrer que le HfO<sub>2</sub> semblait être le candidat le plus prometteur à moyen terme.

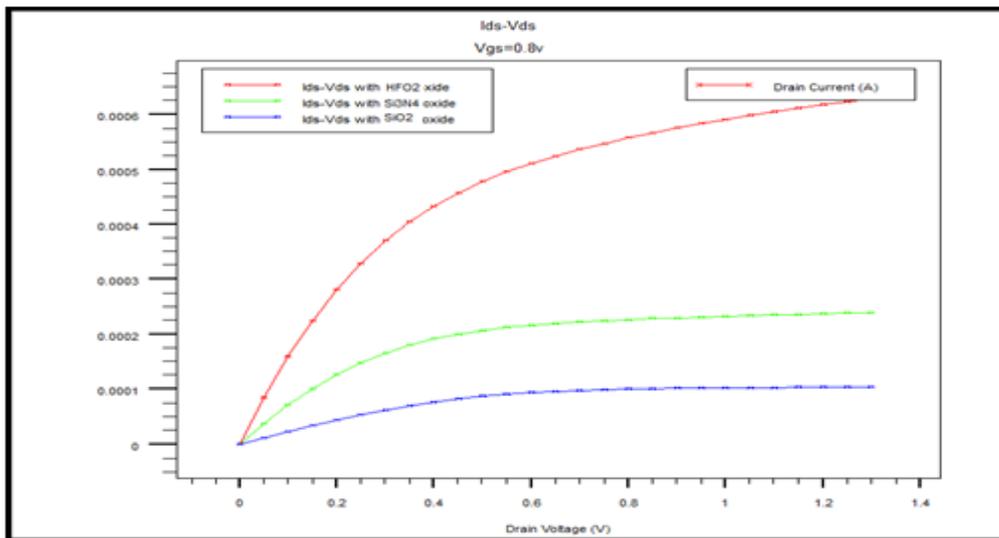
Matériau utilisé	Constante diélectrique relative	Energie de Gap(eV)
Si <sub>3</sub> N <sub>4</sub>	7-8	5.3
Al <sub>2</sub> O <sub>3</sub>	9-10	8.8
HfO <sub>2</sub>	20-25	5.8
La <sub>2</sub> O <sub>3</sub>	27-30	6

Tableau III-3. Matériaux à haute permittivité high-k

Avant de présenter nos résultats, nous tenons tout d'abord à rappeler que les structures à grilles enrobées montrent une meilleure pente sous le seuil, un très bon rapport Ion/Ioff et un DIBL bas et donc la meilleure contrôlabilité du canal.

En figure 3-9 nous présentons les caractéristiques de sortie et de transfert de notre transistor en utilisant deux différents matériaux *high-K* comme diélectriques de grille. Les matériaux diélectriques de grille utilisés ici sont le Si<sub>3</sub>N<sub>4</sub> et le HfO<sub>2</sub>. Les résultats obtenus sont alors comparés à ceux obtenus par l'utilisation du SiO<sub>2</sub> ce qui permettra d'apprécier l'amélioration des performances en terme de courant suite à l'utilisation de ces matériaux.

a)



b)

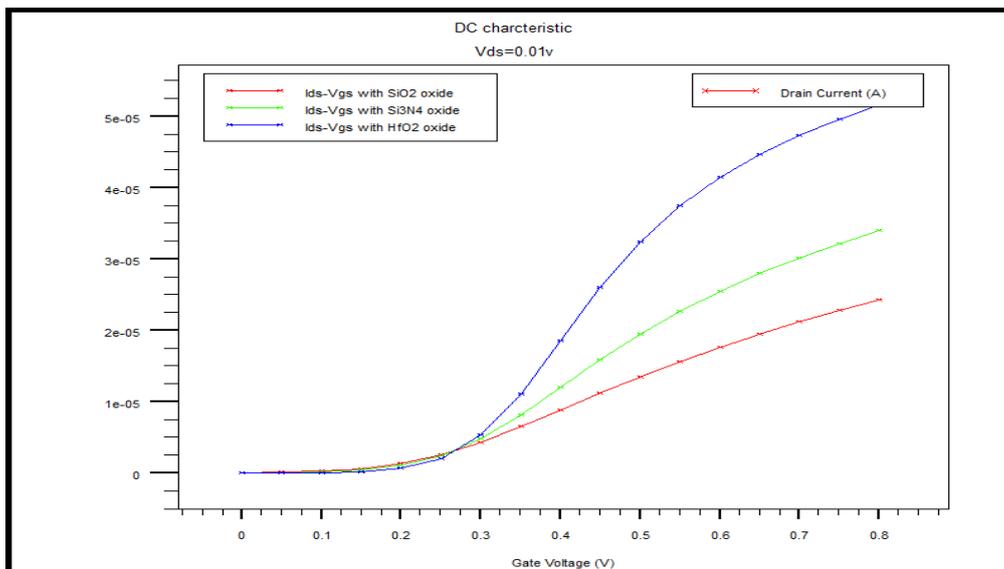


Figure 3-9: caractéristique de sortie (a) et de transfert (b) du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille pour différents type d'oxyde (SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub> et HfO<sub>2</sub>)

Notons que le courant  $I_{DSmax}$  du transistor augmente avec la réduction de l'épaisseur des matériaux high-k pour une même valeur de l'épaisseur effective de l'oxyde de grille dans un empilement. Un choix optimal de l'oxyde de grille va permettre au transistor de commuter de l'état ON à l'état OFF. Une épaisseur d'oxyde optimale pour chaque empilement de grille peut être obtenue par un empilement d'une couche de SiO<sub>2</sub> et d'un matériau High-k

### III-6-1-3 Effet DIBL

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil  $\Delta V_{th}$  divisé par  $\Delta V_D$  entre deux courbes résultant de deux tensions de drain différentes.

$$DIBL = \frac{V_{th}|_{V_{DS2}} - V_{th}|_{V_{DS1}}}{V_{DS2} - V_{DS1}} \quad \text{III.1}$$

Le DIBL est donc considéré comme la variation du courant  $I_{DS}$  pour une variation de la tension  $V_{DS}$ , à tension  $V_{GS}$  constante. L'effet DIBL est illustré sur Figure III-9. Nos résultats nous ont alors permis de déduire le courant off state sous le seuil, le courant  $I_{on}$  et le DIBL ainsi que la tension sous seuil, et pour finir le rapport  $I_{on}/I_{off}$  considéré comme facteur de qualité de la structure. Nous obtenons alors  $I_{on}=10^{-5}$  A,  $I_{off}= 10^{-9}$  A,  $DIBL=39\text{mv/v.}$ ,  $SS=96\text{mV/V}$  et un rapport  $\frac{I_{ON}}{I_{OFF}} = 10^4$ . L'effet DIBL est bien mis en évidence au niveau de la figure 3.10.

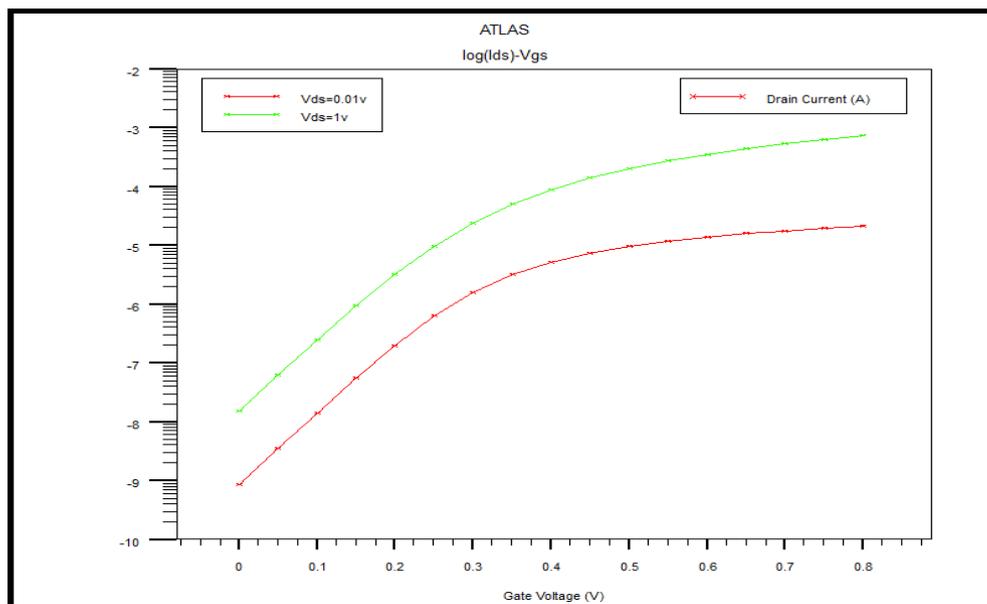
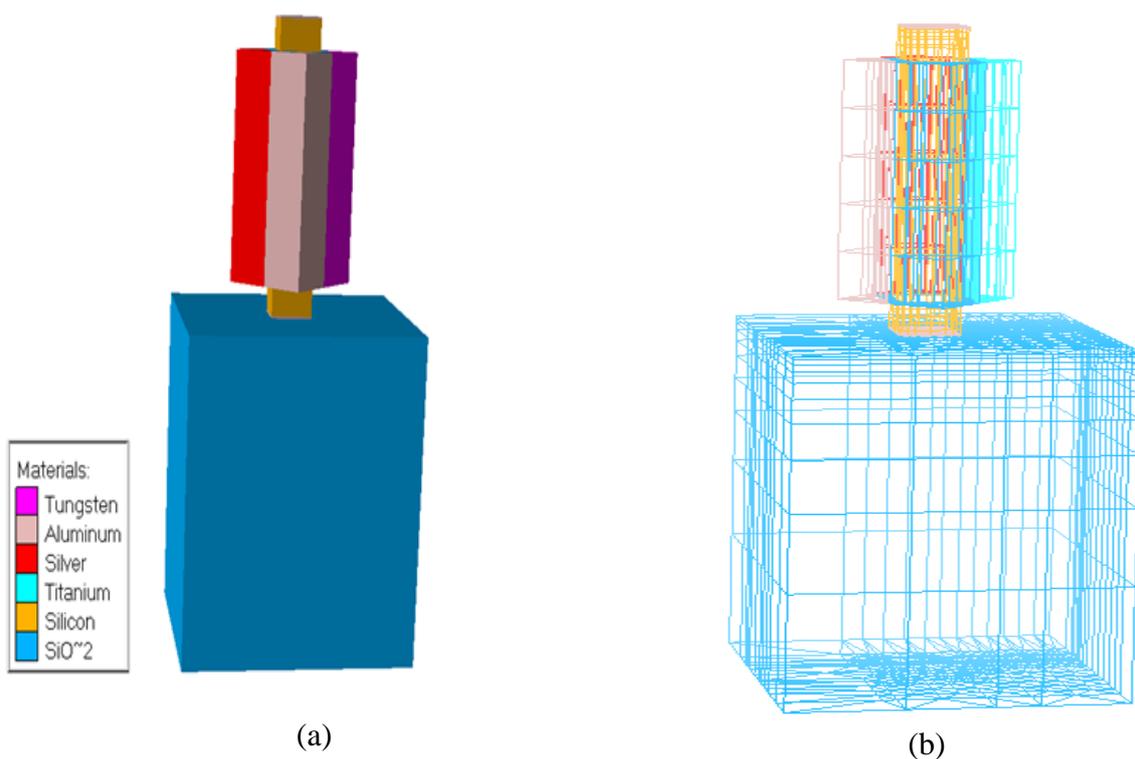


Figure 3-10 : Mise en évidence de l'effet DIBL du GAA MOSFET horizontal à section rectangulaire à deux métaux de grille.

### III-6-2. GAA MOSFET Vertical

La deuxième structure étudiée est une structure à section rectangulaire mais cette fois-ci verticale. Les études concernant l'intégration des transistors MOSFETs verticaux sont moins nombreuses que les études concernant les structures verticales. La première configuration verticale fut proposée par le groupe TOSHIBA (dispositif CYNTHIA : Cylindrical Thin Pillar transistor). Cette architecture est considérée comme le premier transistor à grille enrobant tout le canal de conduction. Ce dispositif s'est démarqué par ses excellentes caractéristiques sous seuil soit un  $SS=72\text{mV/dec}$  et ceci grâce à la grille qui enrobait tout son canal de conduction. Nous avons dans ce qui suit fait l'étude d'une structure verticale que nous présentons en figure 3.11. Notre GAA MOSFET a été conçu avec une grille composée de quatre différents types de métaux ce qui implique quatre travaux de sortie. Cette étude a été élaborée dans le but d'étudier les performances de ce type de structure et de voir l'effet de la multiplicité des métaux constituant la grille sur le comportement électrique du dispositif.



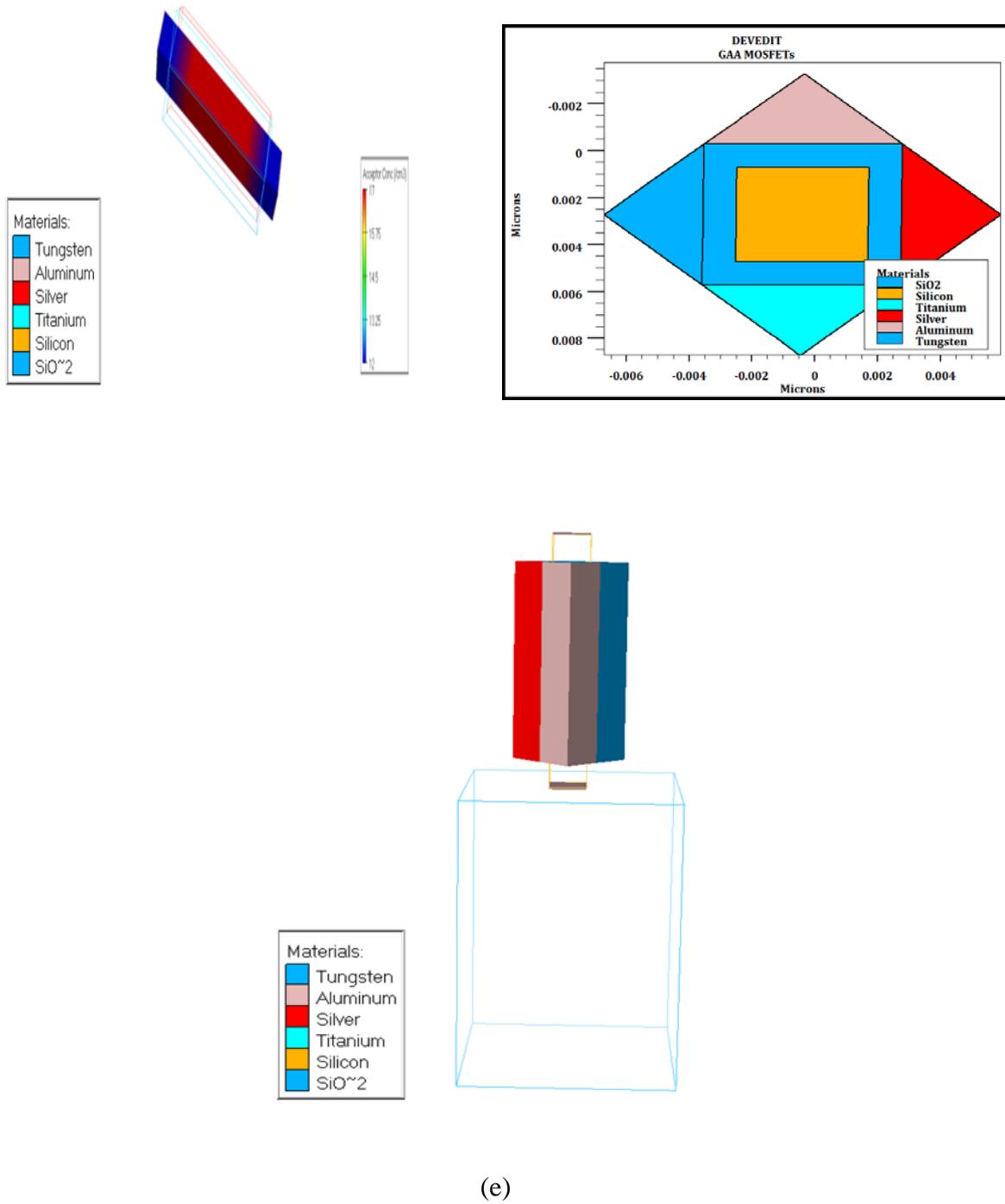
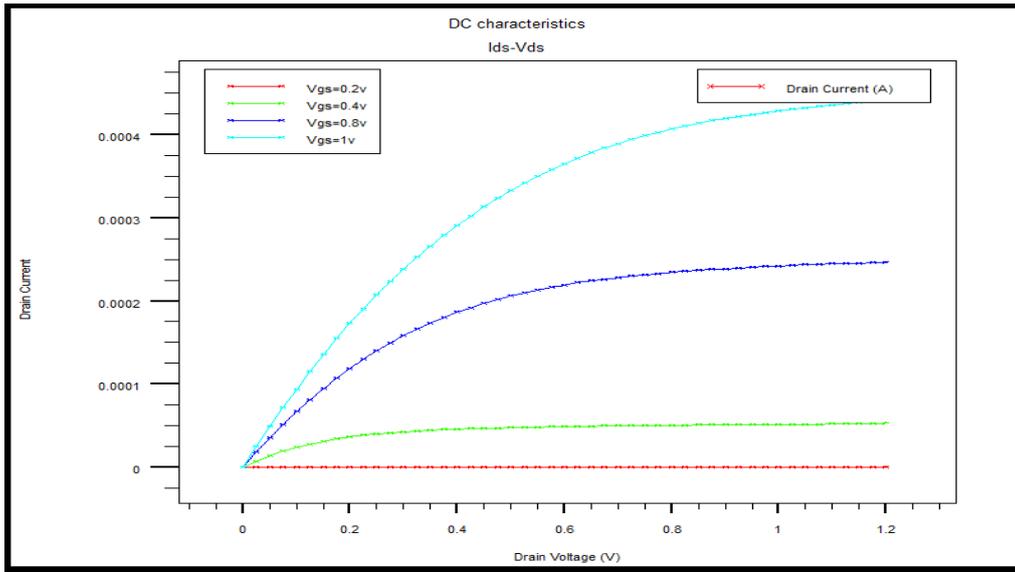


Figure 3-11: GAA MOSFET verticale à section rectangulaire à quatre métaux a) structure b) maillage c) dopage d) coupe 2D horizontale e) les électrodes

**III-6-2-1. Caractéristiques  $I_{DS}$ - $V_{DS}$  de sortie et  $I_{DS}$ - $V_{GS}$  de transfert du GAA MOSFET vertical à section rectangulaire.**

La figure 3-12 montre la caractéristique de sortie avec différentes tension de polarisation de grille soit 0.2v, 0.4v, 0.8v, 1v. A partir de nos résultats nous avons pu déterminer le courant  $I_{ds}=0.21mA$  a  $V_{gs}=0.8v$  et la tension de seuil  $V_{th}=0.25v$  obtenue à  $V_{ds}=0.01v$

a)



b)

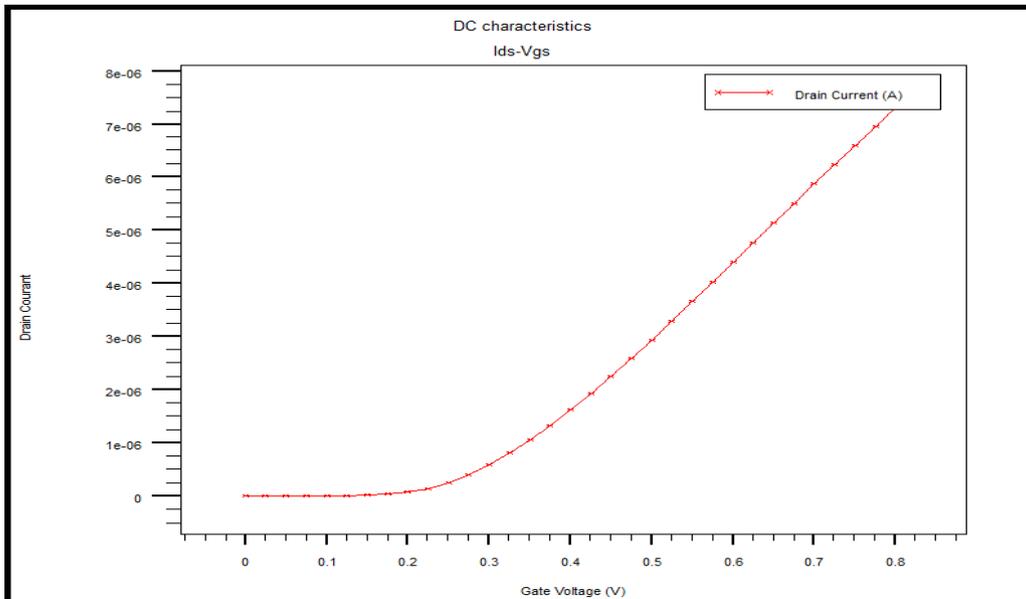


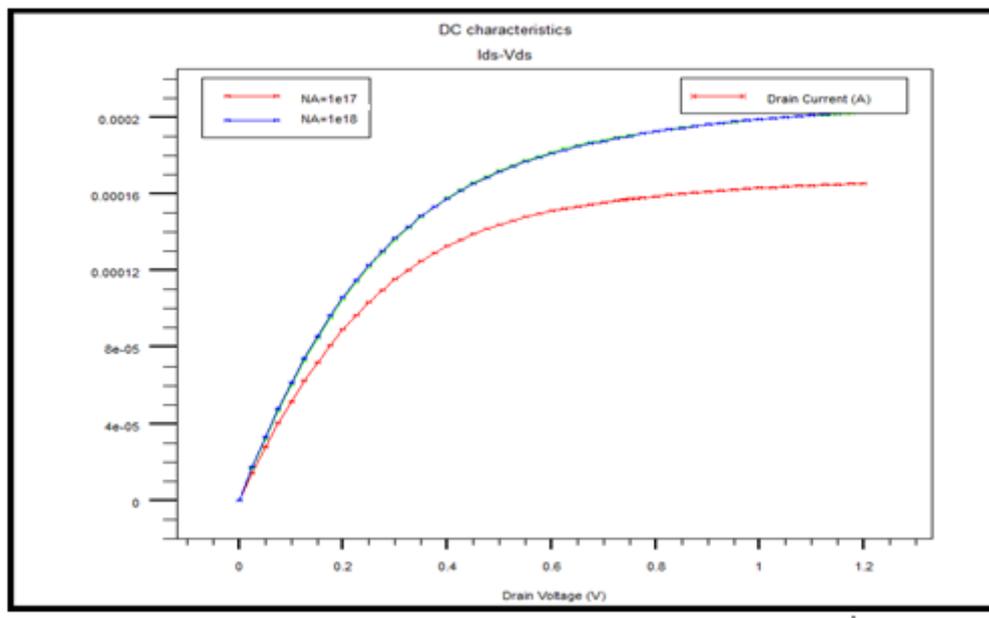
Figure 3-12: caractéristique de sortie (a) et de transfert (b) du GAA verticale à section rectangulaire.

### III-6-2-2. Variation des paramètres technologies

#### III-6-2-2-1. Variation du dopage du canal

En figure 3-13 nous présentons les caractéristiques de sortie (a) et de transfert (b) obtenues pour un GAA vertical à section rectangulaire pour différentes concentration de dopage du canal de conduction.

a)



b)

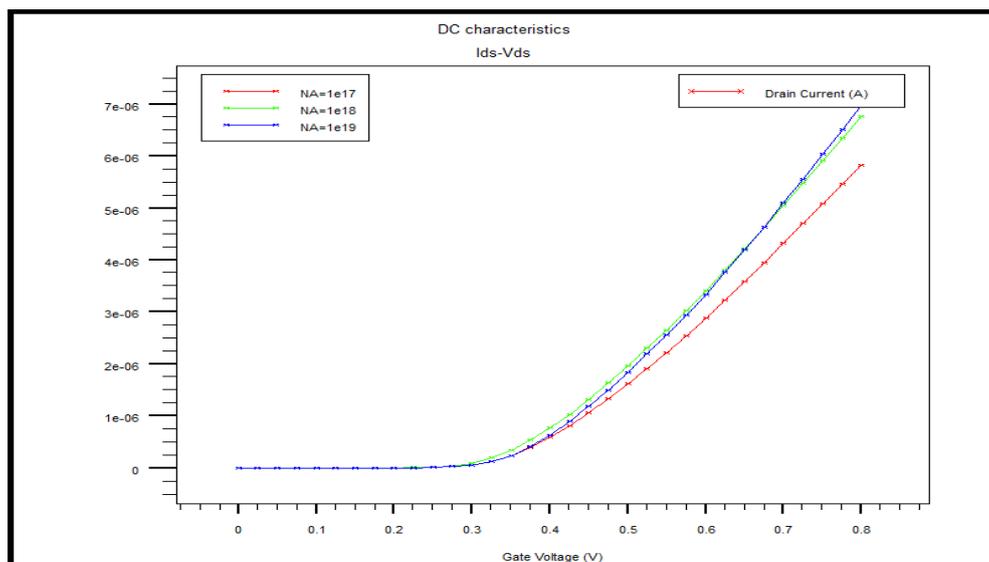


Figure 3-13: caractéristique de sortie (a) et de transfert (b) du GAA verticale à section rectangulaire pour différentes concentrations de dopage du canal.

On remarque que le courant de sortie est sensible à la variation de la concentration des dopants et augmente avec l'augmentation de cette concentration, néanmoins il est clair qu'on ne peut pas augmenter cette concentration de manière arbitraire. Concernant la tension de seuil, cette dernière est insensible à la variation de cette concentration. Nos résultats nous ont permis d'extraire le courant  $I_{dsmax}$  et la tension de seuil pour deux différentes valeurs de la concentration des dopants du canal. Les résultats obtenus sont regroupés au niveau du tableau III.4.

Concentration des dopants du canal [ $cm^{-3}$ ]	$I_{DS}(mA)$	$V_{th}(v)$
$10^{17}$	0.16	0.348
$10^{18}$	0.2	0.375

Tableau III-4. Variation du courant de sortie et de la tension de seuil du avec la variation du dopage du canal

#### III-6-2-2-2. variation de la longueur du canal

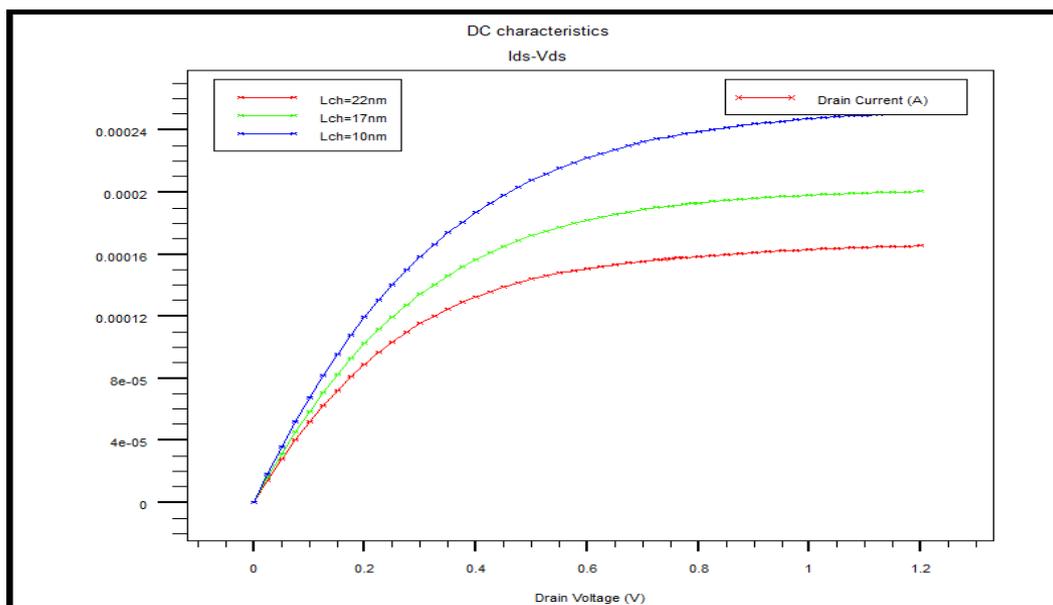
La figure 3-14 présente l'influence de la variation de l'épaisseur du canal sur le courant et la tension du seuil du dispositif étudié dans cette section. Les résultats que nous avons obtenus sont regroupés au tableau III.5.

Longueur du canal (nm)	$I_{DSmax}(mA)$	$V_{th}(v)$
10	0.25	0.30
17	0.18	0.32
22	0.16	0.38

Tableau III.5: Variation du courant de sortie et de la tension de seuil avec la variation de la longueur du canal

On peut conclure que la diminution de la longueur de canal a pour conséquence une augmentation du courant de sortie du transistor et une diminution de sa tension de seuil  $V_{th}$

a)



b)

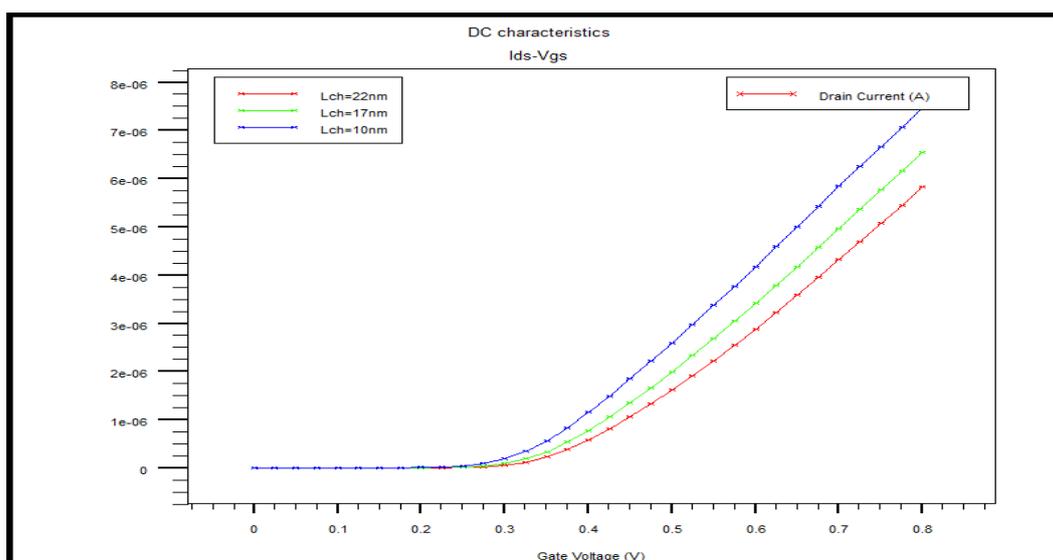


Figure 3-14: caractéristique de sortie (a) et de transfert (b) du vertical GAA MOSFET à section rectangulaire pour différentes longueur du canal ( $L_{ch}=10\text{nm}$ ,  $17\text{nm}$  and  $22\text{nm}$ ).

Sans s'étendre sur le résultat obtenu, l'effet de canal court faisant chuter la tension de seuil au fur et à mesure que la longueur de grille diminue apparaît clairement au niveau de notre caractéristique de sortie.

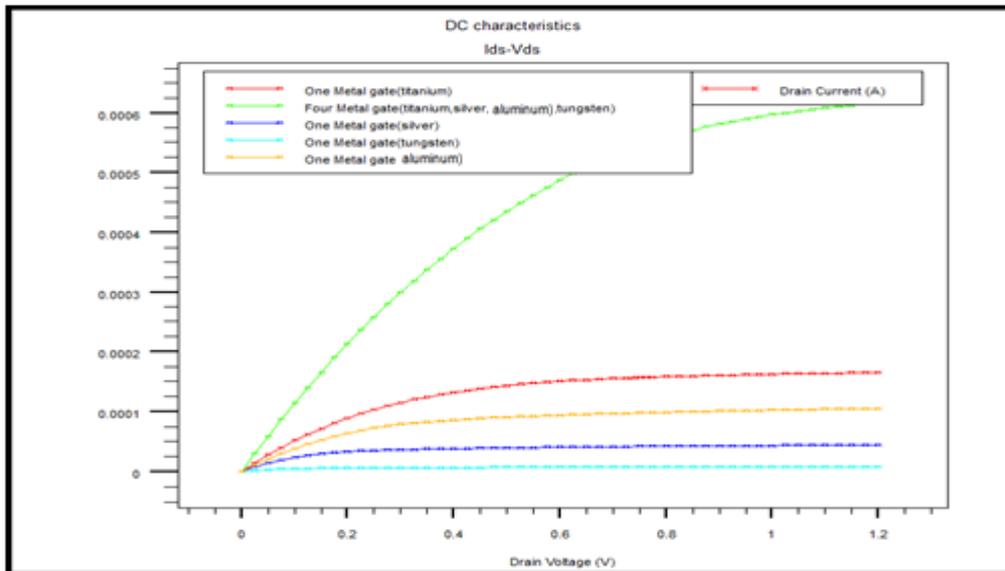
### III-6-2-2-3 variation du travail de sortie de la grille.

Afin de voir l'effet du choix du métal constituant la grille ( travail de sortie) sur les caractéristiques électrique de notre dispositif , puis les améliorations apportées par l'utilisation d'une grille constituée par divers métaux , nous avons tout d'abord simulé 4 structures

### Chapitre III : Résultats et discussion

distinctes la première à grille en Argent, une seconde à grille en Titanium, une troisième à grille en Tungstène, et enfin une quatrième à grille en aluminium . Une cinquième structure conçu avec une grille formée par les 4 métaux cités auparavant a permis de présenter l'effet de l'utilisation d'une grille à 4métaux sur les caractéristiques de la structure . Nos résultats sont présentés en figure 3-15.

a)



b)

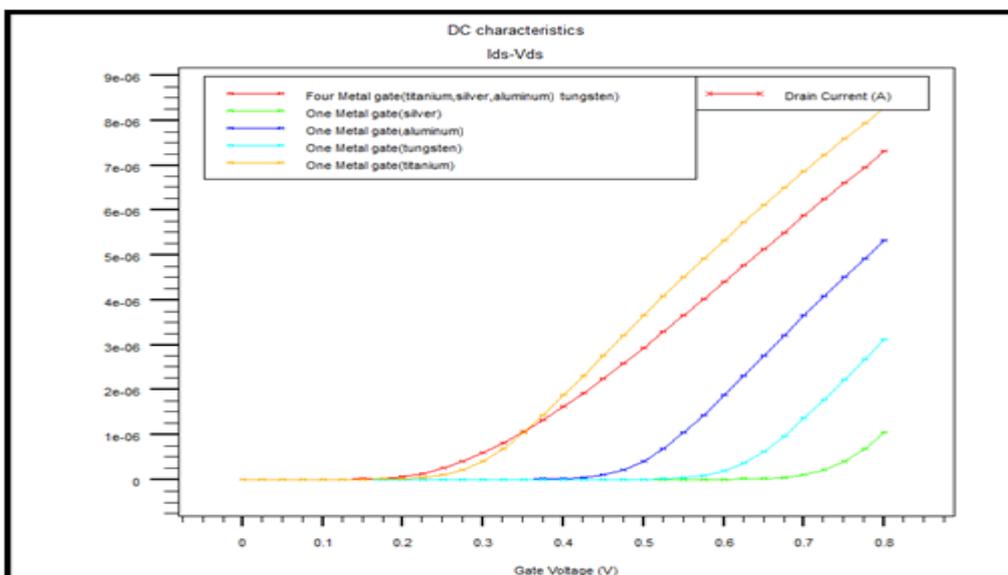


Figure 3-15: caractéristique de sortie (a) et de transfert (b) du vertical GAA MOSFET à section rectangulaire pour différents travaux de sortie du métal de grille

On peut tout d'abord observer que la nature du métal a une influence sur le courant de sortie et la tension de seuil du transistor ce qui était bien entendu prévisible ( chacun des métaux constituant la grille a son propre travail de sortie) . En utilisant une grille à 4 métaux, nous avons pu observer une augmentation évidente du courant du drain, il en résulte en un bon control électrostatique du canal avec un abaissement de la tension du seuil cela permettra d'utiliser ce composant dans les applications logiques qui nécessite une faible tension de seuil.

### III-6-2-3.L'effet DIBL du vertical GAA MOSFET

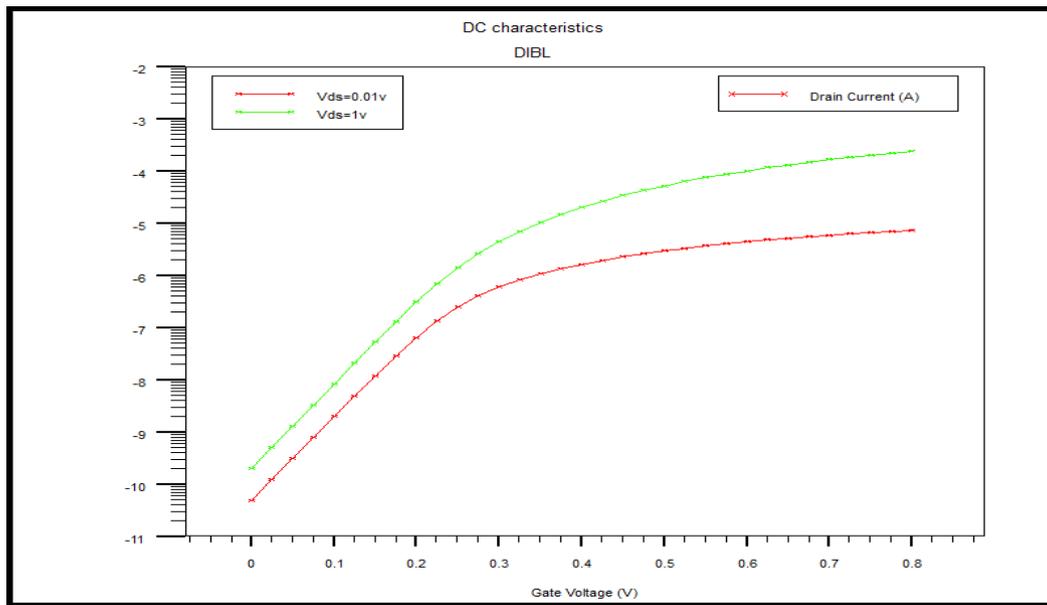


Figure 3-16: DIBL du vertical GAA MOSFET

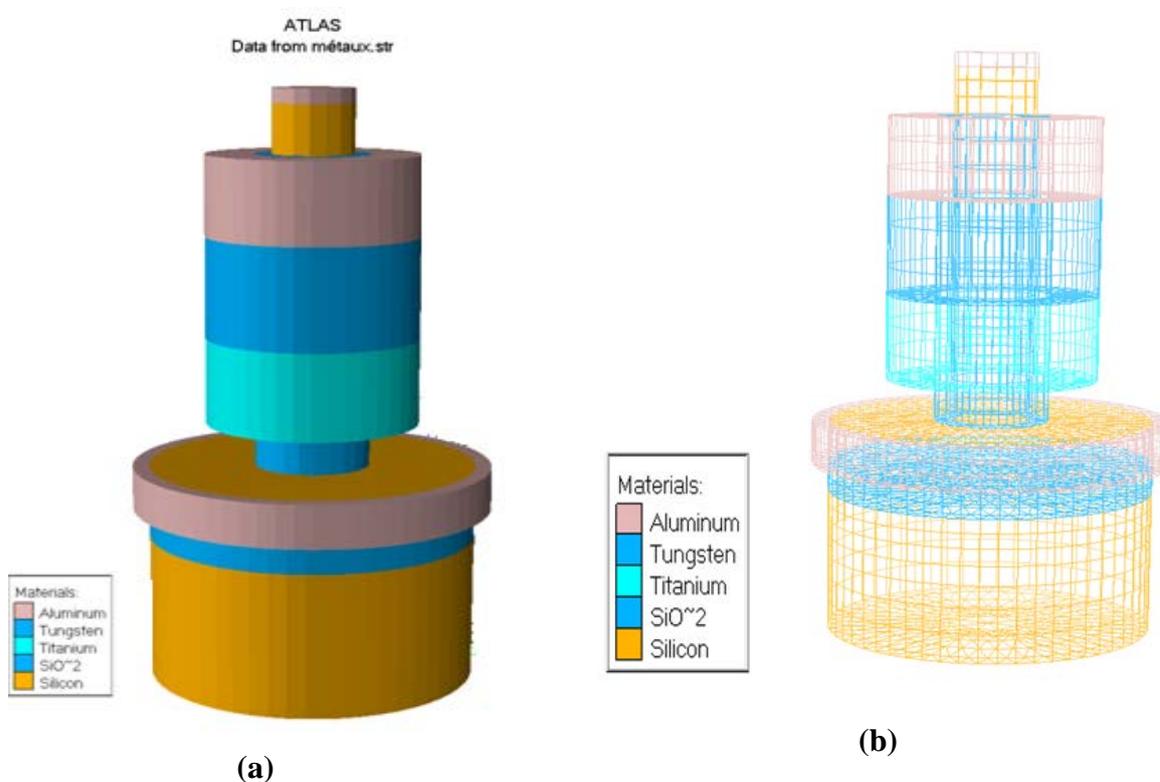
Pour cette structure le DIBL est estimé à 35mV/v

### III-6-3. GAA MOSFET Cylindrique

Le transistors SOI MOSFET à grille cylindrique, " *CSRG MOSFET* : *Cylindrical Surrounding-Gate MOSFET* ", est conçue avec une grille de forme de cylindre entourant un canal et un oxyde de même forme que la grille. Le premier *Surrounding-Gate MOSFET* a été fabriqué par JEAN PIERRE COLINGE en enroulant une électrode de grille autour d'un pilier vertical de Silicium. Ce transistor est un très bon candidat pour continuer la miniaturisation des MOSFETs . En effet, cette architecture présente de hautes performances pour de faibles dimensions et de faibles rayons de Silicium tels que les SRG de rayon inférieur ou égal à 5nm. Ces structures présentent un excellent contrôle électrostatique, une pente sous le seuil considérée comme idéale et un DIBL très faible.

### Chapitre III : Résultats et discussion

Nous présentons au niveau de la figure III.3 (a) un transistor à grille enrobée à section cylindrique. Nous simulons alors un GAA MOSFET à section cylindrique avec une grille constituée de trois métaux. Dans ce type de dispositif le travail de sortie des matériaux de grille de la source au drain sont  $\varphi_{M1} = 4.08$  eV (aluminium),  $\varphi_{M2} = 4,85$  eV (Tungstène),  $\varphi_{M3} = 4.1$  eV (Titane)



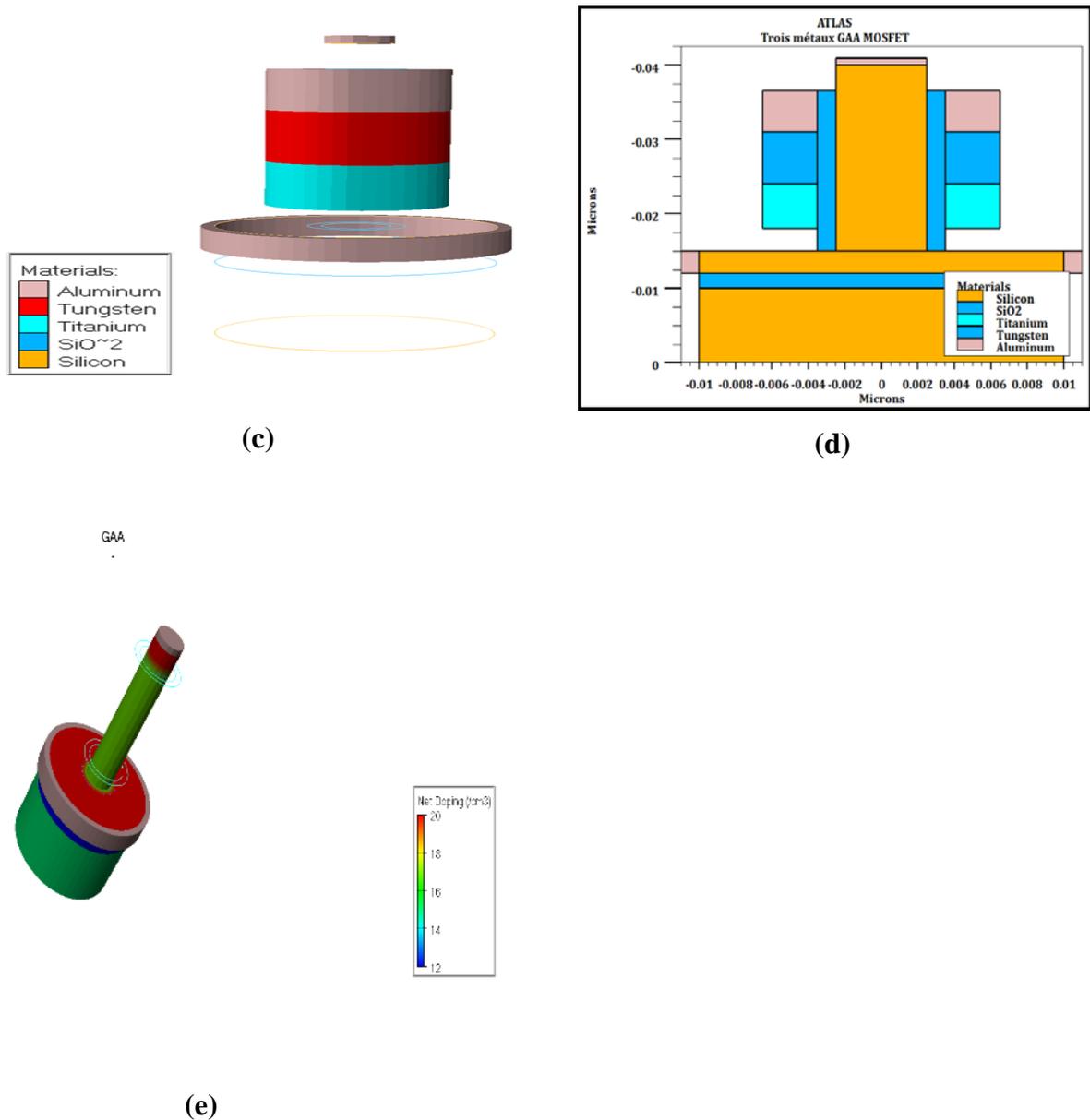


Figure 3-17: GAA MOSFET à section circulaire et à trois métaux de grille a) structure 3D b) Présentation du maillage c) structure les électrodes b) coupe 2D du GAA MOSFET e) Dopage

Dans cette section nous nous sommes donc intéressés à ce type de dispositif considérés comme étant un très bon candidat permettant de minimiser les effets canaux courts. Nous avons alors simulé un GAA à section cylindrique pour lequel nous avons encore une fois fait varier certains de ses paramètres afin d'examiner leur influence sur le courant de drain. Les résultats obtenus sont présentés dans ce qui suit.

### III-6-3-1. Variation des paramètres technologiques du GAA à section cylindrique

#### III-6-3-1-1. Variation de l'épaisseur d'oxyde

Puisque l'oxyde de silicium s'interpose entre la grille et le canal de conduction, il a donc un effet direct sur le fonctionnement du transistor. La caractéristique de sortie et de transfert de

notre dispositif à trois métaux de la grille et à différentes épaisseur de l'oxyde de grille sont présentées en figure 3.18.

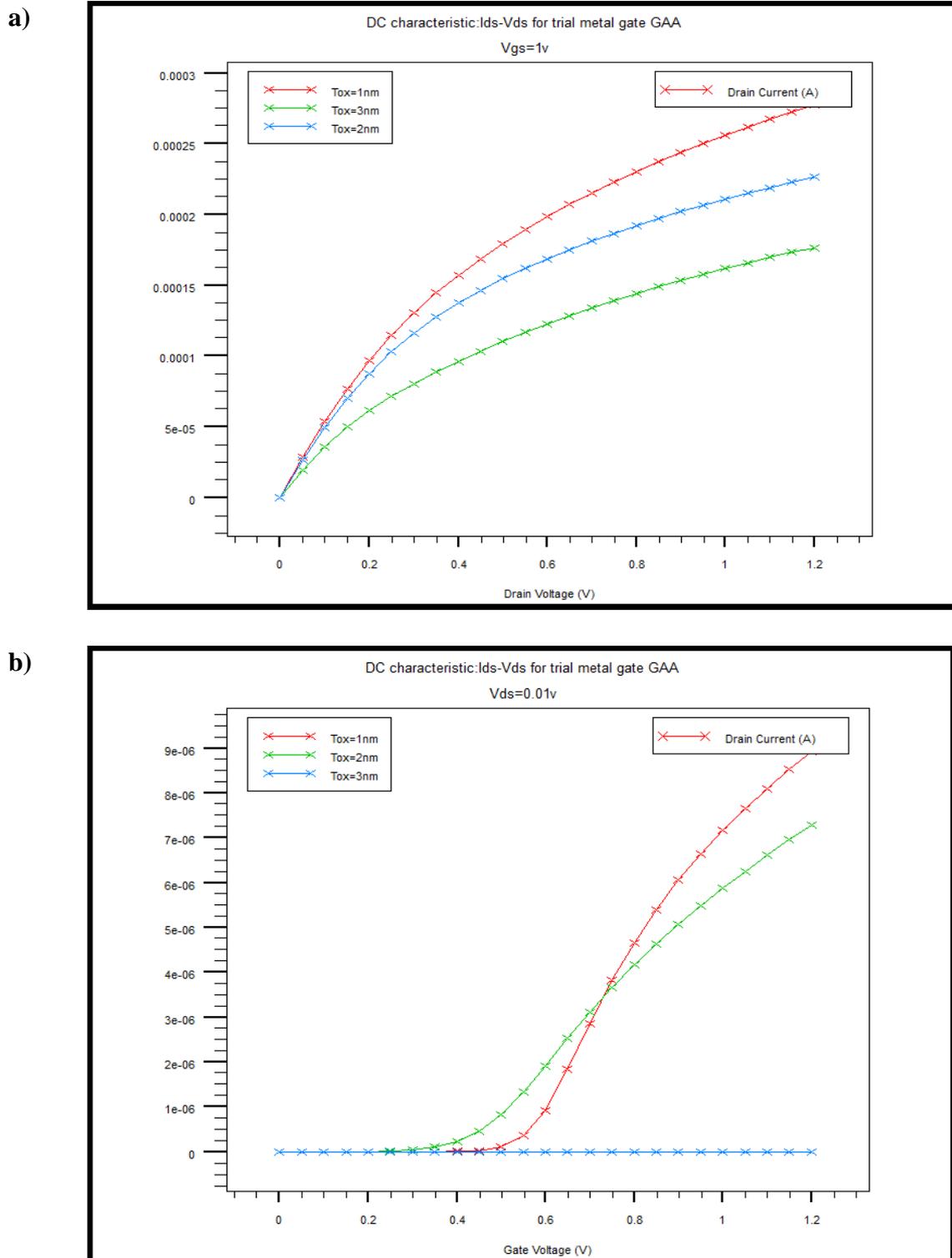


Figure 3-18: Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à trois métaux de grille pour différentes épaisseurs de l'oxyde de grille ( $T_{ox}=1nm$ ,  $2nm$  and  $3nm$ )

Nos résultats nous ont permis d'extraire le courant  $I_{dsmax}$  et la tension de seuil pour différentes valeurs de  $t_{ox}$ . Les résultats obtenus sont regroupés au niveau du tableau III.6

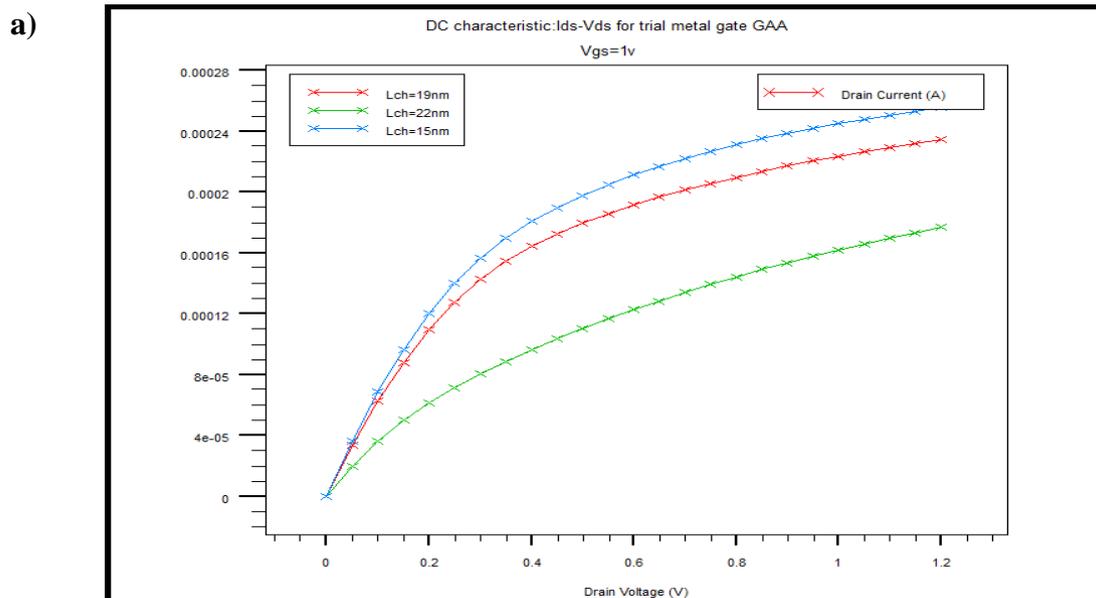
Épaisseur de l'oxyde de grille	$I_{DSmax}$ (mA)	$V_{th}$ (v)
1	0.275	0.5
2	0.225	0.35
3	0.150	-

Tableau III.6 : Variation du courant de sortie et de la tension seuil avec la variation de l'épaisseur d'oxyde  $T_{ox}$

On peut conclure que l'épaisseur de l'oxyde de grille influence le courant du drain. Avec la miniaturisation cette épaisseur a tendance à diminuer, cependant une forte diminution n'est pas à envisager. D'autre part en augmentant cette épaisseur arbitrairement isolerait la grille qui ne commanderait plus le canal.

### III-6-3-1-2. Effets de la Variation de la longueur du canal

Nous examinons dans cette partie l'effet de la variation de la longueur du canal de conduction du GAA MOSFET à section cylindrique et à trois métaux de grille sur son courant de sortie. La caractéristique de sortie et de transfert sont présentées en figure 3.19.



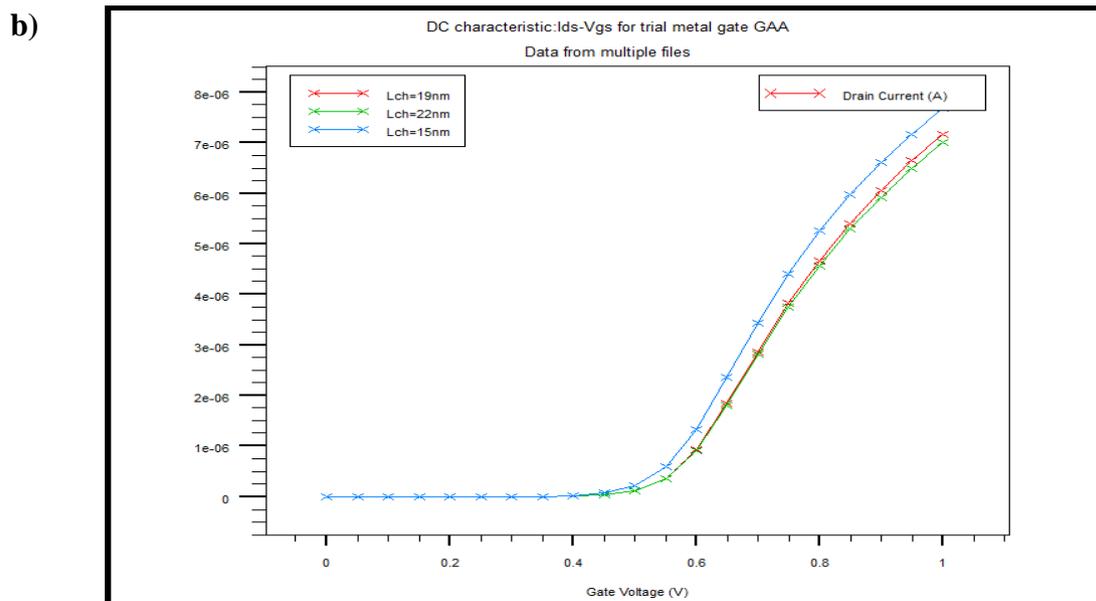


Figure 3-19: Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à trois métaux de grille pour différentes longueurs du canal ( $L_{ch}=9nm$ ,  $15nm$  and  $22nm$ ),

Les valeurs du courant  $I_{DSmax}$  et de la tension de seuil sont regroupées au niveau du tableau III.7

Longueur du canal( $\mu m$ )	$I_{DSmax}(mA)$	$V_{th}(v)$
15	0.24	0.5
19	0.22	0.52
22	0.16	0.515

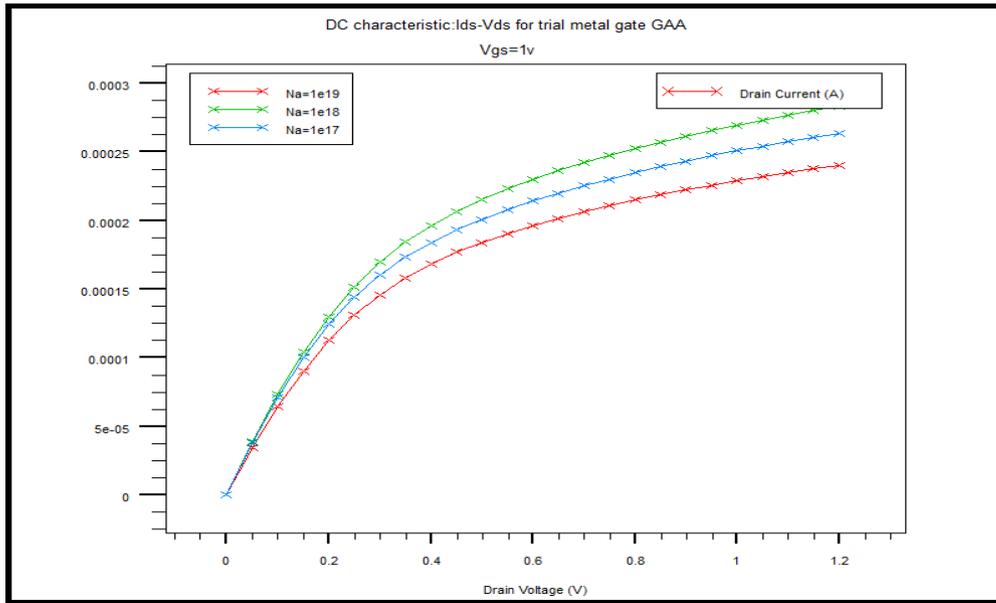
Tableau III.7 : Variation du courant  $I_{DSmax}(mA)$  et de la tension de seuil  $V_{th}$  du GAA MOSFET à section cylindrique avec la variation de la longueur du canal.

Nous remarquons encore une fois que la longueur du canal est une grandeur importante qui a une influence sur le courant de sortie du transistor, en effet  $I_{DSmax}$  diminue quand la longueur du canal augmente.

### III-6-3-1-3. Etude de l'effet de la variation de la concentration des dopants dans le canal de conduction du GAA MOSFET à section cylindrique

L'effet de la variation de la concentration du dopage du canal peut être observé en variant cette concentration. Nos différents résultats sont présentés en figure 3.20, les valeurs obtenues pour  $I_{DSmax}$  et  $V_{TH}$  sont regroupées au niveau du tableau III-8 .

a)



b)

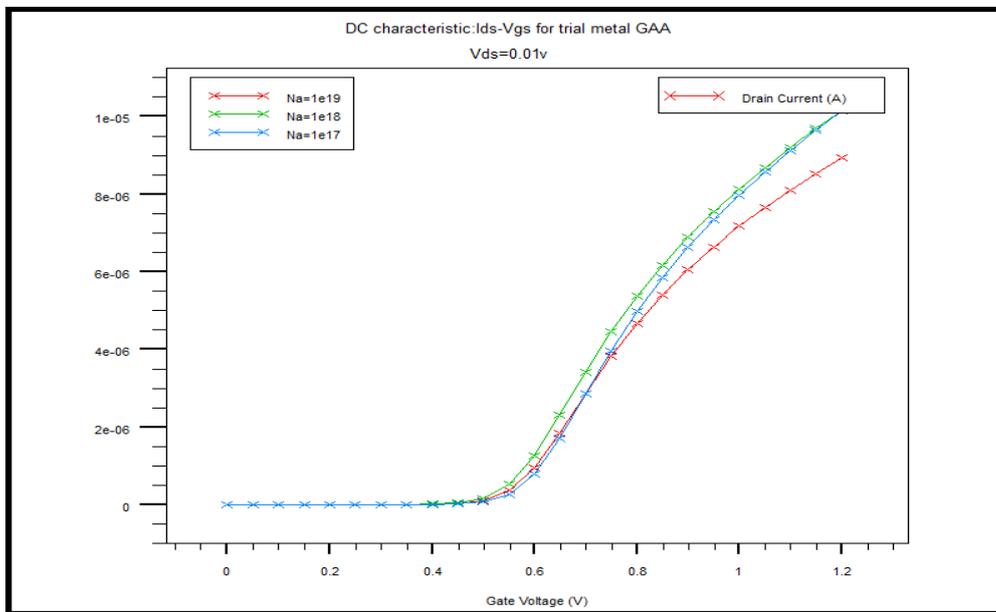


Figure 3-20: Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à 3 métaux de grille pour différentes concentrations des dopants du canal ( $10^{17} \text{ cm}^{-3}$ ,  $10^{18} \text{ cm}^{-3}$  et  $10^{19} \text{ cm}^{-3}$ )

Concentration des dopants du canal ( $\text{cm}^{-3}$ )	$I_{DSmax}(\text{mA})$	$V_{th}(\text{v})$
$10^{17}$	0.250	0.50
$10^{18}$	0.275	0.48
$10^{19}$	0.225	0.55

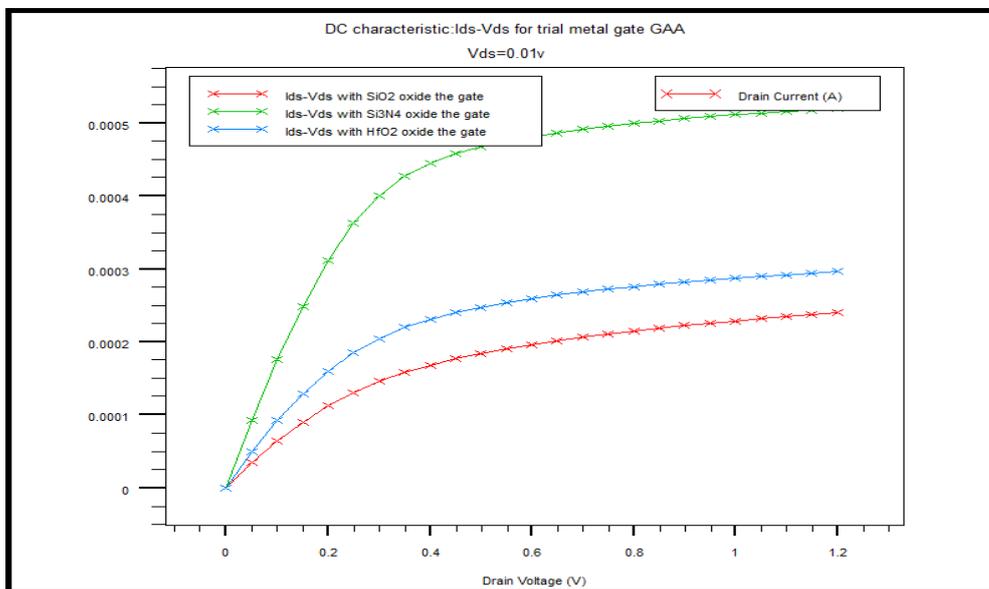
Tableau III-8 : Variation du courant  $I_{DSmax}(\text{mA})$  et de la tension de seuil  $V_{th}$  du GAA à section cylindrique à 3 métaux de grille avec la variation de la concentration des

A partir de ces résultats, on peut dire que, comme prévu, la concentration des dopants dans le canal a une influence sur le courant  $I_{ds}$  et sur la tension de seuil  $V_{th}$  qui peut justement être ajustée par un choix adéquat de cette concentration.

### III-6-3-1-4 Effet de la nature de l'oxyde de grille

Nous avons déjà mentionné auparavant qu'avec la réduction de la taille des dispositifs le  $SiO_2$  isolant conventionnel voit son épaisseur diminuer à un point tel qu'il ne peut plus jouer son rôle en tant que diélectrique de grille. Par conséquent les diélectriques de type *high k* ont pris la relève et ont remplacé le  $SiO_2$  conventionnel. Il existe plusieurs types d'oxyde remplaçant l'oxyde conventionnel qu'on utilise actuellement, comme nous l'avons déjà cité auparavant, pour les structures émergentes. Nous avons simulé notre structure en utilisant différents diélectriques de grille pour voir une fois encore lequel permettrait d'améliorer les performances de notre structure. Les différents résultats de simulations que nous avons obtenus sont représentés au niveau de la figure 3.21, les différentes valeurs du courant  $I_{DSmax}$  et  $V_{th}$  sont regroupées au niveau du tableau III-9.

a)



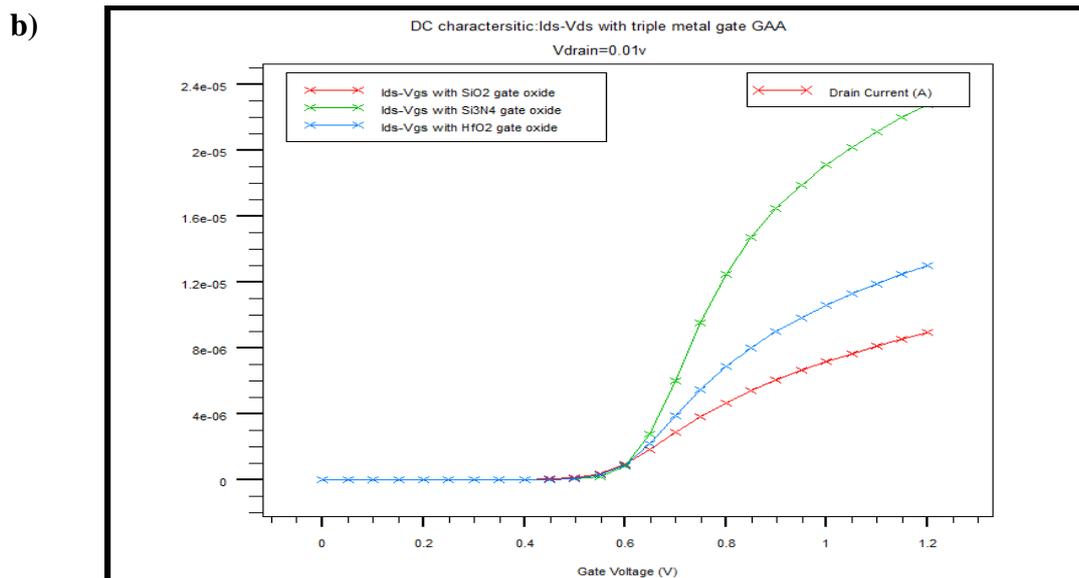


Figure 3-21: Caractéristique de sortie (a) et de transfert (b) du GAA MOSFET à section cylindrique à 3 métaux de grille avec différents oxydes de grille ( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  et  $\text{HfO}_2$ ).

Nature du dioxyde de grille	$I_{DS_{\max}}$ (mA)	$V_{th}$ (v)
<b>SiO<sub>2</sub></b>	0.25	0.48
<b>Si<sub>3</sub>N<sub>4</sub></b>	0.5	0.58
<b>HfO<sub>2</sub></b>	0.20	0.50

Tableau III-9: Variation du  $I_{DS_{\max}}$ (mA) et du  $V_{th}$  du GAA MOSFET à section cylindrique à 3 métaux de grille avec la variation de la nature de l'oxyde de grille .

Nous remarquons encore une fois que la nature du diélectrique de grille a une grande influence sur les caractéristiques de n'importe lequel des dispositifs que nous avons réalisé.

Le choix de cet oxyde doit être tel que :

- Sa permittivité doit être suffisamment élevée pour que la miniaturisation puisse encore tenir plusieurs années;
- Cet oxyde doit se comporter comme un bon isolant (band gap > 5 eV) ;
- Cet oxyde doit être non seulement stable mais aussi compatible aux techniques de fabrication actuelles;

- Cet oxyde doit aussi être thermodynamiquement stable avec le silicium;
- Cet oxyde doit comporter le moins de défauts possible;
- Cet oxyde doit, enfin, former une bonne interface électrique avec le silicium.

### III-6-3-2. Effet DIBL

Le phénomène de DIBL est bien mis en évidence au niveau de la figure 3.22. Le DIBL est estimé à 60mV/v dans le cas de notre GAA à section cylindrique.

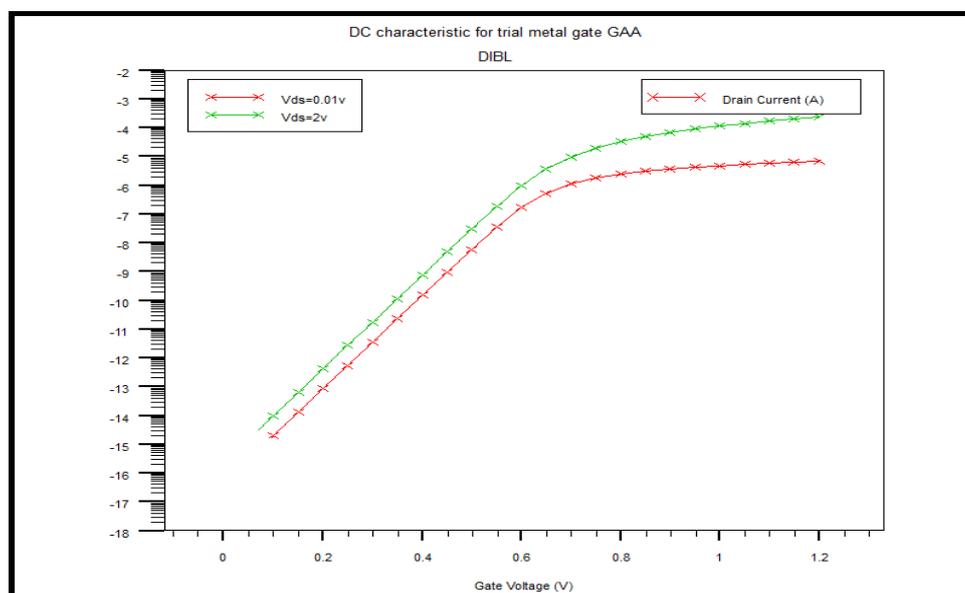


Figure 3- 22: Mise en évidence du DIBL pour le GAA MOSFET

*Vertical à section cylindrique à 3 métaux de grille*

Pour finir cette section, nous pouvons conclure que les GAA à grilles enrobées à section cylindrique représente le cas jugé optimum de contrôle électrostatique du canal de conduction et permet une réduction de la puissance consommée et ceci grâce à son immunité aux effets canaux courts. Ces dispositifs sont donc une option crédible pour poursuivre la loi de GORDON MOORE au delà du nœud technologique 15nm.

### III-6-4. GAA MOSFET à quatre canaux

Le SRG MOSFET est l'ultime structure des MUGFETs, le SRG a été développée avec l'idée d'avoir le meilleur contrôle électrostatique possible. Notons que la structure des SRG cylindrique arrondi élimine les problèmes et les effets coins (corner effects).

Pour augmenter la densité de courant par unité de surface, les dispositifs à grille enrobées peuvent être conçus avec plusieurs canaux qui partagent la même grille et les mêmes Source/Drain, ce type de dispositif est souvent appelé le canal multi-Pont tel que celui représenté en figure 3.23.

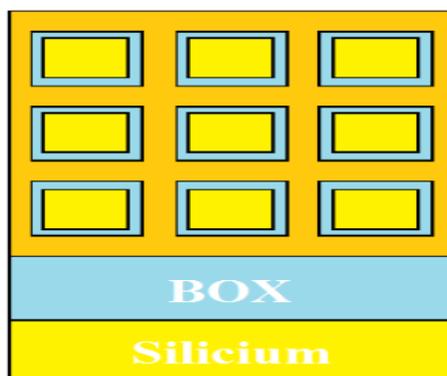
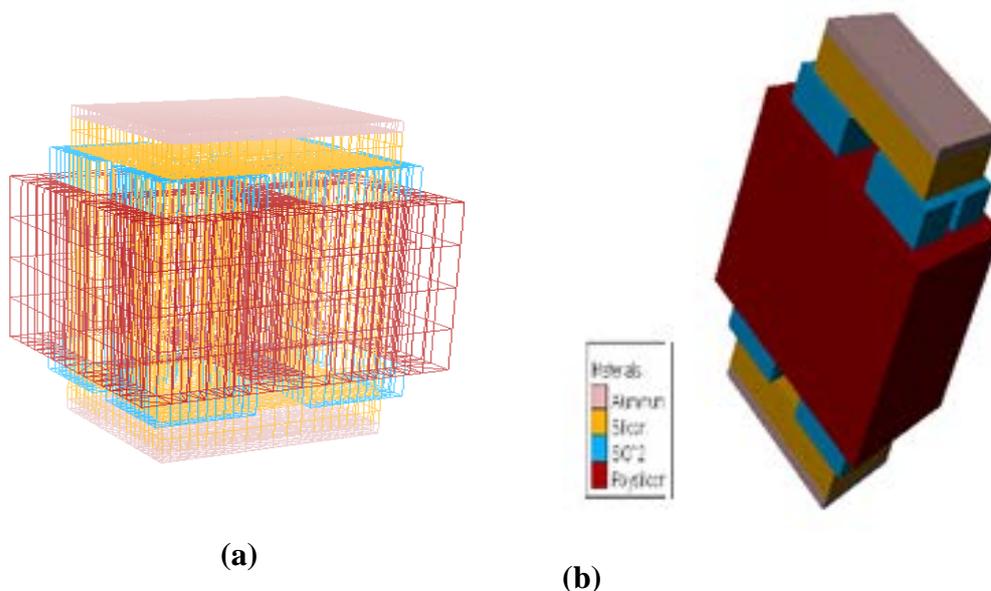


Figure 3- 23: Coupe transversale d'une structure à canaux multiples

Dans cette dernière section, nous présentons les résultats que nous avons obtenus lors de la conception d'un GAA à 4 canaux de conduction. La figure 3-24 présente la structure conçue en 3D sous le module DevEdit d'un transistor GAA MOSFET avec quatre canaux verticaux et une seule grille de type poly-silicium.



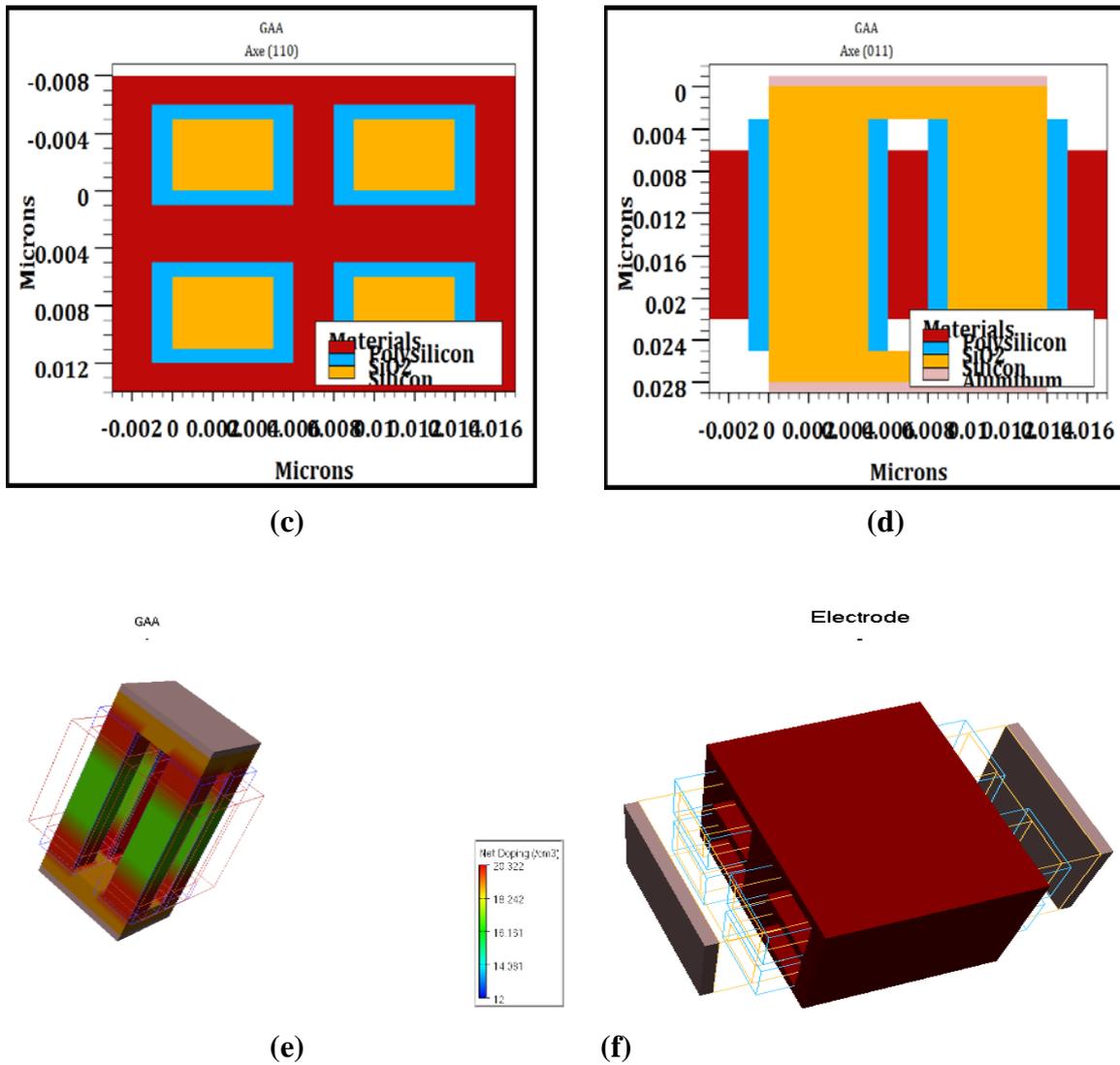
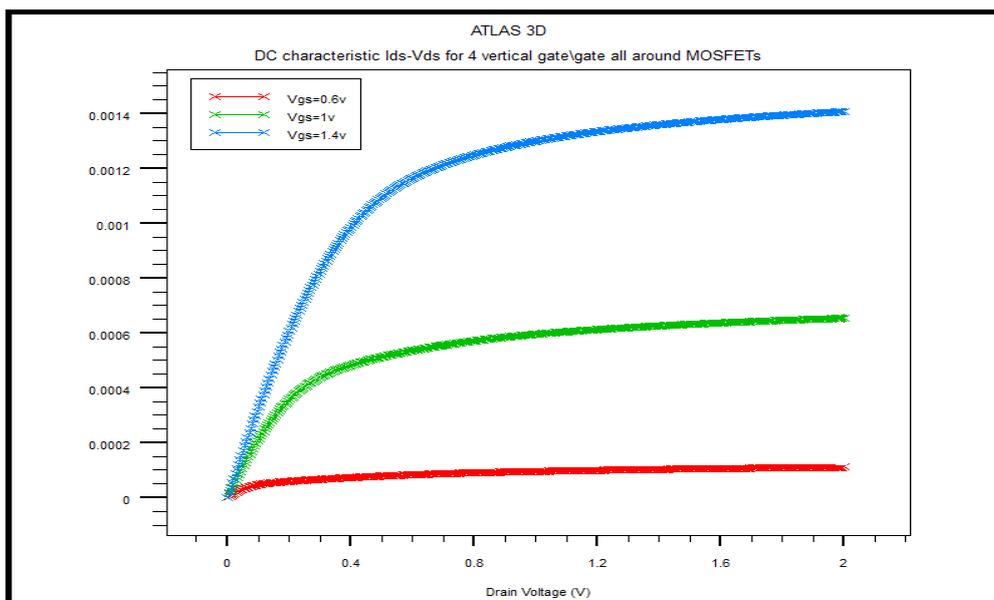


Figure 3-24: GAA MOSFET vertical à section rectangulaire à quatre canaux a) maillage b) structure c) coupe 2D horizontale d) coupe 2D verticale e) dopage f) les électrodes

### III-6-4-1. Caractéristique DC du GAA MOSFET vertical à section rectangulaire et à quatre canaux.

Les caractéristiques de sortie et de transfert du GAA MOSFET à 4 canaux sont représentées en figure 3.25.

a)



b)

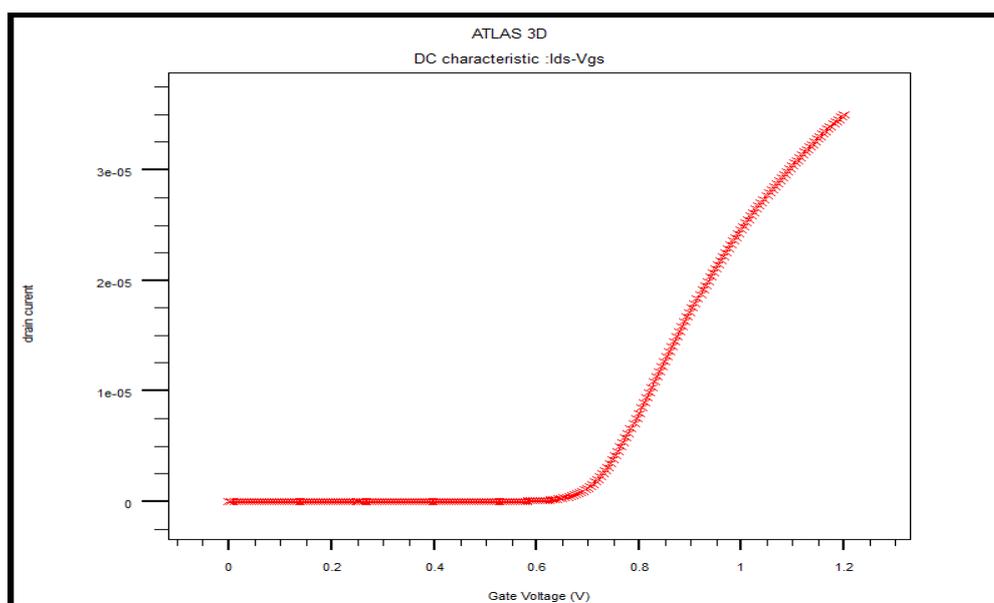


Figure 3-25: GAA MOSFET vertical à section rectangulaire à quatre canaux:(a) Caractéristique de sortie b) Caractéristique de transfert.

Pour une tension de polarisation  $V_{gs}=1v$  l'extraction de  $I_{on}$  et  $V_{th}$  donne  $I_{on}=0.6\text{ mA}$  et  $V_{th}=0.65v$ .

### III-6-4-2.Effet de la multiplicité des canaux sur les caractéristiques électrique du dispositif

### Chapitre III : Résultats et discussion

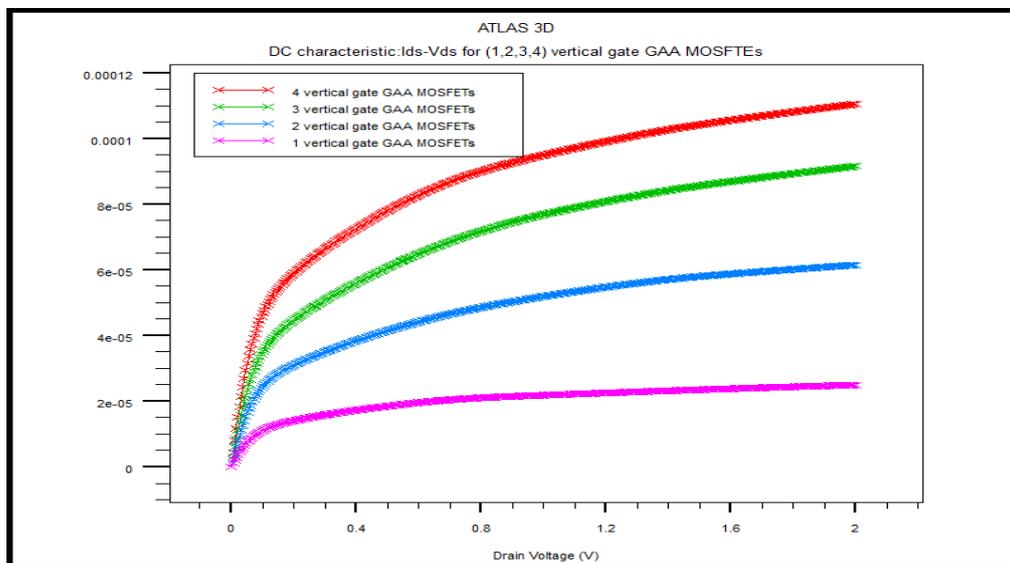
Afin de montrer les effets de la multiplicité du nombre de canaux sur le courant de sortie du transistor nous avons pu simuler un transistor à 1, puis 2 puis 3 puis 4 canaux. Les résultats que nous avons obtenus sont regroupés sur le tableau III-10

Nombre de canaux	$I_{DS}(mA)$	$V_{th}(v)$
1	0.025	0.6
2	0.05	0.62
3	0.09	0.68
4	0.11	0.65

Tableau III-10: Variation du  $I_{DSmax}$  et du  $V_{th}$  du GAA MOSFET à section Carré en fonction du nombre de canaux de conduction.

On peut conclure que le courant de sortie du transistor augmente quand le nombre de canaux de conduction augmente. Ce type de dispositif est utilisé dans la conception de mémoires.

a)



b)

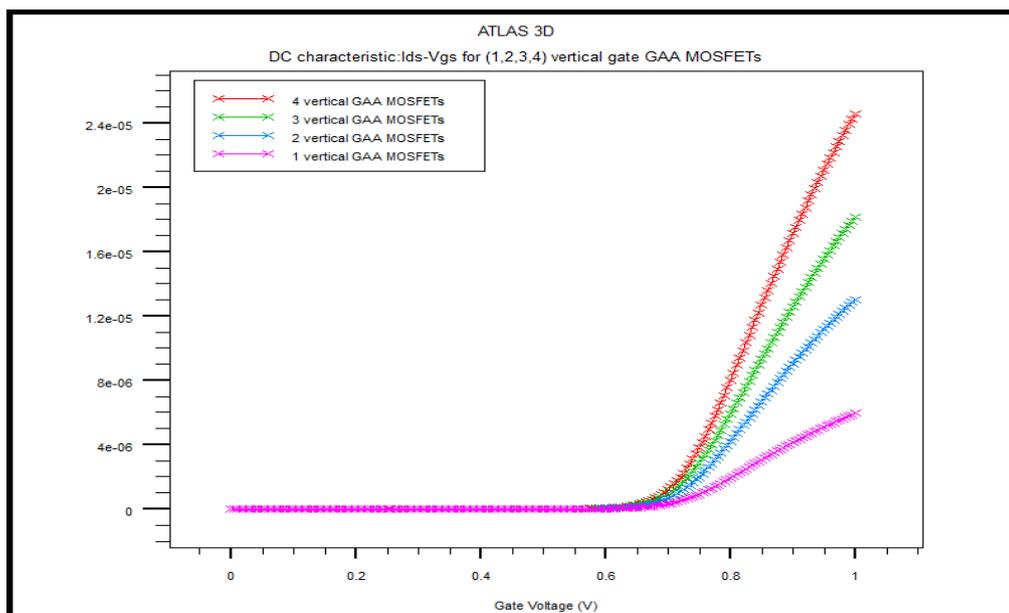


Figure 3-26: Effet de la multiplicité du nombre de canaux sur le courant (a) et sur la tension de seuil (b) du GAA à canaux multiples.

Les différents résultats que nous avons obtenus concernant les caractéristiques électriques de notre dispositif suite à la multiplication du nombre de ses canaux sont regroupés au niveau du tableau III-11

Nombre de canaux	1	2	3	4
<i>Dibl(mv/v)</i>	60	55	50	40
<i>Ion(A)</i>	5.35E-07	1.24E-07	1.73E-07	2.28E-6
<i>Ioff(A)</i>	2.13E-13	1.80E-12	1.94E-12	1.78E-11
<i>Ion/Ioff</i>	2,5E6	0.68E5	0.89E5	1.20E5
<i>SS (mV/dec)</i>	62.5	73	73.7	72

Tableau III-11 : Effet de la multiplication des canaux sur les caractéristiques électriques du dispositif étudié.

Un des défis majeurs pour la miniaturisation du transistor MOSFETs est d'obtenir un rapport élevé  $I_{on} / I_{off}$ . Ces nano MOSFETs imposent de nouveaux défis technologiques et révèlent de nouveaux phénomènes que nous ne pouvons pas négliger, avec  $I_{on}$  défini comme le courant de drain lorsque  $V_{gs} = V_{ds} = V_{dd}$  et  $I_{off}$  comme courant de drain quand  $V_{gs} = 0$  et  $V_{ds} = V_{dd}$ .

En utilisant l'outil d'extraction sous Atlas Silvaco pour l'obtention des différents paramètres DIBL,  $I_{on}$ ,  $I_{off}$ , SS (Tableau III-12) nous pouvons présenter les résultats comparatifs pour les

transistors verticaux rectangulaires à un canal, deux canaux, trois canaux et quatre canaux. On peut constater que le GAA à quatre canaux a un faibles DIBL par rapport aux autres transistors, de ce fait cette architecture peut être utilisée dans les applications logique comme les mémoires.

#### III-6-4-3. La Transconductance $g_m$

Nous représentons en figure 3-27 et 3-28 la transconductance  $g_m$  du notre GAA MOSFET à un canal et quatre canaux pour observer la variation de la valeur de la transconductance par rapport aux nombre des canaux.

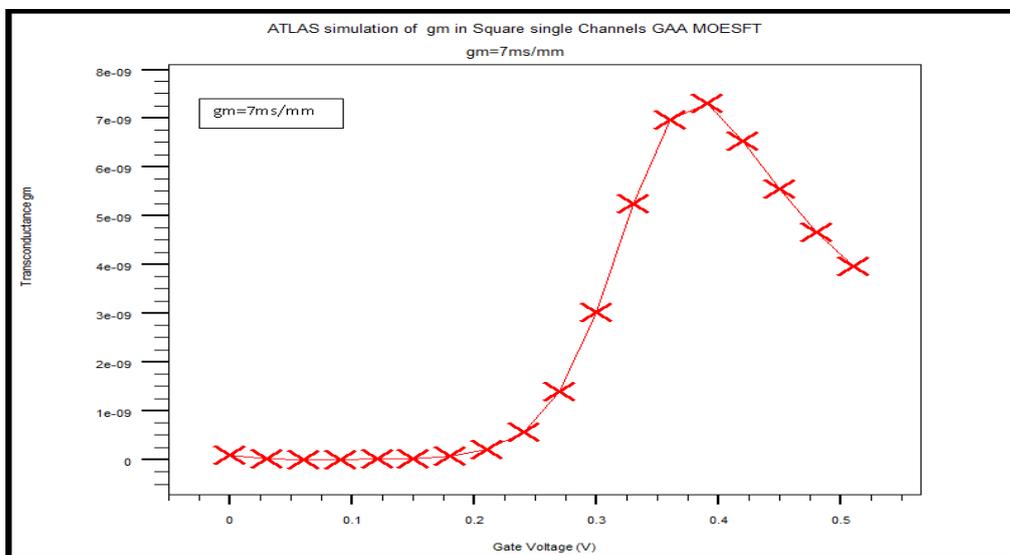


Figure 3-27: transconductance  $g_m$  pour GAA MOSFET à canal unique

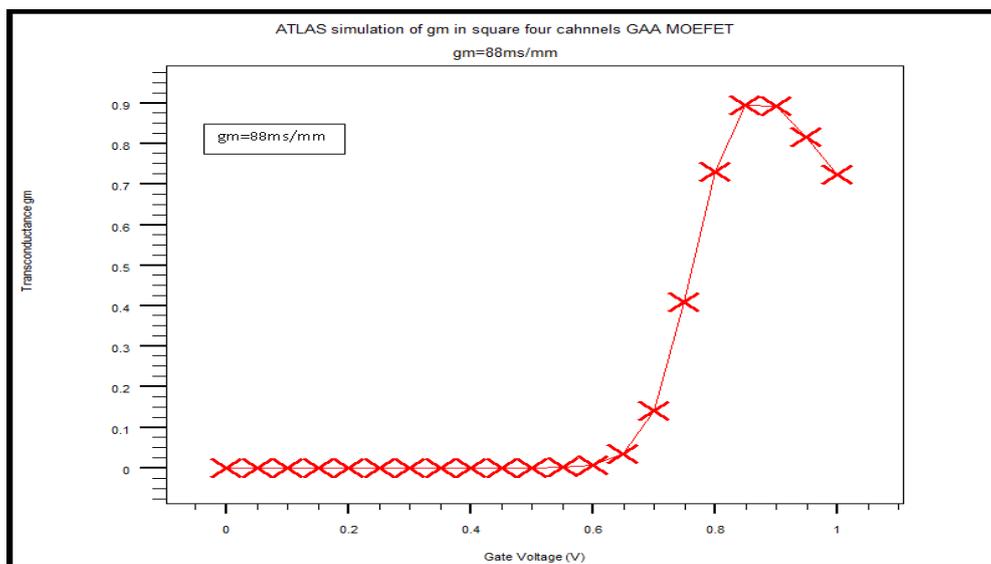


Figure 3-28: transconductance  $g_m$  pour un GAA MOSFET à 4 canaux

### Chapitre III : Résultats et discussion

La transconductance  $g_m$  est un paramètre important pour l'analyse en petits signaux des circuits analogiques. En général, il est important d'analyser la transconductance  $g_m$  et aussi l'efficacité donnée par le rapport  $(g_m / I_D)$ . La sensibilité de  $g_m$  ( $g_m / I_D$ ) sur les paramètres liés au processus donne une meilleure idée de la performance de notre transistor. La transconductance pour un canal et quatre canaux est représentée respectivement sur les figures III.30 et III.31 et 11 où on extrait :

- Pour un canal :  $g_m = 7 \text{ ms/mm}$
- Pour quatre canaux :  $g_m = 88 \text{ ms/mm}$

Nous résumons et regroupons au niveau du tableau III.12 tous les résultats de simulations que nous avons obtenues pour toutes les structures simulées que nous comparons à des structures que nous avons retrouvées en littérature. Cette étude comparative nous permettra de valider nos divers résultats de simulation.

	[94]	[95]	[96]	[97]	[98]	[99]	[100]				
	<i>Structures conçues</i>				<i>Structures retrouvées en littérature</i>						
Structure	GAA Horizontal	GAA Cylindrique	Quatre canaux GAA	GAA Vertical	GAA	GAA	GAA	GAA	FinFET	ETB	GAA
<b>Lch(nm)</b>	9	22	22	22	35	20	200	100	130	55	50
<b>W(nm)</b>	5	5	5	5	4	20	90	15	220		10
<b>DIBL</b>	39	60	-	35		7	170	60	135	84	
<b>Gm(ms/μs)</b>	-	40	-	-	2	1,47		1,23	-	-	14
<b>SS</b>	-	72	-	-	-	88	98	14	-	-	21,16

Tableau III-12 : Tableau récapitulatif.

Au tableau III.12 on présente nos résultats de simulation que nous avons obtenue pour nos quatre transistors GAA MOSFET. Une étude comparative nous a permis de confronter nos résultats avec ceux obtenus par des réalisations pratiques en salle blanche. Les résultats de nos simulations sont en cohérence avec ceux retrouvés en bibliographie.

### III-7. Conclusion

Dans ce chapitre résultats, nous avons présenté des résultats de simulation que nous avons obtenu suite à la conception sous outil Silvaco en utilisant le module DEvEdit, de quatre différentes structures de transistor à grille enrobante . La principale tâche fut la conception de ces diverses structures réalisées en 3D. Nous avons alors varié certains paramètres de ces structures afin d'estimer les effets de ces variations sur les caractéristiques électriques en termes de courant de ces structures. Une étude comparative des performances de nos structures avec celle retrouvées en littérature et réalisées pratiquement en salle blanche permettent de conclure que nos résultats sont en accord avec les travaux de recherche actuels. Les résultats obtenus ont aussi démontré des performances prometteuses pour diverses applications.

### Conclusion générale

Le nombre grandissant de défis à relever au quotidien pour lutter contre les effets canaux courts dans les prochaines générations de transistors MOSFET conventionnels sur bulk est singulièrement impressionnant. De ce fait, il devient alors nécessaire de développer de nouvelles architectures de transistors MOSFETs à grille multiples. Dans ce contexte, le travail présenté dans cette thèse a été principalement consacré à l'étude et la modélisation par le biais de la simulation de différentes structures de transistors MOSFET à grille entourante dite aussi grille enrobée. Pour se faire, différents outils de modélisation analytique complet, basé sur la caractérisation physique des dispositifs et prenant en compte tous les nouveaux phénomènes entrant en jeu lors de la miniaturisation des dispositifs allant vers des dimensions nanométriques deviennent incontournables. C'est ainsi que l'objectif principal de ce travail de thèse a été d'établir de modéliser par le biais de la simulation différents dispositifs MOSFET à grilles enrobés "nanométriques" et à "canaux courts".

Nous avons pu ainsi en premier lieu présenter les transistors MOSFETs pour lesquels nous avons présenté le principe de fonctionnement, nous nous sommes intéressé par la suite à présenter l'impact de la miniaturisation sur les caractéristiques électriques des dispositifs MOSFETs, nous avons aussi passé en revue les principaux effets engendrés par la miniaturisation des transistors MOSFETs. Cette réduction des dimensions engendre des phénomènes parasites tels que l'abaissement de la barrière de potentiel induit par le drain DIBL, modification de la tension de seuil, courant de fuite qui détériorent indéniablement les caractéristiques courant-tension du transistor.

C'est pour cela que, les technologues ont imaginé de nouvelles architectures permettant de continuer la miniaturisation et éliminer ces effets indésirables et qui sont les transistors à grilles multiples. C'est ainsi que notre second chapitre a été consacré à la présentation de ces nouveaux dispositifs avec un intérêt particulier accordé aux MOSFETs à grilles enrobée à section carrée ou cylindrique.

Enfin, dans le dernier chapitre, nous présentons et discutons les résultats que nous avons obtenus par nos différentes études et pour différentes architectures. Pour ceci nous avons utilisé le logiciel SILVACO TCAD: Nous avons ainsi conçu par le biais de la simulation:

- D'un GAA horizontale à section rectangulaire nous avons alors étudié l'influence de

## Conclusion générale

---

la variation des paramètres géométriques et l'influence de deux types de métaux de grille (aluminium, titanium) sur le courant de sortie et la tension de seuil du transistor. Un rapport  $I_{on}/I_{off}$  de  $10^4$ , un DIBL de 39mV/V ont été obtenus et nous ont permis de conclure que ce transistor présente un bon contrôle électrostatique du canal.

- D'un GAA vertical à section rectangulaire pour lequel nous avons étudié l'effet de la variation des paramètres géométriques (longueur du canal et de la grille) et leur influence sur les caractéristiques de sortie et de Transfert. En utilisant quatre différents types de métal aux niveaux de la grille, nous avons constaté une augmentation du courant de sortie. Enfin, nous avons procédé à une simulation AC pour l'extraction de la fréquence de coupure de notre transistor qui allait jusqu'à 600GHz. Cette valeur permet à notre transistor d'être utilisable dans le domaine de la haute fréquence.
- D'un GAA à section circulaire pour lequel nous avons aussi de la grille sur les caractéristiques électrique du transistor. L'effet de l'utilisation des diélectriques à haute permittivité ont aussi été présenté Cette simulation nous a permis de sélectionner le type de métal de grille, l'oxyde de grille et les différents paramètres géométriques les plus optimales.
- D'un GAA MOSFETs vertical multicanaux orienté vers des applications en logique telle que les mémoires ou on remarque une amélioration du courant du transistor qui varie proportionnellement au nombre de grille.

Pour finir, nous pouvons alors conclure en avançant que pour poursuivre la miniaturisation des dispositifs, la question du choix de l'architecture reste fondamentale et surtout décisive. Nous savons d'ores et déjà que l'architecture conventionnelle qui consiste au MOSFET sur bulk ne peut malheureusement plus être utilisée. Pour le moment satisfaire la loi de Gordon Moore semble faisable pour encore quelques noeuds technologiques, avec l'introduction de nouvelles architectures et aussi de nouveaux matériaux. Cependant la question qui reste en suspens est « jusqu'à quand ? ».

## Références

---

- [1] Birahim Diagne, "étude et modélisation compacte d'un transistor MOSFETs SOI double grille dédié a la conception", 16/11/2007
- [2] P. Masson, "Etude par pompage de charge et par mesures de bruit basse fréquence de transistors MOS à oxynitride de grille ultraminesces", Thèse de Doctorat, INSA Lyon, Grenoble, 1999.
- [3] Olivier weber ,Etude, Fabrication et Propriétés de Transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité 2005
- [4 ] S.M. Sze, Physics of semiconductor devices, Ed. John Wiley & Sons, 1981
- [5].B.G. Streetman, S. Banerjee, "Solid State Electronic Devices", Fifth Edition, Prentice Hall, 2000.
- [6].A. Guen Bouazza, H. Sahraoui, B. Bouazza, K. E. Ghaffour, N. E. Chabane Sari, "Modélisation des sources de bruit dans les dispositifs MOS", Afrique Sciences, 2005, Vol.1, N°.2, pp.189-207.
- [7] S.M. Sze, "VLSI Technology", McGraw-Hill International Editions, 2nd edition 1988.
- [8] Y.Tsividis, « Operation and Modeling of the Mos Transistor »,Columbia University,WCB McGraw-Hill,620 p.,1999
- [9] Romain Ritzenthaler « Architectures avancées des transistors FinFETs :Réalisation,caracterisation et modélisation » école doctoerale EEATS,2006
- [10] T.A.Fjeldly,T.Ytterdal and M.S.Shur,"Introduction to device modeling and circuits simulation " Ed.Wiley,New York,1998
- [11 ] Anthony VILLALON, « Etude de nano-transistors à faible pente sous le seuil pour des applications très basse consommation » 10 décembre 2014, CEA-LETI dans l'École Doctorale Electronique, Electrotechnique, Automatique et Traitement du Signal
- [ 12] J. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 1-4020-77734, Kluwer Academic Publishers, 3PrdP edition, 1997
- [13]I. Knezevic, D. Z. Vasileska, D. K. Ferry, "Impact of Strong Quantum Confinement on the Performance of a Highly Asymmetric Device Structure: Monte Carlo Particle-Based Simulation of a Focused-Ion-Beam MOSFETs", IEEE Transactions on Electron Devices, vol. 49, pp. 19-26, 2000
- [14] Frederic Mayer, these de doctorat Etude, réalisation et caracterisation du transistor a ionisation par impact (I-MOS) Université Joseph Fourier- Grenoble I, 2008.
- [15] 2009 International Technology Roadmap for Semiconductors. Disponible sur internet : <http://www.itrs.net/>

## Références

---

- [16] P. K. Bondyopadhyay, “*Moore’s law governs the silicon revolution*,” Proc. IEEE, vol. 86, no. 1, pp. 78-81, 1998
- [17] J. S. Cristoloveanu and S. S. Li, “Electrical characterization of silicon-on-insulator materials and devices,” Kluwer Academic Publishers, 1995.
- [18] J. P. Colinge, C. A. Colinge, “Physics of semiconductor Devices“, Kluwer Academic Publishers, pp.166-200, 2002.
- [17] F. Balestra, M. Benachir, J. Brini, et al., “Analytical models of subthreshold swing and threshold voltage for thin-film and ultra-thin-film SOI MOSFETs,” IEEE Transactions on Electron Devices, vol. 37, no. 11, pp. 2303–2311, 1990
- [18] E. Pop and K. E. Goodson, “Thermal phenomena in nanoscale transistors,” Thermal and Thermo mechanical Phenomena in Electronic Systems, 2004. I THERM ' 04. The Ninth Intersociety Conference on, June 2004.
- [19] Mingchun TANG Études et Modélisation Compacte du Transistor FinFET , Université de Strasbourg Soutenu publiquement le 03 décembre 2009 .
- [20] G. K. Celler and S. Cristoloveanu, “Frontiers of silicon-on-insulator,” Journal of Applied Physics, vol. 93, no. 9, May 2003.
- [21] T. Ernst, S. Cristoloveanu, “Buried oxide fringing capacity: a new physical model and its implication on SOI device scaling and architecture”, IEEE characteristics of AlSb/InAsSb HEMTs” Solid-State Electronics, vol. 48(10-11), pp. 2079-2084 October-November 2004.
- [22] V. P. Trivedi and J. G. Fossum, “Scaling Fully Depleted SOI CMOS,” IEEE Transactions on Electron Devices, vol. 50, no. 10, pp 2095-2103, Oct. 2003
- [23] T. K. Chiang, “A new scaling theory for fully-depleted SOI double-gate MOSFET's: including effective conducting path effect (ECPE),” Solid-State Electronics, vol. 49, no. 3, pp 317-322, Mar
- [24] G. Tsutsui, M. Saitoh, and T. Hiramoto, “Superior Mobility Characteristics in (110)-Oriented Ultra Thin Body pMOSFETs with SOI Thickness Less than 6 nm ”, Symposium on VLSI Tech., Digest of Technical papers, pp. 76, 2005
- [25] K. Uchida et. al., “Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI n-and p-MOSFETs with SOI Thickness less than 5 nm”, IEDM Tech Digest, pp. 47, 2002
- [26]. B. Diagne, “Etude et modélisation compacte d’un transistor MOS SOI double grille dédié à La conception”, thèse de doctorat, université Louis Pasteur, 2007

## Références

---

- [27] The International Technology Roadmap for Semiconductors (ITRS), <<http://www.itrs.net/>>, 2011.
- [28] The International Technology Roadmap for Semiconductors (ITRS), <<http://www.itrs.net/>>, 2012.
- [29] Ru Huang Gate-All-Around Si Nanowire Transistors (SNWTs) for Extreme Scaling: Fabrication, Characterization and Analysis
- [30]:The International Technology Roadmap for Semiconductors (ITRS), <<http://www.itrs.net/>>, 2012.
- [31] Norwell, *Silicon-On-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, 3rd Ed., 2004.
- [32] Jong-Tae PARK et al. « Pi-Gate SOI MOSFET » IEEE Electron Device Letters, vol. 22, No. 8, 2001.
- [33] C. FENOUILLET-BERANGER et al. « Requirements for ultra-thin-film devices and new materials for the CMOS roadmap », Solid-State Electronics, vol. 48, p. 961–967, 2004.
- [34] Mingchun TANG Études et Modélisation Compacte du Transistor FinFET, Soutenue publiquement le 03 décembre 2009 THÈSE de doctorat Strasbourg
- [35]: Jérôme SAINT-MARTIN ETUDE PAR SIMULATION MONTE CARLO D'ARCHITECTURES DE MOSFET ULTRACOURTS A GRILLE MULTIPLE SUR SOI, Université Paris Sud - Paris XI, 2005. HAL Id: tel-00011335 <https://tel.archives-ouvertes.fr/tel-00011335>
- [36] D. Jiménez, B. Iñiguez, J. Suñé, L. F. Marsal, J. Pallarés, J. Roig, and D. Flores., Continuous analytic I-V model for surrounding-gate MOSFETs, IEEE Electron Device Letters, vol. 25, no. 8, pp. 571-573, 2004.
- [37] A. Craig and G. Roy and A. Asenov., Random-dopant-induced drain current variation in nano-MOSFETs: a three dimensional self-consistent Monte Carlo simulation study using Ab-Initio ionized impurity scattering, IEEE Transactions on Electron Devices, 55: 3251-3257, 2008.
- [38] A. Asenov., Random dopant induced threshold voltage lowering and fluctuations in sub-0.1  $\mu\text{m}$  MOSFETs: A 3-D atomistic simulation study, IEEE Transactions on Electron Devices, 45: 2505- 2513, 1998.
- [39] J. P. Colinge., Multiple-gate SOI MOSFETs, Multiple-gate SOI MOSFETs, 2004.
- [40] G. Celler and S. Cristoloveanu., Frontiers of silicon-on-insulator, Journal of Applied Physics, 93:4955-78, 2003.
- [41] Spring Meetings Proceedings, editor, "Evolution of SOI MOSFETs: From single-gate to multiple-gates", MRS Proceedings, 765, D1.6 (2003)

## Références

---

- [42] J. Colinge, *Silicon-on-insulator technology: Materials to VLSI*, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997
- [43] F. Balestra, S. Cristoloveanu Mr. Benachir, J. Brini, T. Elewa, "Double-gate silicon-on-insulator transistor with volume inversion: a new device with Greatly enhanced performance," *IEEE Electron Device Letters*, 8, 410-412 (1987)
- [44] Mingchun TANG , "Etude et Modelisation Compacte du Transistor FinFET" these de doctorat Université strasbourg,2009
- [45] J. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997
- [46] Jérôme SAINT-MARTIN, Etude par simulation monte carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI, Thèse de doctorat, U.F.R. SCIENTIFIQUE D'ORSAY, France.
- [47] Y.K. Choi, K. Asano, N. Lindert, V. Subramanian, T. J. King, J. Bokor, C. Hu, "Ultrathin-body SOI MOSFETs for deep subtentth micron era," *IEEE Electron Device letters*, vol. 21 pp. 254-255, 2000
- [48] N. Singh, K. D. Buddharaju, S. K. Manhas, A. Agarwal, S. C. Rustagi, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "Si, SiGe nanowire devices by top-down technology and their applications," *IEEE Trans. Electron Devices.*, vol. 55, no.11, pp. 3107-3118, Nov. 2008.
- [49] Intel News room online, Available: <http://newsroom.intel.com/docs/DOC-2032>.
- [50] J. Fu, N. Singh, K. D. Buddharaju, S. H. G. Teo, C. Shen, Y. Jiang, C. X. Zhu, M. B. Yu, G. Q. Lo, N. Balasubramanian, D. L. Kwong, E. Gnani, and G. Baccarani, "Si-nanowire based gate-all-around nonvolatile SONOS memory cell," *IEEE Electron Device Lett.*, vol. 29, no. 5, pp. 518–521, May 2008
- [51] R. He, D. Gao, R. Fan, R. Hochbaum, C. Carraro, R. Maboudian, and P. Yang, "Si nanowire bridges in microtrenches: Integration of growth into device fabrication,"
- [52] N. Singh, F. Y. Lim, W. W. Fang, S. C. Rustagi, L. K. Bera, A. Agarwal, C. H. Tung, K.M. Hoe, S. R. Omampuliyur, D. Tripathi, A. O. Adeyeye, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "Ultra-narrow silicon nanowire gate-all-around CMOS devices: Impact of diameter, channel orientation and low temperature on device performance," in *IEDM Tech. Dig.*, 2006, pp. 548–551.
- [53] D. C. Mayer and K. P. MacWilliams, "Silicon-on-insulator gate-all-around mosfet devices and fabrication methods," Mar. 5 1996. US Patent 5,497,019.

## Références

---

- [54] D. Sharma and S. K. Vishvakarma, "Analytical modeling for 3d potential distribution of rectangular gate (recg) gate-all-around (gaa) mosfet in subthreshold and strong inversion regions," *Microelectronics Journal*, vol. 43, pp. 358–363, 2012.
- [55] Park J. T. and Colinge J. P. Multiple-gate SOI MOSFETs: Device design guidelines", *IEEE Trans. on Electron Devices*, 49, 12, 2222 –2229, 2002.
- [56] V. Pott, 'Gate-All-Around Silicon Nanowires for Hybrid Single Electron Transistor/CMOS Applications', Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.
- [57] H. A. El Hamid, B. Iniguez, and J. R. Guitart, "Analytical model of the threshold voltage and subthreshold swing of undoped cylindrical gate-all-around-based mos- fets," *Electron Devices*, IEEE Transactions on, vol. 54, no. 3, pp. 572–579, 2007
- [58] Gengchiao Liang, 'Structure Effects in the gate-all-around Silicon Nanowire MOSFETs', *Electron Devices and Solid-State Circuits*, EDSSC 2007. pp . 129 – 132, 2007.
- [59] Sung Dae Suk, Kyoung Hwan Yeo, Keun Hwi Cho, Ming Li, Yun Young Yeoh, Sung-Young Lee, Sung Min Kim, Eun Jung Yoon, Min Sang Kim, Chang Woo Oh, Sung Hwan Kim, Dong-Won Kim, and Donggun Park, '*High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer*', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*,pp 181-184 ,VOL. 7, NO. 2, MARCH 2008.
- [60] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung-Gook Park, '*Design Optimization of Gate-All-Around (GAA) MOSFETs*', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*,pp. 186- 191, VOL. 5, NO. 3, MAY 2006.
- [61] E. Moreno, J.B. Roldán, F.G. Ruiz, D. Barrera, A. Godoy, F. Gámiz., An analytical model for square GAA MOSFETs including quantum effects, *Solid-State Electronics*, 54:1463-1469, 2010.
- [ 62] Kirsten E. Moselund, Didier Bouvet, Lucas Tschuor, Vincent Pott, Paolo Dainesi, and Adrian M. Ionescu, 'Local volume inversion and corner effects in triangular gate-all-around MOSFETs', *Solid-State Device Research Conference*, pp. 359 – 362 , 2006. ESSDERC 2006.
- [63] Vincent Pott, Kirsten Emilie Moselund, Didier Bouvet, Luca De Michielis, and Adrian Mihai Ionescu, 'Fabrication and Characterization of Gate-All-Around Silicon Nanowires on Bulk Silicon', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp 733-744,VOL. 7, NO. 6, NOVEMBER 2008.
- [64] K. E. Moselund, 'Three-Dimensional Electronic Devices Fabricated on a Top-Down Silicon Nanowire Platform', Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.

## Références

---

- [65] Byung-Gook Park , Jae Young Song, Jong Pil Kim, Hoon Jeong, Jung Hoon Lee, Seongjae Cho, 'Nanosculpture: Three-dimensional CMOS device structures for the ULSI era', *Microelectronics Journal*, pp. 769–772, Vol.40, 2009.
- [66] Sung Dae Suk, Kyoung Hwan Yeo, Keun Hwi Cho, Ming Li, Yun Young Yeoh, Sung-Young Lee, Sung Min Kim, Eun Jung Yoon, Min Sang Kim, Chang Woo Oh, Sung Hwan Kim, Dong-Won Kim, and Donggun Park, 'High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp 181-184 ,VOL. 7, NO. 2, MARCH 2008.
- [67] Kyoung Hwan Yeo, Sung Dae Suk, Ming Li, Yun-young Yeoh, Keun Hwi Cho, Ki-Ha HongSeongKyu Yun, Mong Sup Lee, Nammyun Cho, Kwanheum Lee, Duhyun Hwang, Bokkyoung Park, Dong-Won Kim, Donggun Park, and Byung-Il Ryu, 'Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires', *Electron Devices Meeting, IEDM '06*. pp. 1- 4, 2006.
- [68] Runsheng Wang, Hongwei Liu, Ru Huang, Jing Zhuge, Liangliang Zhang, Dong-Won Kim, Xing Zhang, Donggun Park, and Yangyuan Wang, 'Experimental Investigations on Carrier Transport in Si Nanowire Transistors: Ballistic Efficiency and Apparent Mobility', *IEEE TRANSACTIONS ON ELECTRON DEVICES*, pp. 2960-2967, VOL. 55, NO. 11, NOVEMBER 2008.
- [69] C. Dupré, T. Ernst, E. Bernard, B. Guillaumot, N. Vulliet, P. Coronel, T. Skotnicki, S. Cristoloveanu, G. Ghibaudo and S. Deleonibus, 'A Mobility Extraction Method for 3D Multichannel Devices', *Solid-State Device Research Conference, ESSDERC 2008*, pp . 230-233 , 2008.
- [70] Donggun Park, '3 Dimensional GAA Transistors : twin silicon nanowire MOSFET and multi-bridge- channel MOSFET', *IEEE International SOI Conference 2006*.
- [71] J.P. Colinge; 'Multi-gate SOI MOSFETs', *Microelectronic Engineering*, pp2071–2076, Vol 84, 2007.
- [72] T. Ernst, E. Bernard, C. Dupré, A. Hubert, S. Bécu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J.-M. Hartmann, C. Vizioz, N. Vulliet, O. Faynot, T. Skotnicki, and S. Deleonibus , '3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics', *Integrated Circuit Design and Technology and Tutorial, ICICDT 2008*. pp. 265-268 , 2008.
- [73] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, "High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs," 1988, pp. 222–225.
- [74] K. Sunouchi, H. Takato, N. Okabe, T. Yamada, T. Ozaki, S. Inoue, K. Hashimoto, K. Hieda, A. Nitayama, F. Horiguchi, and F. Masuoka, "A surrounding gate transistor (SGT) cell for 64/256 Mbit DRAMs," 1989, pp. 23–26.

## Références

---

- [75] Xiaoyu Hou, Falong Zhou, Ru Huang and Xing Zhang, 'Corner Effects in Vertical MOSFETs', Solid-State and Integrated Circuits Technology, pp. 134-137, vol.1 2004
- [76] B. Yang, K. D. Buddharaju, S. H. G. Teo, J. Fu, N. Singh, G. Q. Lo, and D. L. Kwong, 'CMOS Compatible Gate-All-Around Vertical Silicon-Nanowire MOSFETs', 38th European Solid-State Device Research Conference, pp. 318 – 321, 15 - 19 Sep 2008, Edinburgh.
- [77] A.F.Ioffe Physico-Technical Institute, (Date of Access: 09/10/11). Electronic Archive of New Semiconductor Materials: Characteristics and Properties Retrieved from <http://www.ioffe.ru/SVA/NSM/Semicond/>
- [78] D. Kim, "Theoretical Performance Evaluations of NMOS Double Gate FETs with High Mobility Materials: Strained III-V, Ge and Si," Ph.D. Dissertation, Department of Electrical Engineering, Stanford University, 2009.
- [79] A. Pethe, T. Krishnamohan, D. Kim, S. Oh, H. S. P. Wong and K. Saraswat, "Investigation of the Performance Limits of III-V Double-Gate n-MOSFETs," 16th Biennial University/ Government/ Industry Microelectronics Symposium, pp.47, 2006.
- [80] T. Ernst, C. Dupre, C. Isheden, E. Bernard, R. Ritzenthaler, V. Maffini-Alvaro, J. C. Barbé, F. De Crecy, A. Toffoli, C. Vizioz, and others, "Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO<sub>2</sub>/TiN gate stack," in Electron Devices Meeting, 2006. IEDM'06. International, 2006, pp. 1–4.
- [81] Cerdeira A, Iñiguez B, Estrada M. "Compact model for short channel symmetric doped double-gate MOSFETs". Solid- State Electronics 2008; 52: 1064-1070.
- [82] K. Chiang T Conc: ise analytical treshold voltage model for fully-depleted cylindrical surroUildiG-gate metal oxide-semiconductor field eflèc t traasistors. 1PN 1 Appl Phys, 2005, 44 (S): 2948
- [83] Zou J Xu Q, Luo JPredictive la modélisation 3-D de la capacité de grille parasite dans gacæ.el.l-around silioon cylindrique nanofil MOSFETs.IEEE l'BlelectronDevices rails, 2011, S8 (10): 3379
- [84] Santosh.k Gupta,Sriamanta Baishya Modeling of cylindrical surrounding gate MOSFETs including the fringing field effects\* journal of semiconductors,2013,34(7)
- [85] Sarkar A, De S, Dey A, et al. A new analytieal subthreshold mode1 of SRG MOSFBT with analogue performance investigation. International journal of electronics,, 2012, 99(2): 267
- [86] Satkar A,De S,Dey.A, .Allalog and RFperfonnanee invest igation of cylindrical surrounding-gate MOSFBT with an analyt ieal pseudo-2D model.1 Comput Elec:tron, 2012, 11(2): 182

## Références

---

- [87] Atlas user's manual, Silvaco international, 2010.
- [88] Gu et al “This work 20-80nm Channel Length InGaAs Gate-all-around Nanowire MOSFETs with EOT=1.2nm and Lowest SS=63mV/dec” IEDM 27.6 (2012)
- [89] Tomioka et. al, “Vertical In<sub>0.7</sub>Ga<sub>0.3</sub>As Nanowire Surrounding-Gate Transistors with High-k Gate Dielectric on Si Substrate”, IEDM Tech. Dig. 773 (2011).
- [90] Dey et. al, “High-Performance InAs Nanowire MOSFETs”, IEEE Electron Device Lett., 33, 791 (2012).
- [91] Chin et. al ,“III–V Multiple-Gate Field-Effect Transistors With High-Mobility In<sub>0.7</sub>Ga<sub>0.3</sub>As Channel and Epi-Controlled Retrograde-Doped Fin”, IEEE Electron Device Lett. 32, 146 (2011).
- [92] Kim et .al, “Sub-60 nm Deeply-Scaled Channel Length Extremelythin Body In<sub>x</sub>Ga<sub>1-x</sub>As-On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering”, VLSI Tech.Dig.177(2012)
- [93] Ra Hee Kwon, Sang Hyuk Lee, Young Jun Yoon, Jae Hwa Seo, JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, VOL.17, NO.2, APRIL, 2017
- [94] B. Padmanaban , R. Ramesh , D. Nirmal, S. Sathiyamoorthy “Numerical modeling of triple material gate stack gate all-around (TMGSGAA) MOSFET considering quantum mechanical effects “ Superlattices and Microstructures,2015
- [95] Gu et al “This work 20-80nm Channel Length InGaAs Gate-all-around Nanowire MOSFETs with EOT=1.2nm and Lowest SS=63mV/dec” IEDM 27.6 (2012)
- [96] Tomioka et. al, “Vertical In<sub>0.7</sub>Ga<sub>0.3</sub>As Nanowire Surrounding-Gate Transistors with High-k Gate Dielectric on Si Substrate”, IEDM Tech. Dig. 773 (2011).
- [97] Dey et. al, “High-Performance InAs Nanowire MOSFETs”, IEEE Electron Device Lett., 33, 791 (2012).
- [98] Chin et. al ,“III–V Multiple-Gate Field-Effect Transistors With High-Mobility In<sub>0.7</sub>Ga<sub>0.3</sub>As Channel and Epi-Controlled Retrograde-Doped Fin”, IEEE Electron Device Lett. 32, 146 (2011).
- [99] Kim et .al, “Sub-60 nm Deeply-Scaled Channel Length Extremelythin Body In<sub>x</sub>Ga<sub>1-x</sub>As-On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering”, VLSI Tech. Dig.177(2012)
- [100] Ra Hee Kwon, Sang Hyuk Lee, Young Jun Yoon, Jae Hwa Seo, JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, VOL.17, NO.2, APRIL, 2017

**ANNEXE : Syntaxes et valeurs des paramètres des programmes SILVACO**

Les équations des différents modèles physiques pris en compte (modèle de mobilité, effet des pièges,...) seront résolues en fonction des paramètres des matériaux introduits tels que la mobilité, la largeur de bande interdite, les densités d'états, etc.

La précision des simulations dépend bien évidemment du maillage établi à la structure, une meilleure précision est obtenue pour un maillage raffiné. Le temps de calcul est proportionnel au nombre de nœuds composant le maillage.

Comme la résolution des équations, est généralement effectuée par la méthode de Newton par défaut ; la convergence et donc la résolution des équations, se complique avec un maillage très raffiné. Il y a donc un compromis entre précision, temps de calcul et convergence. Les simulations par différences finies sont très consommatrices de ressources informatiques en comparaison avec les modèles compacts ; mais elles permettent de connaître spatialement les différentes grandeurs physiques utiles à la compréhension du fonctionnement du composant, telles que le champ électrique, les densités d'électrons et de trous, les bandes de conduction et de valence, et le niveau de Fermi.

<b>Paramètre</b>	<b>Description</b>
<b>mun</b>	Spécifier la mobilité des électrons
<b>mup</b>	Spécifier la mobilité des trous
<b>Nc300</b>	La densité des états en bande de conduction à 300k
<b>Nv300</b>	La densité des états en bande de valence à 300k
<b>Eg300</b>	La bande interdite a 300K
<b>Affinity</b>	L'affinité de matériaux
<b>taun0</b>	Spécifier le temps de vie des électrons
<b>taup0</b>	Spécifier le temps de vie des trous

**Tableau 1 : Matériel**

<b>Paramètre</b>	<b>Description</b>
<b>srh</b>	Spécifier le modèle de recombinaison :Shottky Read-Hall
<b>fmob</b>	Spécifier le modèle de mobilité lié au champ électrique
<b>fermi</b>	Spécifier la distribution de Fermi-Dirac
<b>ust</b>	Spécifier le modèle :Universal Shottky Tunneling
<b>Bbt.nonlocal</b>	Spécifier le modèle :Band to Band Tunneling

**Tableau 2 : Modèles**

### **Le Model BQP**

Ce modèle a été développé pour SILVACO par l'Université de Pise et a été mis en œuvre dans ATLAS avec la collaboration de l'Université de Pise. C'est une alternative à la méthode Gradient de densité et peut être appliquée à une gamme de problèmes similaire. Il existe deux avantages à utiliser le Potentiel Quantique Bohm (BQP) sur la méthode du gradient de densité. Premièrement, il a de meilleures propriétés de convergence dans de nombreuses situations. Deuxièmement, vous pouvez l'étalonner contre les résultats de l'équation de Schrödinger-Poisson dans des conditions de courant négligeable.

Le modèle introduit un potentiel quantique qui dépend de la position, Q, qui est ajouté à l'énergie potentielle d'un type de porteur donné. Ce potentiel quantique est dérivé en utilisant l'interprétation de Bohm de la mécanique quantique [1] et prend la forme suivante

$$Q = \frac{-\hbar^2}{2} \frac{\gamma \nabla(M^{-1} \nabla(n^\alpha))}{n^\alpha}$$

Où  $\gamma$  et  $\alpha$  sont deux paramètres ajustables,  $M^{-1}$  est le tenseur de masse efficace inverse et  $n$  est la densité d'électrons (ou trous). Ce résultat est similaire à l'expression du potentiel quantique dans le modèle de gradient de densité avec  $\alpha = 0,5$ , mais il existe quelques différences quant à la façon dont elles sont mises en œuvre.

La méthode du Potentiel Quantique de Bohm (BQP) peut également être utilisée pour le bilan énergétique et les modèles hydrodynamiques, où le potentiel semi-classique est modifié par le potentiel quantique de la même manière que pour les équations de continuité.

Le schéma itératif utilisé pour résoudre l'équation non linéaire BQP avec un ensemble d'équations semi-classiques est le suivant. Après avoir obtenu une solution semi-classique initiale, l'équation BQP est résolue sur son propre itération Gummel pour donner Q à chaque noeud du dispositif. Le potentiel semi-classique est modifié par la valeur de Q à chaque noeud et l'ensemble des équations semi-classiques est ensuite résolu vers la convergence comme d'habitude (en utilisant un schéma itératif Newton ou Block). Ensuite, l'équation BQP est

## **ANNEXE : Syntaxes et valeurs des paramètres des programmes SILVACO**

---

résolue à nouveau à la convergence et le processus est répété jusqu'à ce que l'auto-cohérence soit obtenue entre la solution de l'équation BQP et l'ensemble des équations semi-classiques. L'ensemble des équations semi-classiques résolues peut être l'une des combinaisons habituellement permises par ATLAS.

<b>Paramètre</b>
method newton
method newton carriers=1 electron
method gummel carriers=0
method gummel newton
method block
method comb

**Tableau 3 : Méthodes**