

-
- [1] Réseau Telecom network, " 3G : La course est lance ", vol. 50, no. 6 Novembre 2011.
- [2] C. Majek, "Contribution a l'étude d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI ", *Thèse de Doctorat*, Université Bordeaux, Octobre 2006.
- [3] K. Ibrahimi, "Gestion des ressources des réseaux mobiles de nouvelle génération par rapport à la mobilité des utilisateurs", *Thèse de Doctorat*, Université d'Avignon, 2009.
- [4] M. King Tcheumtchoua Kamdem, " Conception et simulation d'un brouilleur GSM ", *Master Recherche*, Ecole Nationale Supérieure Polytechnique 2010.
- [5] M. Olivier, " Conception de synthèses de fréquences à 24 GHz à base de diviseurs à mémoires D en technologies silicium avancées ", *Thèse de Doctorat*, Université Bordeaux 1 Décembre 2008.
- [6] J. Cellmer, "Réseaux cellulaires, Système UMTS", Ingénieur des télécommunications Chef de département télécommunication, Réseaux ferré de France, *Techniques de l'ingénieur-TE7368-*, Mai 2002.
- [7] M. Terré, "UMTS Eléments d'analyse de la couche physique", support de cours version 5.0 ; Ecole Nationale Supérieure des Télécommunication de Bretagne.
- [8] J. Mukherjee, P. Roblin, & S.Akhtar, "An Analytic Circuit-Based Model for White and Flicker Phase Noise in LC Oscillators", *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 54, no. 7, pp. 1584 - 1598, July 2007.
- [9] P. Olivier Lucas, " Conception orientée délai : étude, développement et réalisation d'une boucle à verrouillage de phase large bande stabilisée par une boucle à verrouillage de délai", *Thèse de Doctorat*, Université Bordeaux ,11 Mais 2011.
- [10] D. Rouffet, S. kerboeuf, L. Cai & V. Capdevielle, "4G Mobile", *Alcatel, Technical Paper*, 2005.
- [11] J-S. Hwang, R. Consulta & H-Y Yoon, "4G Mobile Networks – Technology Beyond 2.5G and 3G", *PTC (Pacific Telecommunications Council) Proceedings, Hawaii*, 2007.
- [12] J. Blin & S. Renault, "4G, la convergence ultime" , *Article rédigé dans www.OInet.com*, 2004.
- [13] A.H. Khan, M.A. Qadeer, J.A. Ansari and S. Waheed, "4G as a Next Generation Wireless Network", *Future Computer and Communication. ICFCC 2009*. pp 334 – 338, Avril 2009.
- [14] B. Krenik, "4G wireless technology: When will it happen? What does it offer? ", *Solid-State Circuits Conference, 2008. A-SSCC '08. IEEE Asian*, pp 141 – 144, Novembre 2008.
- [15] D.Christian, "La Convergence se jouera entre WiMAX, LTE et UMB", In-Stat, *Article rédigé dans www.generation-nt.com*, 2007.

-
- [16] M-A. Delalande, "L'ITU reconnaît officiellement WiMAX comme une technologie 3G", Article rédigé dans www.reseaux-telecoms.net, 2007.
- [17] IEEE Std, "Air Interface for Fixed Broadband Wireless Access Systems", *Local and Metropolitan Area Networks*, Part 16, 2004.
- [18] H.Wang, L. Kondi, A. Luthra, S. Ci, "4G Wireless Video Communications ", *Wiley Series on Wireless Communications and Mobile Computing*, ISBN: 978-0-470-77307-9 Hardcover. Livre, Avril 2009.
- [19] Motorola, "Long Term Evolution (LTE): A Technical Overview ", *Technical White Paper*, 2007.
- [20] G. Fritze, " SAE – The Core Network for LTE ", *Ericsson, Technical white paper*, 2008.
- [21] U.Barth, "3GPP Long-Term Evolution / System Architecture Evolution Overview", *Alcatel, Technical white paper*, Septembre 2006.
- [22] A.Larmo et al, "The LTE link-layer design ", *Communications Magazine, IEEE*, Vol.47, No 4, pp. 52–59, Avril 2009.
- [23] Man Hung Ng; Shen-De Lin; Li, J.; Tatesh, S. , " Coexistence studies for 3GPP LTE with other mobile systems ", *Communications Magazine, IEEE*, Vol.47, No 4, pp. 60–65, Avril 2009.
- [24] A. Hajimiri, Lee T. H. " A General Theory of Phase Noise in Electrical Oscillators", *IEEE Journal of Solid-State Circuits*, Vol.33, no. 2, février 1998.
- [25] B. Razavi, " A study of phase noise in CMOS oscillators " *IEEE Journal of Solid-State Circuits*, Vol.31, no. 3, mars 1996.
- [26] J-A.McNeil, " Jitter in ring oscillators ", *Thèse de doctorat* , University of Boston, College of Engineering, chapitre 1, 1994.
- [27] M.Sié, "Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm ", *thèse de Doctorat* de l'Université Paul Sabatier de Toulouse, 2004.
- [28] V.Cheyne, "Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK pour les Systèmes de Radiocommunication", *Thèse Doctorat* de l'université d'Aix Marseille 1 Mention Physique et Modélisation des systèmes complexes, 15 juin 2009.
- [29] M.Perrott, " Techniques for High Data Rate Modulation and Low Power Operation of Fractional-N Frequency Synthesizer ".*Chapitre 1: Introduction, Thèse, Massachusetts Institute of Technology*, 1997.

- [30] S-J. Lee, B. Kim and K. Lee, "A Fully Integrated Low-Noise 1-GHz Frequency Synthesizer Design for Mobile Communication Application", *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 5, May 1997, pp. 760-765.
- [31] William O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge-pump PLL's", *National Semiconductor Application Note*, AN-1001, July 2001.
- [32] Floyd M. Gardner, "Charge-pump phase-lock loops", *IEEE Transactions on Communications*, Vol. COM-28, No. 11, Nov. 1980, pp. 1849-1858.
- [33] D. Banarjee, "PLL Performance, Simulation, and Design", Forth Edition, 2006.
- [34] S. Kameche, M. Feham and M. Kameche, "Simulating and Designing a PLL Frequency Synthesizer for GSM Communications", *High Frequency Electronics*, Vol. 7, No.12, pp. 36-41, December 2008, USA..
- [35] S. Kameche, M. Feham and M. Kameche, "PLL Synthesizer Tunes DCS1800 Band", *Microwave & RF*, Vol. 46, No.6, pp. 84-90, June 2007, USA.
- [36] S. Kameche and M. Feham, " Perfect A PLL LTE Synthesizer ", *Microwave & RF*, Vol. 51, No.1, pp. 54-66, January 2012, USA.
- [37] L. Lascari, "Accurate Phase Noise Prediction in PLL Synthesizers", *Applied Microwave and Wireless*, Vol. 12, No. 2, pp. 30-38, 2000.
- [38] Kyoohyun Lim and al, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization", *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 6, June 2000, pp. 807-815.
- [39] Analog Devices, "PLL Frequency Synthesizer", Data Sheet ADF4106, www.analog.com, 2011.

Liste des Tableaux

Tableau I.1. Allocation de fréquences pour le LTE, a) les bandes TDD, b) les bandes FDD	17
Tableau I.2. L'évolution des standards de radiocommunication	18
Tableau IV.1. Valeurs du filtre de boucle du troisième ordre	54

Liste des Figures

Chapitre I

Figure I.1. Architecture du réseau GSM	7
Figure I.2. Liaison montante et descendante du GSM.....	7
Figure I.3. Structure d'une trame de GSM.....	8
Figure I.4. Architecture du réseau UMTS	10
Figure I.5. Utilisation de la Bande de Fréquences pour l'UMTS.....	11
Figure I.6. Structure de trame de l'UMTS	11
Figure I.7. Techniques d'interface radio pour le GSM et l'UMTS	12
Figure I.8. L'évolution du standard LTE.....	14
Figure I.9. Réseaux LTE commerciaux et déclarations d'intention pour le LTE.....	15
Figure I.10. Architecture du LTE.....	15
Figure I.11. Structure générique de trame LTE	18

Chapitre II

Figure II.1. Illustrations des standards de communication dans la bande 0,8-10 GHz.....	21
Figure II.2. Rôle du synthétiseur de fréquence dans un émetteur-récepteur RF	22
Figure II.3 Plage de fréquences et pas de synthèse.	23
Figure II.4. Synthétiseur et pas de fréquences.	23
Figure II.5. Exemple de basculement du synthétiseur entre trois fréquences.	24
Figure II.6. Exemple de spectre généré par un synthétiseur de fréquences.	25
Figure II.7. Bruit de phase d'un oscillateur. (a) cas idéal. (b) cas réel.	26
Figure II.8. Effet du bruit de phase en émission	27
Figure II.9. Effet du bruit de phase en réception. (a) cas idéal. (b) cas réel	27
Figure II.10. Illustrations de la gigue temporelle cycle à cycle	28
Figure II.11. Principe de la synthèse directe analogique	28
Figure II.12. Synthétiseur de fréquence à séquence numérique.....	29
Figure II.13. Schéma bloque d'une PLL	30

Figure II.14. Schéma-bloc d'une boucle à verrouillage de phase	31
Figure II.15. Schéma-bloc d'une PLL fractionnaire	32
Figure II.16. Diviseur de fréquences fractionnaire	32
Figure II.17. Modulateur $\Sigma \Delta$ d'ordre 2	33
Figure II.18. Comparateur de phase et sa pompe de charge	34
Figure II.19. Entrées et sortie du comparateur phase-fréquence.....	35
Figure II.20. Fonction de transfert du PFD	35
Figure II.21. Schéma de fonctionnement de la pompe de charge associé au filtre F(p)	36
Figure II.22. Filtres de boucle : (a) d'ordre 1, (b) d'ordre 2, (c) d'ordre 3	36
Figure II.23. Schéma de fonctionnement du diviseur programmable par M	37

Chapitre III

Figure III.1. Boucle à verrouillage de phase à base de la pompe de charge	40
Figure III.2 Modèle linéaire de la PLL.....	41
Figure III.3. Filtre de deuxième ordre	42
Figure III.4. Tracé de Bode de la réponse de boucle ouverte	43
Figure II.5. Filtre de boucle de troisième ordre combiné avec la pompe de charge.....	45
Figure III.6. Modèle de PLL avec les différentes sources de bruits.....	48
Figure III.7. Modèle de bruit pour R_2	50
Figure III.8. Modèle de bruit pour R_3	50

Chapitre IV

Figure IV.1. Interface du logiciel ADIsimPLL.....	52
Figure IV.2. Bruit de phase du VCO seul	53
Figure IV.3. Bruit de phase de la source de référence (TCXO).....	54
Figure IV.4. Réponses de la boucle ouverte	55
Figure IV.5. Réponse de la boucle fermée	56
Figure IV.6. Bruit du VCO, l'oscillateur de référence, la puce et le filtre de boucle.....	56
Figure IV.7. Réponse de la modulation de fréquence	57
Figure IV.8. Leakage spurs	57

Figure IV.9. Sortie de la pompe de charge	58
Figure IV.10. L'erreur de phase à la sortie du VCO.....	58
Figure IV.11. L'erreur de fréquence de la PLL	59
Figure IV.12. Réponse temporelle de la PLL.....	59

Sigles et abréviations

1G	1^{ère} Génération
2G	2^{ème} Génération
3G	3^{ème} Génération
3GPP	3rd Generation Partnership Project
4G	Réseau de quatrième génération

A

AMPS	Advanced Mobile Phone System
ADF	Analog Devices Frequency

B

BER	Bit Error Rate
BLU	Bande Latérale Unique
BB	Band de Base

C

CDMA	Code Division Multiple Access
CNA	Convertisseur Numérique Analogique

D

D-AMPS	Digital Advanced Mobile Phone System
DCS	Digital Communication System
DDS	Direct Digital Synthesizer
DS-CDMA	Direct Sequence Code Division Multiple Access

E

EDGE	Enhanced Data for GSM Evolution
ETACS	Extended Total Access Communication System
EPS	Evolved Packet System
EPC	Evolved Packet Core

F

FDD	F requency D ivision D uplex
FDMA	F requency D ivision M ultiple A ccess
FM	F requency M odulation
FI	F requency I ntermediate

G

GMSK	G aussian M inimum S hift K eying
GSM	G lobal S ystem for M obile communication
GPRS	G lobal P acket R adio S ervice

H

HSDPA	H igh S peed D ownlink P acket A ccess
HSPA	H igh S peed P acket A ccess
HSUPA	H igh S peed U plink P acket A ccess

I

IEEE	I nstitute of E lectrical and E lectronics E ngineers
IMT-2000	I nternational M obile T elecommunication system 2000
ITU	I nternational T elecommunication U nion
IP	I nternet P rotocol

L

LO	L ocal O scillator
LTE	L ong T erm E volution

M

MIMO	M ultiple I nterface M ultiple O utput
-------------	--

N

NMT	Nordic Mobile Telephone
NTT	Nippon Telephone and Telegraph
NADC	North American Digital Cellular

O

OFDM	Orthogonal Frequency Division Multiplexing
OFDMA	Orthogonal Frequency Division Multiple Access

P

PCS	Personal Communications Service
PDC	Personal Digital Cellular
PFD	Phase Frequency Detector
PLL	Phase Locked Loop
PSK	Phase Shift Keying

Q

QoS	Quality of Service
QPSK	Quadrature Phase Shift Keying

R

RF	Radio Frequency
Rx	Réception

S

SC-FDMA	Single Carrier - Frequency Division Multiple Access
SMS	Short Message Service
SSB	Single Side Band

T

TACS	Total Access Communication System
TCXO	Temperature Compensated Crystal Oscillator
TDD	Time Division Duplex
TDMA	Time Division Multiple Access
Tx	Transmission

U

UMB	Ultra Mobile Broadband
UIT	Union Internationale des Télécommunications, en anglais ITU
UMTS	Universal Mobile Telecommunication System
UTRA	UMTS Terrestrial Radio Access

V

VCO	Voltage Controlled Oscillator
------------	--------------------------------------

W

W-CDMA	Wideband Code Division Multiple Access
Wi-Fi	Wireless Fidelity
WiMAX	Worldwide Interoperability for Microwave Access

Résumé

Le réseau cellulaire a évolué très rapidement pour répondre à une demande croissante en nombre d'utilisateurs et en débit d'information à échanger. Afin de permettre une compatibilité et la création de nouveaux services de types multimédia et d'offrir aux usagers une itinérance à l'échelle mondiale, il était devenu nécessaire d'effectuer un saut technologique et de franchir le pas vers les réseaux cellulaires de 4^{ème} génération, qui permettent l'accès simultané de plusieurs utilisateurs à des débits élevés. Ces nouveaux services nécessitent des débits plus importants qui sont garantis par le LTE.

Dans le domaine des télécommunications, les synthétiseurs de fréquences trouvent leurs applications dans de nombreux dispositifs, émetteurs, récepteurs. Dans les émetteurs-récepteurs des communications sans fil, la performance élevée d'un synthétiseur de fréquences est l'un des paramètres important. Les boucles à verrouillage de phase (PLL) jouent un rôle majeur dans le domaine des communications mobiles. La PLL est utilisée comme une partie essentielle du synthétiseur de fréquences.

Le but essentiel de ce travail, consiste à la conception, la simulation et l'analyse du bruit de phase d'un synthétiseur de fréquences à base de PLL nécessaire pour les communications mobiles sur LTE.

Mots Clés : PLL, synthétiseur de fréquences, filtre de boucle, bruit de phase, 4G, LTE.

Résumé

Le réseau cellulaire a évolué très rapidement pour répondre à une demande croissante en nombre d'utilisateurs et en débit d'information à échanger. Afin de permettre une compatibilité et la création de nouveaux services de types multimédia et d'offrir aux usagers une itinérance à l'échelle mondiale, il était devenu nécessaire d'effectuer un saut technologique et de franchir le pas vers les réseaux cellulaires de 4ème génération, qui permettent l'accès simultané de plusieurs utilisateurs à des débits élevés. Ces nouveaux services nécessitent des débits plus importants qui sont garantis par le LTE.

Dans le domaine des télécommunications, les synthétiseurs de fréquences trouvent leurs applications dans de nombreux dispositifs, émetteurs, récepteurs. Dans les émetteurs-récepteurs des communications sans fil, la performance élevée d'un synthétiseur de fréquences est l'un des paramètres important. Les boucles à verrouillage de phase (PLL) jouent un rôle majeur dans le domaine des communications mobiles. La PLL est utilisée comme une partie essentielle du synthétiseur de fréquences.

Le but essentiel de ce travail, consiste à la conception, la simulation et l'analyse du bruit de phase d'un synthétiseur de fréquences à base de PLL nécessaire pour les communications mobiles sur LTE.

Mots Clés : PLL, synthétiseur de fréquences, filtre de boucle, bruit de phase, 4G, LTE.

I.1. Introduction

La téléphonie mobile est un moyen de télécommunication par téléphone sans fil. Ce moyen de communication s'est largement répandu vers la fin des années 1990. Grâce à la téléphonie mobile, l'abonné a la possibilité de passer sa communication à n'importe quel endroit (en voiture, en train, à pied...) en état de mobilité ou pas.

De la fin des années soixante-dix à nos jours, plusieurs générations de standards de radiotéléphonie mobile se sont succédées. La première évolution avait pour but d'augmenter le nombre d'utilisateurs ainsi que la qualité de la voix. Les dernières générations permettent d'augmenter le débit d'informations nécessaire au développement de services multimédias (internet, vidéo...). Dans ce contexte et afin de mieux positionner ce mémoire, ce premier chapitre nous donne une brève classification des différents standards de communications mobiles.

I.2. De la téléphonie fixe à la téléphonie mobile

Contrairement à la téléphonie fixe qui utilise des câbles pour la liaison entre l'abonné et le réseau, la téléphonie mobile offre les services de la mobilité à un abonné. Et pour passer la communication, l'abonné a maintenant la possibilité de maintenir sa communication tout en se déplaçant. A travers les services de la mobilité, la ligne d'abonné qui relie chaque utilisateur au réseau n'est plus assurée par câbles mais plutôt par ondes radioélectriques.

La téléphonie mobile est fondée sur la radiotéléphonie, ce qui veut dire que la transmission de la voix s'effectue à l'aide d'onde radioélectrique. A cet effet, pour chaque communication, une paire de fréquences est attribuée à chaque abonné pour une communication duplex, c'est-à-dire une fréquence pour l'émission et une autre fréquence pour la réception.

I.3. Evolution des standards de communications mobiles

I.3.1. Première génération « 1G »

C'est à la fin des années 1970 et le début des années 1980 que la première génération de téléphonie mobile (notée 1G) fait son apparition. Elle possède un fonctionnement analogique et est constituée d'appareils relativement volumineux, dispendieux et à couverture limitée. De nombreux systèmes sont ainsi déployés dans le monde entier [1]:

- NMT 450 (Nordic Mobile Telephone 450MHz), créé par Ericsson, ce système utilisait des canaux de radio analogique. En 1986, Ericsson améliore ce système avec le NMT 900. Cette nouvelle version fonctionnait comme la précédente mais avec une fréquence supérieure, autour de 900MHz.
- AMPS (Advanced Mobile Phone System), apparu dans les années 80. Outre aux Etats-Unis, il en est d'usage en Russie et dans les pays Asiatique. Ce réseau analogique de première

génération possédait de faibles mécanismes de sécurité rendant possible le piratage de lignes téléphoniques.

- TACS (Total Access Communication System) constitue la version européenne du modèle AMPS. Ce système fut largement utilisé en Angleterre, puis en Asie.
- ETACS (Extended Total Access Communication System) est une version améliorée du standard TACS développé au Royaume-Uni utilisant un nombre plus important de canaux de communication.
- Radiocom 2000, apparu en France. Il utilisait des bandes de fréquences entre 167 MHz et 275 MHz ainsi qu'une bande entre 415 MHz et 425 MHz.

D'autres systèmes comme le NTT (Nippon Telephone and Telegraph) au Japon ; étaient basés sur cette technique de première génération [2].

Ces systèmes reposaient sur une modulation analogique de fréquence FM (Frequency Modulation) et un mode d'accès de type FDMA (Frequency Division Multiple Access) où une fréquence est allouée à un utilisateur, ce qui limitait considérablement le nombre d'utilisateurs.

L'arrivée des technologies numériques a résolu ce problème, permettant ainsi l'essor de ce moyen de communication, et rendant obsolète cette génération.

I.3.2. Deuxième génération « 2G »

La seconde génération de réseaux mobiles (notée 2G) a marqué une rupture avec la première génération (1G) de téléphones cellulaires grâce au passage de l'analogique vers le numérique. Ce sont toujours les transmissions de la voix qui dominent mais les demandes pour les fax, messages courts et transmissions de données ont augmenté rapidement. Le développement des cellulaires de seconde génération fut dirigé par le besoin d'améliorer la qualité de transmission, les capacités du système ainsi que la couverture du réseau. Les technologies des semi-conducteurs et des dispositifs à micro-ondes ont permis l'utilisation de la transmission digitale au sein des télécommunications mobiles.

Aujourd'hui de nombreux standards liés au 2G sont apparus et sont utilisés dans le monde entier. Chaque standard à son propre niveau de mobilité, de capacité et de service. Certains standards ne sont utilisés que dans un pays ou région et sont pour la plupart incompatibles entre eux. Le réseau GSM [2] (Global System for Mobile communications) constitue au début du 20^{ème} siècle le standard de téléphonie mobile le plus utilisé en Europe. Baptisé (Groupe Spécial Mobile) à l'origine de sa normalisation en 1982, il est devenu une norme internationale nommée (Global System for Mobile communications) en 1992. Le GSM fonctionne suivant un mode d'accès multiple à répartition dans le temps ou TDMA (Time Division Multiple Access) avec une modulation de type GMSK (Gaussian Minimum Shift Keying). La figure suivante schématise

l'architecture générale du réseau GSM en englobant les trois sous systèmes ainsi que les différentes liaisons entre les différents sous systèmes et les liaisons entre des parties de chaque sous système

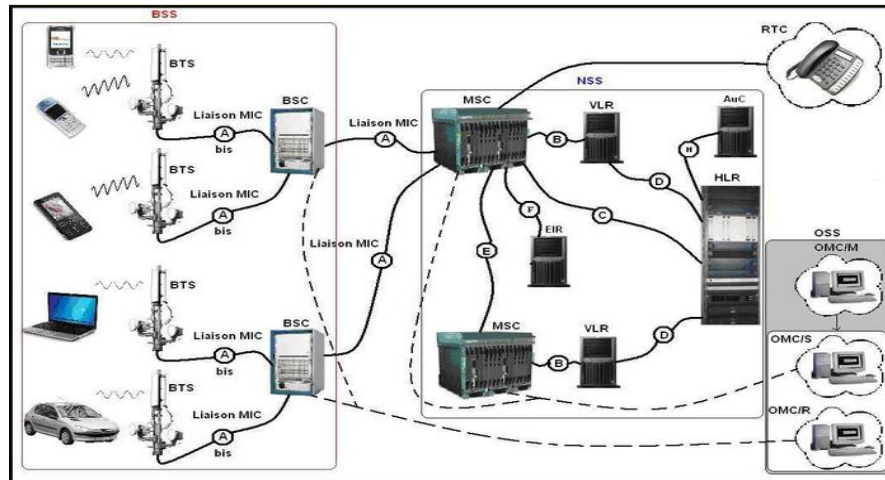


Figure I.1. Architecture du réseau GSM.

Deux bandes de fréquences distinctes sont dédiées à la réception et à l'émission (Figure I.2). La liaison montante se fait de 890 à 915MHz et la liaison descendante de 935 à 960MHz. Chaque bande est divisée en canaux de 200KHz.

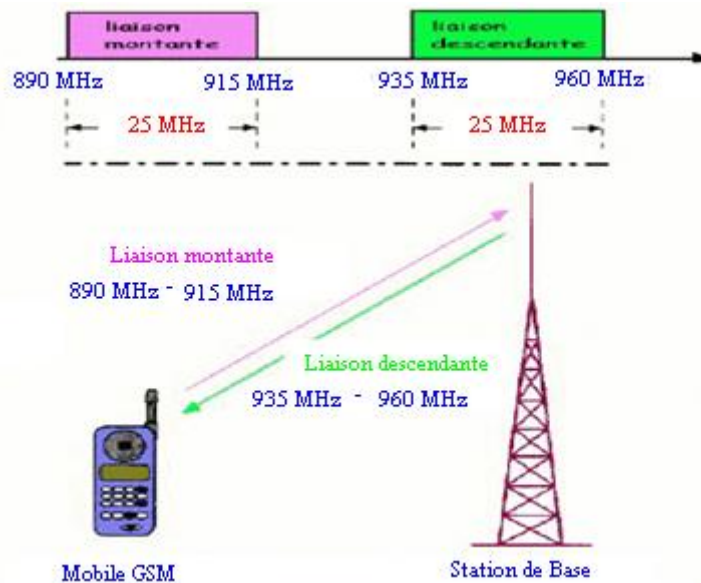


Figure I.2. Liaison montante et descendante du GSM.

Chaque canal émet ou reçoit pendant une durée de temps appelée trame (Figure I.3), chacune est divisée dans le temps et l'on attribue aux utilisateurs des courts intervalles ou slots, pendant lesquels ils peuvent communiquer. Dans le cas du GSM les trames sont de 4,615 ms et sont divisées en 8 slots de 577 µs, ce qui permet à huit utilisateurs de communiquer successivement sur le même canal.

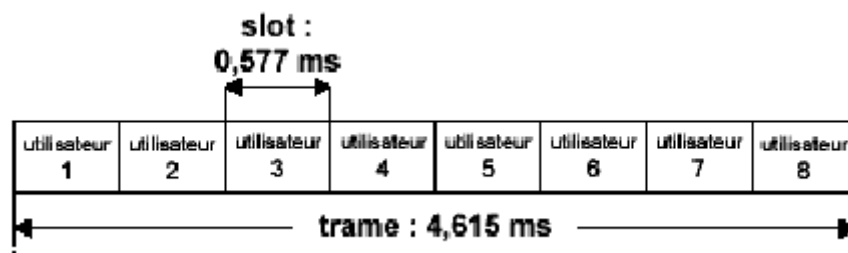


Figure I.3. Structure d'une trame de GSM.

La norme GSM autorise un débit maximal de 9,6 kbps, ce qui permet de transmettre la voix ainsi que des données numériques de faible volume, par exemple des messages textes SMS (Short Message Service) ou des messages multimédias MMS (Multimédia Message Service).

D'autres normes reprennent ces caractéristiques mais à des fréquences supérieures comme la norme DCS 1800 (Digital Cellular System) dans la bande de fréquences des 1800 MHz en Europe, utilisant la bande [1710-1785] MHz à l'émission et [1805-1880] MHz comme bande de réception ; et la norme PCS 1900 (Personal Communication Service) dans la bande de fréquences des 1900 MHz [2].

Aux Etats-Unis, la seconde génération de téléphonie mobile est apparue avec les normes IS 136 ou DAMPS (Digital Advanced Mobile Phone System) évolution de la norme analogique AMPS, IS 54 également appelée NADC (North American Digital Cellular), et IS 95 encore dénommée CDMA One. Ces normes partagent les mêmes bandes de fréquences entre 824 MHz et 849 MHz à l'émission, et entre 869 MHz et 894 MHz à la réception. Elles diffèrent notamment par leur technique d'accès, le nombre de canaux et l'espacement entre ceux-ci.

Au Japon, la seconde génération a été marquée par l'arrivée de la norme PDC (Personal Digital Cellular). Ses bandes émettrices et réceptrices sont divisées en deux, une partie centrée autour de 800 MHz et une autre autour de 1500 MHz [2].

I.3.3. Le GPRS « 2.5G »

Des améliorations de la norme GSM sont mises au point afin d'en améliorer le débit. C'est le cas notamment des standards GPRS (General Packet Radio Service) 2,5G ; et le EDGE (Enhanced Data Rate for GSM Evolution) 2,75G. Ces deux standards continuent à profiter de l'infrastructure existante du GSM.

Le GPRS fait son apparition en 2001. Il permet d'étendre l'architecture du standard GSM, afin d'autoriser le transfert de données par paquets avec des débits qui peuvent dépasser les 100 kbit/s (au lieu de 9,6 kbit/s pour le GSM).

I.3.4. Entre la 2,5G et la 3G : EDGE « 2,75G »

Tout comme le GPRS, le standard EDGE est utilisé comme transition vers la troisième génération mobile (3G). Il utilise une nouvelle modulation de type 8 PSK (Phase Shift Keying), optimisant le débit efficace à l'interface GSM, permettant d'atteindre des débits de 384 Kbits/s au maximum [3].

Les différents continents ont développé des systèmes assez similaires dans le principe, mais parfois différents dans leur réalisation. C'est donc dans le cadre d'une homogénéisation globale des standards qu'est née l'idée d'une troisième génération de systèmes cellulaires.

I.3.5. Troisième génération « 3G »

Depuis 1985, l'Union Internationale de Télécommunications (UIT, ou ITU en anglais) réfléchit à un système de troisième génération, initialement appelé Futur Public Land Mobile Telephone System FPLMTS, mais actuellement connu sous le nom d'IMT 2000.

L'idée fondatrice du système 3G est d'intégrer tous les réseaux de deuxième génération du monde entier en un seul réseau et de lui adjoindre des capacités multimédia (haut débit pour les données). Le principe du système est souvent résumé dans la formule *anyone, anywhere, anytime*, signifiant que chacun doit pouvoir joindre ou être joint n'importe où et n'importe quand. Le système doit donc permettre l'acheminement des communications indépendamment de la localisation de l'abonné, que celui-ci se trouve chez lui, au bureau, en avion....

Le choix de la technologie 3G prendra en considération des facteurs techniques, politiques et commerciaux. Les facteurs techniques concernent la fourniture des débits demandés et la performance du réseau. Politiquement, les différents organismes de normalisation doivent parvenir à un accord et prendre en compte les spécificités régionales. Enfin, les investissements engagés par les opérateurs dans les systèmes existants laisseraient à penser qu'il faut choisir un système 3G compatible avec les réseaux 2G, tandis que bien sûr les constructeurs pencheraient plutôt pour un nouveau système qui leur ouvrirait de belles opportunités commerciales.

La troisième génération ne repose pas sur une interface de communication unique et mondiale mais sur plusieurs interfaces [5], plus ou moins compatibles, regroupées sous le nom IMT 2000. Il regroupe des systèmes comme, en Europe ou au Japon : l'UMTS (Universal Mobile Telephone System) également appelé W-CDMA, aux Etats-Unis ; le CDMA 2000, ou encore le TD-SCDMA en Chine.

Alors L'UMTS (Universal Mobile Telecommunication System) est la version européenne de l'IMT2000 (International Mobile Telecommunication), la norme mondiale pour ces systèmes de troisième génération.

Le marché visé n'est plus seulement celui de la radiotéléphonie mais celui du multimédia mobile, avec notamment l'accès à haut débit à Internet sur un terminal portatif mobile ou la transmission en temps réel d'images haute résolution et de vidéos.

Les autres principales caractéristiques à respecter sont :

- l'assurance en mobilité d'un débit de 144 kbits/s (de préférence 384 kbits/s) partout où le service est assuré ;
- l'assurance dans certaines zones (de mobilité limitée) d'un débit de 2 Mbits/s ;
- une haute efficacité spectrale par rapport aux systèmes 2G ;
- une haute flexibilité pour permettre aisément l'introduction de nouveaux services.

I.3.5.1. Architecture

Comme le montre la figure I.4, le réseau UMTS est composé d'un réseau d'accès UTRAN (UMTS Terrestrial Radio Access Network) et d'un réseau cœur.

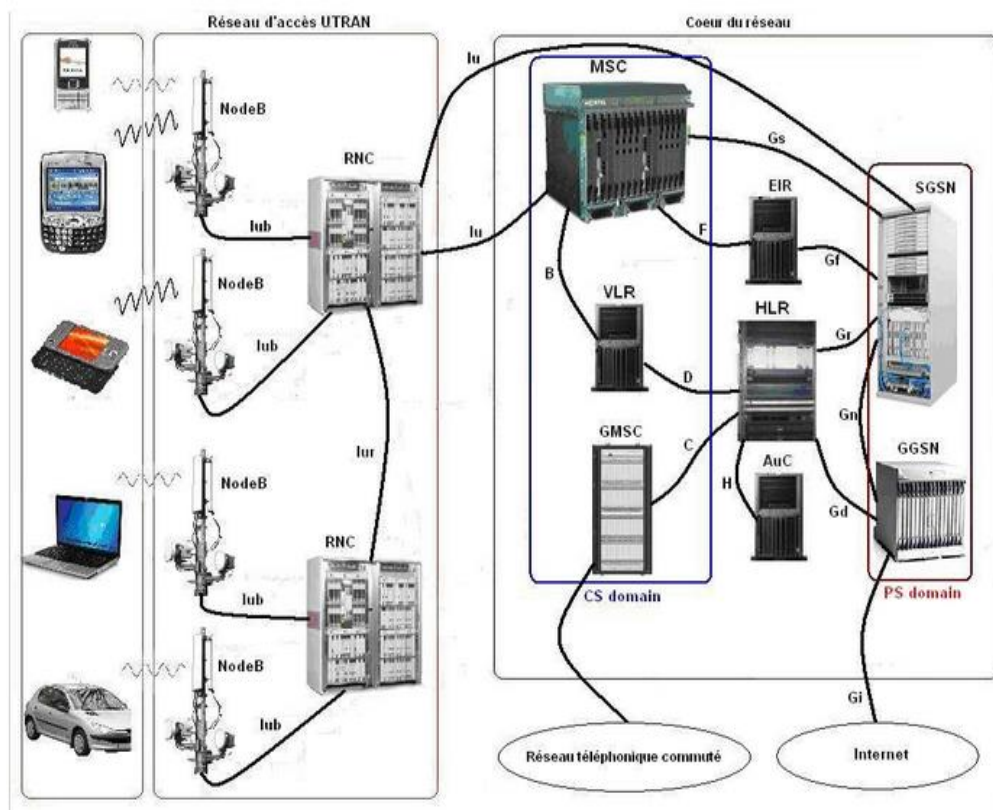


Figure I.4. Architecture du réseau UMTS.

I.3.5.2. Organisation fréquentielle

Les bandes de fréquences allouées pour l'IMT 2000 sont 1885-2025 MHz et 2110-2200 MHz [6]. La figure I.5 représente l'utilisation de la bande de fréquences pour l'UMTS.

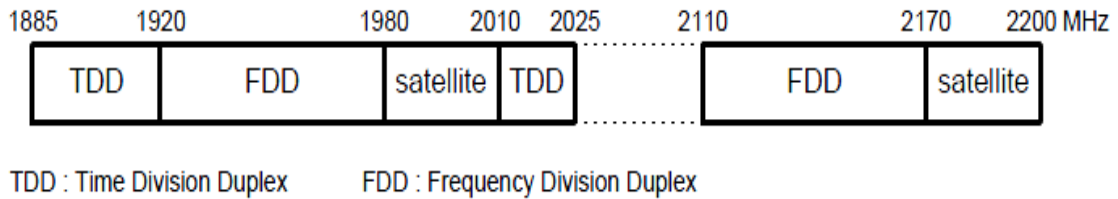


Figure I.5. Utilisation de la bande de fréquences pour l'UMTS.

I.3.5.3. Organisation temporelle

L'organisation temporelle de l'UMTS est basée sur une supertrame de 720 ms, comportant elle-même 72 trames. Chaque trame de 10 ms est divisée en 15 slots de 667 μ s [7]. Cette organisation est présentée par la figure suivante

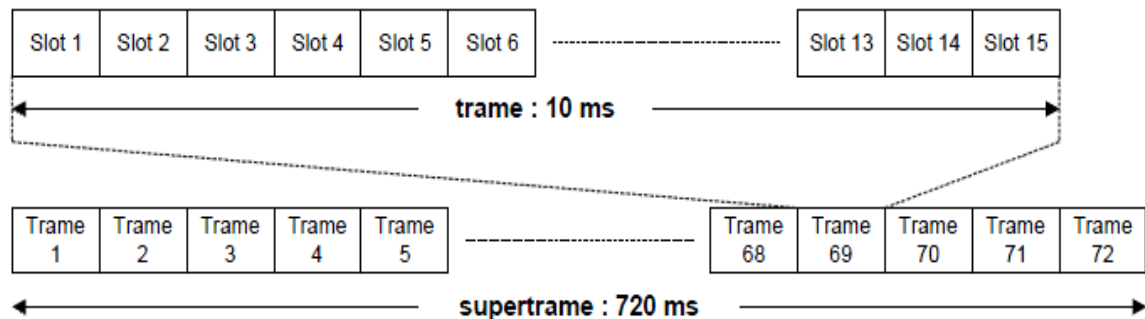


Figure I.6. Structure de trame de l'UMTS.

I.3.5.4. Le mode d'accès

L'UMTS fonctionne suivant le mode d'accès multiple à répartition par les codes (CDMA). Les signaux provenant de différents mobiles coexistent dans un même canal mais la technique d'étalement de spectre permet de leur attribuer des codes différents. Le principe consiste à multiplier les signaux par des séquences binaires pseudo-aléatoires différentes à haut-débit (séquence directe ou DS-SS-SS-SS) [5]. L'information est étalée sur 5MHz approximativement d'où le nom de Wideband (WCDMA).

L'UMTS Terrestrial Radio Access (UTRA) possède deux modes de duplexage, FDD (Frequency Division Duplex) et TDD (Time Division Duplex) comme le montre la figure I.7. Le mode FDD est réservé pour les bandes de fréquences appariées du système, i.e. une bande dédiée à la réception et une bande dédiée à l'émission. Le mode TDD est réservé pour les bandes de fréquences non-appariées du système, i.e. liaison montante et liaison descendante sont portées sur la même fréquence [8]. Durant la communication on attribue à tour de rôle des intervalles de temps pour l'émission et des intervalles de temps pour la réception. La modulation spécifiée pour l'UMTS en réception est la QPSK (Quadrature Phase Shift Keying).

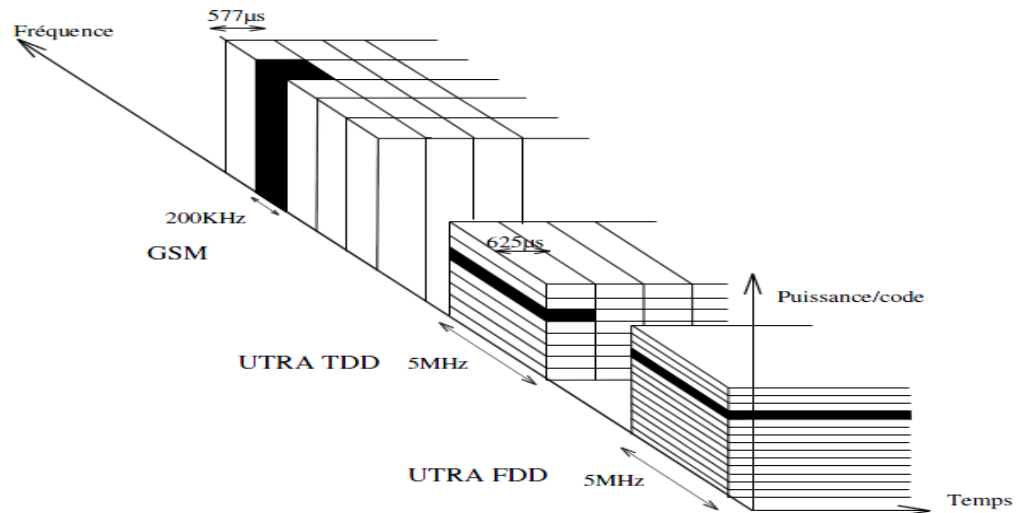


Figure I.7. Techniques d'interface radio pour le GSM et l'UMTS.

L'UMTS est conçu pour pouvoir s'interconnecter et interagir avec le GSM dans toutes ses phases d'évolution. Aussi, l'UMTS peut être considéré comme l'étape la plus porteuse en termes d'innovations technologiques. Ce système se distingue en effet de ses prédécesseurs HSCSD (High Speed Circuit Switched Data), GPRS et EDGE, par des débits maximum plus élevés de 2 Mbit/s, et utilise des canaux de 5 MHz de large.

Grâce à sa vitesse accrue de transmission de données, l'UMTS ouvre la porte à des applications et services nouveaux. L'UMTS permet en particulier de transférer dans des temps relativement courts des contenus multimédia tels que les images, les sons et la vidéo. Les nouveaux services concernent surtout l'aspect vidéo : Visiophonie, MMS Vidéo, Vidéo à la demande, Télévision.

I.3.6. Le HSDPA « 3.5 G »

Au même titre que le GPRS et EDGE ont permis, sans modifier le principe de base des communications, à leur génération de systèmes cellulaires d'évoluer en terme d'efficacité. Le HSDPA (High-Speed Downlink Packet Access) est déjà considéré comme le standard 3.5G des télécommunications mobiles [4]. Le HSDPA, grâce à sa modulation en 16-QAM, autorise des débits de 10 Mbits/s. Ainsi, grâce à l'introduction de la nouvelle modulation 64-QAM, le débit théorique de 14 Mbits/s est possible par le réseau HSDPA.

I.3.7. Le HSUPA « 3.75 G »

3,75G (3G++), encore appelé HSUPA, cette technologie mobile est une évolution de l'HSDPA, à laquelle on s'est efforcé d'optimiser le débit montant (upload). Ce qui nous permet d'avoir un débit montant à 5,8 Mbps théorique qui permet d'envoyer des fichiers/images/vidéo plus rapidement sur le réseau [9].

I.3.8. Quatrième génération « 4G »

Toujours en cours de développement, le réseau 4G (4ème génération) [10]-[14] est proposé comme future génération des réseaux mobiles après la 3G. Ce réseau a également pour objectif d'abolir les frontières de la mobilité.

Avec le réseau 4G, un utilisateur peut se connecter où qu'il se trouve: à l'intérieur des bâtiments avec les technologies Bluetooth, UWB ou Wi-Fi..., à l'extérieur (dans la rue et les lieux publics) avec l'UMTS ou le WiMAX...

En général, le passage d'un réseau à l'autre deviendra transparent pour l'utilisateur. Les débits supposés sont entre 20 et 100 Mb/s à longue portée et en situation de mobilité, et 1 Gb/s à courte portée vers des stations fixes. Par définition, la 4G assure la convergence de la 3G avec les réseaux de communication radio fondés sur le protocole IP. La connexion devra être possible quel que soit le mode de couverture.

L'institution internationale de standardisation ITU (Union Internationale des Télécoms) n'a toujours pas donné de définition à la 4G. Les trois technologies supposées comme candidates potentielles pour une validation 4G sont [15]:

- **Long Term Evolution (LTE)** poussée par les Européens, avec Ericsson en tête suivi de Nokia et Siemens...
- **WiMAX version 802.16m** soutenu par Intel sachant que le WIMAX a été ajouté à la liste des standards 3G par l'ITU le 19/10/2007 [16].
- **Ultra Mobile Broadband (UMB)** soutenu par le fondateur américain Qualcomm (fabriquant des puces).

I.4. Présentation de la norme LTE

I.4.1. Introduction

Le LTE (Long Term Evolution of 3G) [17]-[23] est la norme de communication mobile la plus récente qui est proposée par l'organisme 3GPP dans le contexte de la 4G. Comme l'IEEE 802.16m, elle propose des débits élevés pour le trafic temps-réel, avec une large portée.

Le LTE comprend une interface radio qui a fait ses preuves dans les réseaux terrestres numériques de radiodiffusion et qui a été optimisée pour la radiocommunication mobile. Son utilisation implique le réaménagement des stations existantes, la mise en place de stations de base supplémentaires et la création de nouveaux terminaux mobiles qui supportent le LTE. Le LTE présente de multiples qualités, en particulier des débits élevés entre la station de base et les terminaux. Cela augmente la capacité de transmission et permet ainsi d'offrir le même débit à davantage d'utilisateurs ou de fournir des débits plus élevés au même nombre d'utilisateurs. En

outre, la réduction de l'intervalle de transmission des données (latence) devrait améliorer considérablement la réactivité du réseau. Enfin, le LTE devrait consommer moins d'énergie que l'UMTS, notamment au niveau du terminal; son autonomie s'en trouve rallongée, malgré la connexion à un service de données à large bande.

I.4.2. L'évolution du standard LTE

L'introduction du LTE a débuté en 2010. En voici les étapes [9].

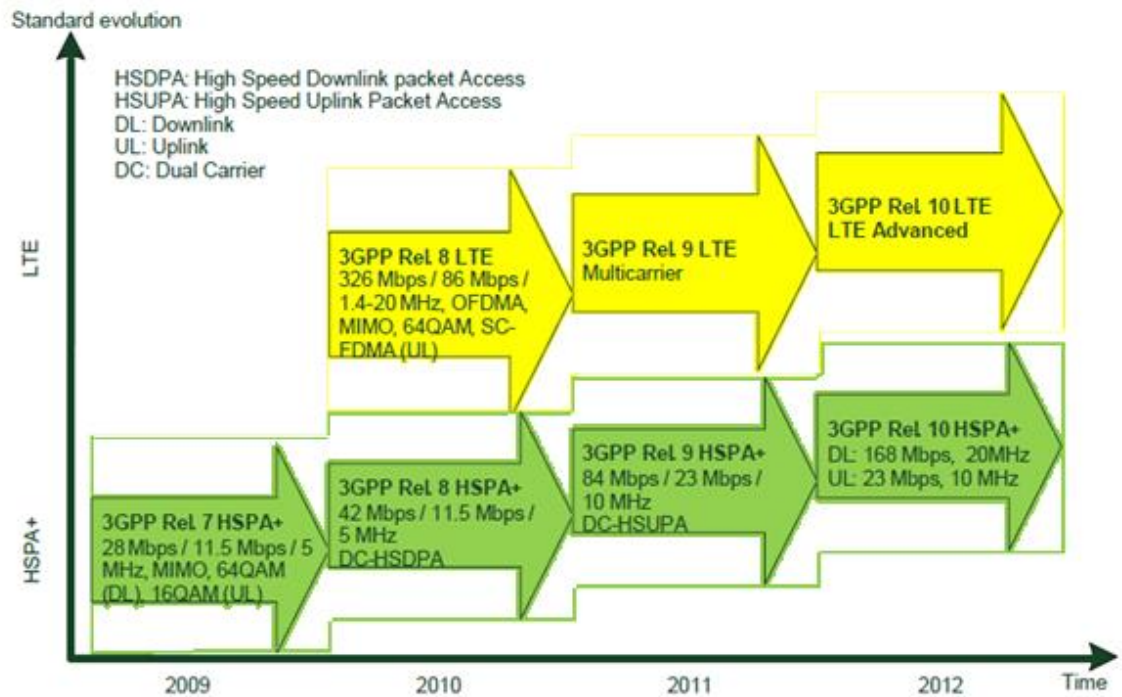


Figure I.8. L'évolution du standard LTE.

Selon une mise à jour du rapport de l'évolution du LTE publié le 5 janvier 2012 ; la GSA (Global mobile Suppliers Association) confirme 49 réseaux LTE commerciaux dans le monde. 285 opérateurs, se sont engagés à des déploiements de réseaux commerciaux LTE ou sont engagés pour des essais ou étude de cette technologie. Le rapport GSA couvre les modes FDD et TDD du système LTE. La GSA a prévue pour fin 2012, un total de 119 réseaux commerciaux LTE dans plus de 50 pays [9].

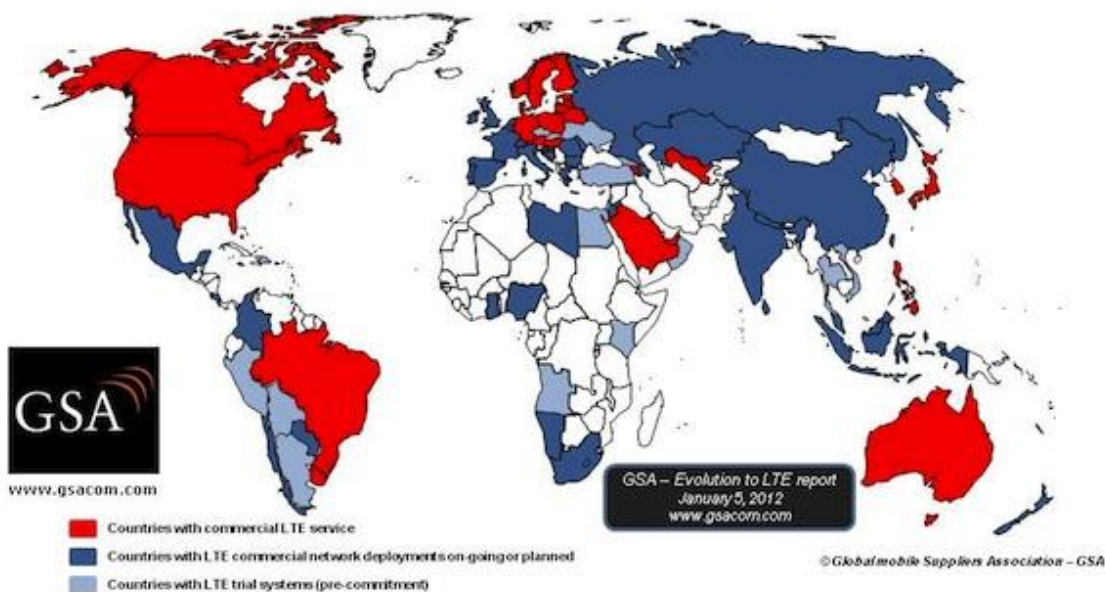


Figure I.9. Réseaux LTE commerciaux et déclarations d'intention pour le LTE.

I.4.3. Architecture générale

La figure ci-dessous décrit l'architecture globale du réseau, en incluant non seulement le réseau Cœur et le réseau d'accès, mais aussi d'autres blocs, et cela dans le but de montrer la relation entre eux. Les nouveaux blocs spécifiés pour le LTE, connu aussi sous le nom d'EPS (Evolved Packet System), sont l'EPC (Evolved Packet Core) et l'E-UTRAN (Evolved UTRAN).

D'autres blocs sont également affichés, comme l'UTRAN (le réseau d'accès de l'UMTS), les deux parties PS et CS du réseau cœur, reliés respectivement, au réseau d'IP public (ou privé) et au réseau du téléphone.

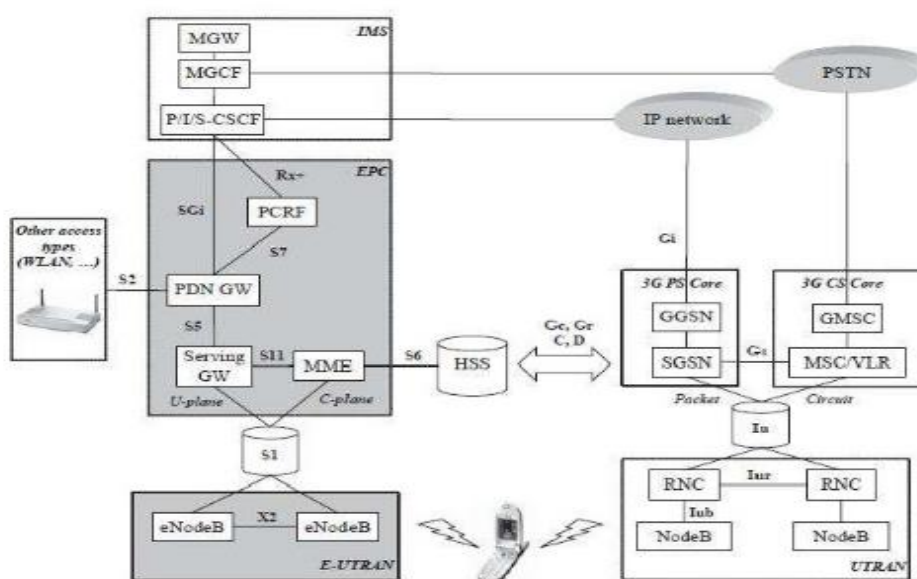


Figure I.10. Architecture du LTE.

Le seul inconvénient de cette nouvelle technologie est l'installation de ses nouveaux équipements qui sont différents de ceux des normes précédentes, et le développement des terminaux adaptés.

I.4.4. Réseau d'accès (Access Network)

I.4.4.1. Caractéristiques

a. Débit de l'interface radio

L'interface radio E-UTRAN doit pouvoir supporter un débit maximum instantané de 100 Mbit/s en considérant une allocation de bande de fréquence de 20 MHz pour le sens descendant et un débit maximum instantané de 50 Mbit/s en considérant aussi une allocation de bande de fréquence de 20 MHz pour le sens montant. Les technologies utilisées sont OFDMA (Orthogonal Frequency Division Multiple Access) pour le sens descendant et SC-FDMA (Single Carrier - Frequency Division Multiple Access) pour le sens montant.

b. Délai pour la transmission de données

Moins de 5 ms entre l'UE et l'Access Gateway, en situation de non-charge où un seul terminal est ACTIF sur l'interface radio. La valeur moyenne du délai devrait avoisiner les 25 ms en situation de charge moyenne de l'interface radio. Ceci permet de supporter les services temps réel IP, comme la voix sur IP et le streaming sur IP.

c. Mobilité

Assurée à des vitesses comprises entre 120 et 350 km/h. Le handover pourra s'effectuer (le LTE ne permet que le hard handover et non pas le soft handover) dans des conditions où l'utilisateur se déplace à grande vitesse.

d. Coexistence et Interfonctionnement avec la 3G

Le handover entre E-UTRAN (LTE) et UTRAN (3G) doit être réalisé en moins de 300 ms pour les services temps-réel et 500 ms pour les services non temps-réel. Il est clair qu'au début du déploiement du LTE, peu de zones seront couvertes. Il s'agira pour l'opérateur de s'assurer que le handover entre la LTE et la 2G/3G est toujours possible. Le handover pourra aussi s'effectuer entre le LTE et les réseaux CDMA-2000 [1].

e. Flexibilité dans l'usage de la bande

E-UTRAN doit pouvoir opérer dans des allocations de bande de fréquence de différentes tailles incluant 1.25, 2.5, 5, 10, 15 et 20MHz.

f. Couverture de cellule importante dans les zones urbaines et rurales

Comme le LTE pourra opérer sur des bandes de fréquences diverses et notamment basses comme celle des 700 MHz, il sera possible de considérer des cellules qui pourront couvrir un large diamètre.

I.4.4.2. L'Interface Radio du LTE

Le LTE a introduit un certain nombre de nouvelles technologies, permettant l'emploi efficace du spectre et fournissant des débits beaucoup plus élevés. Ainsi, le LTE a utilisé la technologie OFDM (Orthogonal Frequency Division Multiplex) en tant que porteur du signal et les régimes d'accès associés, OFDMA (Orthogonal Frequency Division Multiplex Access), SC-FDMA (Single Frequency Division Multiple Access) et MIMO (Multiple Input Multiple Output). Les travaux sur le LTE ont débuté en décembre 2004 avec une étude de faisabilité (Release 7). La norme LTE est une évolution des normes de téléphonie mobile qui vise des débits élevés, elle s'appuie sur l'infrastructure du réseau UMTS déjà en place. Le LTE supporte les duplexages TDD et FDD et utilise les bandes de fréquence déjà allouées à l'UMTS (Release 8). Il y a 15 bandes de fréquences (bandes 1 à 14 et bande 17) qui utilisent le duplexage FDD et 8 bandes (33 à 40) qui utilisent le duplexage TDD (Tableau I.1). LTE a l'avantage de s'adapter aux anciennes normes existantes. La transition est donc possible avec l'UMTS FDD (W-CDMA), l'UMTS TDD et le GSM/EDGE.

Band	Frequencies UL/DL (MHz)
33.34	1900-1920
	2010-2025
35.36	1850-1910
	1930-1990
37	1910-1930
38	2570-2620
39	1880-1920
40	2300-2400

a- Les bandes TDD

Band	Frequencies UL/DL (MHz)
1	1920-1980/2110-2170
2	1850-1910/1930-1990
3	1710-1785/1805-1880
4	1710-1755/2110-2155
5	824-849/869-894
6	830-840/875-885
7	2500-2570/2620-2690
8	880-915/925-960
9	1750-1785/1845-1880
10	1710-1770/2110-2170
11	1428-1453/1476-1501
12	698-716/728-746
13	777-787/746-756
14	788-798/758-768
15	704-716/734-746

b- Les bandes FDD

Tableau I.1. Allocation de fréquences pour le LTE

Le tableau I.2 récapitule l'évolution des standards de communication.

Génération	Norme européenne	Caractéristiques	Année
1G	ETACS	Analogique : premier téléphone sans fil, voix uniquement.	1980
2G	GSM	Permet le transfert de voix ou de données numériques de faible volume.	1990-2000
2.5G	GPRS	Permet le transfert de voix ou de données numériques de volume modéré.	1990-2000
2.75G	EDGE	Permet le transfert simultané de voix et de données numérique.	1990-2000
3G	UMTS	Permet le transfert simultané de voix et de données numérique à haute débit.	2000-2010
3.5G/3G+	HSDPA	Permet d'atteindre des débits supérieurs dans la voie descendante en mode paquets.	2000-2010
3.75G/3G++	HSUPA	Une variante de HSDPA sur la voie montante.	2000-2010
4G	LTE, WIMAX	Le débit sera encore augmenté : système multi-antennes devraient être utilisé.	2010

Tableau I.2. L'évolution des standards de radiocommunication.

I.4.4.3. La structure des trames en LTE

Les trames LTE sont de 10 ms. Ils sont divisés en 10 sous-trames, chaque sous-trame de longueur 1,0 ms. Chaque sous-cadre est divisée en deux slots, chacun de 0,5 ms. Un slot est composé de 6 ou 7 symboles OFDM, selon que le préfixe cyclique normal ou étendu est employé.

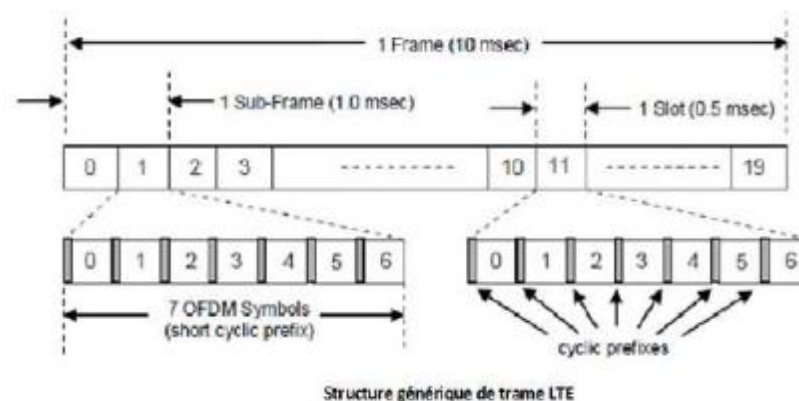


Figure I.11. Structure générique de trame LTE.

I.5. Comparaison UMTS et LTE

Les deux normes de réseaux mobiles répondent aux mêmes objectifs définis par l'ITU (International Telecommunication Union) :

- Supporter les applications multimédia : les terminaux auront la capacité d'accepter simultanément des services de natures différentes (voix, visiophonie, navigation web, transfert de fichier).
- Supporter des débits plus élevés par rapport à ceux enregistrés par les normes de 2G.
- Permettre d'augmenter la palette de services proposés aux utilisateurs.
- Transparence du réseau pour l'utilisateur : l'utilisateur ne doit pas se rendre compte qu'il passe d'un réseau à un autre.

En fait, les deux normes ont respecté les objectifs imposés par l'ITU mais LTE est une évolution de la norme UMTS ce qui concerne les débits, les délais de latence et les technologies utilisées.

I.6. Conclusion

A travers ce premier chapitre, nous avons présenté un état de l'art des standards de téléphonie mobile. Les déploiements des réseaux 3G, 3,5G, et 4G, quelle que soit la famille technologique retenue (UMTS, LTE, etc.), constituent l'enjeu technologique majeur de cette décennie. Dans le cadre de ce mémoire, la norme LTE qui devrait permettre aux services de communication cellulaires d'aller de l'avant dans un futur proche, est détaillée à la fin de ce chapitre. Le chapitre suivant sera consacré à une étude détaillée des différentes techniques de synthèse de fréquences en mettant en évidence une description générale de chaque bloc constituant le synthétiseur de fréquences que nous allons concevoir dans le cadre des travaux de ce mémoire.

II.1. Introduction

La synthèse de fréquence est une fonction clé dans les architectures de circuits électroniques (et plus précisément dans les récepteurs et émetteurs des ensembles de communication) dont le rôle est de fournir des signaux périodiques. Elle consiste à générer à partir d'un signal fourni par un oscillateur de référence, un signal de fréquence différente. La stabilité de fréquence de l'oscillateur de référence est alors transférée au signal synthétisé. Dans ce chapitre, nous allons décrire dans un premier temps les spécifications générales d'un synthétiseur de fréquence. Nous nous intéresserons par la suite aux différentes techniques les plus courantes de synthèse disponibles en littérature. Pour finir, nous présenterons une étude plus détaillée de la PLL, et de tout ses composants : comparateur de phase, pompe de charges, filtre de boucle, oscillateurs et diviseur de fréquences [2].

II.2. Rôle de l'oscillateur local (LO) dans un transmetteur/récepteur

Un système de radiocommunication est un système de communication qui utilise les ondes hertziennes comme moyen de transmission. Les systèmes de radiocommunication sont nombreux et leurs applications très diverses : radiodiffusion, télévision, téléphonie, réseaux locaux de transmission de données numériques, etc...

Dans le cas des circuits radiofréquences modernes, on cherche généralement à couvrir de multiples standards de télécommunications. La figure II.1 présente une illustration des principaux standards dans une bande comprise entre 0,8 et 10 GHz.

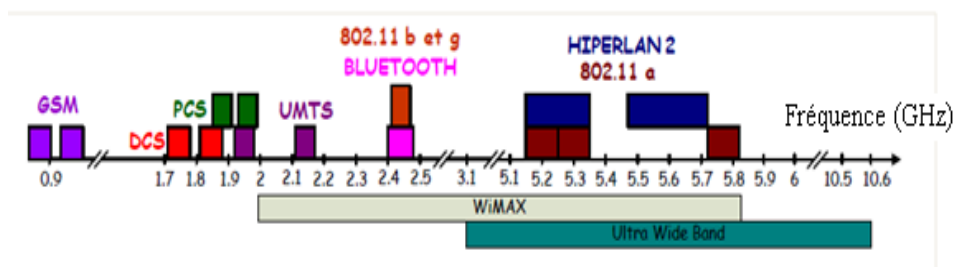


Figure II.1. Illustrations des standards de communication dans la bande 0,8-10 GHz.

Donc, pour les systèmes fonctionnant avec plusieurs de ces standards (multistandards) ou pour ceux fonctionnant sur différents canaux d'un même standard il sera nécessaire que le synthétiseur de fréquences couvre une large plage de fréquences ou alors plusieurs sous-plages de fréquences. Pour ce faire, nous utilisons une chaîne d'émission/réception comme celle présentée à la figure II.2 où les différents éléments sont reconfigurables. Le signal de sortie du synthétiseur est communément appelé Oscillateur Local (OL) car il intervient dans les systèmes de communication comme oscillateur de référence pour la translation de fréquence : des Hautes Fréquences (HF) vers

la Bande de Base (BB) ou la Fréquence Intermédiaire (FI) en réception, et BB ou FI vers HF en émission [5].

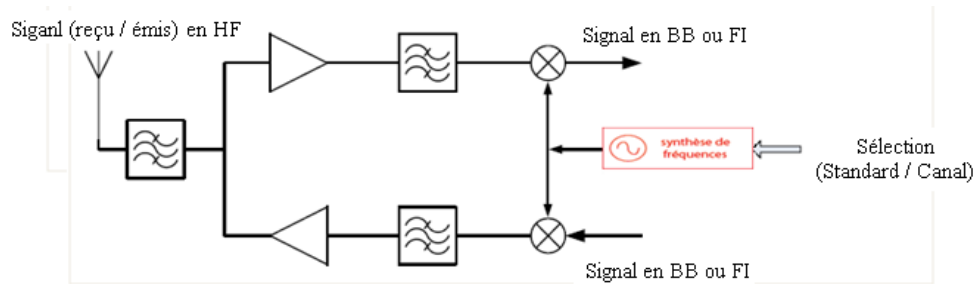


Figure II.2. Rôle du synthétiseur de fréquence dans un émetteur-récepteur RF.

L'utilisation d'un oscillateur contrôlé par tension VCO (Voltage Controlled Oscillator) seul pour la génération des fréquences requises par l'Oscillateur Local (OL) dans la chaîne d'émission/réception, n'est pas une solution envisageable, bien que très attrayante du point de vue de la complexité et de la consommation de puissance. Ceci s'explique parce que la précision requise des fréquences générées par l'oscillateur local est très sévère, et la stabilité en fréquence d'un VCO en oscillation libre est très mauvaise. Elle est affectée à court terme par le bruit de phase, et à long terme par les variations de température, le vieillissement, les changements de conditions de polarisation, etc.

II.3. Synthèse de fréquence

Pour pallier à ces difficultés, le VCO peut être imbriqué dans une boucle de rétroaction visant à asservir la phase instantanée de son signal de sortie à celle d'un signal de référence très pur. Cette configuration est appelée boucle à verrouillage de phase (Phase-Locked Loop - PLL). La naissance de la PLL remonte à 1932, alors qu'un ingénieur nommé De Bellescize cherchait à améliorer la réception des signaux radioélectriques en modulation d'amplitude. A cette époque, les réalisations à base de PLL étaient volumineuses et chères, c'est pourquoi ce principe a longtemps été réservé aux matériels professionnels jusqu'à la généralisation des circuits intégrés dont l'arrivée a bouleversé toutes les branches de l'électronique.

II.4. Critères de performance des synthétiseurs de fréquences

Lors de la conception d'un synthétiseur de fréquences pour la génération de la porteuse d'un transmetteur/récepteur RF, plusieurs critères de performance doivent être satisfaits afin que le système soit conforme à une norme de communication donnée.

Les normes de communication, tels que GSM, Bluetooth, et LTE définissent un ensemble de limitations, paramètres et bancs d'essais à respecter afin que le système de communication puisse être utilisé de façon sécuritaire et sans impacts négatifs sur les communications des autres usagers. Des spécifications précises pour les différents blocs d'un système de communication RF peuvent être extraites de ces normes.

Dans le cas d'un synthétiseur de fréquences, les spécifications concernent principalement sa pureté spectrale, son bruit de phase et son temps d'établissement [2]. Dans les sections qui suivent, nous allons présenter les différents critères de performance d'un synthétiseur.

II.4.1. Plage de fréquences et pas de synthèse

La principale caractéristique d'un synthétiseur de fréquences est l'ensemble des fréquences qu'il peut générer. Pour une utilisation dans un émetteur-récepteur radio, les fréquences à couvrir sont fixées par le ou les standard(s) de communication que l'on souhaite pouvoir couvrir (plan de fréquences).

La plage de fréquences est donc, la zone comprise entre la plus petite et la plus grande des fréquences synthétisables, sa largeur doit être supérieure ou égale à la bande de fréquences allouée au standard de communication.

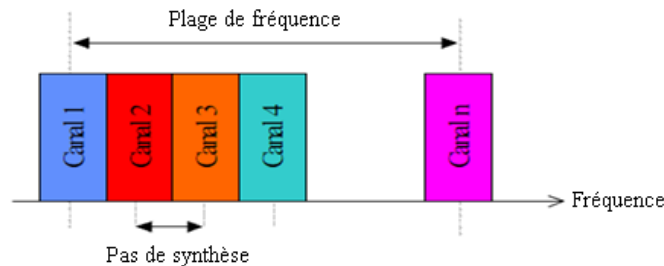


Figure II.3. Plage de fréquences et pas de synthèse.

Le pas de synthèse est la différence de fréquence entre deux fréquences synthétisées consécutives. Habituellement le pas de synthèse est inférieur ou égal à la largeur d'un canal, de façon à pouvoir opérer sur tous les canaux du standard de télécommunication. En général, la complexité du synthétiseur de fréquences est fortement dépendante du plan de fréquences du standard de télécommunication [2].

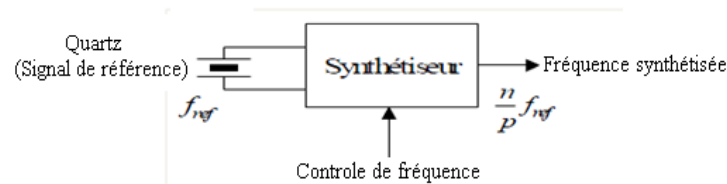


Figure II.4. Synthétiseur et pas de fréquences.

Le pas de fréquence est dépendant de la fréquence de référence du synthétiseur. Usuellement, la fréquence synthétisée est une fraction (division de deux nombres entiers) de la fréquence de référence (Figure II.4). La fréquence de référence doit donc être choisie avec soin, afin de permettre d'obtenir la plage de fréquences et le pas de synthèse voulus.

II.4.2. Le temps d'établissement et la bande passante

De nombreux standards de communication nécessitent que le synthétiseur de fréquences soit capable de changer rapidement de fréquence. Le temps d'établissement représente le temps nécessaire au synthétiseur pour générer une fréquence prédéterminée. Pour un système multistandard, cela peut se définir comme le temps maximal nécessaire pour atteindre un offset de fréquence donné par rapport à la fréquence désirée [5]. Un exemple, où le synthétiseur bascule entre trois fréquences, est présenté à la figure II.5.

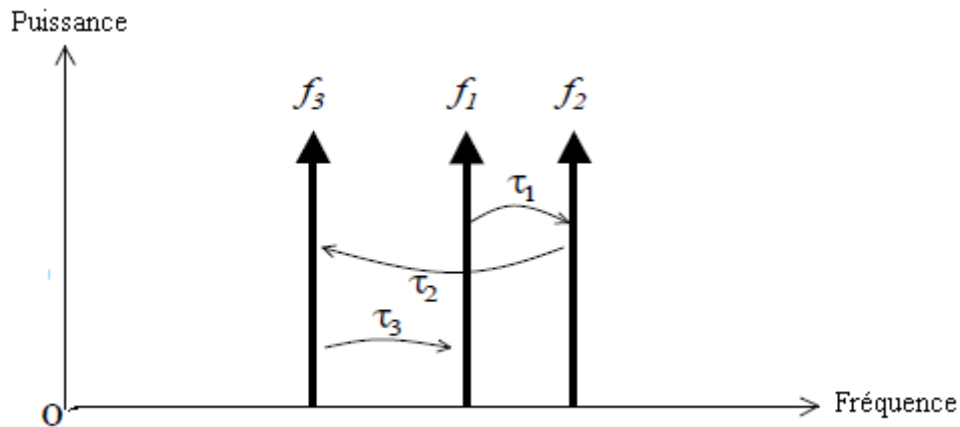


Figure II.5. Exemple de basculement du synthétiseur entre trois fréquences.

D'un point de vue fréquentiel, ce temps d'établissement va être directement lié à la bande passante du synthétiseur de fréquence utilisé. Plus la bande passante d'une architecture d'oscillateur locale sera grande, plus ce système sera capable de s'accrocher rapidement autour d'une fréquence donnée et pourra diminuer l'erreur de phase. Cependant, la bande passante du synthétiseur ne pourra être augmentée que dans les limites fixées par les conditions de stabilité du système. Cette limite, qui est fonction des différents blocs du synthétiseur, est, en théorie, fixée à la valeur de la fréquence de référence d'entrée du synthétiseur divisée par 10. Cependant, dans la pratique, cette valeur est généralement encore divisée d'un facteur 10 à 20 afin de diminuer les dérives de la tension de contrôle de l'oscillateur et d'en accroître le taux de réjection.

II.4.3. Pureté spectrale

Idéalement, un synthétiseur de fréquences devrait générer un signal purement sinusoïdal, sans bruit ou parasite. Il en est autrement en pratique. Un premier défaut est la génération de raies parasites (spurious ou spurs dans la littérature anglophone) dans le spectre du signal synthétisé [5]. Souvent, à la place d'une raie unique à la fréquence synthétisée, on retrouve un ensemble de raies parasites de faibles puissances. Un exemple d'un tel spectre est présenté à la figure II.6.

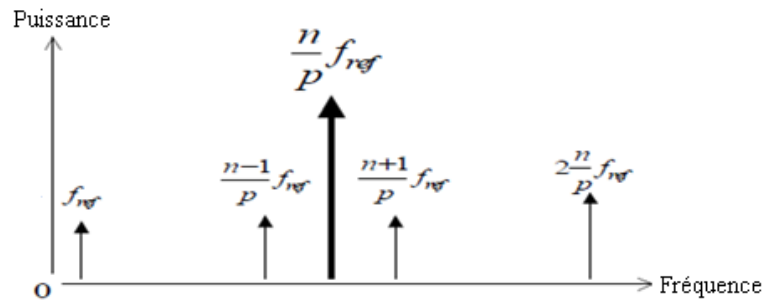


Figure II.6. Exemple de spectre généré par un synthétiseur de fréquences.

De plus, on trouve habituellement dans le spectre de sortie, des harmoniques du signal synthétisé. En effet le signal généré est rarement sinusoïdal. A plus basse fréquence on peut également trouver une raie à la fréquence de référence. Ces raies parasites étant relativement loin en fréquence de la fréquence synthétisée, on peut assez facilement les supprimer à l'aide d'un bon filtre.

En sortie des synthétiseurs, on trouve également des raies parasites situées à proximité de la fréquence synthétisée. Celles-ci sont en général les plus gênantes. Elles ne peuvent être supprimées par un simple filtre : Il sera alors nécessaire d'utiliser un filtre très sélectif, d'ordre élevé, et par conséquent très encombrant. Il est donc nécessaire de minimiser ces raies parasites à la source, c'est-à-dire au niveau du synthétiseur.

Les sources de ces raies parasites sont habituellement multiples : Une modulation de phase ou de fréquence fortuite, une erreur de phase statique ou un couplage de différents signaux [5].

II.4.4. Bruit de phase

Une seconde source de dégradation du spectre synthétisé est également à l'œuvre dans les synthétiseurs de fréquences : le bruit généré par les composants actifs et passifs des circuits. Ces bruits en tension et courant des composants se traduisent par du bruit sur l'amplitude et sur la phase du signal généré par le synthétiseur.

Le bruit de phase appelé aussi **SSBPN** (Single Side Band Phase Noise) est généralement caractérisé dans le domaine fréquentiel. Il est la représentation d'une variation aléatoire de la phase du signal de sortie d'un oscillateur. Un oscillateur idéal peut être décrit par l'expression temporelle suivante :

$$V(t) = A \cdot \sin(2\pi f_{OL} t + \theta) \quad (\text{II.1})$$

Les grandeurs A , f_{OL} et θ représentent respectivement l'amplitude du signal, sa fréquence et sa phase. La figure II.7 (a) présente d'un point de vue fréquentiel le signal ainsi généré. Dans le cas réel, l'amplitude et la phase du signal ne sont pas constantes et subissent des variations aléatoires. L'expression réelle est donc la suivante :

$$V(t) = A(t) \cdot \sin(2\pi f_{OL}t + \theta(t)) \quad (\text{II.2})$$

En radio communication, les variations d'amplitude sont généralement négligeables. En revanche les variations de la phase entraînent une variation de la période du signal et donc de sa fréquence. Le bruit de phase de l'oscillateur, qui caractérise cette variation, est présenté sur la figure II.7 (b).

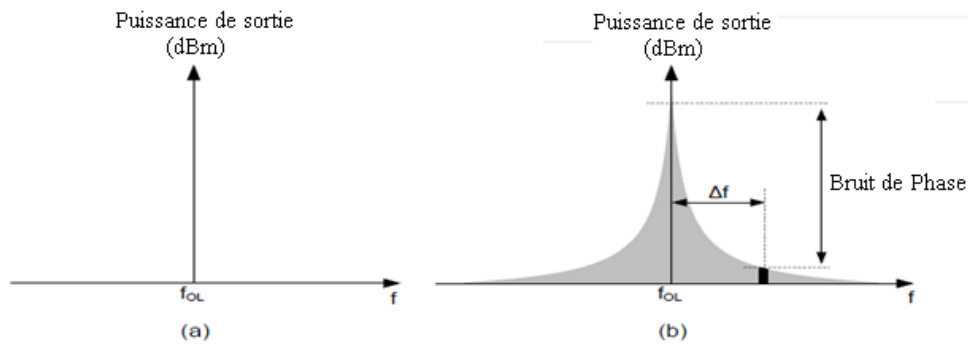


Figure II.7. Bruit de phase d'un oscillateur. (a) cas idéal. (b) cas réel.

Afin de quantifier le bruit de phase [9], considérons une bande unitaire de largeur 1 Hz située à un offset Δf de la fréquence f_{OL} . Le bruit de phase est alors égal au rapport de la densité spectrale de puissance de la bande unitaire sur la densité spectrale de puissance de la fréquence porteuse et s'exprime en dBc/Hz [24]:

$$BP(\Delta f) = 10 \cdot \log \left[\frac{P_{\text{bande}}(f_{OL} + \Delta f, 1\text{Hz})}{P_{\text{porteuse}}} \right] \quad (\text{II.3})$$

Où :

$P_{\text{bande}}(f_{OL} + \Delta f, 1\text{Hz})$: représente la densité spectrale de puissance de la bande unitaire.

P_{porteuse} : représente la densité spectrale de la porteuse.

Dans un système radiofréquence, les performances d'un synthétiseur de fréquence en matière de bruit de phase sont critiques et ils dépendent du type d'application. Plus les canaux sont proches les uns des autres, plus les contraintes en terme de bruit sont importantes. Leurs conséquences sur la qualité de réception et d'émission sont nombreuses.

En émission, lors de la transposition du signal en haute fréquence, le bruit de phase de l'oscillateur va être transmis vers le signal de sortie. Si la fréquence de ce dernier se retrouve proche d'un canal de réception du même système radiofréquence ou d'un système voisin, il va alors le perturber. En effet, suite aux pertes dues à l'environnement de transmission, le signal reçu a une puissance très inférieure à celle du signal émis. Nous pouvons voir sur la figure II.8, qu'à la fréquence voisine f_2 , le niveau de bruit de phase du signal émis à la fréquence f_1 est si élevé qu'il masque le signal en réception. De plus, lors d'une transmission où une modulation de phase est

utilisée, le bruit de phase va perturber l'information, ce qui pourra entraîner une incertitude sur la décision lors de la démodulation augmentant en conséquence le taux d'erreur.

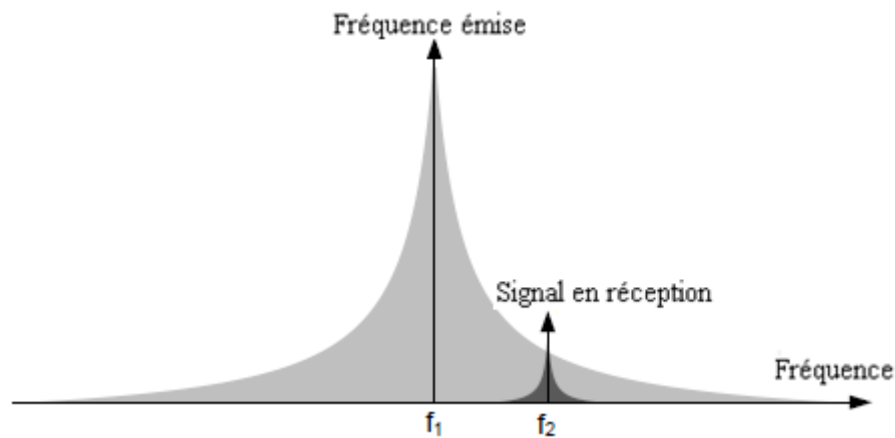


Figure II.8. Effet du bruit de phase en émission.

Lors de la réception d'un signal radiofréquence, le synthétiseur de fréquence va permettre de réaliser la conversion descendante du signal reçu en bande de base. Dans le cas idéal de la figure II.9 (a) où le signal d'oscillateur local est non bruité, le signal transposé ne comprend alors que l'information désirée.

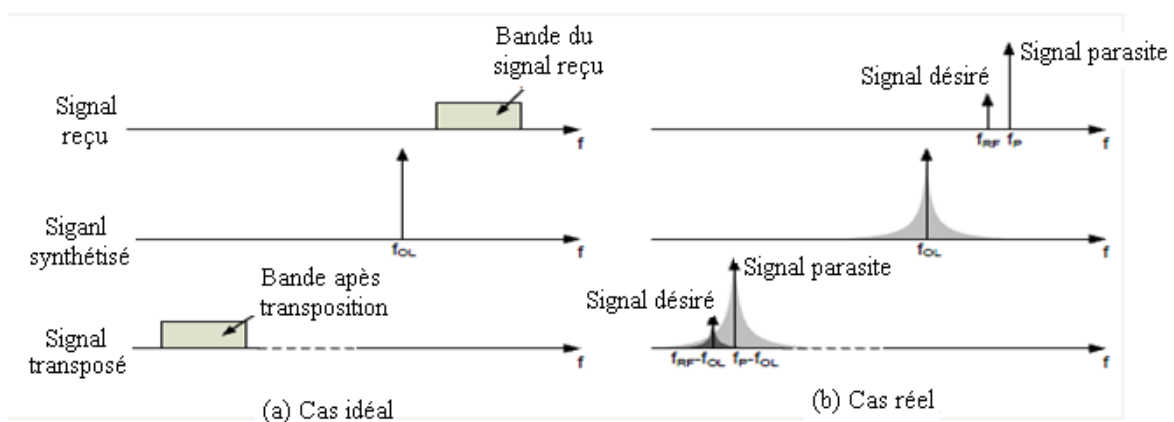


Figure II.9. Effet du bruit de phase en réception. (a) cas idéal. (b) cas réel.

En revanche, si un signal parasite de fréquence proche du signal désiré est présent dans le spectre et dans le cas, plus réaliste, de la figure II.9 (b) d'un signal d'oscillateur local bruité, le signal désiré va donc être fortement dégradé par le bruit du signal parasite en bande de base. Ce phénomène est appelé « mélange réciproque » [25].

Enfin, pour les transmissions utilisant des modulations basées sur des variations de la phase instantanée (ex. modulation PSK), le bruit de phase de l'oscillateur peut entraîner une erreur d'interprétation lors de la démodulation du signal.

Dans le domaine temporel, la fluctuation aléatoire et dynamique de la période d'un signal est dénommée gigue temporelle (jitter) [9], [26]. La figure II.10 représente l'illustration de cette gigue temporelle.

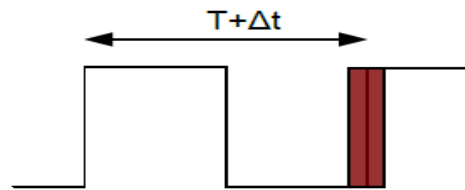


Figure II.10. Illustrations de la gigue temporelle cycle à cycle.

Pour toutes les applications radiofréquences, les spécifications en bruit de phase sont fixées par les standards.

II.5. Techniques de synthèse de fréquence

Les techniques de synthèse de fréquence se différencient par les composants utilisés et par leurs performances en bruit. On rencontre trois principes [5] :

- la synthèse directe analogique qui existe depuis les années 1930,
- la synthèse indirecte à base de PLL (Phase Locked Loop),
- la synthèse directe numérique DDS (Direct Digital Synthesis), plus récente qui n'a rien de commun avec les deux précédentes.

II.5.1. Synthèse directe analogique

La synthèse directe analogique consiste, à partir d'une source unique stable, à générer, une série de fréquences multiples ou sous-multiples par multiplication et division puis de les combiner entre elles par soustraction et addition. L'intérêt principal de ce type de synthèse est de procurer un faible temps d'acquisition qui dépend essentiellement de la rapidité de commutations de fréquence [5]. Un exemple de synthèse analogique directe est décrit dans la figure II.11. Le principe de ce type de synthèse est de partir d'un oscillateur basse fréquence de haute stabilité et d'en diviser et multiplier la fréquence pour ensuite mélanger les deux fréquences résultantes et de filtrer le signal obtenu à l'aide d'un filtre passe-haut.

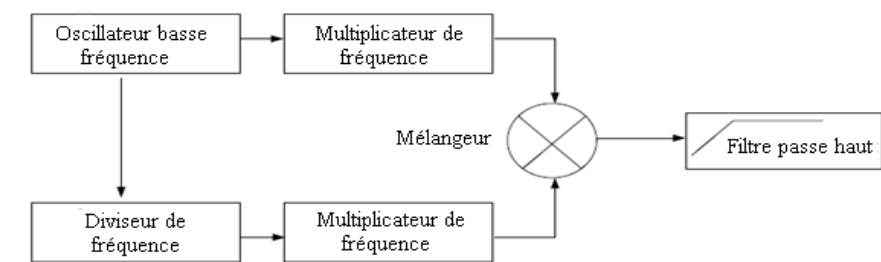


Figure II.11. Principe de la synthèse directe analogique.

Cette technique permet de réaliser des synthétiseurs avec un excellent bruit de phase, néanmoins au prix d'une importante surface d'intégration ainsi que d'une grande consommation. Aussi, pour réaliser un instrument couvrant une large gamme avec un faible pas de fréquence, la synthèse de fréquence directe réclame un nombre important de mélangeurs et de filtres.

On préférera toute fois la synthèse indirecte utilisant le principe de la boucle à asservissement de phase, à cause de sa simplicité de réalisation et de sa facilité de programmation [27]. De plus ne bénéficiant pas du filtrage inhérent à la boucle d'asservissement de phase, le spectre obtenu par synthèse directe peut contenir de nombreuses raies parasites aux fréquences d'intermodulation produites par les mélangeurs.

II.5.2. Synthèse directe numérique DDS (Direct Digital Synthesis)

La synthèse directe numérique est une des techniques de synthèse de fréquence les plus récentes. Elle a été introduite en 1971 par J. Tierney [28]. Elle fonctionne sur le principe de la création d'un signal à partir d'échantillons en faisant varier leur nombre et ce à vitesse constante. Comme son nom l'indique, cette technique fait une utilisation massive de circuit numérique.

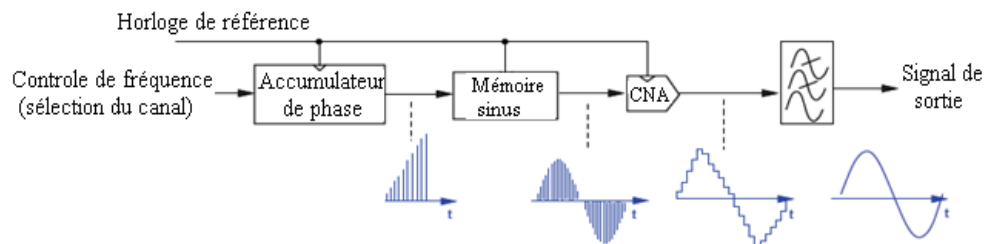


Figure II.12. Synthétiseur de fréquence à séquence numérique.

La solution numérique pour synthétiser une fréquence est décrite sur la figure II.12. Le mot appliqué à l'entrée de l'accumulateur de phase va permettre le contrôle de la fréquence de la manière suivante:

L'accumulateur de phase génère une rampe de phase périodique dépendante du mot d'entrée. Ce signal est ensuite injecté dans une mémoire afin d'affecter une amplitude à chaque valeur discrète de la rampe : les valeurs affectées dépendent d'un tableau d'adressage conçu de manière à générer une sinusoïde. Enfin, le signal de sortie de la mémoire sera ensuite traduit sous forme analogique à l'aide d'un convertisseur numérique analogique, puis filtré afin d'éliminer les harmoniques de la fréquence d'échantillonnage (et limiter la distorsion de la sinusoïde obtenue).

Considérons le mot d'entrée défini par l'entier M , et la taille de l'accumulateur par l'entier T , le tout étant contrôlé par l'horloge de fréquence f_{horls} , la fréquence du signal de sortie f_{out} est donnée par:

$$f_{OUT} = f_{horls} \cdot \frac{M}{T} \text{ (Hz)} \quad (\text{II.4})$$

Le pas de fréquence Δf est donc défini par:

$$\Delta f = \frac{f_{horl}}{T} \text{ (Hz)} \quad (\text{II.5})$$

Le premier inconvénient de la plupart des synthétiseurs numériques directs réside dans les niveaux des raies parasites causées par la quantification et la linéarité limitée du convertisseur numérique-analogique. Une règle de base assez grossière évalue le niveau de ces raies générées par la quantification du CNA à 6 fois le nombre de bits d'entrée (exemple : le niveau des raies de quantification d'un CNA 8-bits sera de 48dB inférieur au niveau de la porteuse) [28].

En outre, plus la fréquence d'horloge utilisée approche la fréquence maximale de fonctionnement du CNA plus les raies dues aux non-linéarités seront prédominantes. La fréquence de sortie du DDS est donc limitée par la fréquence de fonctionnement du CNA.

II.5.3. Synthèse indirecte à base de PLL (Phase Locked Loop)

D'usage très répandu, la boucle à verrouillage de phase (PLL), est un circuit dans lequel est asservie la phase, et donc la fréquence, d'un oscillateur à celle d'une référence. La référence est le signal périodique appliqué en entrée, dont est dérivée la fréquence de sortie.

II.5.3.1. Principe global de fonctionnement de la boucle

Le principe général de fonctionnement est le suivant : le comparateur de phase compare la phase du signal de référence f_{REF} avec celle du signal à la sortie de la boucle, f_{OUT} , qui est égale à f_{VCO} . La sortie du comparateur de phase est une mesure du déphasage entre les deux signaux, et représente le signal d'erreur dans la boucle. Idéalement, l'effet de la rétroaction maintient les deux signaux f_{REF} et f_{OUT} à une différence de phase constante.

Puisque la boucle de rétroaction maintient une cohérence de phase entre ces deux signaux, ils oscillent donc à la même fréquence : f_{OUT} est donc verrouillée à f_{REF} .

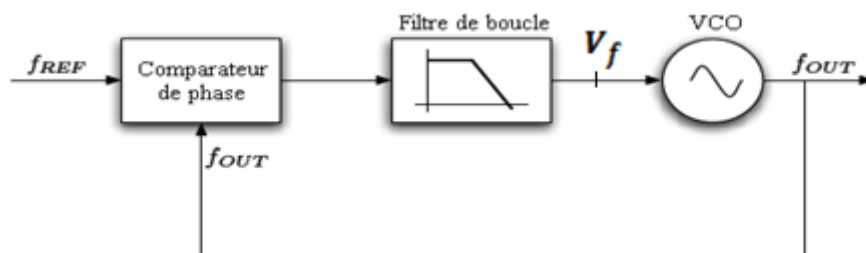


Figure II.13. Schéma bloqué d'une PLL.

La configuration de boucle à verrouillage de phase que nous venons de présenter ne fait que reproduire le signal f_{REF} à la sortie du VCO. Pour la génération de fréquences porteuses, ce circuit n'est pas d'une grande utilité car les signaux à l'entrée et à la sortie ont la même fréquence. Le système de boucle à verrouillage de phase illustre toute sa puissance lorsque des diviseurs de fréquence sont introduits dans la boucle. Ce qui nous permet de réaliser la fonction de synthèse de

fréquence, deux types d'architectures s'appuyant sur l'utilisation d'une telle boucle à verrouillage de phase, vont être étudiées par la suite : PLL à division entière ; et PLL à division fractionnaire [5].

a. PLL à division entière

La boucle à verrouillage de phase à division entière est la plus simple structure de synthétiseur à PLL. Les diviseurs de fréquences sont en général des diviseurs numériques, qui divisent par un nombre entier, souvent programmable.

La chaîne directe d'une PLL typique (Figure II.14) est composée d'un diviseur de fréquences, d'un comparateur de phase, d'un filtre de boucle qui attaque un oscillateur commandé. Dans la chaîne de retour est présent un diviseur de fréquences.

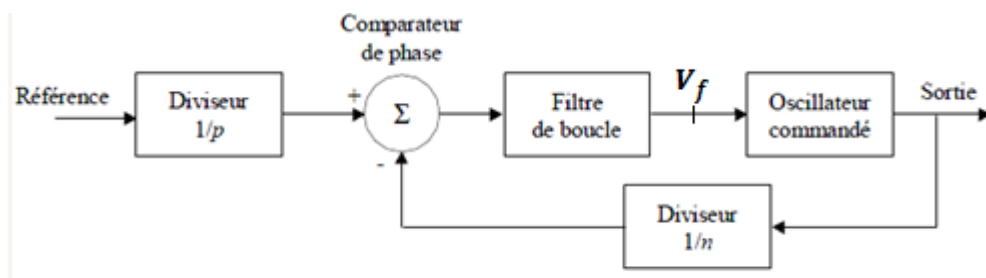


Figure II.14. Schéma-bloc d'une boucle à verrouillage de phase.

Les facteurs de division des diviseurs de fréquences, n et p , peuvent être des nombres entiers. Dans ce cas on a affaire à une PLL à division entière.

La fréquence de référence est d'abord divisée par p , ce premier diviseur programmable étant optionnel. En admettant que le diviseur de fréquence n soit totalement programmable, n pourra prendre des valeurs n , $n + 1$, $n + 2$, etc. On cherche alors l'écart entre deux fréquences consécutives. Cet écart est appelé le pas de fréquence, dans ce cas il est égal à :

$$\Delta f = \frac{f_{ref}}{p} \text{ [Hz]} \quad (\text{II.6})$$

En choisissant n , p et f_{ref} on peut donc élaborer une fréquence f_{sorti} qui sera un multiple non entier, de la fréquence f_{ref} et qui aura sa précision :

$$f_{sorti} = \Delta f \cdot n = \frac{n}{p} f_{ref} \text{ [Hz]} \quad (\text{II.7})$$

La bande passante d'une PLL à division entière est directement proportionnelle à son pas de synthèse. En effet le filtre de boucle doit supprimer les composantes fréquentielles situées au-dessus de la fréquence de travail du comparateur de phase, afin de réduire la génération de raies parasites et d'assurer la stabilité de la boucle.

b. Synthétiseur à division fractionnaire

Pour contourner la difficulté créée par la dépendance de la bande passante de la PLL à son pas de synthèse, il est possible d'utiliser un diviseur de fréquences dont le facteur de division moyen est non entier. Le schéma de principe d'une telle boucle à verrouillage de phase est présenté à la figure II.15. Ici, la fréquence des signaux appliqués au comparateur de phase est très supérieure au pas de synthèse. La bande passante est donc plus importante que dans le cas de la PLL entière.

La division de fréquences non entière est usuellement réalisée par un diviseur de fréquences qui possède au moins deux facteurs de division. En commutant rapidement entre ces facteurs de division, selon une loi appropriée, il est possible de réaliser un facteur de division moyen fractionnaire et donc un faible pas de synthèse.

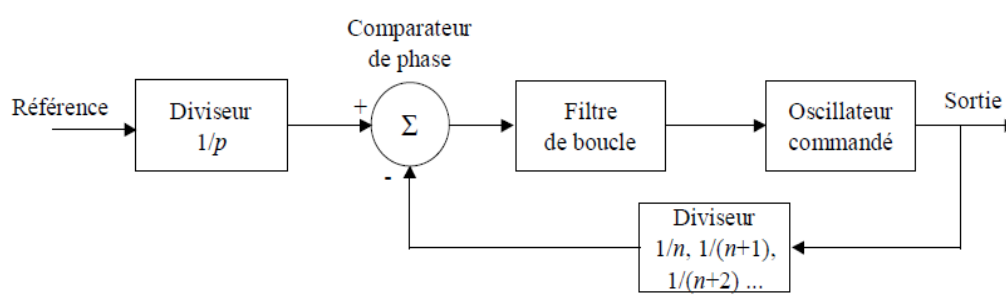


Figure II.15. Schéma-bloc d'une PLL fractionnaire.

Le plus souvent on utilise un diviseur de fréquences possédant deux facteurs de division successifs, on parle alors de diviseur $n/n+1$ comme présenté à la figure II.16. Dans ce cas, la fréquence de sortie peut évoluer en n fois et $n+1$ fois la fréquence de référence. Le pas de synthèse est fixé par la commande du diviseur [5].

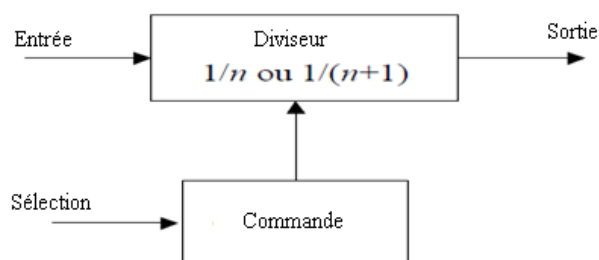


Figure II.16. Diviseur de fréquences fractionnaire.

Ce type de diviseur introduit une erreur de phase permanente, l'oscillateur de la PLL est alternativement en avance ou retard de phase, au rythme des commutations du facteur de division. La PLL fractionnaire génère donc potentiellement plus de raies parasites qu'une PLL entière. Pour minimiser la génération de raies parasites, il est donc nécessaire d'optimiser le filtre de boucle, pour obtenir une forte atténuation des hautes fréquences, et de choisir une bonne loi de commande pour le diviseur [5].

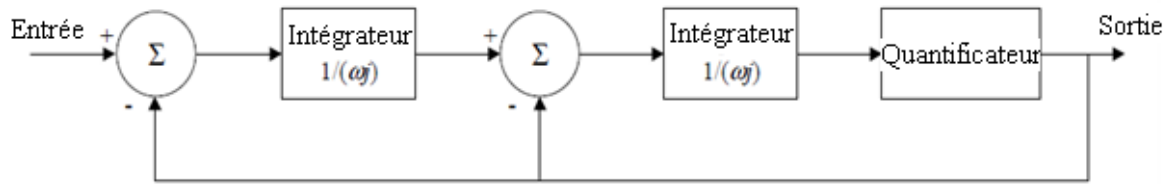


Figure II.17. Modulateur $\Sigma\Delta$ d'ordre 2.

Souvent un modulateur Sigma-Delta (SD) est utilisé pour contrôler le facteur de division [29]. Ceux-ci génèrent un signal de commande pseudo-aléatoire, ressemblant à du bruit. De plus, le bruit des modulateurs SD d'ordre supérieur ou égal à deux est repoussé vers les hautes fréquences (Figure II.17), où il est relativement aisé de le supprimer grâce au filtre de boucle de la PLL. Les autres types de modulateurs, comme les systèmes à base de compteurs, ont, en général, l'inconvénient de générer des raies parasites d'amplitude élevée en raison de leur comportement plus périodique [5].

Dans la section précédente, nous avons considéré la boucle à verrouillage de phase comme l'élément fondamental de tout synthétiseur de fréquence indirect qui utilise son principe, et nous avons présenté deux classifications de la boucle: entière et fractionnaire. Afin de mieux appréhender le fonctionnement du système, il est nécessaire d'identifier le rôle de chacun de ces blocs constitutifs et de confronter les différentes solutions envisageables pour les concevoir.

II.6. Description des éléments constitutifs de la PLL

II.6.1. La source de référence

Le signal de référence f_o doit posséder des caractéristiques élevées en terme de stabilité. Il est délivré par un oscillateur à cristal, généralement un quartz. C'est sur cette fréquence de référence que le signal de sortie de la PLL va se synchroniser [9], [29].

II.6.2. Comparateur de phase

Le comparateur de phase compare les phases de la référence et la phase du VCO à travers le diviseur et génère un signal de sortie V_d proportionnel à un coefficient K_d appelé transconductance du comparateur de phase [5].

$$V_D(t) = K_D[\varphi_i(t) - \varphi_o(t)] \quad (\text{II.8})$$

Le comparateur de phase peut être réalisé de manière analogique (mélangeur, ...) ou numérique (machine d'état, portes XOR, bascules JK, ...).

Le comparateur le plus utilisé est la machine à trois états. Ce comparateur numérique est appelé détecteur de phase-fréquence (Phase Frequency Detector (PFD)). En effet ce type de comparateur quand il est associé à une pompe de charges, permet d'atteindre une très large plage d'accrochage. Celle-ci est approximativement égale à la plage de fréquences couverte par

l'oscillateur commandé en tension de la PLL. Le schéma de principe du PFD est simple, il est présenté à la figure II.18. Il s'agit d'un circuit logique séquentiel. Il est souvent implémenté en logique CMOS afin de réduire sa consommation.

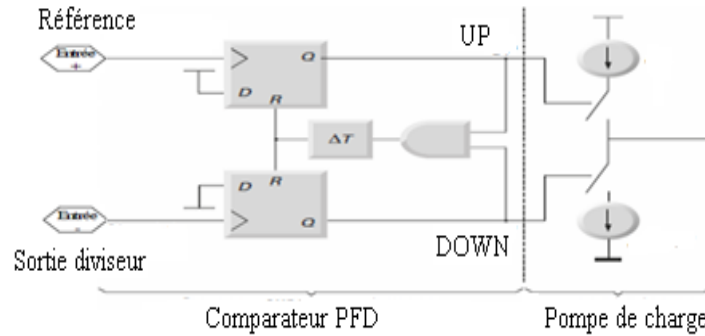


Figure II.18. Comparateur de phase et sa pompe de charge.

Le comparateur phase-fréquence est composé de deux bascules D, possédant une remise à zéro asynchrone. La remise à zéro est effectuée quand les sorties UP (vers le haut) et DOWN (vers le bas) sont toutes deux à 1, grâce à une porte ET réalisant une rétroaction. Le PFD commande une pompe de charges qui est constituée de deux sources de courant commutées. Pour ce type de PFD, la transconductance (gain) est égale à :

$$K_d = \frac{I_{pompe}}{2\pi} [A/rad] \quad (II.9)$$

Les bascules D fonctionnant sur front montant, le PFD n'est pas sensible au rapport cyclique des signaux d'entrée. Deux exemples, en avance de phase et en phase, des signaux du comparateur de phase sont donnés à la figure II.19. Lorsque l'entrée + est en avance, la pompe de charges injecte du courant dans le filtre de boucle, lorsque c'est l'entrée - qui est en avance, du courant est tiré du filtre de boucle. Quand les entrées sont en phase, on trouve seulement en sortie de petites impulsions qui correspondent au temps de remise à zéro des bascules D.

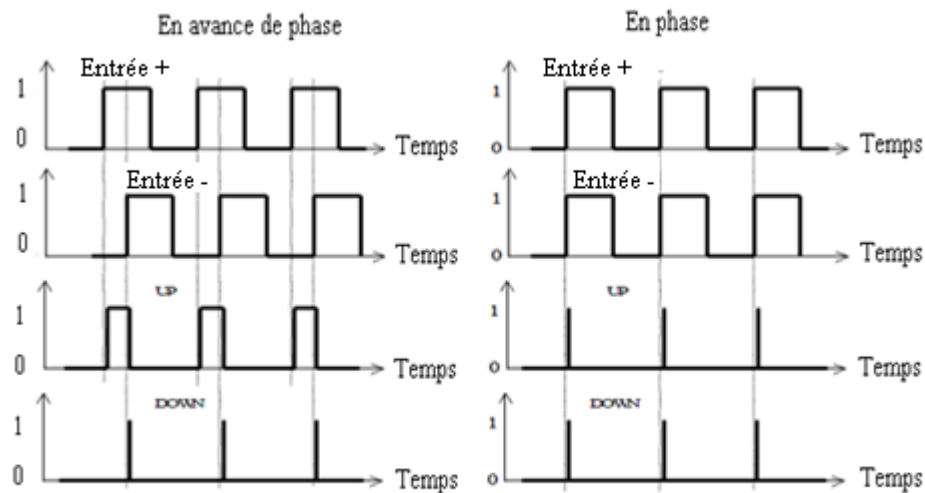


Figure II.19. Entrées et sortie du comparateur phase-fréquence.

La zone linéaire de la fonction de transfert de ce comparateur est très large, comme présenté à la figure II.20. De plus, la pente de la fonction de transfert étant toujours positive, la boucle est toujours en contre-réaction, quel que soit le déphasage. Cette caractéristique augmente sensiblement les performances en matière de plage d'accrochage et de temps d'accrochage.

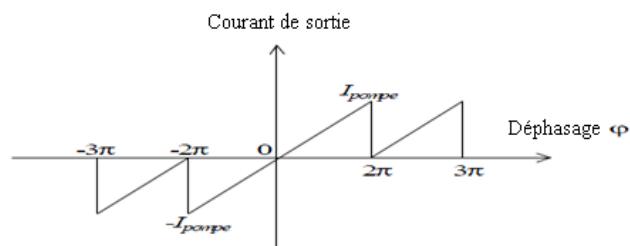


Figure II.20. Fonction de transfert du PFD.

II.6.3. La pompe de charge

Cet élément est indissociable de l'utilisation d'un PFD trois états dans la PLL. En effet, il convertit l'information en sortie du PFD en un courant image de l'erreur de phase détectée [9].

Dans un premier temps, la pompe de charge traduit les impulsions en tension issues des sorties UP et DOWN en charge et décharge en courant dans un filtre capacitif de fonction de transfert $F(p)$. Ce dernier réalise une intégration de l'information en courant qui est restituée en information en tension pour commander la tension de contrôle du VCO.

La pompe de charge est réalisée par le contrôle d'une source et d'un en courant par des interrupteurs actionnés par les sorties du PFD (Figure II.21) [9].

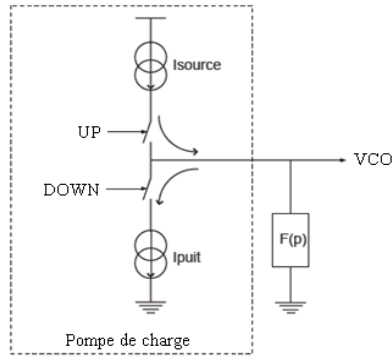


Figure II.21. Schéma de fonctionnement de la pompe de charge associée au filtre F(p).

De manière idéale, le courant de source *Isource* et le courant du puit *Ipuit* sont égaux, ce qui n'est pas le cas dans la réalité. Cette dissymétrie crée des pics parasites à la sortie de la PLL.

II.6.4. Le filtre de boucle

Le rôle du filtre de boucle est de réaliser l'intégration du courant délivré par la pompe de charge et de restituer l'information en tension. Ainsi, une simple capacité peut réaliser cette fonction [9]. Cependant, cette solution entraîne une instabilité de la boucle; aussi, une résistance lui est associée afin d'ajouter un pôle dans la fonction de transfert, et permettre ainsi la stabilité. Ceci représente alors la configuration de base du filtre de la PLL (Figure II.22.a). Ce filtre présente cependant le désavantage de créer des sauts de tension à sa sortie dus à la présence de la résistance soumise à la propriété de commutation intermittente du courant issu de la pompe de charge. Des variantes peuvent être appliquées afin de lisser la tension de sortie (Figure II.22.b et c).

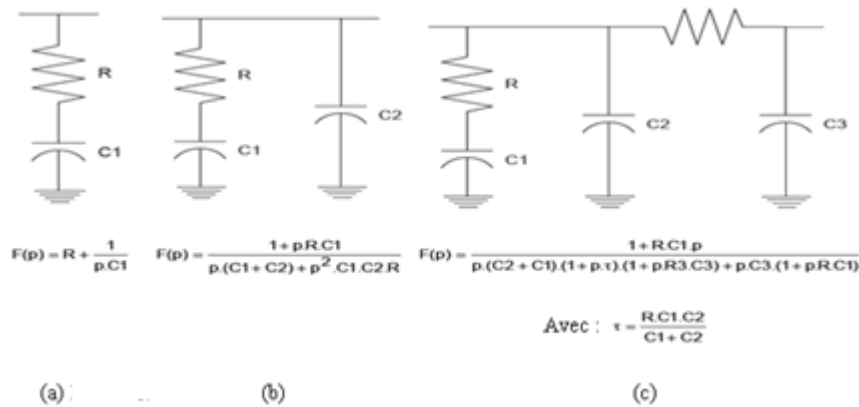


Figure II.22. Filtres de boucle : (a) d'ordre 1, (b) d'ordre 2, (c) d'ordre 3.

Selon les valeurs de R et de C souvent impossibles à intégrer au circuit monolithique, ces filtres sont généralement réalisés en externe au circuit. Le choix du filtre dépend des caractéristiques de la PLL en termes de stabilité, temps d'établissement, et bruit de phase.

Lorsque la tension de commande de VCO est grande, il est parfois nécessaire d'utiliser un amplificateur DC associé au filtre ou un filtre actif réalisé à base d'amplificateur opérationnel.

II.6.5. Oscillateur contrôle en tension

Les oscillateurs contrôlés en tension (**V**oltage **C**ontrolled **O**scillator, **VCO**) sont des convertisseurs tension-fréquence. Les VCO sont peu stables en fréquence, ils ne peuvent être utilisés qu'en boucle fermée [27]. Une variation de tension, lente ou rapide, à leur entrée se traduit par une variation de fréquence en sortie. Leur commande est réalisée au moyen de la tension V_f issue du filtre.

Un VCO doit présenter les qualités suivantes :

- une bonne linéarité de fréquence en fonction de la tension d'entrée,
- une bonne stabilité de fréquence (fréquence centrale f_0),
- une grande variation possible de la tension d'entrée,
- une grande variation de fréquence possible pour l'application dans les synthétiseurs,
- un faible bruit de phase,
- un faible cout [27].

La caractéristique de transfert, exprimée en pulsation, est la suivante :

$$\omega_{vco} = \omega_0 + K_v V_f \quad (\text{II.10})$$

La pulsation ω_0 est dite de repos. La constante K_v qui se mesure en rad/s · V, ou en Hz/ V, représente la sensibilité de modulation de l'oscillateur.

II.6.6. Le diviseur programmable

Le diviseur programmable est réalisé par un pré-diviseur (appelé aussi prescaler) à taux de division commutant entre les valeurs P et (P+1) et fonctionnant à haute fréquence (à la fréquence de VCO). Celui-ci est contrôlé par deux compteurs programmables fonctionnant à basse fréquence (à la fréquence de VCO divisé par P ou (P+1)). Aussi, le pré-diviseur est réalisé en logique rapide ECL (Emitter Current Logic) et les compteurs en logique CMOS.

Les performances fréquentielles du diviseur programmable sont alors fixées par les performances fréquentielles du pré-diviseur [27]. Son mode de fonctionnement est le suivant (Figure II.24) :

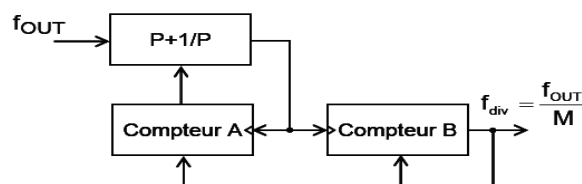


Figure II.23. Schéma de fonctionnement du diviseur programmable par M.

La sortie du pré-diviseur est divisée par les compteurs A et B. A l'état initial, le pré-diviseur divise par (P+1), une fois le décomptage de A terminé, le compteur A envoie un signal commutant la division de (P+1) à P. La division par P s'opère jusqu'au retour à l'état initial des compteurs, soit lorsque B a fini de compter.

Le cycle obtenu est le suivant: une division de (P+1) durant A cycles, et une division de P durant (B-A) cycles, soit [(P+1).A+ P. (B-A)], ce qui revient à un taux de division M équivalent à :

$$M = B.P + A \quad \text{avec } A < B \quad (\text{II.11})$$

La sortie est alors définie par:

$$f_{div} = \frac{f_{OUT}}{BP+A} \quad \text{en (Hz) avec } A < B \quad (\text{II.12})$$

II.7. Conclusion

Dans ce chapitre, nous avons exposé les différentes techniques de synthèse de fréquences nécessaire pour les systèmes de communications mobiles en présentant les principales caractéristiques et la fonctionnalité de chacun des sous blocs constituant l'architecture d'une PLL à division entière conçue dans le cadre de ce mémoire. Le chapitre suivant sera consacré à une modélisation mathématique du synthétiseur de fréquence à base de PLL à division entière pour des applications dans les émetteurs/récepteurs radiofréquences.

III.1. Introduction

Après avoir détaillé dans le deuxième chapitre les différents types de synthétiseurs de fréquences, nous proposons la conception du système de synthèse de fréquences à division entière.

Ce chapitre présente une conception d'un filtre de boucle passif pour des synthétiseurs de fréquence utilisant un détecteur de phase-fréquence et une pompe de charge. La conception d'un filtre passif de deuxième ordre est discutée en détail ainsi que des filtres d'ordre supérieur.

III.2. Les performances des boucles à verrouillage de phase

Les systèmes de communications mobiles modernes exigent une qualité plus élevée de communication, des débits plus élevés, une opération de fréquence plus élevée, et plus de canaux par largeur de bande. Dans le domaine des télécommunications, les synthétiseurs de fréquences trouvent leurs applications dans de nombreux dispositifs, émetteur, récepteur. Dans les émetteurs-récepteurs des systèmes de communications sans fil, la performance élevée d'un synthétiseur de fréquences est l'un des paramètres importants. La synthèse de fréquences dans des applications des communications mobiles est habituellement faite en utilisant une boucle à verrouillage de phase (PLL) [30][31].

Les systèmes basés sur la technique de pompe de charge ont été initiés par Gardner dans les années 1970 [32]. L'utilisation des boucles à verrouillage de phase avec pompe de charge offre deux avantages importants par rapport à l'approche classique (dont le détecteur de phase est combiné directement à un filtre passe-bas) :

- a- il améliore la gamme de capture, qui représente un intervalle de fréquence du signal d'entrée F_{ref} pour lequel le système peut s'accrocher ;
- b- il diminue considérablement l'erreur de phase statique.

La configuration de base de la boucle à verrouillage de phase que nous considérons pour le calcul est montrée sur la figure III.1.

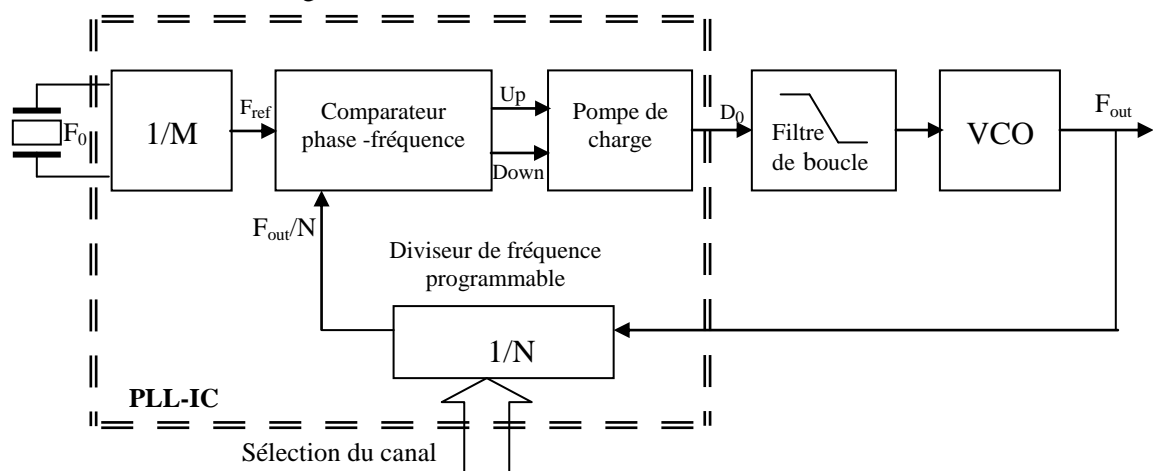


Figure III.1. Boucle à verrouillage de phase à base de la pompe de charge.

Dans la plupart des PLL conventionnelles, plusieurs paramètres de conception des PLL peuvent être traités en tant que valeurs constantes. Cette approximation linéaire fournit une bonne évaluation des performances de la boucle. Les valeurs des constantes de conception du filtre de PLL dépendent de l'application spécifique. Par exemple, la constante du détecteur de phase K_ϕ est déterminée par l'amplitude du courant de sortie de la pompe de charge du synthétiseur [31].

Quelques connaissances de base de la théorie de contrôle pour les boucles sont nécessaires afin de comprendre la dynamique du filtre de PLL. Un modèle mathématique linéaire représentant la phase de PLL dans l'état verrouillé est présenté sur la figure III.2. Un intégrateur additionnel de fonction de transfert ($1/S$) est introduit à côté du VCO pour transformer sa fonction de transfert de manière à obtenir une grandeur phase à sa sortie [31][33][34].

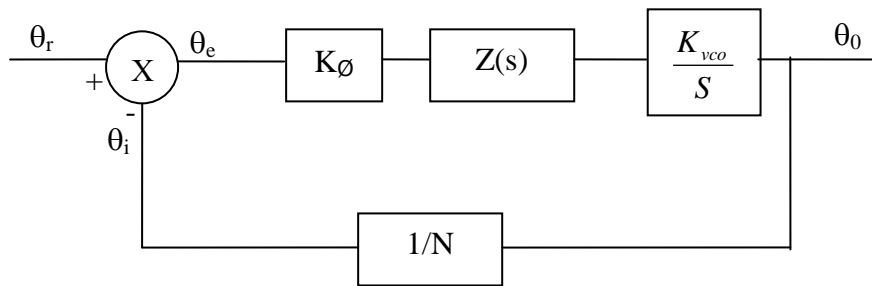


Figure III.2. Modèle linéaire de la PLL.

En se basant sur ce diagramme simplifié (Figure III.2), et la théorie de contre-réaction, on peut obtenir les équations des fonctions de transfert suivantes :

✚ La boucle directe

$$G(s) = \frac{\theta_0}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{s} \quad (\text{III.1})$$

θ_0 et θ_e représentent respectivement les phases de sortie et d'erreur. K_ϕ est la constante du détecteur de phase. K_{vco} indique la linéarité du VCO et $Z(s)$ est la fonction de transfert du filtre.

✚ La contre réaction

$$H(s) = \frac{\theta_i}{\theta_0} = \frac{1}{N} \quad (\text{III.2})$$

θ_i est la phase inverse et N est le rapport de division.

✚ La boucle ouverte

$$T(s) = H(s)G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{N \cdot s} \quad (\text{III.3})$$

✚ La boucle fermée

$$K(s) = \frac{\theta_0}{\theta_r} = \frac{G(s)}{[1 + H(s)G(s)]} \quad (\text{III.4})$$

θ_r est la phase de référence.

III.3. Elaboration et évaluation des performances du filtre de boucle

Cette partie concerne l'élaboration d'un filtre de boucle passif pour des synthétiseurs de fréquences utilisant un détecteur de phase-fréquence et une pompe de charge. Dans un premier temps, nous pensons réduire l'ordre du filtre pour simplifier sa mise en œuvre. La configuration standard du filtre passif de deuxième ordre placé après la pompe de charge de la PLL est montrée sur la figure III.3. Placé entre la pompe de charge et le VCO, le filtre de boucle contrôle le signal de commande du VCO. Le filtre de boucle est une impédance complexe en parallèle avec l'entrée du VCO. Rappelons que la capacité parallèle C_1 est recommandée pour éviter les pas discrets de tension au port du contrôle du VCO dû aux changements instantanés dans le courant de sortie de la pompe de charge. La plage de capture, ou plage d'accrochage (pull-in range), dépend de la bande passante et de l'ordre du filtre de boucle ainsi que du gain de boucle, lui-même fonction du gain du VCO et du détecteur de phase.

Toutefois, il est possible d'assimiler, en première approche, la plage de capture à la bande passante du filtre de boucle. Le rôle de ce filtre est d'assurer la stabilité de la boucle de phase et de filtrer les résidus de la fréquence de comparaison. Le choix du filtre est lié à ces différents paramètres. Plus la fréquence de coupure sera basse, meilleure sera l'atténuation des signaux résiduels, mais la boucle sera également beaucoup plus lente à se stabiliser, d'où un temps d'établissement excessif pour un système devant effectuer des sauts de fréquence importants entre l'émission et la réception.

Idéalement, le filtre de boucle devrait être intégré dans le même circuit que le comparateur de phase. En fait ceci se heurte à plusieurs difficultés: le filtre de boucle ne doit pas ajouter de bruit, on a donc intérêt à le réaliser à l'aide de composants passifs plutôt qu'actifs.

D'autre part, une intégration totale du filtre est limitée par le choix des valeurs des composants, les capacités ne pouvant dépasser quelques dizaines de pF . Enfin, un filtre intégré risque d'être parasité par les autres signaux circulant dans le circuit.

Cependant, le filtre de boucle sera différent pour chaque PLL afin qu'il puisse assurer des temps d'accrochage, une stabilité et un filtrage du bruit du détecteur de phase convenables.

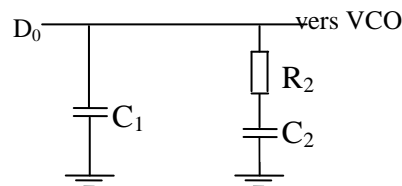


Figure III.3. Filtre de deuxième ordre

Une méthode de conception du filtre utilise le gain de la boucle ouverte et la marge de phase pour déterminer les valeurs des composants. La localisation du point de déphasage minimum, où le gain de la boucle ouverte est égal à l'unité, assure la stabilité de la boucle (Figure III.4).

La marge de phase ϕ_p est définie comme étant la différence entre 180° et la phase de la fonction de transfert en boucle ouverte à la fréquence ω_p correspondant au gain égal à 0 dB. Pratiquement, la marge de phase est choisie entre 30° et 70° [31]. Autrement, lorsqu'on choisit une marge de phase plus élevée, il en résulte une très haute stabilité pendant un temps de réponse plus lent de boucle et moins d'atténuation de F_{ref} . Pour cela, un principe de base commun est de commencer la conception par une marge de phase de 45° [31]. Pratiquement, la marge de phase est le retard maximal que le système peut accepter sans qu'il y ait instabilité.

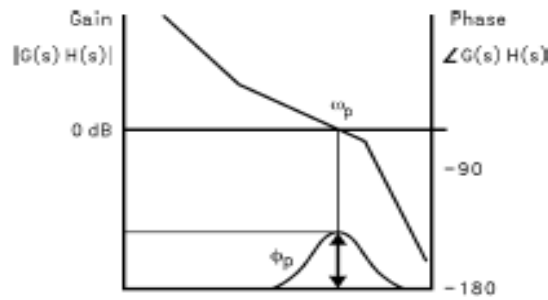


Figure III.4. Tracé de Bode de la réponse de boucle ouverte

L'impédance du filtre de deuxième ordre présenté sur la Figure III.3 est :

$$Z(s) = \frac{s.C_2.R_2 + 1}{s^2C_1.C_2.R_2 + s.C_1 + s.C_2} \quad (\text{III.5})$$

On définit les constantes de temps qui déterminent les fréquences des pôles et des zéros de la fonction de transfert du filtre par :

$$T_1 = R_2 \cdot \frac{C_1.C_2}{C_1 + C_2} \quad (\text{III.6})$$

$$T_2 = R_2.C_2 \quad (\text{III.7})$$

Ainsi le gain en boucle ouverte de la PLL de 3^{ème} ordre peut être calculé en termes de fréquence ω , des constantes de temps du filtre T_1 et T_2 , et des paramètres de conception K_ϕ , K_{VCO} , et N .

$$G(s).H(s)|_{s=j\omega} = \frac{-K_\phi.K_{VCO}(1 + j\omega.T_2)}{\omega^2.C_1.N(1 + j\omega.T_1)} \cdot \frac{T_1}{T_2} \quad (\text{III.8})$$

L'équation (III.8) montre que le terme phase dépendra d'un pôle et d'un zéro comme la marge de phase décrite par l'équation (III.9). La marge de phase disponible est donc proportionnelle au rapport de C_1 et C_2 .

$$\phi(\omega) = \tan^{-1}(\omega.T_2) - \tan^{-1}(\omega.T_1) + 180^\circ \quad (\text{III.9})$$

A partir de la figure III.4 au point maximum ϕ_p , la dérivée de la marge de phase à ω_p est égale à zéro, soit :

$$\frac{d\phi}{d\omega} = \frac{T_2}{1 + (\omega \cdot T_2)^2} - \frac{T_1}{1 + (\omega \cdot T_1)^2} = 0 \quad (\text{III.10})$$

Le point de fréquence ω_p correspondant au point d'inflexion de phase se traduit en terme de constantes du temps du filtre T_1 et T_2 , comme suit:

$$\omega_p = \frac{1}{\sqrt{T_1 \cdot T_2}} \quad (\text{III.11})$$

Pour assurer la stabilité de la boucle, la marge de phase doit être maximale quand l'amplitude du gain en boucle ouverte est égale à 1. L'équation (III.8) donne alors :

$$C_1 = \frac{K_\phi \cdot K_{VCO} \cdot T_1}{\omega_p^2 \cdot N \cdot T_2} \cdot \left\| \frac{(1 + j\omega_p \cdot T_2)}{(1 + j\omega_p \cdot T_1)} \right\| \quad (\text{III.12})$$

Par conséquent, si la largeur de bande de boucle ω_p et la marge de phase ϕ_p sont spécifiées, le système d'équation (III.5) à l'équation (III.12) nous permet de calculer les deux constantes de temps T_1 et T_2 .

Les relations pour calculer T_1 et T_2 sont :

$$T_1 = \frac{\sec \phi_p - \tan \phi_p}{\omega_p} \quad (\text{III.13})$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} \quad (\text{III.14})$$

Où (sec) est une fonction Matlab.

A partir des constantes de temps T_1 et T_2 et la largeur de bande de boucle ω_p , les valeurs pour C_1 , R_2 et C_2 sont déduites selon les relations suivantes:

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\phi \cdot K_{VCO}}{\omega_p^2 \cdot N} \cdot \sqrt{\frac{1 + (\omega_p \cdot T_2)^2}{1 + (\omega_p \cdot T_1)^2}} \quad (\text{III.15})$$

$$C_2 = C_1 \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{III.16})$$

$$R_2 = \frac{T_2}{C_2} \quad (\text{III.17})$$

Le bruit de commutation à la fréquence F_{ref} au niveau du comparateur de phase et des diviseurs crée des raies parasites au niveau du signal de sortie à une distance F_{ref} et ses multiples

autour de la fréquence porteuse. Généralement, la fréquence de comparaison du détecteur de phase est un multiple de l'espacement entre les canaux RF. Ces bandes latérales peuvent causer du bruit dans les canaux adjacents, donc un filtrage additionnel de ces pics de référence est souvent nécessaire cela dépend en fait de la largeur de bande du filtre de boucle [31]. En effet, des temps d'accrochage en dessous de la milliseconde sont nécessaires pour assurer la commutation entre les canaux de fréquence si bien que le filtre de boucle a nécessairement une bande passante large.

Par conséquent, afin de filtrer les raies parasites, on utilise une résistance en série et une capacité en parallèle juste avant le VCO ce qui donne un filtre passe-bas permettant leur atténuation. La configuration finale recommandée de ce filtre est un filtre de troisième ordre illustré sur la figure III.5 [31][35] [36].

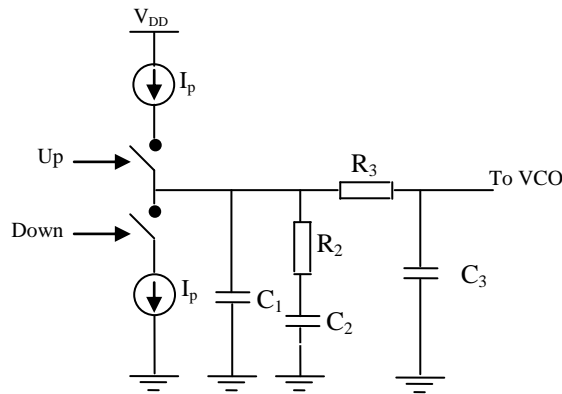


Figure III.5. Filtre de boucle de troisième ordre combiné avec la pompe de charge

L'atténuation ajoutée par le filtre passe-bas est :

$$ATTEN = 20 \log \left[\left(2 \cdot \pi \cdot F_{ref} \cdot R_3 \cdot C_3 \right)^2 + 1 \right] \quad (III.18)$$

En fixant l'atténuation que l'on souhaite appliquer, on peut calculer le nouveau pôle que l'on ajoute à savoir :

$$T_3 = R_3 \cdot C_3 \quad (III.19)$$

Ainsi en termes d'atténuation des raies de références ajoutées par le pôle passe-bas, nous aurons :

$$T_3 = \sqrt{\frac{10^{\left(\frac{ATTEN}{20}\right)} - 1}{\left(2 \cdot \pi \cdot F_{ref}\right)^2}} \quad (III.20)$$

Afin d'atténuer de manière significative les raies parasites, le pôle additionnel doit être inférieur à la fréquence de référence.

La fonction de transfert de l'impédance du filtre de boucle schématisé sur la Figure III.3 est :

$$Z_{fil3} = \frac{Z(s) \left(\frac{1}{C_3 \cdot s} \right)}{Z(s) + R_3 + \left(\frac{1}{C_3 \cdot s} \right)} \quad (III.21)$$

Où $Z(s)$ est la fonction de transfert du filtre de deuxième ordre donnée par l'équation (III.5).

En se basant sur les équations (III.5), (III.6), (III.7), (III.8) et (III.19), Il en résulte l'équation simplifiée suivante de la fonction de transfert de la boucle ouverte:

$$G(s).H(s) \Big|_{s=j\omega} = \frac{-K_\phi \cdot K_{VCO} \cdot (1 + j\omega T_2)}{\omega^2 \cdot C_1 \cdot N \cdot (1 + j\omega T_1)} \cdot \frac{T_1}{T_2} \cdot \frac{1}{1 + j\omega T_3} \quad (\text{III.22})$$

$$\phi(\omega) \propto (1 + \omega T_2)(1 - \omega T_1)(1 - \omega T_3) \quad (\text{III.23})$$

De même pour l'équation (III.14)

$$T_2 = \frac{1}{\omega^2 \cdot (T_1 + T_3)} \quad (\text{III.24})$$

Remplaçant l'équation (III.24) dans l'équation (III.23), on obtient :

$$\phi(\omega) \propto 2 - \omega^2 T_1 T_3 - j\omega(T_1 + T_3) + \frac{j}{\omega(T_1 + T_3)} - \frac{j\omega T_1 + T_3}{(T_1 + T_3)} \quad (\text{III.25})$$

Ainsi

$$\tan \phi = \frac{-\omega(T_1 + T_3) - \frac{\omega T_1 + T_3}{(T_1 + T_3)} + \frac{1}{\omega(T_1 + T_3)}}{2 - \omega^2 T_1 T_3} \quad (\text{III.26})$$

Supposant :

$$\omega^2 T_1 T_3 < 2 \quad (\text{III.27})$$

Après calcul, nous obtenons l'équation caractéristique :

$$\omega^2 + \omega \cdot \frac{2 \cdot \tan \phi \cdot (T_1 + T_2)}{(T_1 + T_3)^2 + T_1 T_3} - \frac{1}{(T_1 + T_3)^2 + T_1 T_3} = 0 \quad (\text{III.28})$$

A partir de cette équation, on peut déterminer la fréquence de coupure ω_c .

$$\omega_c = \frac{\tan \phi \cdot (T_1 + T_3)}{(T_1 + T_3)^2 + T_1 T_3} \left[\sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 T_3}{[\tan \phi \cdot (T_1 + T_3)]^2}} - 1 \right] \quad (\text{III.29})$$

La capacité C_1 peut être exprimée au moyen de la relation :

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\phi \cdot K_{VCO}}{\omega_c^2 \cdot N} \cdot \left[\sqrt{\frac{1 + \omega_c^2 \cdot T_2^2}{(1 + \omega_c^2 \cdot T_1^2) \cdot (1 + \omega_c^2 \cdot T_3^2)}} \right] \quad (\text{III.30})$$

De même nous avons pour le filtre de 2^{ème} ordre:

$$C_2 = C_1 \cdot \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{III.31})$$

$$R_2 = \frac{T_2}{C_2} \quad (\text{III.32})$$

Les seules valeurs des composants qui doivent être déterminées concernent le pôle passe-bas supplémentaire (R_3 - C_3). Cependant, ce pôle doit bien sûr être inférieur à la fréquence de référence afin d'atténuer les raies parasites. Puisque ces valeurs sont déterminées à partir des équations (III.18) et (III.19), elles sont quelque peu arbitraires.

III.4. Analyse du bruit de phase dans le synthétiseur de fréquences

Dans les systèmes de communications sans fil modernes, les caractéristiques de bruit de phase du synthétiseur de fréquences jouent un rôle critique dans les performances du système. Un bruit de phase plus important que celui toléré peut causer la dégradation des performances du système en réduisant le rapport signal/bruit, en augmentant la puissance du canal adjacent et en réduisant le rejet de ce canal adjacent [37].

Tandis que de nombreux facteurs affectant le bruit de phase dans les synthétiseurs de fréquences à base de PLL sont bien compris, les concepteurs négligent souvent d'autres facteurs additionnels. Négliger ces facteurs additionnels peut causer la dégradation des performances du système, quand une analyse plus complète peut apporter des solutions plus élégantes [37].

Le but de cette partie est de présenter les différentes sources du bruit dans une PLL programmable (TCXO, détecteur de phase, diviseurs, VCO et même les résistances) et les différents modèles permettant de tenir compte de leurs effets sur le signal de sortie et sa pureté spectrale.

III.4.1. Les sources de bruit standard et les techniques d'analyse

La figure III.6 illustre un modèle représentant la PLL et expose les différentes sources du bruit existantes dans le système.

Reprenons les fonctions de transfert en boucle ouverte $T(s)$ et fermée $K(s)$ définies auparavant, respectivement par les équations (III.3) et (III.4).

$$T(s) = H(s)G(s) = \frac{K_\phi \cdot Z(s) \cdot K_{VCO}}{N \cdot s}$$

$$K(s) = \frac{G(s)}{[1 + H(s) \cdot G(s)]}$$

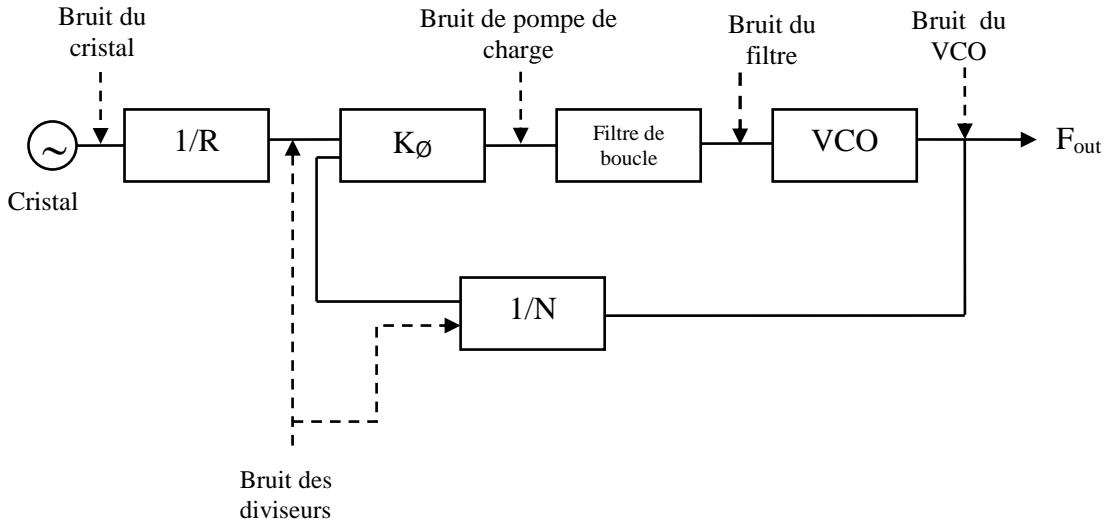


Figure III.6. Modèle de PLL avec les différentes sources de bruits

III.4.2. Bruit du cristal de référence

Le bruit dans un oscillateur de référence est amplifié dans la boucle par le gain de la fonction de transfert de la boucle fermée. Une approximation simple pour cette source de bruit due au cristal de référence peut se faire comme pour n'importe quel oscillateur où il est inversement proportionnel à la fréquence excentrée [34][38].

Des approximations d'ordres plus supérieurs peuvent être employées mais l'expérience a montré que l'approximation $1/f$ est un point de départ intéressant [37].

Si un TCXO est employé, les données du bruit de phase devraient être obtenues du fabricant de sorte que les valeurs de référence puissent être employées avec les modèles. Le bruit dans un oscillateur de référence, $N_{tco}(f)$, à la sortie du synthétiseur est exprimé au moyen de la relation [34][37]

$$N_{tco}(f) = \frac{10^{\left(\frac{N_{tco_ref}}{20}\right)}}{f} \cdot \left(K(f) \cdot \frac{1}{R}\right) \quad (\text{II.33})$$

f_{tco_ref}

R est un rapport de division de la fréquence de référence, N_{tco_ref} est le bruit de référence donné par le constructeur et f_{tco_ref} est la fréquence excentrée (offset) pour la quelle le bruit de référence est spécifié.

III.4.3 Bruit de détecteur de phase

Le bruit de phase dans ce cas, représente la qualité du bruit interne du détecteur de phase-fréquence et des diviseurs de fréquence dans la PLL. Ce bruit est aussi modélisé en fonction de la fréquence et de la valeur spécifique du bruit (bruit de référence) donné par le fabriquant du circuit intégré (synthétiseur). Le niveau réel de bruit du détecteur de phase se dégrade proportionnellement

à $10 \log \left(\frac{F_{ref}}{1Hz} \right)$. Le bruit dans le détecteur de phase $N_{pd}(f)$ à la sortie du synthétiseur est exprimé au moyen de la relation [37]

$$N_{pd}(f) = 10 \frac{N_{pd_ref} + 10 \log \left(\frac{f_{ref}}{1Hz} \right)}{20} \cdot K(f) \quad (III.34)$$

N_{pd_ref} est le bruit de référence donné par le constructeur.

III.4.4 Bruit dans le VCO

Il est très connu que dans un oscillateur à transistor FET, la principale source de bruit est une source basse fréquence qui module le signal micro-onde par l'intermédiaire de l'impédance non linéaire du transistor. Dans ce travail, nous employons une simple approximation permettant d'écrire que le bruit est inversement proportionnel à la fréquence excentrée (offset) de la fréquence centrale. Ce bruit $N_{vco}(f)$ dans le VCO, à la sortie du synthétiseur, est exprimé au moyen de la relation suivante [37]

$$N_{vco}(f) = \frac{10 \left(\frac{N_{vco_ref}}{20} \right)}{\frac{f}{f_{vco_ref}}} \times \left[\frac{1}{1+K(f)} \right] \quad (III.35)$$

Où N_{VCO_ref} est le bruit de référence donné par le constructeur et f_{vco_ref} est la fréquence offset pour laquelle le bruit de référence est spécifié.

III.4.5. Bruits générés par les résistances

Il est important de se rendre compte que dans un système de ce type, le bruit généré par les résistances du filtre passe-bas peut affecter l'entrée du VCO même si la PLL n'était pas reliée (fermée).

Les résistances et les dispositifs actifs tels que les amplificateurs opérationnels produisent des tensions du bruit. Dans le cas d'un amplificateur opérationnel, le bruit devrait être spécifié. Dans le cas d'une résistance, cette tension du bruit est définie par le bruit thermique produit par la résistance. On rappelle que le bruit thermique produit par une résistance s'écrit:

$$V_{Noise}(R) = \sqrt{4.T_0.k.R.B} \quad (III.36)$$

T_0 est la température ambiante égale à 300K, k est la constante de Boltzmann, R est la résistance et B est la bande passante.

Les figures III.7 et III.8 illustrent respectivement les modèles du bruit pour les résistances R_2 et R_3 comme étant des sources équivalentes de tension de bruit qui apparaît en série avec chaque résistance [35][37].

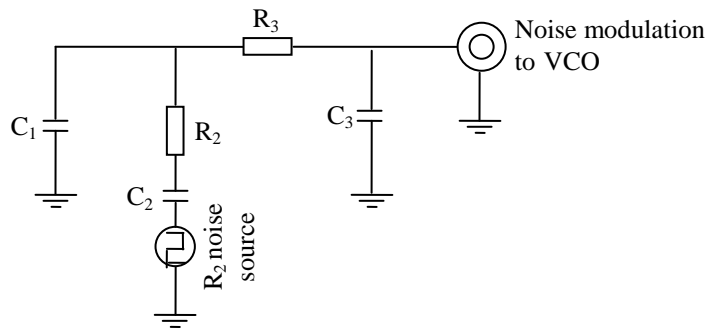


Figure III.7. Modèle de bruit pour R_2

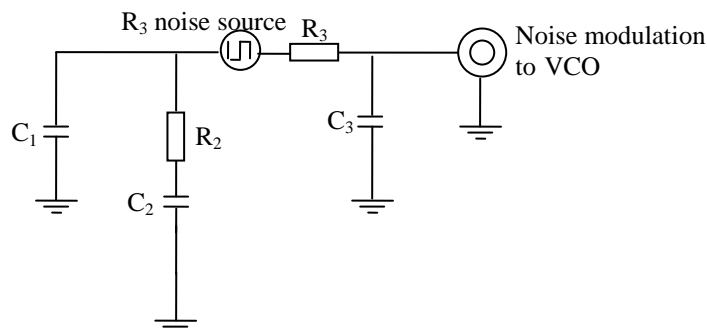


Figure III.8. Modèle de bruit pour R_3

Puisque les sources de bruit sont non corrélées, chaque résistance est analysée séparément et les effets sont ajoutés ultérieurement. La dérivation de la tension réelle de bruit contre la fréquence à l'entrée au port d'accord du VCO est une question d'analyse de base du circuit en utilisant les modèles des figures III.7 et III.8.

III.5 Conclusion

Dans ce chapitre nous avons exposé la conception et l'analyse d'un synthétiseur de fréquences à division entière en tenant compte de l'ensemble des sources de bruit dans le circuit. Nous avons présenté également l'élaboration du filtre de boucle nécessaire pour garantir le perfectionnement des performances de la PLL. Les résultats et les interprétations de la conception d'un synthétiseur de fréquences indirect pour les communications mobiles sur LTE seront présentés dans le chapitre suivant.

IV.1.Introduction

La théorie précédente nous a permis de développer une simulation introduite sous le logiciel industriel ADIsimPLL afin de comprendre le fonctionnement de chaque étage du synthétiseur de fréquence et pour visualiser les différents signaux de sortie. Cette partie décrit les résultats de simulation et de conception d'un synthétiseur de fréquence destiné pour les applications des communications mobiles sur LTE. Nous discutons également les effets du bruit de phase dans chaque composant constituant le circuit. Nous établirons notre étude en se basant sur le synthétiseur de fréquence ADF4106 d'Analog Devices.

IV.2. Aperçu sur le logiciel ADIsimPLL

ADIsimPLL, est un logiciel de conception et d'évaluation de boucle à verrouillage de phase (PLL) qui utilise la famille de synthétiseur de fréquence (PLL) d'Analog Devices (grande entreprise américaine fondée en 1965 à Cambridge) ; qui développe, fabrique et commercialise des composants à semi-conducteurs. Ce logiciel a été utilisé pour prédire les performances d'un synthétiseur de fréquence pour les applications LTE. La figure IV.1 présente l'interface graphique du logiciel ADIsimPLL.

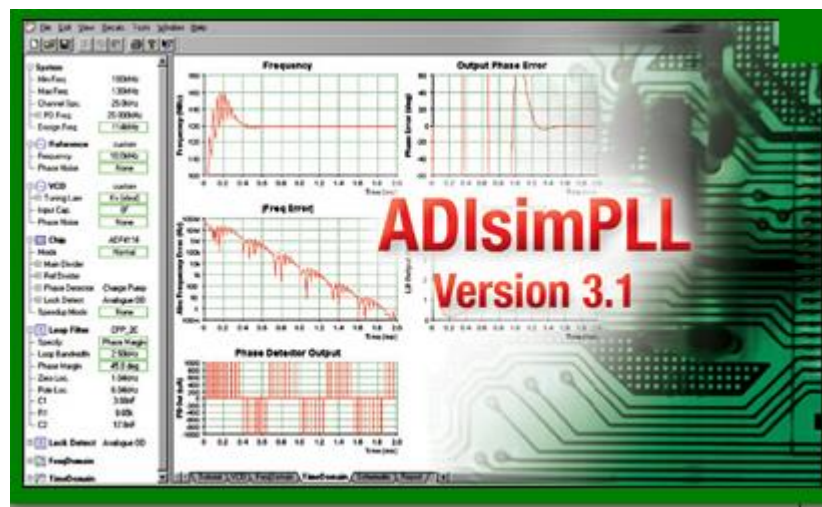


Figure IV.1. Interface du logiciel ADIsimPLL.

IV.3. Synthétiseur de fréquence pour les communications mobiles sur LTE

Le composant essentiel que nous avons choisi pour réaliser la boucle à verrouillage de phase est l'ADF4106, synthétiseur de fréquence d'Analog Devices, capable de générer et de contrôler un signal très stable de faible bruit dans la gamme des fréquences exceptionnellement large [0 – 6 GHz]. La société Analog Devices a également introduit une famille de mélangeurs hautement intégrés actifs et passifs qui sont bien adaptés pour une utilisation dans des applications de communication radio mobiles.

Le synthétiseur de fréquence (PLL) ADF4106 se compose d'un détecteur phase-fréquence numérique à faible niveau de bruit, d'une pompe de charge haute précision, d'un diviseur de référence programmable et de diviseurs haute fréquence programmables. Il est possible de mettre en œuvre un synthétiseur complet en utilisant la PLL avec un filtre de boucle externe et un oscillateur commandé en tension (VCO). La PLL peut être utilisée pour commander des oscillateurs VCO hyperfréquence externes via un filtre de boucle.

L'ADF4106 comporte un oscillateur de tension (VCO) avec un bruit de phase de -80, -100, -120, -140 dBc/Hz sur une excentration de 1KHz, 10KHz, 100KHz et 1MHz, respectivement par rapport à la fréquence centrale avec une sensibilité de 24 MHz/V. Le dispositif fonctionne avec une alimentation allant de 2,7 V à 3,0 V [39].

La figure IV.2 présente le bruit de phase du VCO seul dans une configuration free running (déverrouillé).

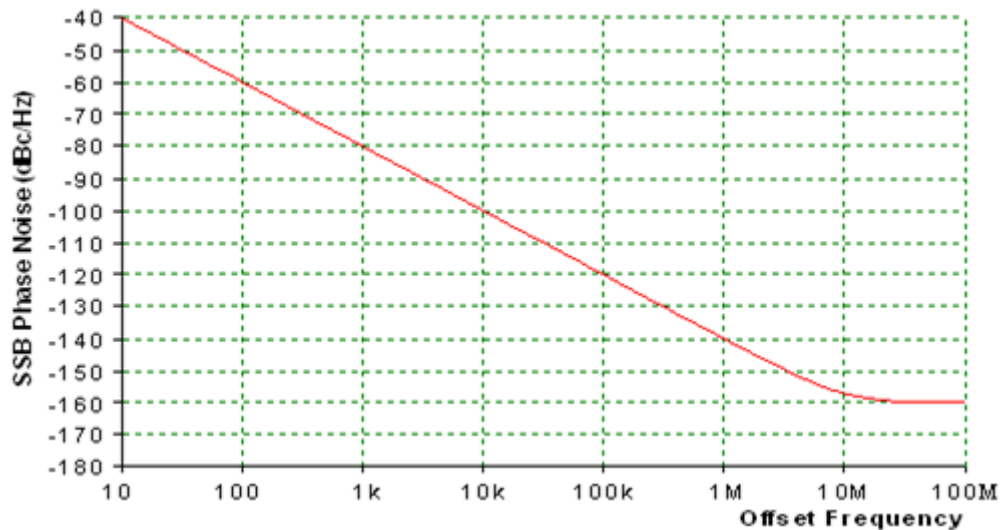


Figure IV.2. Bruit de phase du VCO seul.

Lorsque le VCO est verrouillé dans une PLL, le bruit de phase de sortie est modifié. Généralement il est réduit de manière significative dans la bande passante de boucle de la PLL. Ceci est bien montré sur la figure IV.6.

L'oscillateur de référence est un TCXO capable de délivrer une fréquence très stable de 10MHz. Le bruit de phase de cet oscillateur (TCXO) est présenté dans la figure IV.3.

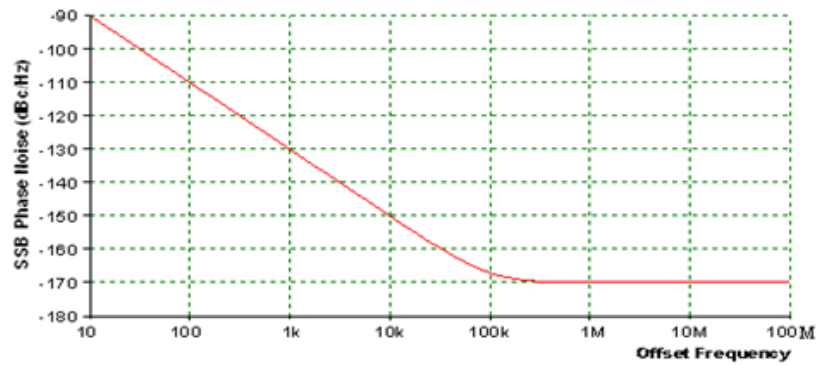


Figure IV.3. Bruit de phase de la source de référence (TCXO).

Le bruit de phase de référence affecte le bruit de phase de sortie de la PLL, principalement à l'intérieur de la bande passante de boucle (Voir figure IV.6).

IV.4. Calcul du filtre

Les paramètres à introduire sont ceux relatifs à nos composants et au résultat souhaité :

- Pas de réglage de 5MHz.
- Fréquence de l'oscillateur de référence de 10 MHz.
- Caractéristique fréquence-tension de VCO : $K_{VCO} = 24$ MHz.
- Caractéristique du détecteur de phase $K_{DP} = 5$ mA/2.π rad.
- Rapport de division : $N = \frac{F_{VCO}}{F_{Comparison}} = \frac{1950}{5} = 390$.

Le choix de la fréquence de référence de coupure du filtre résulte d'un compromis entre le bruit de phase du signal produit par le synthétiseur et sa pureté spectrale (niveau des raies parasites espacées de la fréquence de référence). Les valeurs des composants du filtre du 3^{ème} ordre issues de calcul pour une marge de phase de 45° et une largeur de boucle de 10 kHz sont montrées sur le tableau IV.1 que l'on approchera sans grand inconvénient par les valeurs normalisées.

Capacités du filtre	Résistance du filtre
$C_1 = 14,4$ nF	$R_1 = 227$ Ω
$C_2 = 169$ nF	$R_2 = 464$ Ω
$C_3 = 6,58$ nF	

Tableau IV.1. Valeurs du filtre de boucle du troisième ordre.

IV.5. Les réponses fréquentielles de la boucle

Les figures IV.4 et IV.5 représentent respectivement les courbes des fonctions de transfert en boucle ouverte et en boucle fermée. A partir du gain de la fonction de transfert en boucle ouverte (tracé de Bode), nous avons pu déterminer la valeur de ω_p correcte (le point où le gain est égal à zéro). Le tracé de Bode de la fonction de transfert en boucle ouverte nous donne $\omega_p = 10$ kHz, tandis que la phase est à son pic à -135° , ce qui correspond à une marge de phase de 45° ($180^\circ - 135^\circ$).

Dans la largeur de bande de boucle du synthétiseur, la fonction de transfert de la boucle fermée est très grande en amplitude, ce qui provoque par conséquent une augmentation du niveau de bruit de l'oscillateur de référence. Ce gain est constant jusqu'à ce qu'il atteigne la largeur de bande de la boucle, ensuite il chute rapidement. Cette fonction représente aussi le gain du bruit dans la bande passante limitée par une fréquence de coupure et l'atténuation de ce bruit au dessus de cette fréquence. Le gain dans la bande passante de la boucle vient en grande partie du rapport de division N de la boucle.

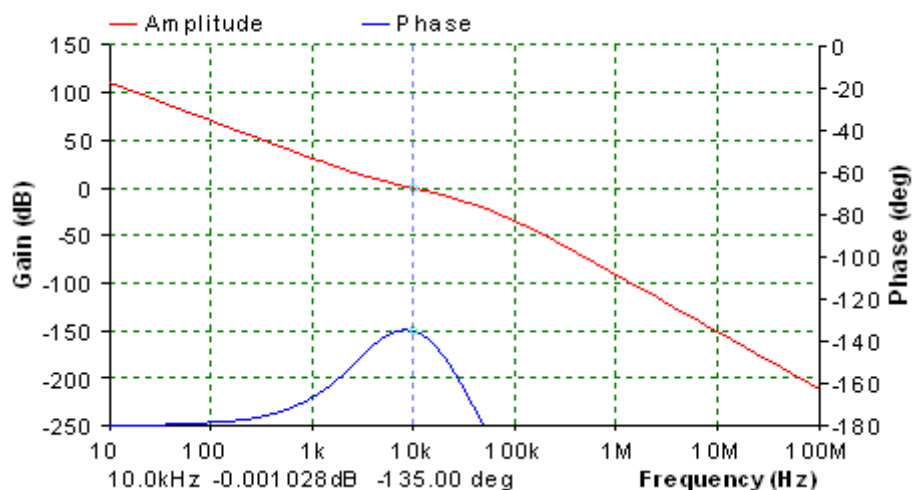


Figure IV.4. Réponses de la boucle ouverte.

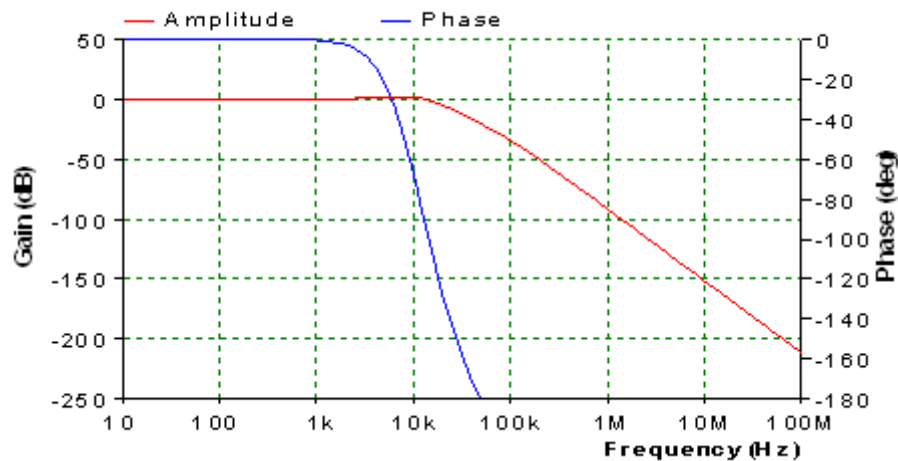


Figure IV.5. Réponse de la boucle fermée.

IV.6. Simulation du bruit de phase à la sortie du synthétiseur de fréquence

La figure IV.6 illustre respectivement le bruit de phase pour chaque composant (VCO, l'oscillateur de référence, chip, filtre de boucle et le bruit total). Les résultats montrent qu'à l'intérieur de la largeur de bande de boucle (10 Hz- 10 kHz), le niveau du bruit de l'oscillateur de référence est plus important du fait que le gain de la fonction de transfert en boucle fermée est élevé dans cette bande.

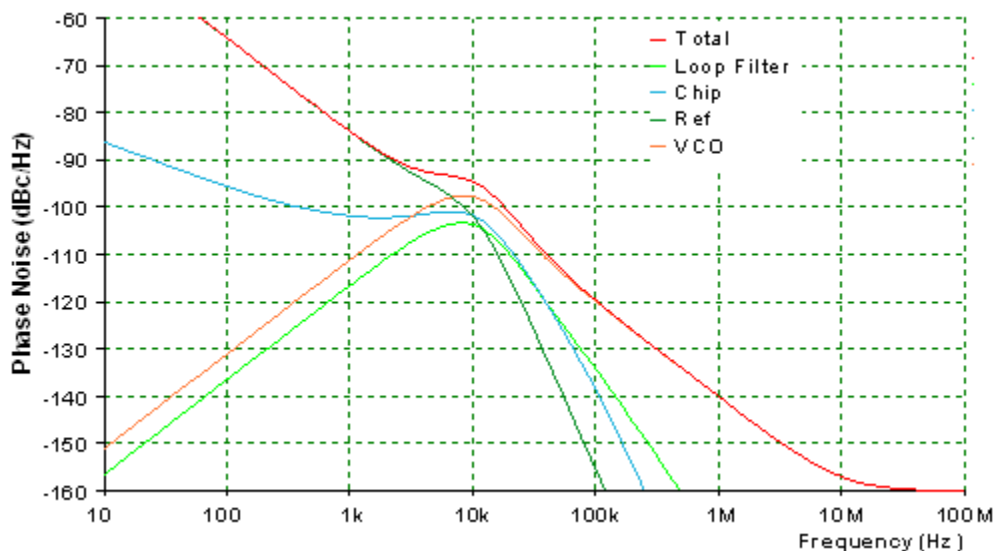


Figure IV.6. Bruit du VCO, l'oscillateur de référence, la puce et le filtre de boucle.

Dans le but de démontrer que le bruit du VCO est hautement filtré par la PLL, en provoquant la réjection du bruit de phase ou de l'erreur de phase dans la bande passante, la figure IV.7 expose la réponse de l'erreur de la boucle. Cette fonction est obtenue par association entre les réponses de la boucle ouverte et fermée.

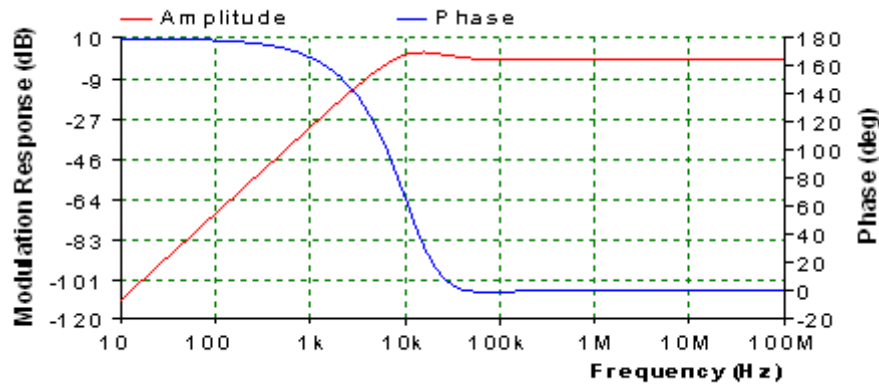


Figure IV.7. Réponse de la modulation de fréquence.

IV.7. Leakage spurs

La figure IV.8 montre la raie de référence générée par une fuite du courant au niveau du détecteur de phase. La valeur maximale du courant de fuite introduit dans la utilisée (ADF4106), est de 2 nA. Il est bien clair sur la figure ci-dessous qu'il existe que la raie principale en excluant complètement les raies parasites à des multiples de la fréquence de comparaison.

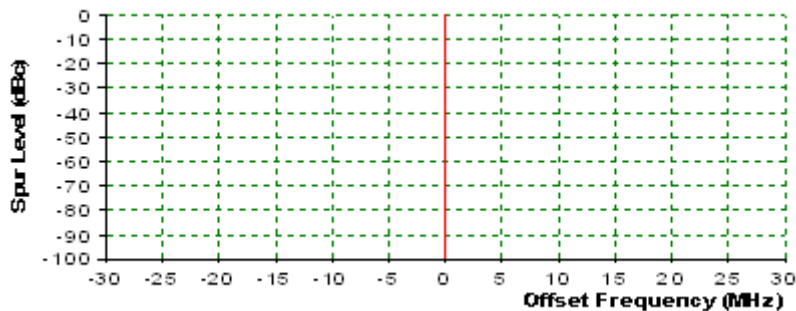


Figure IV.8. Leakage spurs.

IV.8. La réponse temporelle

IV.8.1. Comparateur de phase-fréquence

Le comparateur phase-fréquence est l'un des composants les plus largement répandus en technologie des systèmes à boucle à verrouillage de phase utilisant une pompe de charge. Il génère en sortie deux signaux (S_{up} et S_{down}) suivant l'avance ou le retard des deux signaux à son entrée (signal de référence, signal de sortie du VCO). Ces deux signaux (S_{up} et S_{down}) sont associés en un seul signal à la sortie de la pompe de charge. La figure IV.9 montre le signal résultant à la sortie de la pompe de charge. Le signe du courant à la sortie de la pompe de charge (PD out) varie selon l'état des entrées Up et Down. Lorsque la sortie Up est à son niveau haut, le courant de la pompe de

charge est positif et lorsque Down est à son niveau haut, la pompe de charge délivre un courant négatif.

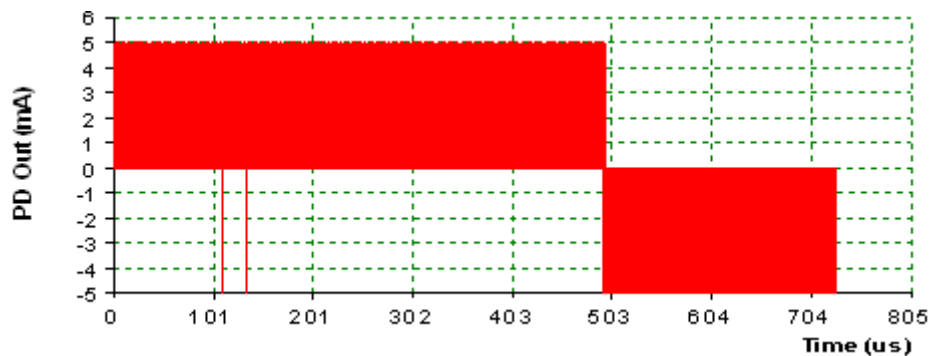


Figure IV.9. Sortie de la pompe de charge.

IV.8.2. Simulation de l'erreur de phase à la sortie de la PLL

La figure IV.10 montre l'erreur de phase à la sortie de la PLL dans des conditions transitoires. Ceci est l'erreur de phase à la sortie du VCO, et non pas le détecteur de phase.

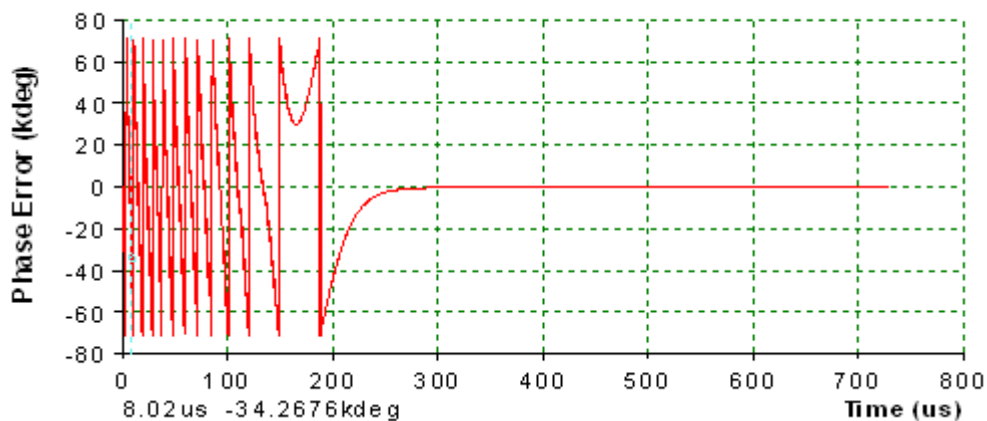


Figure IV.10. L'erreur de phase à la sortie du VCO.

IV.8.3. Simulation de l'erreur de fréquence à la sortie de la PLL

La figure IV.11 montre l'erreur de fréquence de la PLL dans des conditions transitoires. . . Autrement dit, si la PLL est verrouillée à une fréquence F_1 et est commandée à l'instant ($T = 0$) pour accéder à une autre fréquence F_2 , l'erreur de fréquence $|F(t) - F_2|$ peut être ainsi déterminée à travers le graphique ci-dessous.

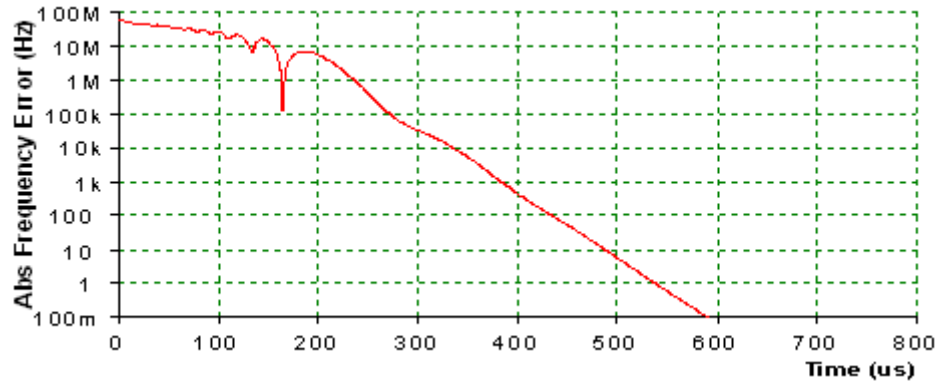


Figure IV.11. L'erreur de fréquence de la PLL.

IV.8.4. Réponse temporelle de la PLL lors d'un handover

Le temps de verrouillage est le temps nécessaire pour que la boucle à verrouillage de phase atteigne son point d'équilibre. Cependant, une boucle à verrouillage de phase souffre, généralement, d'un temps de verrouillage assez long. La réponse temporelle de la PLL nous permet de voir le temps que peut prendre la PLL pour se stabiliser dans le cas où il y aurait changement de fréquence (changement du canal c'est à dire changement de la valeur du diviseur N).

Pour cela, on a pu montrer l'évolution de la fréquence instantanée de sortie du VCO en fonction du temps, pour un saut de fréquence de 60MHz. La figure IV.8 représente la réponse temporelle de la PLL, les résultats montrent que le temps de commutation trouvé après une simulation sous ADIsimPLL est de l'ordre de 399 us. Pour le LTE cette valeur est très satisfaisante dans le cas où le terminal mobile (portable) change la zone de localisation. En effet un changement de zone de localisation implique nécessairement un changement de fréquence d'émission (et de réception également). Si la communication est en cours, le système doit pouvoir commuter vers la nouvelle valeur de fréquence sans que l'utilisateur ne sente une interruption de service.

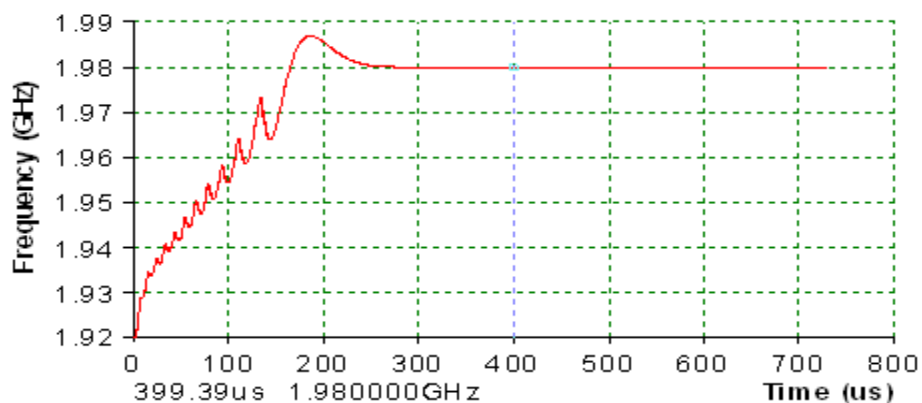


Figure IV.12. Réponse temporelle de la PLL.

IV.9. Conclusion

Dans ce chapitre nous avons présenté les résultats de simulation et l'analyse précise du bruit de phase d'un synthétiseur de fréquence à base de PLL destinée pour les applications des communications mobiles de la quatrième génération sur LTE. Cette analyse nous a permis d'établir analytiquement la réponse en termes de bruit de phase de la PLL en fonction des différentes contributions mises en jeu. Une conception complète du synthétiseur de fréquence (ADF4106) a été établie afin de déterminer le temps de commutation lorsque le handover s'effectue. Ce temps est de l'ordre de 399 μs pour un saut de fréquence de 60 MHz ce qui démontre les performances élevées de synthétiseur de fréquences conçu.

La saturation des bandes de fréquence associée à la mise en place de modulations perfectionnées autorisant d'émettre un maximum d'information dans un minimum de bande de fréquence, rendent les spécifications sur les systèmes de communication particulièrement sévères : un des éléments critiques de ces systèmes est l'oscillateur local dont les performances vont déterminer grandement les caractéristiques du système, notamment en terme de sélectivité en fréquence. La fréquence de l'oscillateur local est généralement synthétisée par une boucle à verrouillage de phase (PLL : Phase Locked Loop) qui doit être capable de générer une fréquence possédant une haute pureté spectrale.

La synthèse de fréquences est une fonction largement utilisée dans les émetteur-récepteurs radios. En générale, la fonction synthèse de fréquences est réalisée à l'aide d'une boucle à verrouillage de phase. La synthèse de fréquences est une fonction clé dans les systèmes de radiocommunication dont le rôle est de fournir des signaux périodiques. Elle consiste à générer à partir d'un signal fourni par un oscillateur de référence, un signal de fréquence différente. La stabilité de fréquence de l'oscillateur de référence est alors transférée au signal synthétisé.

L'enjeu de ce travail concerne la conception d'un tel dispositif travaillant dans une bande de fréquence pouvant atteindre jusqu'à 6 GHz. Pour cela une étude détaillée d'un synthétiseur de fréquence à base de PLL, nécessaire pour les applications sur LTE est présenté dans ce mémoire.

Le choix du filtre de la boucle est une partie très critique du synthétiseur de fréquences, raison pour la quelle, nous avons réservé tout une partie dans ce mémoire pour discuter son élaboration.

Dans les systèmes de télécommunications modernes, le synthétiseur a souvent des exigences strictes pour le temps d'établissement, défini comme le temps que prend la PLL pour commuter entre deux fréquences différentes. Ce temps est mesuré depuis le début de l'action de commutation de fréquence au temps de la nouvelle fréquence. Un changement de zone de localisation implique nécessairement un changement de fréquence d'émission (et de réception également). Si la communication est en cours, le système doit pouvoir commuter vers la nouvelle valeur de fréquence allouée par le BTS au terminal sans que l'utilisateur ne sente une interruption de service. Pratiquement il s'agit d'une atténuation maximale acceptable de puissance correspondant à l'exécution de l'algorithme du handover. Pour notre travail, le temps de commutation est de l'ordre de 399 μ s pour un saut de fréquence de 60 MHz.

De part la nature commerciale de ces systèmes et le contexte de très forte concurrence, un grand nombre d'informations sont à ce jour confidentiel et ne sont donc pas accessibles. Ce présent travail se contentera de présenter les concepts implantés dans différents systèmes qui permettent de gérer la localisation et la mobilité dans une communication impliquant un synthétiseur de fréquence à côté d'autres circuits.

Le synthétiseur de fréquence analysé n'a pas pu être réalisé en pratique à cause de la non disponibilité de ces composants sur le marché national.

La conception de nouveaux synthétiseurs de fréquences fonctionnant dans plusieurs bandes de fréquences et modes en suivant la même démarche pouvant être exploités dans les émetteurs - récepteurs des systèmes de nouvelles générations constitue une perspective prometteuse à ce travail.



MEMOIRE

Présenté

A L'UNIVERSITE DE TLEMCCEN
FACULTE DE TECHNOLOGIE
DEPARTEMENT DE GENIE ELECTRIQUE ET ELECTRONIQUE

Pour l'obtention du diplôme de

MASTER en

Composants et Systèmes Electroniques pour les Télécommunications

Par

BOUCHENAK KHELLADI Omar
BALASKA Boumediene

CONCEPTION D'UN SYNTHETISEUR DE FREQUENCES POUR LES COMMUNICATIONS RADIO MOBILES 4G

Soutenu en Juillet 2012 devant le Jury:

A. ABDELMALEK	Maître Assistant à l'Université de Tlemcen	Président
R. MERZOUGUI	Maître de Conférences à l'Université de Tlemcen	Examineur
H.ZERROUKI	Maître Assistant à l'Université de Tlemcen	Examineur
S. KAMECHE	Maître de Conférences à l'Université de Tlemcen	Encadreur

Remerciements

Ce travail de recherche a été effectué au sein du laboratoire des Systèmes et Technologies de l'information et de la Communication (STIC) de la Faculté de Technologie à l'Université Abou-Bekr Belkaïd Tlemcen, sous la direction de Monsieur Mohammed FEHAM, Professeur à l'Université de Tlemcen.

On tient à remercier très sincèrement, notre Encadreur Monsieur Samir KAMECHE, Maître de Conférences à l'Université de Tlemcen pour nous avoir proposé de mener ce projet. On le remercie également pour avoir mis à notre disposition tous les moyens nécessaires au bon déroulement de ce travail, en restant extrêmement disponible pour répondre à nos questions toujours de façon limpide.

Mes remerciements les plus respectueux s'adressent à Monsieur Abdelhafid ABDELMALEK, Maître Assistant à l'Université de Tlemcen, pour avoir accepté de présider le jury de ce Mémoire.

On adresse également nos remerciements à Monsieur Hadj ZERROUKI, Maître Assistant à l'Université de Tlemcen, pour avoir accepté de juger ce travail et d'en être examinateur.

On veille à ce que Monsieur Rachid MERZOUGUI, Maître de Conférences à l'Université de Tlemcen agrée notre haute considération pour avoir cordialement pris part dans le jury de ce mémoire.

On souhaite sincèrement remercier toutes les personnes qui ont contribué d'une manière ou d'une autre à l'achèvement de ce travail de mémoire...

Enfin, que nos parents, nos familles, et nos amis trouvent à travers ces quelques lignes l'expression de notre profonde gratitude pour leur soutien et leurs encouragements de tous les instants. On vous en remercie chaleureusement.

Table des matières

Résumé.....	i
Remerciements.....	ii
Table des matières.....	iii
Sigles et abréviation	vi
Liste des figures	ix
Liste des tableaux.....	xii

Introduction Générale.....	2
----------------------------	---

Chapitre I : Evolution des Standards de Communications Mobiles

I.1. Introduction.....	5
I.2. De la téléphonie fixe à la téléphonie mobile.....	5
I.3. Evolution des standards de communications mobiles.....	5
I.3.1 Première génération « 1G »	5
I.3.2 Deuxième génération « 2G »	6
I.3.3 Le GPRS « 2.5G ».....	8
I.3.4 Entre la 2,5G et la 3G : EDGE « 2,75G ».....	9
I.3.5 Troisième génération « 3G ».....	9
I.3.5.1 Architecture.....	10
I.3.5.2. Organisation fréquentielle.....	10
I.3.5.3. Organisation temporelle	11
I.3.5.4. Le mode d'accès.....	11
I.3.6. Le HSDPA « 3.5 G ».....	12
I.3.7. Le HSUPA « 3.75 G ».....	12
I.3.8. Quatrième génération « 4G »	13
I.4. Présentation de la norme LTE.....	13
I.4.1. Introduction	13
I.4.2. L'évolution du standard LTE.....	14
I.4.3. Architecture générale	15
I.4.4. Réseau d'accès (Access Network)	16
I.4.4.1. Caractéristiques	16
a. Débit de l'interface radio	16
b. Délai pour la transmission de données	16
c. Mobilité.....	16
d. Coexistence et Interfonctionnement avec la 3G	16
e. Flexibilité dans l'usage de la bande	16

f. Couverture de cellule importante dans les zones urbaines et rurales	17
I.4.4.2. L'Interface Radio du LTE	17
I.4.4.3. La structure des trames en LTE	18
I.5. Comparaison UMTS et LTE	19
I.6. Conclusion.....	19

Chapitre II : La Synthèse de Fréquence

II.1 Introduction.....	21
II.2. Rôle de l'oscillateur local (LO) dans un transmetteur/récepteur	21
II.3. Synthèse de fréquence	22
II.4. Critères de performance des synthétiseurs de fréquences.....	22
II.4.1. Plage de fréquences et pas de synthèse	23
II.4.2. Le temps d'établissement et la bande passante.....	24
II.4.3. Pureté spectrale	24
II.4.4. Bruit de phase	25
II.5 Techniques de synthèse de fréquence	28
II.5.1 Synthèse directe analogique	28
II.5.2 Synthèse directe numérique DDS (Direct Digital Synthesis).....	29
II.5.3 Synthèse indirecte à base de PLL (Phase Locked Loop).....	30
II.5.3.1 Principe global de fonctionnement de la boucle	33
a PLL à division entière.....	31
b Synthétiseur à division fractionnaire.....	32
II.6 Description des éléments constitutifs de la PLL.....	33
II.6.1. La source de référence	33
II.6.2. Comparateur de phase.....	33
II.6.3 La pompe de charge	35
II.6.4 Le filtre de boucle	36
II.6.5 Oscillateur contrôle en tension	37
II.6.6 Le diviseur programmable	37
II.7 Conclusion	38

Chapitre III : Conception d'un Synthétiseur de Fréquences à Division Entière

III.1 Introduction	40
III.2. Les performances des boucles à verrouillage de phase	40
III.3. Elaboration et évaluation des performances du filtre de boucle.....	42
III.4. Analyse du bruit de phase dans le synthétiseur de fréquences	47
III.4.1. Les sources de bruit standard et les techniques d'analyse	47
III.4.2. Bruit du cristal de référence.....	48
III.4.3 Bruit de détecteur de phase	48
III.4.4 Bruit dans le VCO.....	49
III.4.5. Bruits générés par les résistances	49

III.5 Conclusion	50
------------------------	----

Chapitre IV : Résultats et Interprétations

IV.1 Introduction	52
IV.2. Aperçu sur le logiciel ADIsimPLL	52
IV.3. Synthétiseur de fréquence pour les communications mobiles sur LTE	52
IV.4. Calcul du filtre.....	54
IV.5. Les réponses fréquentielles de la boucle	55
IV.6. Simulation du bruit de phase à la sortie du synthétiseur de fréquence.....	56
IV.7. Leakage spurs	57
IV.8. La réponse temporelle	57
IV.8.1. Comparateur de phase-fréquence	57
IV.8.2. Simulation de l'erreur de phase à la sortie de la PLL	58
IV.8.3. Simulation de l'erreur de fréquence à la sortie de la PLL.....	58
IV.8.4. Réponse temporelle de la PLL lors d'un handover	59
IV.9. Conclusion.....	60
Conclusion Générale.....	62
Bibliographie	65

Le terme « télécommunications » fut inventé en 1904 par E. Estaunié et signifie communiquer à distance. Le but des télécommunications est donc de transmettre ou recevoir un signal, porteur d'une information (voix, musique, images, données...), d'un lieu à un autre lieu situé à distance.

Nous avons pu assister, lors des dernières décennies, à l'explosion du marché de la communication sans fil. Du domaine militaire au domaine civil en passant par le secteur industriel, les besoins ne cessent d'augmenter. La miniaturisation, l'autonomie, l'accessibilité, la rapidité du taux de transfert et la diversité des applications proposées sont autant d'objectifs pour les scientifiques des mondes de l'industrie et de la recherche. L'aspiration sociale et les besoins technologiques se confondent pour aboutir à une demande accrue pour le développement de la communication sans fil et plus particulièrement de la téléphonie mobile.

Les communications sans fil étaient initialement considérées comme une approche secondaire de la communication, développée pour des zones où il n'était pas possible de réaliser une connexion filaire. Mais ce concept a évolué et de nombreuses avancées ont donné lieu à plusieurs générations de radiotéléphonie mobile. De la première génération (1G), qui ne permettait que la transmission de « voix », jusqu'à la quatrième génération (4G), qui repose sur le transfert de volumes très importants comme la vidéo haute définition, différentes méthodes de transmission se sont succédées. Ces générations radiotéléphoniques ont conduit à la mise en place de nombreux standards de communication avec lesquels doivent fonctionner les appareils communicants mobiles.

De plus, des applications comme la téléphonie mobile font cohabiter différents standards (GSM et Bluetooth par exemple). De même, les circuits intégrant plusieurs standards de radio communications (GSM, WCDMA, LTE etc.) impliquent des contraintes sur l'architecture d'émetteur ou de récepteur. Les principales contraintes se situent sur l'oscillateur local qui doit couvrir toutes les bandes des standards, tout en garantissant une bonne pureté spectrale (bruit de phase et raies parasites) avec une consommation optimisée.

L'oscillateur local, dans les différentes architectures de récepteurs et d'émetteurs, est un des éléments clefs des performances et/ou des limitations d'adressage des différents standards.

L'objectif principal de ce mémoire est de concevoir un synthétiseur de fréquence à base de PLL, pour les communications mobiles sur LTE. Toute cette étude est organisée dans un document comportant quatre chapitres :

Le premier chapitre est dédié à l'étude de plusieurs normes de communication radio mobile en mettant l'accent sur la quatrième génération (4G).

Dans le second chapitre, on va effectuer une présentation générale de la synthèse de fréquences présentée en trois étapes :

- La précisions des différentes contraintes et spécifications qui sont appliquées à ce bloc comme la plage de fréquences et pas de synthèse, le temps d'établissement, la pureté spectrale, le temps d'établissement et la bande passante et encore le bruit de phase.
- La présentation des différentes techniques de synthèse de fréquence.
- La description de chaque bloc constitutif de la PLL.

Le troisième chapitre est consacré à une étude mathématique :

- Le modèle linéaire : qui permet d'étudier le comportement dynamique du synthétiseur de fréquence lorsque la boucle est verrouillée.
- Etude du filtre : qui donne un aperçu sur les exigences et la conception d'un filtre de boucle passif nécessaire pour les synthétiseurs de fréquences utilisant un détecteur phase-fréquence et une pompe de charge.

Les résultats et les interprétations font l'objet du quatrième chapitre. Dans ce cadre, ce chapitre décrit les résultats de la simulation et la conception d'un synthétiseur de fréquences destiné pour les applications radio mobiles sur LTE en utilisant le logiciel industriel ADIsimPLL.

La conclusion générale permettra de tirer le bilan des travaux effectués avec une synthèse des résultats et une ouverture vers des travaux futurs.