

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي والبحث العلمي

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

جامعة أبي بكر بلقايد- تلمسان

Université Aboubakr Belkaïd- Tlemcen –

Faculté de TECHNOLOGIE



MEMOIRE

Présenté pour l'obtention du **diplôme** de **MASTER**

En : Télécommunications

Spécialité : Réseaux Mobiles et Services de Télécommunications

Par : **SABER Ilyes**

CONTRIBUTION A L'ETUDE ET LA CONCEPTION D'UN SYNTHETISEUR DE FREQUENCES POUR LES COMMUNICATIONS RADIO MOBILES 5G

Soutenu publiquement, le **22/05/2016**, devant le jury composé de :

| | | | |
|----------------|---------------------------|---------------|-----------|
| Mr R.MERZOUGUI | Maître de Conférences -A- | Univ. Tlemcen | Président |
| Mr S. KAMECHE | Maître de Conférences -A- | Univ. Tlemcen | Encadreur |
| Mr S.M.H. IRID | Maître Assistant -A- | Univ. Tlemcen | Examineur |

Remerciements

Nous tenons tout d'abord à remercier Dieu le tout puissant et miséricordieux, qui nous a donné la force et la patience d'accomplir ce Modeste travail.

Le présent mémoire a été dirigé par Mr KAMECHE Samir Maître de Conférences –A- à l'université de Tlemcen. C'est grâce à lui, à ses remarques, conseils et à son soutien que j'ai pu le finaliser. J'exprime toutes mes gratitude, mes reconnaissances et mes sincères remerciements.

Nos vifs remerciements également aux membres du jury Mr MERZOUGUI Rachid Maître de Conférences -A- à l'université de Tlemcen d'avoir l'amabilité de présider le jury, Mr IRID Sidi Mohamed Hadj Maître Assistant –A- à l'université de Tlemcen d'avoir accepté d'examiner notre travail.

Nous exprimons également notre gratitude à tous les professeurs et enseignants qui ont collaboré à notre formation depuis notre premier cycle d'études jusqu'à la fin de notre cycle universitaire.

Enfin, nous tenons également à remercier toutes les personnes qui ont participé de près ou de loin à la réalisation de ce travail.



Dédicaces

J'ai l'immense honneur de dédier ce mémoire :

A mes très chers parents qui étaient présent pour moi, «Vous avez tout sacrifié pour vos enfants n'épargnant ni santé ni efforts. Vous m'avez donné un magnifique modèle de labeur et de persévérance. Je suis redevable d'une éducation dont je suis fier » durant toute ma vie.

Je dédie ce travail aussi à mon très cher frère : RAYANE sans oublier mes très chères sœurs et mes amis, collègues de la promo RMST.

Résumé

Avec l'arrivée des technologies 4G, les réseaux de télécommunications ont connu une grande expansion. Ces réseaux ont permis l'intégration de nouveaux services et un débit adéquat, permettant ainsi aux opérateurs de répondre à la demande croissante des utilisateurs. Cette rapide évolution a porté les opérateurs à adapter leurs méthodes de planification aux nouvelles technologies qui, augmentent la complexité au niveau du réseau. Cette complexité devient plus importante quand ces réseaux regroupent plusieurs technologies d'accès différents en un réseau hétérogène, comme dans le cas des réseaux mobiles de prochaine génération ou réseaux 5G.

Dans le domaine des télécommunications, La synthèse de fréquence est un élément clé dans les architectures de circuits électroniques (et plus précisément dans les récepteurs et émetteurs des ensembles de communications), la performance élevée d'un synthétiseur de fréquence est l'un des paramètres important. Les boucles à verrouillage de phase (PLL) jouent un rôle majeur dans le domaine des communications mobiles. La PLL est utilisée comme une partie essentielle du synthétiseur de fréquences.

Le but essentiel de ce travail, consiste en la conception et la simulation d'un synthétiseur de fréquences à base de PLL nécessaire pour les communications radio mobiles 5G.

Mots Clés : 4G, 5G , PLL , synthétiseur de fréquence, bruit de phase.

Abstract

With the introduction of 4G technologies, telecommunication networks have tremendously expanded. These networks have allowed the integration of new services and adequate net flow, allowing operators to meet growing demands of the users. This rapid change has brought operators to adapt their planning to new technologies which increases the complexity at the level of the network. This complexity becomes greater when these networks comprise several different access technologies in a heterogeneous set-up, as in the case of mobile networks to next generation networks or 5G.

In telecommunication, frequency synthesis is a key element in the architecture of electronic circuits (specifically in the receivers and transmitters of communication sets), the high performance of a frequency synthesizer is one of the important parameters. The phase-locked loops (PLLs) play a major role in the field of mobile communication. The PLL is used as an essential part of the frequency synthesizer.

The main purpose of this work is the design and the simulation of a PLL frequency synthesizer, necessary for mobile radio communication 5G.

Key Words: 4G, 5G, PLL, frequency synthesizer, phase noise.

| | |
|-----------------------------|------|
| Remerciements | |
| Dédicaces | |
| Résumé..... | I |
| Table des matières | II |
| Liste des figures..... | VI |
| Liste des tableaux..... | VIII |
| Sigles et abréviation..... | XI |
| Introduction générale | 2 |

Chapitre I : Standards des réseaux d'accès mobiles

| | |
|--|---|
| I.1 Introduction..... | 4 |
| I.2 Standard des réseaux d'accès mobile..... | 4 |
| I.3 La première génération «1G»..... | 4 |
| I.3.1 Caractéristiques techniques..... | 4 |
| I.4 La deuxième génération «GSM» | 5 |
| I.4.1 Architecture du réseau GSM..... | 6 |
| I.4.2 Réseaux GPRS | 7 |
| I.4.3 Réseaux EDGE (2.75 G)..... | 7 |
| I.5 La troisième génération «UMTS»..... | 8 |
| I.5.1 UMTS | 8 |
| I.5.2 Débit de transmission..... | 8 |
| I.5.3 Architecture..... | 8 |
| I.5.4 Technologie <i>HSDPA</i> (3.5G) | 9 |
| I.5.5 Technologie <i>HSUPA</i> (3.75G) | 9 |
| I.6 La quatrième génération «LTE» | 9 |



| | |
|--|----|
| I.6.1 Architecture du réseau LTE | 10 |
| I.6.2 Caractéristiques des systèmes sans fil 4G..... | 11 |
| I.6.3 LTE Advanced..... | 12 |
| I.7 la cinquième génération «5G» | 13 |
| I.7.1 Pourquoi est-il nécessaire de 5G?..... | 13 |
| I.7.2 Concepts clé de la 5G | 14 |
| I.7.3 Comparaison avec modèle OSI..... | 14 |
| I.7.4 Architecture de fonctionnement..... | 15 |
| I.7.5 Comparaison entre les générations de technologies mobiles (1G -5G) | 16 |
| I.7.6 Bande de fréquence 5G..... | 17 |
| I.8 Conclusion | 18 |

Chapitre II : PLL et Synthétiseurs de Fréquences

| | |
|---|----|
| II.1 Introduction..... | 20 |
| II.2 La synthèse de fréquences à base de PLL..... | 20 |
| II.3 Caractéristiques fondamentales des synthétiseurs de fréquences | 20 |
| II.3.1 Gamme de fréquence et pas | 20 |
| II.3.2 Pureté spectrale..... | 20 |
| II.3.3 Temps d'acquisition ou temps d'accrochage..... | 21 |
| II.3.4 Autres caractéristiques..... | 21 |
| II.4 Différents types de synthétiseurs de fréquences | 21 |
| II.5 Synthèse indirecte (avec PLL)..... | 21 |
| II.5.1 Synthétiseur de fréquences à division entière..... | 22 |
| II.5.2 Synthétiseur de fréquences à division fractionnaire | 23 |



| | |
|--|----|
| II.5.3 Synthétiseur de fréquences à séquence numérique..... | 24 |
| II.6 Description des éléments constitutifs de la PLL..... | 24 |
| II.6.1 La source de référence..... | 24 |
| II.6.2 Comparateur phase- fréquence (PFD)..... | 24 |
| II.6.3 Pompe de Charge..... | 26 |
| II.6.4 Le filtre de boucle..... | 26 |
| II.6.5 Diviseurs de fréquence..... | 27 |
| II.6.6 L'Oscillateur Contrôlé en Tension..... | 28 |
| II.7 Les performances des boucles à verrouillage de phase..... | 28 |
| II.8 Elaboration et évaluation des performances du filtre de boucle..... | 31 |
| II.9 Analyse du bruit de phase dans le synthétiseur de fréquences..... | 36 |
| II.10 Les sources de bruit standard et les techniques d'analyse..... | 37 |
| II.11. Paramètres définissant le comportement d'un VCO..... | 37 |
| II.12 Conclusion..... | 38 |

Chapitre III : Résultats et Interprétations

| | |
|--|----|
| III.1 Introduction..... | 40 |
| III.2 Interprétations..... | 40 |
| III.2.1 Vue sur le logiciel ADIsimPLL..... | 40 |
| III.3 Synthétiseur de fréquence pour les communications radio mobiles 5G..... | 41 |
| III.3.1 Calcul du filtre..... | 42 |
| III.4 Les réponse fréquentielles de la boucle..... | 43 |
| III.5 Simulation du bruit de phase à la sortie du synthétiseur de fréquence..... | 44 |
| III.6 Leakage spurs..... | 45 |
| III.7 La réponse temporelle..... | 46 |



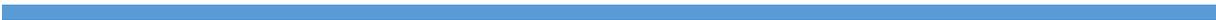
| | |
|---|----|
| III.7.1 Compateur de phase-fréquence | 46 |
| III.7.2 Simulation de l'erreur de phase à la sortie de la PLL..... | 46 |
| III.7.3 Simulation de l'erreur de fréquence à la sortie de la PLL | 47 |
| III.7.4 Réponse temporelle de la PLL lors d'un handover | 47 |
| III.8 Conclusion..... | 48 |
| Conclusion Générale | 50 |
| Référence & Bibliographie..... | 52 |



| | |
|--|----|
| Figure I.1 Architecture GSM | 6 |
| Figure I.2 Architecture globale du réseau UMTS..... | 9 |
| Figure I.3 Architecture du réseau LTE..... | 10 |
| Figure I.4 Architecture EPS | 11 |
| Figure I.5 Concept de Téléphone portable 5G | 14 |
| Figure.I.6 Architecture fonctionnelle de 5G Wireless..... | 15 |
| Figure I.7 LTE et 5G à des fréquences plus élevées..... | 17 |
| Figure I.8 Les bandes de fréquences possibles pour mmWAVE Accès | 17 |
| Figure II.1 Synthétiseur de fréquences classique à base de PLL | 22 |
| Figure II.2 Circuit d'un comparateur numérique de phase-fréquence..... | 25 |
| Figure II.3 Diagrammes des différents signaux | 25 |
| Figure II.4 Circuit de la pompe de charge..... | 26 |
| Figure II.5 Fonctionnement de la pompe de charge | 26 |
| Figure II.6 Filtre passif passe bas de deuxième ordre..... | 27 |
| Figure II.7 Exemple de diviseur de fréquence simple | 28 |
| Figure II.8 Boucle à verrouillage de phase à base de la pompe de charge..... | 29 |
| Figure II.9 Modèle linéaire de la PLL | 30 |
| Figure II.10 Tracé de Bode de la réponse de boucle ouverte | 32 |
| Figure II.11 Filtre de boucle de troisième ordre combiné avec la pompe de charge..... | 34 |
| Figure II.12 Modèle de PLL avec les différentes sources de bruits..... | 37 |
| Figure III.1 architecture proposée du synthétiseur de fréquence pour communications radio mobiles 5G..... | 40 |
| Figure III.2 interface du logiciel ADIsimPLL | 41 |
| Figure III.3 Modèle de la PLL comme synthétiseur de fréquence(ADF4155) | 42 |
| Figure III.4 Réponses de la boucle ouverte..... | 43 |
| Figure III.5 Réponse de la boucle fermée..... | 44 |
| Figure III.6 Bruit du VCO, l'oscillateur de référence, la puce et le filtre de boucle | 44 |



| | |
|--|----|
| Figure III.7 Réponse de la modulation de fréquence | 45 |
| Figure III.8 leakage sprus | 45 |
| Figure III.9 Sortie de la pompe de charge | 46 |
| Figure III.10 L'erreur de phase à la sortie du VCO | 46 |
| Figure III.11 l'erreur de fréquence de la PLL | 47 |
| Figure III.12 Réponse temporelle de la PLL | 48 |



Liste des Tableaux

| | |
|--|----|
| Tableau I.1 Caractéristiques du réseau GSM..... | 6 |
| Tableau I.2 Différents Paramètres du LTE-Advanced | 12 |
| Tableau I.3 Comparaison avec modèle OSI..... | 15 |
| Tableau I.4 Générations mobiles (1G - 5G)..... | 16 |
| Tableau III.1 Valeurs du filtre de boucle du troisième ordre | 43 |

1

1G **1^{ère} Génération**

2

2G **2^{ème} Génération**

3

3G **3^{ème} Génération**

4

4G **4^{ème} Génération**

5

5G **5^{ème} Génération**

A

AMPS **Advanced Moblie Phone System**

C

CAMR **Conférence Administrative Mondiale des Radiocommunications**

CDMA **Code Division Multiple Access**

D

DCS **Digital Communication System**

DDS **Direct Digital Synthesizer**



E

- EDGE** Enhanced **D**ata Rates for the **GSM Evolution**
- EPS** Evolved **P**acket **S**ystem
- ETACS** Extended **T**otal **A**ccess **C**ommunication **S**ystem
- ETSI** European **T**elecommunications **S**tandards **I**nstitute

F

- FDD** Frequency **D**ivision **D**uplex
- FDMA** Frequency **D**ivision **M**ultiple **A**ccess
- FSS** Fixed **S**atellite **S**ervice

G

- GGSN** Gateway **G**PRS **S**upport **N**ode
- GPRS** General **P**acket **R**adio **S**ervice
- GSM** Global **S**ystem **f**or **M**obile **C**ommunications

H

- HSDPA** High **S**peed **D**ownlink **P**acket **A**ccess
- HSUPA** High **S**peed **U**plink **P**acket **A**ccess
- HTTP** Hyper**T**ext **T**ransfer **P**rotocol

I

- IA** Intelligence **A**rtificielle
- IMT** International **M**obile **T**elecommunications
- IP** Internet **P**rotocol



L

LTE **Long Term Evolution**

M

MIMO **Multiple Input Multiple Output**

O

OFDM **Orthogonal Frequency Division Multiplexing**

OFDMA **Orthogonal Frequency Division Multiplexing Access**

OSI **Open Systems Interconnection**

P

PCS **Personal Communication Service**

PDC **Personal Digital Cellular**

PFD **Phase Frequency Detector**

PI **Proportional Integral**

PSTN **Public Switched Telephone Network**

R

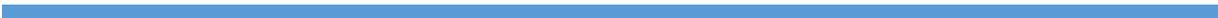
RAN **Radio Access Network**

RC **Resistor-Capacitor**

RTC **Réseau Téléphonique Commuté**

S

SAE **System Architecture Evolution**



SC-FDMA **Single-Carrier Frequency Division Multiple Access**

SDR **Software Defined Radio**

SGSN **Serving GPRS Support Node**

T

TACS **Total Access Communication System**

TCXO **Temperature Compensated Crystal Oscillator**

TDD **Time Division Duplex**

TDMA **Time Division Multiple Access**

V

VCO **Voltage Controlled Oscillator**

U

UIT **Union Internationale des Télécommunications**

UMTS **Universal Mobile Telecommunications System**

UTRAN **Universal Terrestrial Radio Access Network**

W

WAN **Wide Area Network**

WCDMA **Wideband Code Division Multiple Access**

Wifi **Wireless Fidelity**

WiMAX **Worldwide Interoperability for Microwave Access**

WLAN **Wireless Local Area Network**

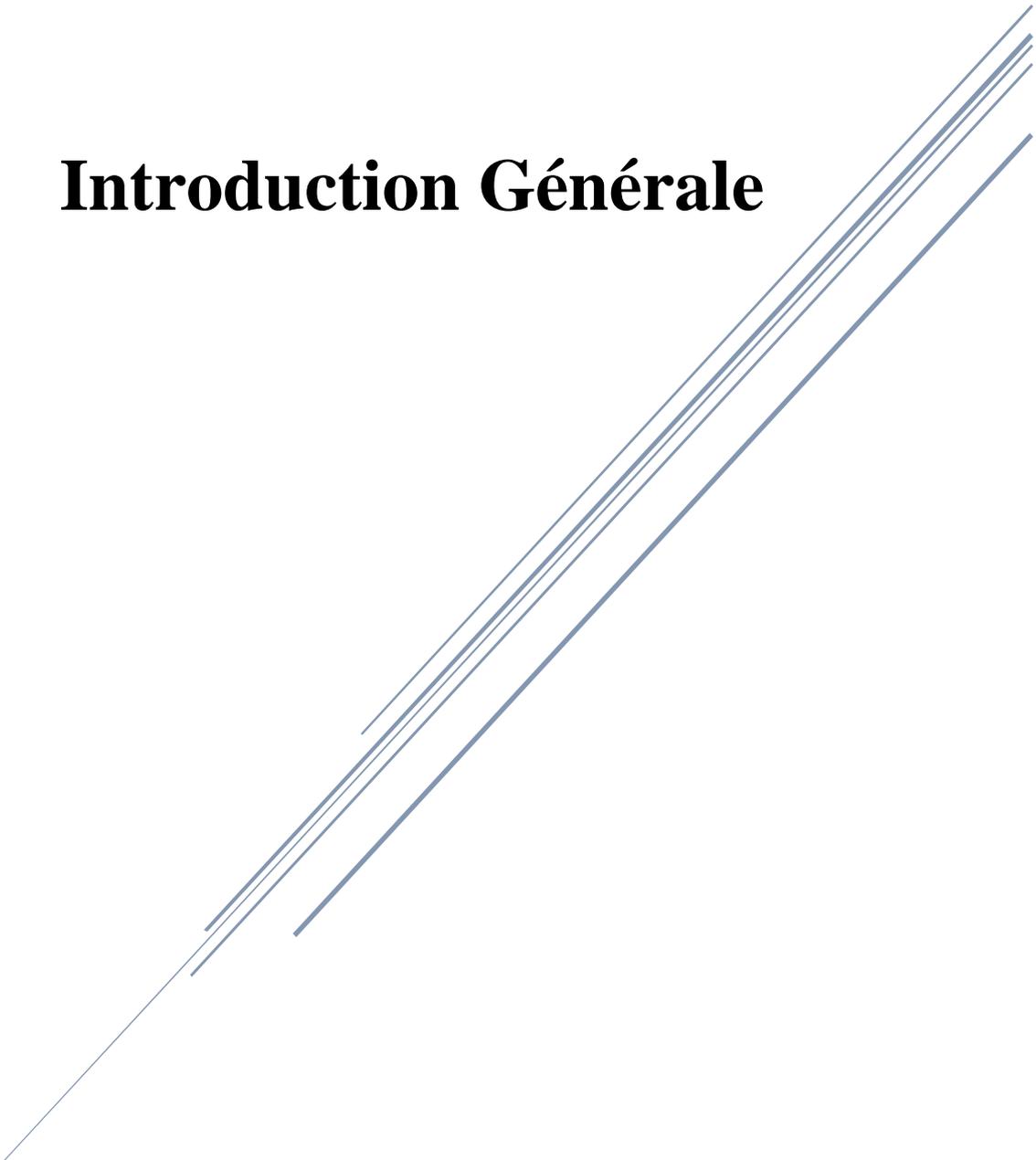


WWW

World Wide Web Wireless



Introduction Générale



Le mot « télécommunication » vient du préfixe grec « tele » signifiant « loin » et du latin « communicare » qui signifie « partager ». Le terme « télécommunication » a été utilisé pour la première fois en 1904 par Edouard Estaunié. De nos jours, la télécommunication est caractérisée comme suit : « l'émission, transmission à distance et réception d'informations de toute nature par fil, radioélectricité, système optique ou électromagnétique ». Autrement dit, la télécommunication est d'abord et avant tout un échange d'information dans n'importe quel espace donné.

Portés par la téléphonie, les télécommunications sans fil connaissent une croissance vertigineuse pratiquement partout dans le monde. L'engouement du public pour les commodités du sans-fil engendre au niveau mondial une multitude d'offres à travers réseaux, terminaux et services de toutes sortes.

Pendant les dernières décennies, le marché de la téléphonie mobile a connu une grande évolution surtout avec l'apparition des systèmes radio-mobiles cellulaires. Les réseaux cellulaires de deuxième génération ont été conçus au milieu des années 80 passons à l'autre technologie jusqu'à 5G est la cinquième génération de standards pour la téléphonie mobile, faisant suite à la 4G+.

L'objectif principal de ce mémoire est de concevoir une synthèse de fréquence qui est réalisée à l'aide d'une boucle à verrouillage de phase (PLL), pour les communications radio mobile 5G.

La synthèse de fréquences est une fonction largement utilisée dans les émetteurs-récepteurs radios. Dans les émetteurs-récepteurs des communications sans fil, la performance élevée d'un synthétiseur de fréquence est l'un des paramètres important.

Toute cette étude est organisée autour de trois chapitres :

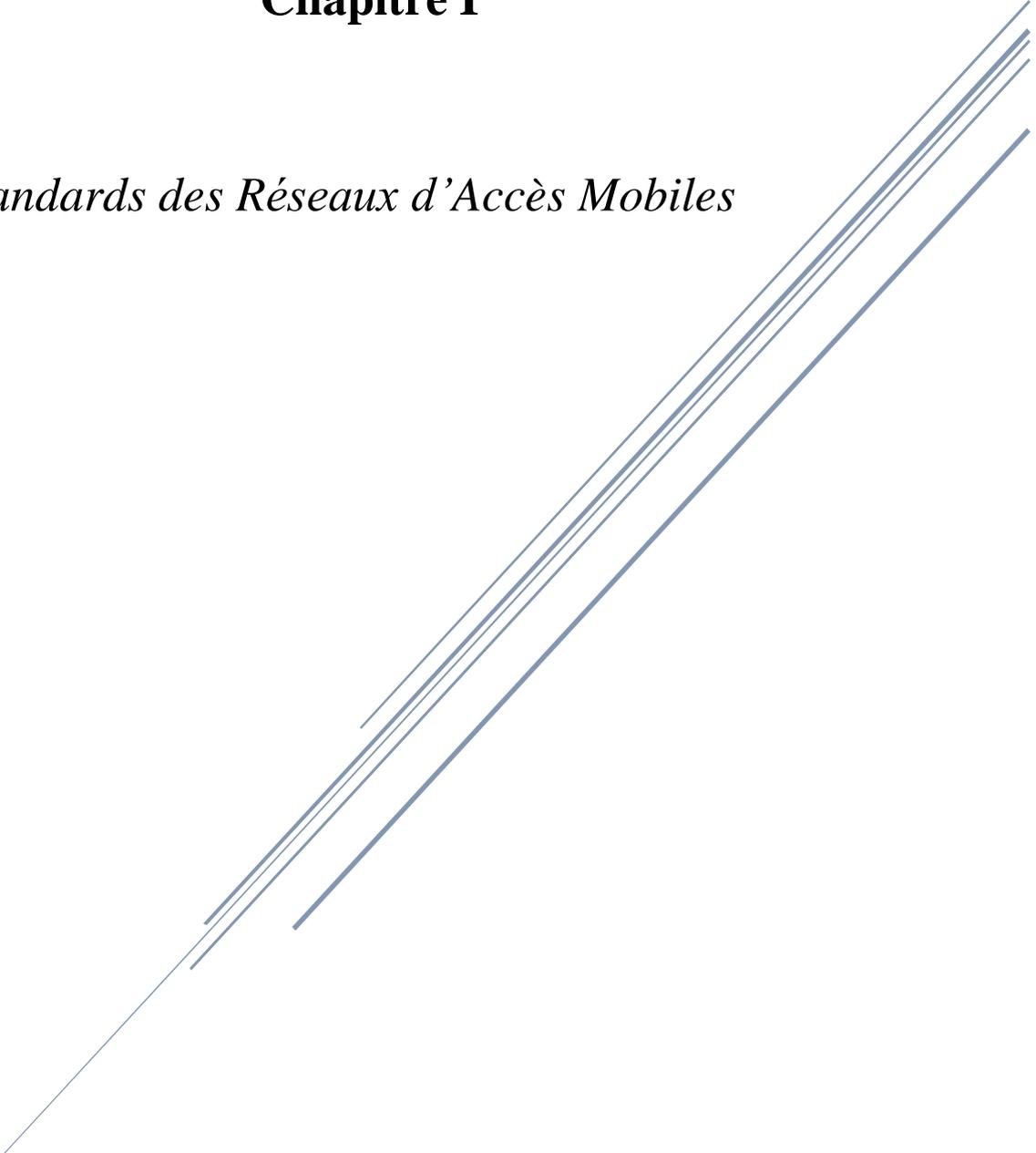
Nous allons d'abord présenter l'étude de plusieurs normes de communications radio mobiles en mettant l'accent sur la cinquième génération 5G.

Dans le second chapitre, nous nous intéresserons aux techniques de synthèse de fréquences et les caractéristiques essentielles des synthétiseurs.

Les résultats et les interprétations font l'objet du troisième chapitre. Dans ce cadre, ce chapitre décrit les résultats de la simulation et la conception d'un synthétiseur de fréquence destiné pour les applications radio mobiles sur 5G en utilisant le logiciel industriel ADIsimPLL.

Chapitre I

Standards des Réseaux d'Accès Mobiles



I.1 Introduction

Le téléphone portable est devenu un objet du quotidien. D'ailleurs, certains n'imaginent plus leur vie sans *Smartphone*. L'émergence de la téléphonie dite « mobile » a été une véritable révolution technologique et une évolution majeure dans la vie des consommateurs qui sont, pour la plupart, connectés en permanence. Retour sur l'histoire du téléphone portable, des années 80 à nos jours. Entre les premiers modèles de téléphones mobiles sortis dans les années 80 et les *Smartphones* d'aujourd'hui, l'évolution du téléphone portable semble fulgurante. Elle s'est accompagnée d'une amélioration du réseau de téléphonie mobile, passant de la 1G à la 4G et bientôt la 5G.

I.2 Standard des réseaux d'accès mobile

Les progrès technologiques dans le domaine des réseaux de télécommunications mobiles, ont vu l'apparition des technologies numériques au début des années 1990. En Europe (*GSM*), au Japon (*PDC*) et aux Etats Unis (*PCS*) [1]. L'évolution du réseau radio mobile «1G» (1^{ère} génération «1G») à *GSM* (dit de 2^{ème} génération «2G») à l'*UMTS* (dit de 3^{ème} génération «3G») puis à la «4G» (4^{ème} génération) ensuite à «5G» (5^{ème} génération) passe par des générations intermédiaires comme le *GPRS*, *HSCSD* ou *EDGE*, *HSDPA* (3.5G) et *HSUPA* (3.75G) qui seront présentés dans les paragraphes suivants.

I.3 La première génération «1G»

La première génération de systèmes cellulaires (1G) reposait sur un système de communications mobiles analogiques. Cette génération a bénéficié de deux inventions techniques majeures des années 1970 : le microprocesseur et le transport numérique des données entre les téléphones mobiles et la station de base. Les appareils utilisés étaient particulièrement volumineux.

La première génération de systèmes cellulaires (1G) utilisait essentiellement les standards suivants :

- *AMPS* (Advanced Mobile Phone System), apparu en 1976 aux Etats-Unis, constitue le premier standard de réseau cellulaire. Utilisé principalement Outre-Atlantique, en Russie et en Asie, ce réseau analogique de première génération possédait de faibles mécanismes de sécurité rendant possible le piratage de lignes téléphoniques.
- *TACS* (Total Access Communication System) est la version européenne du modèle *AMPS*. Utilisant la bande de fréquence de 900 MHz, ce système fut notamment largement utilisé en Angleterre, puis en Asie (Hong-Kong et Japon).

- ETACS (Extended Total Access Communication System) est une version améliorée du standard TACS développé au Royaume-Uni utilisant un nombre plus important de canaux de communication [2].

I.3.1 Caractéristiques techniques

- ✓ Les canaux de contrôle sont des canaux de données opérant à 10 kbit/s ;
- ✓ Les canaux voix transportent les communications par signaux analogiques modulés en fréquence ;
- ✓ Bande de transmission de station de base : 869 à 894 MHz ;
- ✓ Bande de transmission du mobile : 824 à 849 MHz ;
- ✓ Espacement entre canaux montant et descendant : 45 MHz ;
- ✓ Largeur de bande d'un canal : 30 kHz ;
- ✓ Puissance maximale du mobile : 3 W ;
- ✓ Taille d'une cellule : 2 à 20 km ;
- ✓ Débit de transmission : 10 kbit/s.

Cette première génération de réseaux cellulaires utilisant une technologie analogique a été remplacée dès l'apparition d'une seconde génération plus performante utilisant une technologie numérique.

I.4 La deuxième génération «GSM»

Tel quel, le réseau GSM est adéquat pour les communications téléphoniques de la parole. En effet, il s'agit principalement d'un réseau commuté, à l'instar des lignes "fixes" et constitués de circuits, c'est-à-dire de ressources allouées pour la totalité de la durée de la conversation. Rien ne fut mis en place pour les services de transmission de données. La société Netscape allait donner un tour spectaculaire à un réseau de transmission de données, appelé Internet, en diffusant le premier logiciel de navigation grand public, articulé sur le protocole http et communément appelé web.

Comme le réseau GSM ne convenait guère pour la transmission de données, les évolutions récentes ont visé à accroître la capacité des réseaux en termes de débit mais à élargir les fonctionnalités en permettant par exemple l'établissement de communications ne nécessitant pas l'établissement préalable d'un circuit.

| | GSM | DCS 1800 |
|--|--------------------------------|------------------------------------|
| Bande de fréquences Uplink Downlink | 890 – 915 MHz 935 – 960 MHz | 1710 – 1785 MHz 1805 – 1880 MHz |
| Ecart duplex (entre les deux bandes) | 45 MHz | 95 MHz |
| Rapidité de modulation | 271 Kbps | |
| Débit de la voix | 13 Kbps (9,6 Kbps) | |
| Débit max de données | 12 Kbps | |
| Accès multiple | FDMA et TDMA | |
| Rayon des cellules | 0,3 Km à 30 Km | 0,1 à 4 Km |
| Puissance | 2 W (et 8 W) | 1W |

Tableau I.1 Caractéristiques du réseau GSM [3].

I.4.1 Architecture du réseau GSM

Le réseau radiotéléphonie a pour premier rôle de permettre des communications entre des abonnés mobiles et des abonnés du réseau téléphonique commuté (RTC).

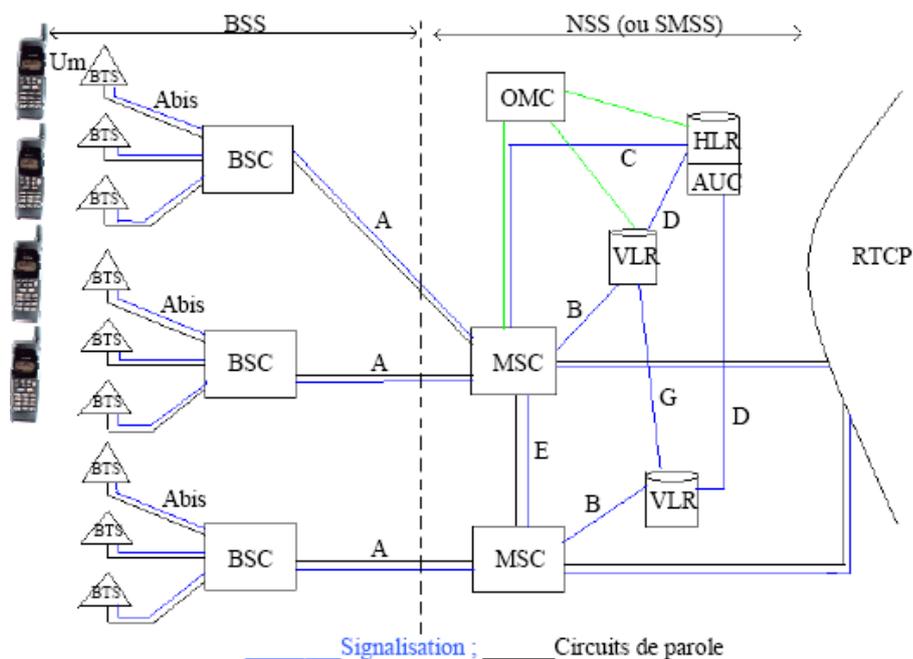


Figure I.1 Architecture GSM

Pour dépasser la borne des 14,4 [kb/s], débit nominal d'un canal téléphonique basculé en mode de transmission de données, l'ETSI a défini un nouveau service de données en mode paquet : le *General Packet Radio Service* (GPRS) qui permet l'envoi de données à un débit de 115 [kb/s] par mise en commun de plusieurs canaux [3].

I.4.2 Réseaux GPRS

Le service GPRS permet de considérer le réseau GSM comme un réseau à transmission de données par paquets avec un accès radio et des terminaux mobiles, le réseau GPRS est compatible avec des protocoles IP et X.25.

Des routeurs spécialisés SGSN et GGSN sont introduits sur le réseau GPRS. La transmission par paquet sur la voie radio permet d'économiser la ressource radio : un terminal est susceptible de recevoir ou d'émettre des données à tout moment sans qu'un canal radio soit monopolisé en permanence comme c'est le cas en réseau GSM.

Le débit maximal instantané annoncé pour le GPRS est de 171.2 Kbit/s même s'il est limité à 48 Kbit/s en mode descendant.

La mise en place d'un réseau GPRS permet à un opérateur de proposer de nouveaux services de type Data avec un débit de données 5 à 10 fois supérieur au débit maximum théorique d'un réseau GSM (Rappel débit max. en GSM : 9.6 Kbit/s) [4].

I.4.3 Réseaux EDGE (2.75 G)

EDGE (Enhanced Data rates for GSM Evolution) est un réseau de transition entre GPRS et UMTS, il permet un débit encore plus élevé.

EDGE est issu de la constatation que, dans un système cellulaire, tous les mobiles ne disposent pas de la même qualité de transmission. Le contrôle de puissance tente de pallier ces inégalités en imposant aux mobiles favorisés une transmission moins puissante. Cela permet plutôt d'économiser les batteries des terminaux que d'augmenter les capacités de transmission. EDGE permet à ces utilisateurs favorisés de bénéficier de transmissions plus efficaces, augmentant par conséquent le trafic moyen offert dans la cellule.

C'est associé au GPRS qu'EDGE revêt tout son intérêt, notamment grâce au principe d'adaptation de lien. L'adaptation de lien consiste à sélectionner le schéma de modulation et de codage le mieux adapté aux conditions radio rencontrées par le mobile [5]. Le réseau EDGE constitue finalement une étape vers le réseau UMTS.

I.5 La troisième génération «UMTS»

La troisième génération des réseaux mobiles se base sur la technologie UMTS (Universal Mobile Telecommunications Systems) appelé aussi 3GSM pour signifier l'interopérabilité avec les réseaux GSM, mais connue comme étant simplement 3G.

Son lancement prévu pour le début du siècle s'est vu retardé à cause de son coût de déploiement ainsi que de l'explosion de la bulle Internet [6] qui a touché le secteur des télécommunications.

I.5.1 UMTS

L'UMTS repose sur la technique d'accès multiple W-CDMA, une technique dite à étalement de spectre, alors que l'accès multiple pour le GSM se fait par une combinaison de division temporelle TDMA et de division fréquentielle FDMA.

Lors de la CAMR de 1992 organisée par l'UIT à Torre Molinos (province de Málaga en Espagne), les bandes suivantes avaient été désignées pour le système IMT-2000 (Connu sous le nom UMTS) :

- Duplex temporel TDD : 1885 à 1920 MHz (bande de 35 MHz) et 2010 à 2025 MHz (bande de 15 MHz).
- Duplex fréquentiel FDD : 1920 à 1980 MHz (uplink de 60 MHz) et 2110 à 2170 MHz (downlink de 60 MHz).
- Bandes satellites : 1980 à 2010 MHz (uplink de 30 MHz) et 2170 à 2200 MHz (downlink de 30 MHz).

La bande passante d'un canal est de 5 MHz avec une largeur spectrale réelle de 4,685 MHz.

I.5.2 Débit de transmission

L'UMTS permet théoriquement des débits de transfert de 1,920 Mb/s, mais fin 2004 les débits offerts par les opérateurs dépassent rarement 384 Kbs. Néanmoins, cette vitesse est nettement supérieure au débit de base GSM qui est de 9,6 Kb/s.

Le débit est différent suivant le lieu d'utilisation et la vitesse de déplacement de l'utilisateur :

- En zone rurale : 144 Kb/s pour une utilisation mobile (voiture, train, etc.) ;
- En zone urbaine : 384 Kb/s pour une utilisation piétonne ;
- Dans un bâtiment : 2000 Kb/s depuis un point fixe.

I.5.3 Architecture

Le réseau UMTS est composé d'un réseau d'accès UTRAN (UMTS Terrestrial Radio Access Network) et d'un réseau cœur.

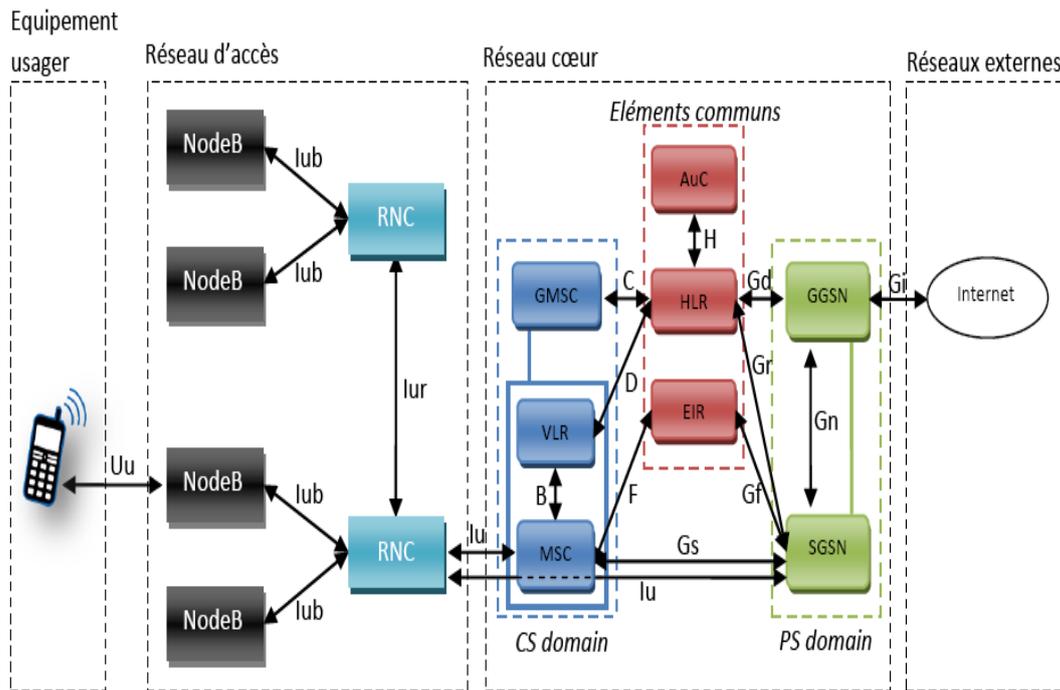


Figure I.2 Architecture globale du réseau UMTS [7].

I.5.4 Technologie HSDPA (3.5G)

La troisième génération (*UMTS*) impose des investissements énormes pour des débits qui ne sont pas éloignés de ceux du *GPRS* et se voit rapidement remplacée par la nouvelle génération (*3.5G*), appelée *HSDPA*. Cette nouvelle technologie offre des débits pouvant aller au-delà de 10 Mbps sur le lien descendant [8]. Le *HSDPA* peut être installé et déployé sans changer radicalement l'architecture de l'*UMTS*. Il permet du coup aux opérateurs de réaliser cette évolution à moindre coût.

I.5.5 Technologie HSUPA (3.75G)

La *3.75G* est une variante de *HSDPA* sur la voie montante. *HSUPA* peut être considéré comme le successeur de *HSDPA*, il porte un débit montant (*Up Link*) à 5,8 Mbps théorique, le flux descendant (*Down Link*) étant de 14 Mbps comme en *HSDPA* [9]. L'intérêt de cette technologie sera d'offrir la possibilité d'émettre vers d'autres mobiles toutes sortes des documents électroniques (images, vidéos...) favorisant ainsi le développement de l'*Internet* haut débit mobile.

I.6 La quatrième génération «LTE»

La 4G est la quatrième génération des standards pour la téléphonie mobile. Succédant à la 2G et la 3G, elle permet le « très haut débit mobile », c'est-à-dire des transmissions de données à des débits théoriques supérieurs à 100 Mbit/s, voire supérieurs à 1 Gbit/s (débit minimum défini par l'UIT pour les spécifications IMT-Advanced. En pratique, les débits sont de l'ordre de quelques dizaines de Mbit/s

selon le nombre d'utilisateurs, puisque la bande passante est partagée entre les terminaux actifs des utilisateurs présents dans une même cellule radio.

Une des particularités de la 4G est d'avoir un « cœur de réseau » basé sur IP et de ne plus offrir de mode commuté (établissement d'un circuit pour transmettre un appel « voix »), ce qui signifie que les communications téléphoniques utilisent la voix sur IP (en mode paquet) [10].

I.6.1 Architecture du réseau LTE

La technologie LTE a rapporté une efficacité spectrale, amélioration de débit, augmentation de couverture et du nombre d'appels supportés par la cellule. De même que ces précédentes, elle est caractérisée par son architecture qui comporte :

- Un réseau d'accès : L'E-UTRAN ;
- Un réseau Cœur : Réseau tout-IP.

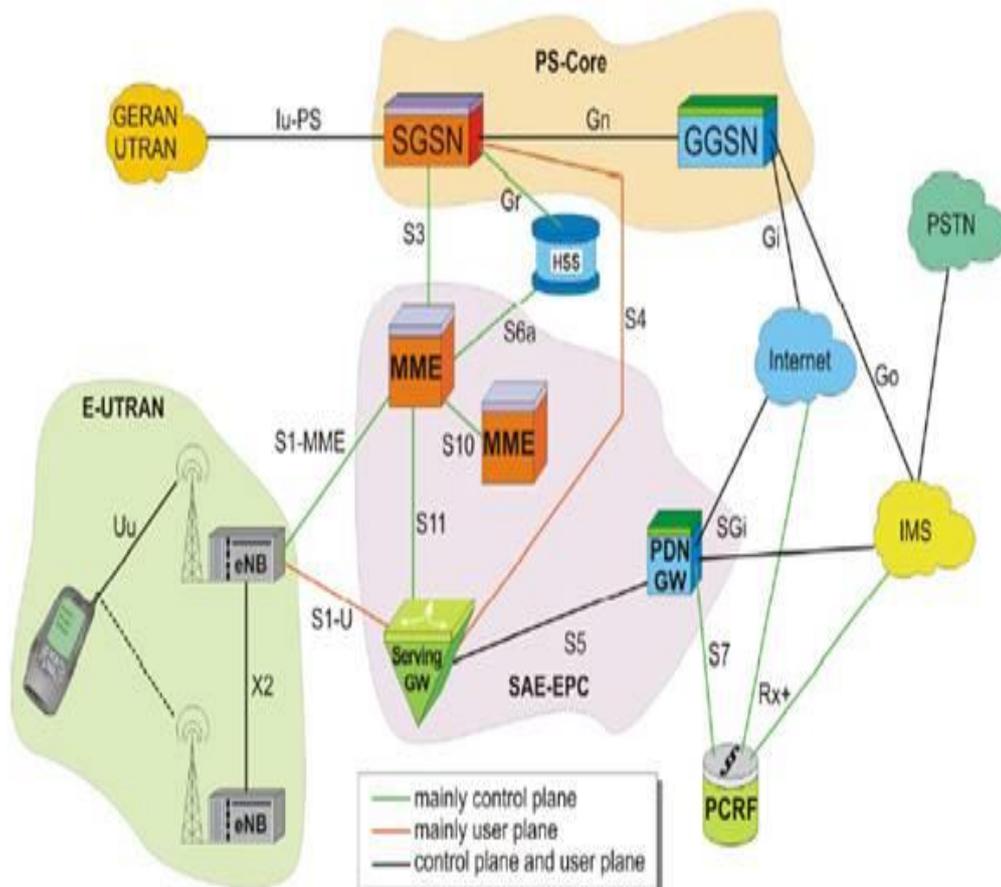


Figure I.3 Architecture du réseau LTE.

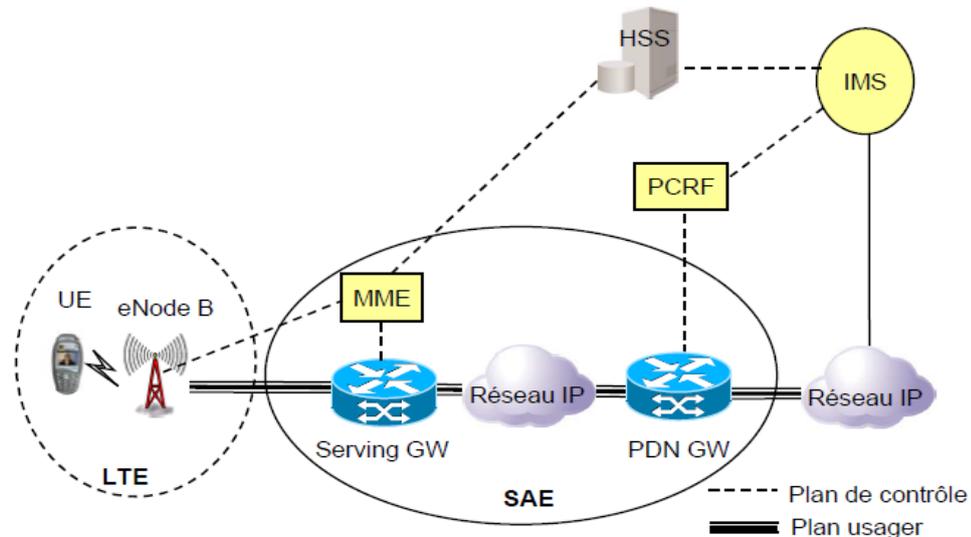


Figure I.4 Architecture EPS.

En réalité, l'ensemble de ce réseau s'appelle EPS (*Evolved Packet System*), il est composé des deux parties : le réseau évolué d'accès radio LTE, et le réseau cœur évolué appelé SAE (*System Architecture Evolution*).

I.6.2 Caractéristiques des systèmes sans fil 4G

Voici quelques fonctionnalités possibles des systèmes 4G :

- Prise en charge multimédia interactives, voix, vidéo, Internet sans fil et autres services large bande.
- Haute vitesse, haute capacité et à faible coût par bit.
- La mobilité mondiale, la portabilité des services, réseaux mobiles évolutifs.
- De commutation transparente, la variété de services basés sur la qualité de service (QoS).
- Une meilleure planification et des techniques de contrôle d'admission d'appel.
- Les réseaux ad-hoc et réseaux multi-sauts.
- Il offre un débit de donnée crête sur la voix montante de 50 Mbits/s.
- Un débit pic théorique de 100 Mbits/s à 300 sur la voix descendante et un temps d'aller-retour de moins de 10 ms sur l'interface radio (RAN).
- LE LTE utilise une largeur de bande de 2x20 MHz et supporte le duplexage temporel (TDD) ou fréquentiel (FDD).
- La taille des cellules est de 5 km pour des performances optimales.

Ces performances sont possibles grâce à l'utilisation d'antennes MIMO (Multiple Input Multiple Output) avec les techniques de transmission OFDM (*Orthogonal Frequency Division Multiplexing*), d'accès multiples : OFDMA (*OFDM Multiple Access*) sur la voie descendante et la technique SC-FDMA (*Single-Carrier FDMA*) sur la voie montante réduire le problème du canal.

I.6.3 LTE Advanced

- LTE-Advanced est une norme de réseau de téléphonie mobile de 4G génération qui fait partie (avec le Gigabit WiMAX) des technologies réseaux retenues par l'Union Internationale des Télécommunications (UIT) comme norme 4G IMT-Advanced; il représente la « vraie » 4G.
- Le LTE-Advanced est une évolution de la norme LTE qui lui permet d'atteindre le statut de « véritable norme 4G », tout en gardant une compatibilité ascendante complète avec le LTE, au niveau des terminaux et au niveau du réseau, grâce aux fréquences identiques et aux codages radio qui sont ceux déjà utilisés dans les réseaux LTE.
- La norme LTE-Advanced impose des critères de base sur le débit et sur la latence, comme le résume le tableau suivant :

| | | LTE | LTE-Advanced |
|---|-----------|------------------|-------------------|
| Débits crêtes Maximums | DownLink | 300 Mb/s | 1 Gb/s |
| | UpLink | 75 Mb/s | 500 Mb/s |
| Bandes de fréquence | | 1.4 à 20 MHz | 100 MHz |
| Latence | Données | 10 ms | 10ms(RTT) |
| | Session | 100 ms | 50ms |
| Efficacité spectrale DL/UL | Max | 5.0/2.5 b/s/Hz | 30/15 b/s/Hz |
| | Moyen | 1.8/0.8 b/s/Hz | 2.6/0.2 b/s/Hz |
| | En limite | 0.04/0.02 b/s/Hz | 0.009/0.07 b/s/Hz |

Tableau I.2 Différents paramètres du LTE-Advanced [11].

La 4G à peine sortie, testée et approuvée que les opérateurs se lancent déjà dans les investissements pour la 5G. La 5G est la 5e génération de standards pour la téléphonie mobile, faisant suite à la 4G. La 5G, qui est censée multiplier par 1.000 la capacité des réseaux actuels, est non seulement prévue pour les *Smartphones* mais elle va aussi et surtout favoriser l'explosion de l'Internet des objets. Toute la filière télécoms s'y prépare.

I.7 la cinquième génération «5G»

La cinquième génération de la technologie mobile (5G) est positionnée pour répondre aux demandes et de contextes d'affaires de 2020 et au-delà. Il est prévu pour permettre à une société pleinement mobile et connectée et d'habilitier les transformations socio-économiques dans d'innombrables façons dont beaucoup sont inimaginables aujourd'hui, y compris ceux pour la productivité, la durabilité et le bien-être. Les exigences d'une société entièrement mobile et connectée sont caractérisées par la croissance phénoménale de la connectivité et de la densité / volume du trafic, la densification multicouche nécessaire pour permettre cela, et le large éventail de cas d'utilisation et des modèles d'affaires prévu.

5G ne sera pas seulement une évolution des réseaux mobiles à large bande. Il apportera de nouvelles capacités de réseaux et de services uniques. Tout d'abord, il permettra d'assurer la continuité de l'expérience utilisateur dans des situations difficiles telles que la haute mobilité (par exemple dans les trains), les zones très denses ou peu peuplées, et des voyages couverts par les technologies hétérogènes. En outre, 5G sera un facteur clé pour l'Internet des objets en fournissant une plateforme pour connecter un nombre massif de capteurs, actionneurs et appareils rendus avec l'énergie et de transmission des contraintes strictes. En outre, des services stratégiques nécessitant une très haute fiabilité, la couverture mondiale et / ou très faible latence, qui sont jusqu'à présent gérées par des réseaux spécifiques, généralement la sécurité du public, deviendra supporté nativement par l'infrastructure 5G.

I.7.1 Pourquoi est-il nécessaire de 5G?

La différence majeure, d'un point de vue de l'utilisateur, entre les générations actuelles et des techniques 5G doivent être autre chose que l'augmentation du débit maximal quelque chose ; d'autres exigences comprennent :

- Baisse de la consommation de la batterie.
- Probabilité de coupure inférieure ; une meilleure couverture et données disponibles à des taux élevés bord de la cellule.
- Plusieurs voies de transfert de données simultanées.
- Autour de débit de données 1 Gbps en mobilité.
- Plus de sécurité ; meilleure radio cognitive / SDR sécurité.
- Niveau du système supérieur de l'efficacité spectrale.
- World Wide Web Wireless (WWW), les applications Web sans fil à base qui comprennent complète capacité multimédia au-delà des vitesses 4G.
- plus d'applications avec l'intelligence artificielle (IA) quand la vie humaine sera entourée de capteurs artificiels qui pourraient être en communication avec les téléphones mobiles.

- Sans danger pour la santé humaine.
- Les frais de trafic moins cher en raison du faible coût de déploiement de l'infrastructure [12].

I.7.2 Concepts clé de la 5G

La figure I.5 montre la conception du téléphone portable 5G, prouve que les appuis 5G ouvrent l'architecture sans fil (OWA), le protocole de transport ouvert (OTP) avec beaucoup d'applications telles que VoIP, télévision dans la définition élevée, divertissement, GPS, radio et beaucoup plus.



Figure I.5 Concept de Téléphone portable 5G [13].

I.7.3 Comparaison avec modèle OSI

Comparons la pile de protocoles de 5G sans fil avec le modèle OSI en utilisant la figure suivant :

| | |
|--------------|----------------------------|
| Application | Application |
| Présentation | |
| Session | Open Transport Protocol |
| Transport | |
| Réseau | couche réseau supérieure |
| | couche réseau basse |
| Liaison | Open Wireless Architecture |
| Physique | |

Tableau .I.3 Comparaison avec modèle OSI [14].

I.7.4 Architecture de fonctionnement

La figure I.6 montre le modèle de système qui propose la conception de l'architecture de réseau pour les systèmes mobiles 5G, ce qui est tout-IP modèle basé sur des réseaux sans fil et mobiles interopérabilité.

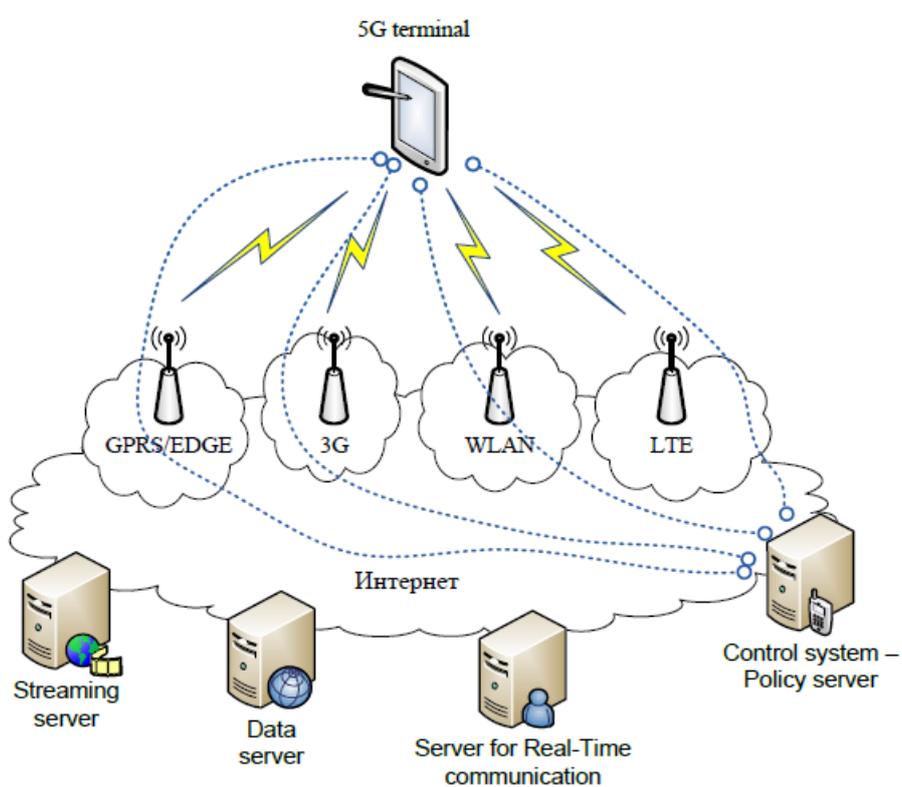


Figure.I.6 Architecture fonctionnelle de 5G Wireless [15].

I.7.5 Comparaison entre les générations de technologies mobiles (1G -5G)

| Génération | 1G | 2G | 3G | 4G | 5G |
|-----------------------------|---------------------------|---|--|---|--|
| Caractéristiques | | | | | |
| Année | 1980 | 1990 | 2000 | 2010 | 2020 |
| Débit max de données | 2kbps | 64kbps | 2Mbps | 200Mbps | <1 Gbps |
| Standards | AMPS | TDMA, CDMA, GSM,GPRS | WCDMA | Norme unifiée unique | Norme unifiée unique |
| Technologie | Analogique cellular | Digital cellular | Large bande avec CDMA, IP technologie | Unified IP et combinaison transparente de la large bande, LAN, WAN & WLAN | Unified IP et combinaison transparente de la large bande, LAN, WAN, WLAN & WWW |
| Services | Technologie mobile (Voix) | Voix numérique, SMS, grande capacité en paquets | Audio intégré de haute qualité, de la vidéo et des données | Accès à l'information dynamique, terminaux intelligents | Accès à l'information dynamique, terminaux intelligents avec Intelligence artificielle |
| Multiplexage | FDMA | TDMA CDMA | CDMA | CDMA | CDMA |
| Commutation | Circuit | Circuit et Paquet | Paquet | Tous les paquets | Tous les paquets |
| Réseau central | PSTN | PSTN | Réseau de transmission par paquets | Internet | Internet |
| Handoff | Horizontal | Horizontal | Horizontal | Horizontal et Vertical | Horizontal et Vertical |

Tableau I.4 Générations mobiles (1G - 5G) [16].

I.7.6 Bande de fréquence 5G

La 5G se caractérise par une bande de fréquence plus haute que l'actuelle bande utilisée pour la 4G (voir figure I.7). Jusqu'à aujourd'hui, jamais un transfert de donnée d'une vitesse de 1 Gbps, n'a été effectué sur une bande de fréquence supérieure à 6 GHz. En cause, une perte rapide des ondes et une réduction de la distance de diffusion.

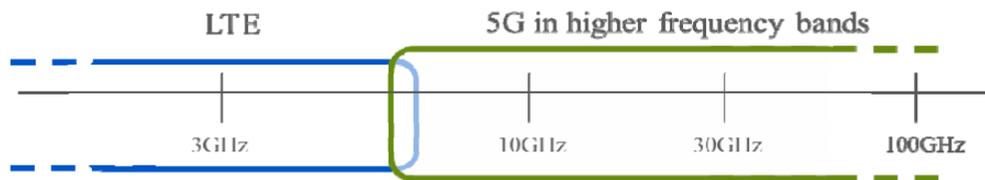


Figure I.7 LTE et 5G à des fréquences plus élevées.

Pour arriver à ce résultat, Samsung a mobilisé 64 antennes vives servant à localiser l'appareil mobile en temps réel et à transférer les données. La 5G n'est pour l'instant qu'un projet, mais qui pourrait être lancé d'ici 2020 [17].

Samsung a réussi son premier test de transfert en 5G. Le constructeur Sud-Coréen annonce une date de mise en service de la technologie 5G pour 2020. Le test opéré par Samsung a atteint 1 Gb/s (125 Mo/s) sur une distance de 2 Km sur une bande de fréquence de 28 GHz.

Le géant coréen s'est appuyé sur une bande de fréquences à 28 GHz. Une gamme de très hautes fréquences généralement désertée des équipementiers à cause de leurs faibles capacités de propagation. Mais Samsung déclare avoir résolu ce problème grâce à une technologie maison, la *Hybrid Adaptive Array Technology*. Une technologie visiblement similaire à celle utilisée dans le développement d'un Wifi à 4,6 Gbit/s en 60 GHz récemment évoqué.

L'illustration suivante (figure I.8) montre les bandes de fréquences mm-wave possibles pour 5G :

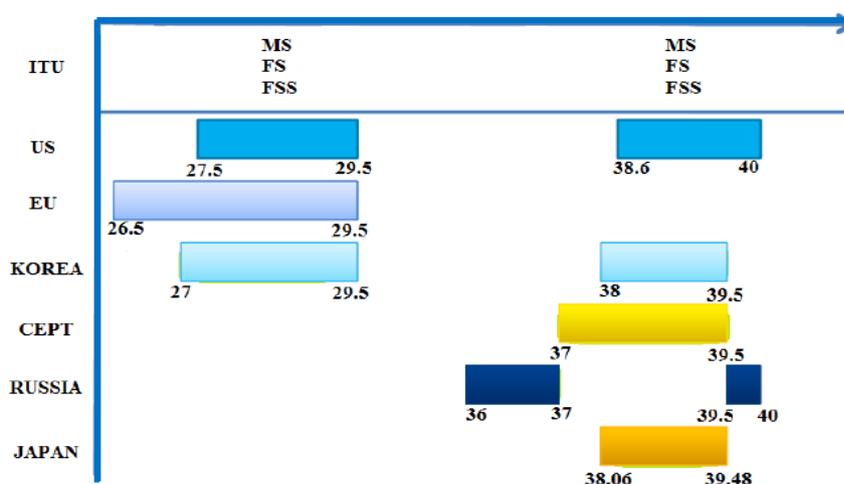


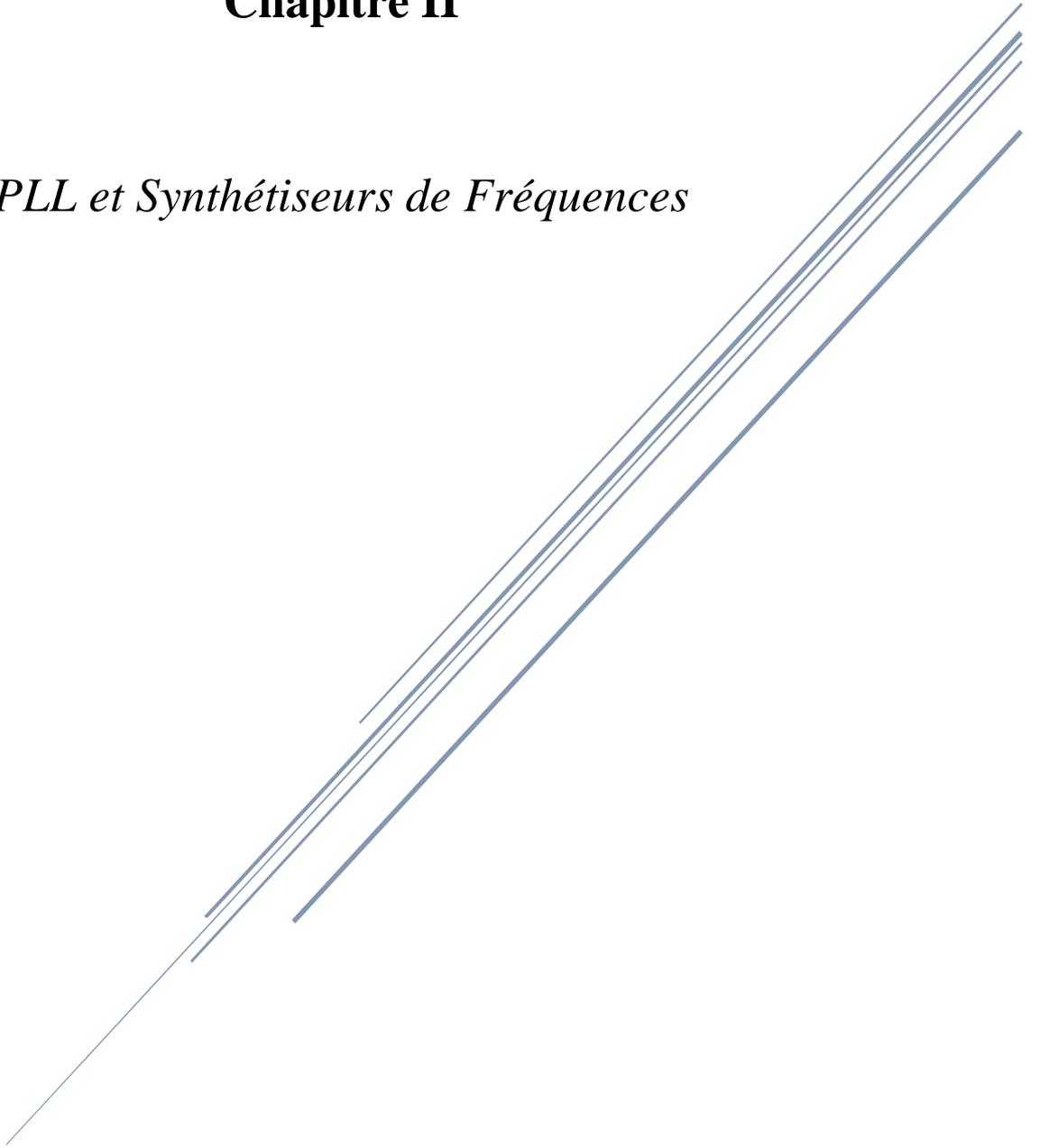
Figure I.8 Les bandes de fréquences 5G mmWAVE Accès [18].

I.8 Conclusion

Dans ce premier chapitre, nous avons présenté d'une façon générale les différentes générations de téléphone mobile, de la première génération jusqu'à la cinquième génération, passons par des générations intermédiaires comme (GPRS, *HSUPA*, LTE Advanced). Le chapitre suivant présente un rappel sur la synthèse de fréquences à base de boucles à verrouillage de phase (PLL), une description générale de chaque bloc constituant le synthétiseur de fréquence ainsi une modélisation mathématique du synthétiseur de fréquence à base de PLL à division entière pour des applications dans les émetteurs/récepteurs radiofréquences.

Chapitre II

PLL et Synthétiseurs de Fréquences



II.1 Introduction

La synthèse de fréquences consiste à générer à partir d'un signal fourni par un oscillateur de référence, un signal de fréquence différente. La stabilité de fréquence de l'oscillateur de référence est alors transférée au signal généré dont la fréquence correspond aux besoins de l'utilisateur.

Un synthétiseur de fréquences est par extension un instrument qui permet de générer, dans une gamme de fréquences donnée, un signal dont on peut ajuster la fréquence et l'amplitude et auquel il peut être imposé une modulation de fréquence, de phase ou d'amplitude [19].

II.2 La synthèse de fréquences à base de PLL

La PLL est sans aucun doute le système le plus utilisé dans la synthèse de fréquence. C'est un synthétiseur de fréquences indirect. Le signal de sortie est divisé pour être comparé en phase et en fréquence avec un signal de référence ayant une fréquence plus basse. Indirectement, c'est le signal de référence qui se retrouve en sortie multiplié par ce rapport de division. La PLL permet donc de générer un signal haute fréquence à partir d'une référence de fréquence plus basse. La plupart des blocs fonctionnels d'une PLL peuvent être numérisés, ce qui offre de grandes possibilités d'intégration, de programmation, de reconfigurabilité, etc. En particulier, les diviseurs de fréquence sont d'ailleurs aujourd'hui majoritairement numériques, et le choix de la fréquence de sortie peut alors se faire de manière logicielle [20].

II.3 Caractéristiques fondamentales des synthétiseurs de fréquences

Avant d'aborder les différents types de synthèse, il faut en énumérer les caractéristiques essentielles.

II.3.1 Gamme de fréquence et pas

La gamme de fréquence est définie à partir des bornes extérieures d'utilisation. Le pas est l'intervalle minimal de fréquences discrètes fournies. On peut rencontrer des pas allant du centième de hertz jusqu'à quelques MHz, qui correspond à la fréquence de référence pour une PLL à division entière.

II.3.2 Pureté spectrale

Un oscillateur fournit un signal qui, examiné à l'analyseur de spectre, présente une raie à la fréquence principale d'oscillation et des raies avoisinantes liées aux parasites. Ces fréquences parasites non-harmoniques (appelées aussi « spurious ») peuvent correspondre à des produits de mélanges que l'on ne peut totalement éliminer.

II.3.3 Temps d'acquisition ou temps d'accrochage

C'est le temps de stabilisation. Cette notion n'a d'intérêt que pour les appareils à rythme de changement de fréquence rapide (balayage automatique, recherche de canal libre avant émission, . . .). On peut rencontrer des temps d'acquisition de quelques millisecondes à quelques microsecondes.

II.3.4 Autres caractéristiques

Nous pouvons encore citer :

- ✓ Le jitter qui représente la variance temporelle des instants de commutation d'un signal et particulièrement celui de l'horloge ;
- ✓ La précision ou tolérance relative ;
- ✓ La sensibilité aux perturbations, celles-ci étant dues aux couplages électroniques, aux vibrations, au bruit généré par les alimentations.

II.4 Différents types de synthétiseurs de fréquences

Le fonctionnement correct des synthétiseurs de fréquence est décrit par trois principes :

- La synthèse directe qui existe depuis les années 1930 [21] ;
- La synthèse indirecte utilisant le principe de la boucle à verrouillage de phase ;
- La synthèse numérique micro-programmée plus récente, qui n'a rien de commun avec les deux précédentes ;

Les synthétiseurs classiques utilisent le jeu des opérations arithmétiques sur les fréquences.

- L'addition ou la soustraction de deux fréquences sont obtenues en utilisant des circuits mélangeurs (quadratiques ou multiplicateurs).
- La division d'une fréquence par un nombre réalisée avec des compteurs constitués de N bascules.
- La multiplication provient de deux principes : soit l'extraction d'harmoniques de rang n par rapport au fondamental, soit l'utilisation d'une PLL.

II.5 Synthèse indirecte (avec PLL)

Ce procédé a été de plus en plus utilisé, grâce à l'arrivée des circuits intégrés. La définition de la synthèse indirecte est liée au fait que, pour multiplier une fréquence, il faut insérer un diviseur dans la chaîne de retour. Comparativement, la synthèse directe utilise la multiplication en sélectionnant les harmoniques du signal incident. Ce système présente l'avantage d'une grande simplicité et d'une grande facilité de commande manuelle ou programmée. Il doit générer un signal de fréquence très précise et pour les systèmes transmettant sur plusieurs canaux, variant par pas programmables sur toute la bande

de fréquence. Ce pas de synthèse peut avoir, dans certains systèmes, une valeur très faible par rapport à la fréquence de la porteuse. Outre la précision de la fréquence et le pas de synthèse, d'autres spécifications sont définies pour le synthétiseur de fréquence, en particulier le temps d'établissement, le bruit de phase et les raies spectrales parasites [22].

II.5.1 Synthétiseur de fréquences à division entière

L'architecture classique d'un synthétiseur de fréquence à division entière utilisant une boucle à verrouillage de phase (PLL) est illustrée sur la figure II.1. Cette architecture est composée des éléments suivants : un comparateur phase-fréquence suivi d'une pompe de charge, un filtre de boucle, un oscillateur contrôlé en tension et un diviseur de fréquence. La sélection du canal à synthétiser se fait en agissant sur le rapport de division N , comme le montre la figure II.1.

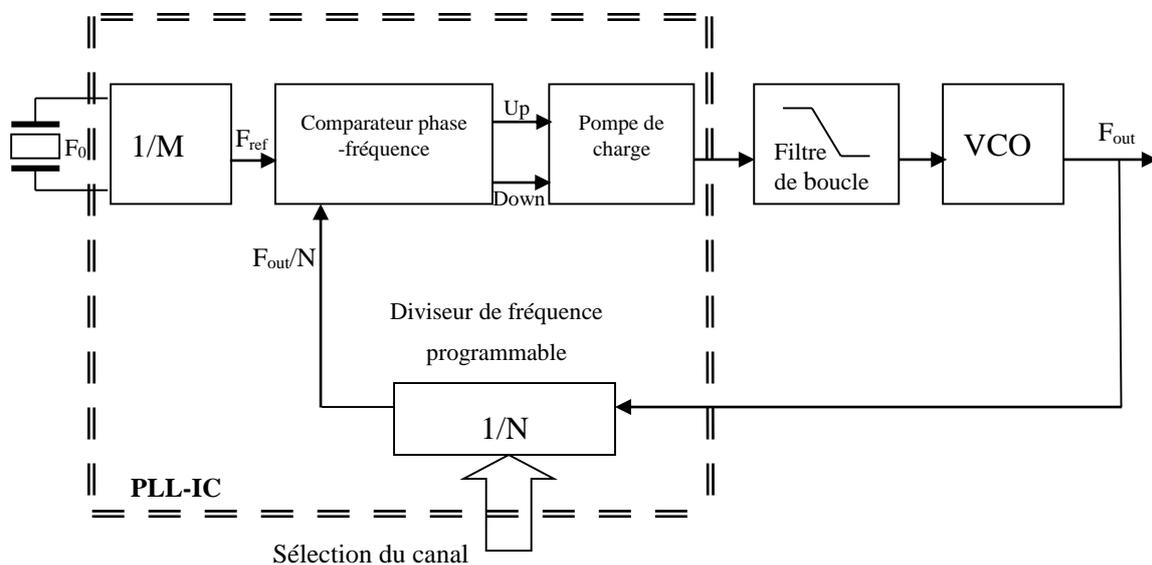


Figure II.1 Synthétiseur de fréquences classique à base de PLL.

Il consiste en un asservissement de la phase et de la fréquence d'un signal de sortie sur la phase et la fréquence d'un signal d'entrée de référence, à un facteur N près, N étant le rang de division de la boucle de retour. Ainsi, lorsque la boucle est verrouillée, la fréquence du signal de sortie F_{out} est proportionnelle à la fréquence du signal d'entrée F_0 suivant la relation,

$$F_{out} = \frac{N}{M} F_0$$

Pour réaliser un synthétiseur de fréquences, deux possibilités sont offertes :

- Soit faire varier la fréquence de référence. La plage de variation de la fréquence de sortie est alors égale à la plage de variation de F_{ref} multipliée par N .

○ Soit utiliser une fréquence de référence fixe, généralement générée à partir d'un oscillateur à quartz, et faire varier le rapport de division N en utilisant un compteur programmable dans la boucle de retour.

Les synthétiseurs de fréquences fractionnaires utilisent la deuxième solution pour générer toute une plage de fréquence. Avec ce type de synthétiseur, la valeur de la fréquence de référence F_{ref} est fixée par le pas de fréquence de sortie souhaité. La fréquence de coupure du filtre de boucle qui définit la bande passante de la PLL, doit être suffisamment faible pour filtrer les raies parasites résultantes du processus de comparaison (comparateur de phase et pompe de charges).

Dans les applications cellulaires actuelles, pour lesquelles le pas de fréquence est de l'ordre de la centaine de kHz, les bandes passantes des PLLs à division entière sont faibles et entraînent des temps d'établissement relativement élevés, de l'ordre de plusieurs centaines de microsecondes. Il y a un compromis à faire entre le temps de réponse du synthétiseur de fréquences à division entière et son pas de résolution fréquentiel.

Deux choix s'offrent aux concepteurs :

– Soit la réduction du temps d'accrochage : un meilleur temps d'accrochage est obtenu par un élargissement de la bande passante de la boucle. Pour conserver une atténuation suffisante des raies parasites de comparaison, la fréquence de référence doit être également augmentée ce qui permet d'élargir la bande passante de la PLL et donc d'abaisser ainsi le plancher de bruit de phase. La combinaison d'une bande passante plus large et d'un plancher de bruit de phase plus faible permet d'obtenir un bruit de phase global plus faible. En contrepartie, le pas de fréquence est augmenté en même temps que la fréquence de référence.

– Soit la diminution du pas de fréquence : pour obtenir un faible pas de fréquence, il suffit de diminuer la fréquence de référence. Pour atténuer les raies parasites de comparaison, la bande passante de la boucle doit également être réduite. Ceci engendre une augmentation du temps d'accrochage et une hausse du plancher de bruit de phase. La combinaison de la faible bande passante et du plancher de bruit élevé détériore le bruit de phase global [22].

II.5.2 Synthétiseur de fréquences à division fractionnaire

Un synthétiseur fractionnaire peut être considéré comme un synthétiseur entier dont le rang de division est changé dynamiquement conduisant ainsi à un rang de division moyen non entier (ou fractionnaire). Si le rang de division n'est plus entier, la fréquence de référence peut être augmentée sans modifier le pas de fréquence. L'augmentation de la fréquence de référence entraîne celle de la fréquence de coupure du filtre de boucle (et donc de la bande passante de la PLL). Comme la bande passante est élargie et que le rang de division est plus faible, le bruit de phase dans la bande est amélioré.

La résolution d'un synthétiseur de fréquences à division fractionnaire est fixée par la partie fractionnaire du rang de division.

II.5.3 Synthétiseur de fréquences à séquence numérique

Dans une optique d'intégration des émetteurs-récepteurs dans une technologie silicium faible coût, de nouvelles architectures de synthétiseurs entièrement numériques sont apparues. Ces synthétiseurs sont communément appelés synthétiseurs de fréquences à séquence numérique ou désignés par le terme anglais *Direct Digital Synthesizer (DDS)*.

Les principaux avantages de cette structure de synthétiseur de fréquences à séquence numérique résident dans la rapidité de l'accrochage et dans la qualité du bruit de phase de sortie si la fréquence synthétisée est suffisamment faible. En effet, le temps d'établissement du synthétiseur de fréquences à séquence numérique est lié au retard des opérateurs logiques et du filtre passe-bas, et peut être extrêmement faible ($2 \mu s$). Comme la fréquence de sortie est toujours inférieure à celle de l'horloge, un phénomène de division de fréquence apparaît et engendre une amélioration du bruit de phase de sortie dans la copie du bruit de phase du signal d'horloge. Cependant, le bruit de phase d'un DDS est généralement fixé par celui du convertisseur. En contrepartie, la limitation de cette structure est liée à la vitesse et à la résolution du convertisseur numérique-analogique. Ces paramètres engendrent une erreur dans la représentation du signal sinusoïdal de sortie qui se traduit dans le spectre de sortie par des raies parasites. Pour que le DDS atteigne des performances raisonnables en terme de bruit de phase et de raies parasites, le convertisseur numérique-analogique classique devrait avoir des caractéristiques et performances difficiles à envisager (limitation de la fréquence d'échantillonnage à quelques dizaines voire centaines de MHz et dégradation du plancher de bruit et de la consommation avec la fréquence d'échantillonnage) [22].

II.6 Description des éléments constitutifs de la PLL

II.6.1 La source de référence

Le signal de référence F_0 (voir figure II.1) doit posséder des caractéristiques élevées en termes de stabilité. Il est délivré par un oscillateur à cristal, généralement un quartz. C'est sur cette fréquence de référence que le signal de sortie de la PLL va se synchroniser.

II.6.2 Comparateur phase- fréquence (PFD)

Le détecteur de phase est un circuit à deux entrées qui donne une tension de sortie proportionnelle au déphasage entre les deux fréquences d'entrée. Un exemple du comparateur de phase classique est représenté sur la figure II.2.

Un comparateur phase-fréquence génère en sortie deux signaux (S_{up} et S_{down}). Lorsque l'entrée E_1 est en avance de phase sur l'entrée E_2 alors S_{up} est au niveau haut et S_{down} au niveau bas. Lorsque E_1 est en retard de phase sur E_2 , on obtient la configuration inverse, c'est à-dire S_{up} au niveau bas et S_{down} au niveau haut. Lorsque les deux signaux sont synchronisés, S_{up} et S_{down} sont tous les deux au niveau bas. La détection de l'avance ou du retard de phase d'un signal par rapport à un autre se fait sur les fronts montants. La figure II.3 illustre le principe de fonctionnement du PFD.

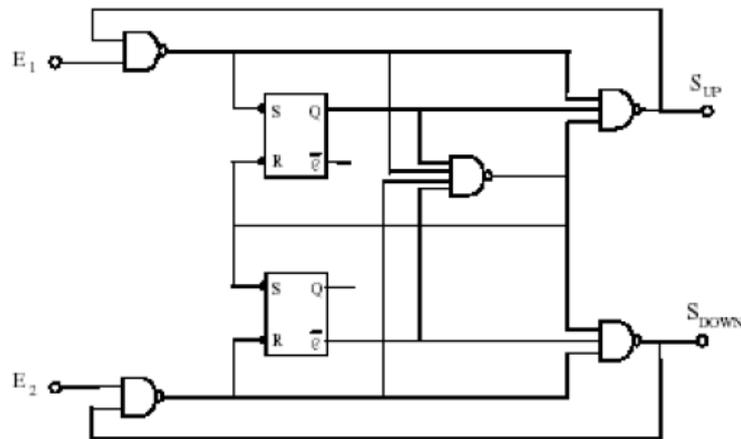


Figure II.2 Circuit d'un comparateur numérique de phase-fréquence.

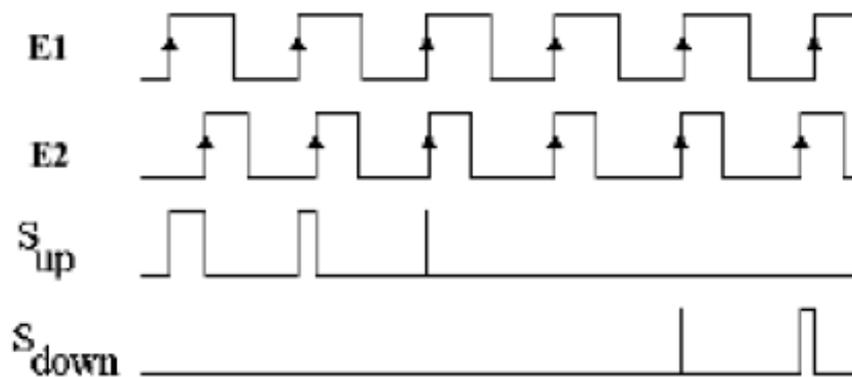


Figure II.3 Diagrammes des différents signaux.

Plusieurs phénomènes sont à prendre en compte lors de la conception d'un comparateur de phase et de fréquence. D'abord, si l'erreur de phase varie très rapidement, il peut y avoir perte du verrouillage de la boucle. Ensuite, un autre problème qui peut intervenir sur la qualité d'un comparateur de phase et de fréquence est l'existence de « zones mortes » qui correspondent au gain nul de la pompe de charge. Ce phénomène se produit lorsque le déphasage, très faible, entre la sortie du VCO et la référence n'engendre pas d'impulsion de courant du fait du temps de réponse des circuits électroniques. Le gain de la boucle étant nul, la phase du VCO n'est plus asservie par la boucle et le bruit de phase de la PLL augmente.

II.6.3 Pompe de Charge

La pompe de charge est un circuit généralement placé après le comparateur phase fréquence pour piloter l'oscillateur contrôlé en tension dans un système de boucle à verrouillage de phase. Elle permet de combiner les deux signaux de sortie du comparateur S_{up} et S_{down} en un seul signal, ce qui est généralement nécessaire pour piloter le VCO. L'association de ces deux circuits permet ainsi d'avoir une plage de capture de la PLL limitée à la plage de variation de la fréquence du VCO et une erreur de phase statique nulle lorsque la boucle est verrouillée. La figure II.4 présente un exemple de circuit de pompe de charge. Le signe du courant de sortie I_{pompe} de la pompe de charge varie selon l'état des entrées S_{up} et S_{down} . Lorsque S_{up} est à son niveau haut, I_{pompe} est positif et lorsque S_{down} est à son niveau haut, I_{pompe} est négatif. La figure II.5 décrit le comportement de la pompe de charge.

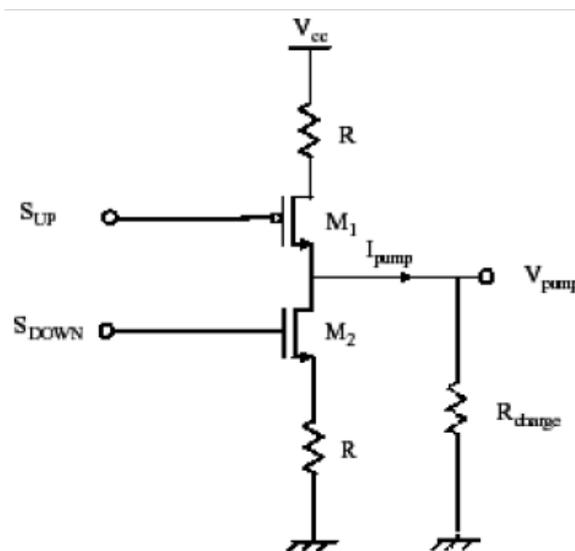


Figure II.4 Circuit de la pompe de charge

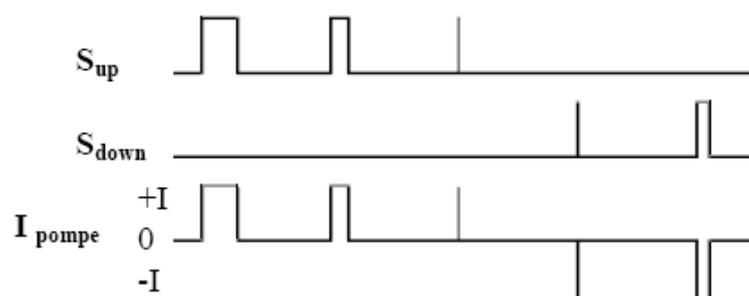


Figure II.5 Fonctionnement de la pompe de charge

II.6.4 Le filtre de boucle

Le filtre de boucle a pour fonction de filtrer la sortie du circuit de pompe de charge afin d'éliminer les composantes hautes fréquences sur la tension de contrôle du VCO. De par le choix des valeurs des composants qui le constituent, le filtre de boucle est l'élément qui garantit la stabilité de la PLL. Les

paramètres tels que le temps d'établissement, la bande passante et le bruit de phase dépendent de ce filtre. Les sorties du détecteur de phase sont associées en un seul signal par la pompe de charge. Ce signal résultant est ensuite appliqué à un filtre passe-bas pour que la tension de sortie du comparateur de phase (détecteur de phase) ne varie pas trop rapidement. Car si la tension d'erreur varie trop rapidement la tension de correction envoyée à l'oscillateur (VCO) fera en sorte que la fréquence de sortie de l'oscillateur sera soit trop haute ou trop basse et qu'il faudra ramener la fréquence trop rapidement et on dépassera la valeur dans l'autre direction. Donc en ralentissant la tension de correction par une capacité, on s'assure que l'ajustement se fait lentement et pas trop fortement.

Il existe trois types de filtres de boucle du second ordre : passif RC, actif RC et actif PI (proportionnel intégral). Le filtre passif RC du second ordre (ou de troisième ordre) est le plus employé. L'utilisation d'un filtre passif évite l'injection dans la PLL de la contribution en bruit d'un amplificateur opérationnel inhérent au filtre actif. La conception de la plupart des PLLs s'appuie donc sur une structure passive RC. La figure II.6 présente un filtre passif du deuxième ordre. Le filtre de la boucle est une impédance complexe en parallèle avec la capacité d'entrée du VCO. On note que la capacité parallèle C_1 est recommandée pour éviter les pas en tension discrets au port de contrôle du VCO dû aux changements instantanés dans le courant de sortie de la pompe de charge.

On note que le filtre passe-bas est la partie essentielle du circuit à boucle de réaction à verrouillage de phase, qui convertit la sortie du comparateur de phase en tension continue pour le contrôle du VCO. Parce qu'on y retrouve une constante de temps, le verrouillage n'est pas instantané et la fréquence de sortie verrouille à la valeur moyenne de la fréquence de référence. Cette caractéristique permet d'obtenir une fréquence de sortie propre, à partir de fréquences d'entrée de référence contenant du bruit. Le filtre passe-bas crée un déphasage entre F_{out} et F_0 . Ce déphasage constitue la tension qui stabilise la fréquence du VCO.

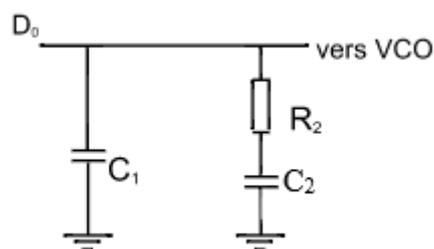


Figure II.6 Filtre passif passe bas de deuxième ordre.

II.6.5 Diviseurs de fréquence

Un diviseur de fréquence est un circuit qui divise la fréquence du signal d'entrée d'un rapport entier déterminé. Généralement, c'est un circuit numérique utilisant des bascules et des multiplexeurs. Il existe des diviseurs par N classiques dont le rapport de division N est constant et des diviseurs N/M

qui peuvent changer de rapport de division de N à M suivant l'état d'un signal de commande extérieur. Ce signal de commande est assuré par un circuit accumulateur permettant de commander le diviseur N/M et d'effectuer le choix du rapport de division. Un exemple de diviseur par 8 à base de bascules D est donné sur la figure II.7.

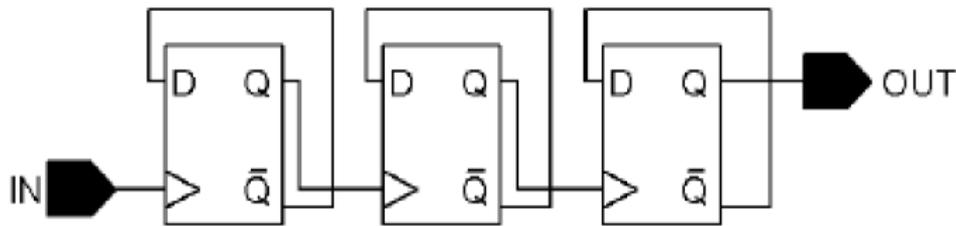


Figure II.7 Exemple de diviseur de fréquence simple

II.6.6 L'Oscillateur Contrôlé en Tension

Un oscillateur est un circuit qui délivre un signal périodique de fréquence propre f_0 en absence du signal d'entrée. L'oscillateur contrôlé en tension (VCO) a pour fonction comme leur nom l'indique de transformer une tension appliquée sur l'entrée en un signal modulé en fréquence en sortie. Le VCO est utilisé dans les systèmes de communications, il a plusieurs applications telles que la génération d'une fréquence de référence ou encore la modulation du signal à émettre. Les VCO sont peu stables en fréquence, ils ne peuvent être utilisés qu'en boucle fermée. Une variation de tension, lente ou rapide, à leur entrée se traduit par une variation de fréquence en sortie. En appliquant une tension d'entrée V_e (la sortie du filtre passe bas), la fréquence de sortie varie proportionnellement à cette tension, suivant l'expression suivante :

$$f_{VCO} = f_0 + K_{VCO} \cdot V_e$$

Où K_{VCO} est la sensibilité du VCO exprimée en Hz/V.

Si la fréquence du VCO est initialement plus basse que la référence d'entrée, la sortie du comparateur de phase sera une tension positive. Cette tension, filtrée, commande alors le VCO d'augmenter sa fréquence jusqu'à ce que cette dernière et sa phase épousent parfaitement celles de la référence d'entrée.

À l'inverse, la tension de sortie du comparateur décroît et commande une diminution de fréquence de la part du VCO.

II.7 Les performances des boucles à verrouillage de phase

Les systèmes de communications mobiles d'aujourd'hui exigent une qualité plus élevée de communication, des débits plus élevés, une opération de fréquence plus élevée, et plus de canaux par largeur de bande. Dans le domaine de télécommunications, les synthétiseurs de fréquences trouvent

leurs applications dans de nombreux dispositifs, émetteur, récepteur. Dans les émetteurs-récepteurs des communications sans fil, la performance élevée d'un synthétiseur de fréquences est l'un des paramètres importants. La synthèse de fréquences dans des applications de communication mobiles est habituellement faite en utilisant une boucle à verrouillage de phase (PLL) [23] [24].

Les systèmes basés sur la technique de pompe de charge ont été initiés par Gardner dans les années 70 [24]. L'utilisation des boucles à verrouillage de phase avec pompe de charge offre deux avantages importants par rapport à l'approche classique (dont le détecteur de phase est combiné directement à un filtre passe-bas) :

- a/ il améliore la gamme de capture, qui représente un intervalle de fréquence du signal d'entrée F_{ref} pour lequel le système peut s'accrocher,
- b/ il diminue considérablement l'erreur de phase statique.

La configuration de base de la boucle à verrouillage de phase que nous considérons pour le calcul est montrée sur la figure II.8.

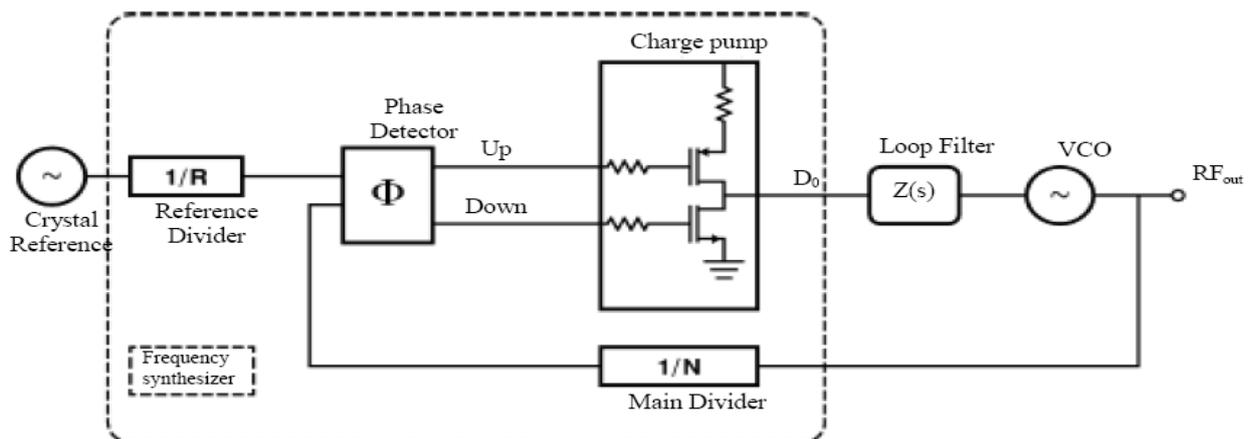


Figure II.8 Boucle à verrouillage de phase à base de la pompe de charge [24].

Dans la plupart des PLL conventionnelles, plusieurs paramètres de conception des PLL peuvent être traités en tant que valeurs constantes. Cette approximation linéaire fournit une bonne évaluation des performances de la boucle. Les valeurs des constantes de conception du filtre de PLL dépendent de l'application spécifique. Par exemple, la constante du détecteur de phase K_ϕ est déterminée par l'amplitude du courant de sortie de la pompe de charge du synthétiseur [24].

Quelques connaissances de base de la théorie de contrôle pour les boucles sont nécessaires afin de comprendre la dynamique du filtre de PLL. Un modèle mathématique linéaire représentant la phase de PLL dans l'état verrouillé est présenté sur la figure II.9. Un intégrateur additionnel de fonction de transfert ($1/S$) est introduit à côté du VCO pour transformer sa fonction de transfert de manière à obtenir une grandeur phase à sa sortie [24] [25] [26].

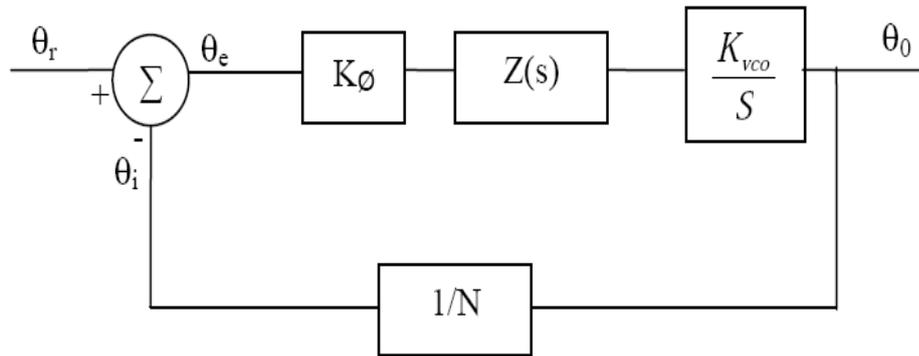


Figure II.9 Modèle linéaire de la PLL.

En se basant sur ce diagramme simplifié (figure II.9), et la théorie de contre-réaction, on peut obtenir les équations des fonctions de transfert suivantes :

❖ La boucle directe :

$$\text{❖ } G(s) = \frac{\theta_0}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{s} \quad (\text{II.1})$$

θ_0 et θ_e représentent respectivement les phases de sortie et d'erreur. K_ϕ est la constante du détecteur de phase. K_{vco} indique la linéarité du VCO et $Z(s)$ est la fonction de transfert du filtre.

❖ La contre réaction :

$$H(s) = \frac{\theta_i}{\theta_0} = \frac{1}{N} \quad (\text{II.2})$$

θ_i est la phase inverse et N est le rapport de division.

❖ La boucle ouverte :

$$T(s) = H(s) \cdot G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\phi \cdot Z(s) \cdot K_{vco}}{N \cdot s} \quad (\text{II.3})$$

❖ La boucle fermée :

$$K(s) = \frac{\theta_0}{\theta_r} = \frac{G(s)}{[1+H(s) \cdot G(s)]} \quad (\text{II.4})$$

θ_r est la phase de référence.

II.8 Elaboration et évaluation des performances du filtre de boucle

Cette partie concerne l'élaboration d'un filtre de boucle passif pour des synthétiseurs de fréquences utilisant un détecteur de phase-fréquence et une pompe de charge. La conception d'un filtre passif de deuxième ordre est discutée en détail ainsi que des filtres d'ordre supérieur. La configuration standard du filtre passif de deuxième ordre de la pompe de charge de la PLL est montrée sur la figure II.6. Placé entre la pompe de charge et le VCO, Le filtre de boucle est une impédance complexe en parallèle avec l'entrée du VCO. Rappelons que la capacité parallèle C_1 est recommandée pour éviter les pas discrets de tension au port du contrôle du VCO dû aux changements instantanés dans le courant de sortie de la pompe de charge. Le filtre de boucle contrôle le signal de commande du VCO. La plage de capture, ou plage d'accrochage (pull-in range), dépend de la bande passante et de l'ordre du filtre de boucle ainsi que du gain de boucle, lui-même fonction du gain du VCO et du détecteur de phase.

Toutefois, il est possible d'assimiler, en première approche, la plage de capture à la bande passante du filtre de boucle. Le rôle de ce filtre est d'assurer la stabilité de la boucle de phase et de filtrer les résidus de la fréquence de comparaison. Le choix du filtre est lié à ces différents paramètres. Plus la fréquence de coupure sera basse meilleure sera l'atténuation des signaux résiduels. Mais la boucle sera également beaucoup plus lente à se stabiliser, d'où un temps d'établissement excessif pour un système devant effectuer des sauts de fréquence importants entre l'émission et la réception.

Idéalement, le filtre de boucle devrait être intégré dans le même circuit que le comparateur de phase. En fait ceci se heurte à plusieurs difficultés. Le filtre de boucle ne doit pas ajouter de bruit. On a donc intérêt à le réaliser à l'aide de composants passifs plutôt qu'actifs.

D'autre part, en intégrant totalement, on est limité dans le choix des valeurs de composants, les capacités ne pouvant dépasser quelques dizaines de pF. Enfin, un filtre intégré risque d'être parasité par les autres signaux circulant dans le circuit.

Cependant, le filtre de boucle sera différent pour chaque PLL afin qu'il puisse assurer des temps d'accrochage, une stabilité et un filtrage du bruit du détecteur de phase convenables.

Une méthode de conception du filtre utilise le gain de la boucle ouverte et la marge de phase pour déterminer les valeurs des composants. La localisation du point de déphasage minimum où le gain de la boucle ouverte est égal à ϕ l'unité assure la stabilité de la boucle (figure II.10).

La marge de phase ϕ_p est définie comme étant la différence entre 180° et la phase de la fonction de transfert en boucle ouverte à la fréquence ω_p correspondant au gain égal à 0 dB.

Pratiquement, la marge de phase est choisie entre 30° et 70° . Autrement, lorsqu'on choisit une marge de phase plus élevée, il en résulte une très haute stabilité pendant un temps de réponse plus lent

de boucle et moins d'atténuation de F_{ref} . Pour cela, un principe de base commun est de commencer la conception par une marge de phase de 45° [24].

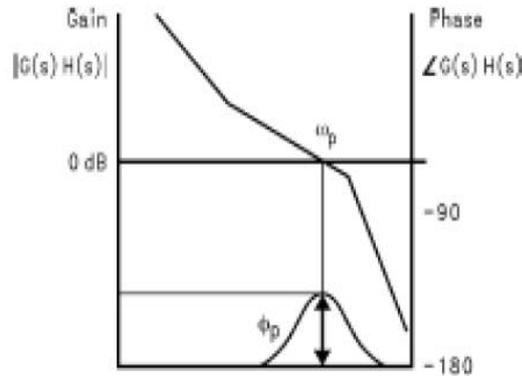


Figure II.10 Tracé de Bode de la réponse de boucle ouverte

L'impédance du filtre de deuxième ordre présenté sur la figure II.6 est :

$$Z(s) = \frac{s.C_2.R_2+1}{s^2C_1.C_2.R_2+s.C_1+s.C_2} \quad (\text{II.5})$$

On définit les constantes de temps qui déterminent les fréquences des pôles et des zéros de la fonction de transfert du filtre par :

$$T_1 = R_2 \cdot \frac{C_1.C_2}{C_1+C_2} \quad (\text{II.6})$$

$$T_2 = R_2 \cdot C_2 \quad (\text{II.7})$$

Ainsi le gain en boucle ouverte de la PLL de 3ème ordre peut être calculé en termes de fréquence ω , des constantes de temps du filtre T_1 et T_2 , et des paramètres de conception K_ϕ , K_{VCO} et N .

$$G(s).H(s)|_{s=j\omega} = \frac{-K_\phi.K_{VCO}(1+j\omega.T_2)}{\omega^2 C_1.N(1+j\omega.T_1)} \cdot \frac{T_1}{T_2} \quad (\text{II.8})$$

L'équation (II.8) montre que le terme phase dépendra d'un pôle et d'un zéro comme la marge de phase décrite par l'équation (II.9). La marge de phase disponible est donc proportionnelle au rapport de C_1 et C_2 .

$$\Phi(\omega) = \tan^{-1}(\omega.T_2) - \tan^{-1}(\omega.T_1) + 180^\circ \quad (\text{II.9})$$

En mettant la dérivée de la marge de phase égale à zéro comme le montre l'équation (II.10)

$$\frac{d\Phi}{d\omega} = \frac{T_2}{1+(\omega.T_2)^2} - \frac{T_1}{1+(\omega.T_1)^2} = 0 \quad (\text{II.10})$$

Le point de fréquence correspondant au point d'inflexion de phase se présente en terme de constantes du temps du filtre T_1 et T_2 . Cette fréquence est donnée par la relation :

$$\omega_p = \frac{1}{\sqrt{T_1 \cdot T_2}} \quad (\text{II.11})$$

Pour assurer la stabilité de la boucle, la marge de phase doit être maximale quand l'amplitude du gain en boucle ouverte est égale à 1. L'équation (II.8) donne alors :

$$C_1 = \frac{K_\Phi \cdot K_{VCO} \cdot T_1}{\omega_p^2 \cdot N \cdot T_2} \cdot \left\| \frac{(1 + j\omega_p \cdot T_2)}{(1 + j\omega_p \cdot T_1)} \right\| \quad (\text{II.12})$$

Par conséquent, si la largeur de bande de boucle ω_p et la marge de phase Φ_p sont spécifiées, le système d'équation (II.5) à l'équation (II.12) nous permet de calculer les deux constantes de temps T_1 et T_2 .

Les relations pour calculer T_1 et T_2 sont :

$$T_1 = \frac{\sec \Phi_p - \tan \Phi_p}{\omega_p} \quad (\text{II.13})$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} \quad (\text{II.14})$$

A partir des constantes de temps T_1 et T_2 et la largeur de bande de boucle ω_p , les valeurs pour C_1 , R_2 et C_2 sont données par les relations suivantes :

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\Phi \cdot K_{VCO}}{\omega_p^2 \cdot N} \cdot \sqrt{\frac{1 + (\omega_p \cdot T_2)^2}{1 + (\omega_p \cdot T_1)^2}} \quad (\text{II.15})$$

$$C_2 = C_1 \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{II.16})$$

$$R_2 = \frac{T_2}{C_2} \quad (\text{II.17})$$

Le bruit de commutation à la fréquence (F_{ref}) au niveau de comparateur de phase et des diviseurs crée des raies parasites au niveau du signal de sortie à une distance (F_{ref}) et ses multiples autour de la fréquence porteuse. Généralement, la fréquence de comparaison du détecteur de phase est multiple de l'espacement entre les canaux RF. Ces bandes latérales peuvent causer du bruit dans les canaux adjacents. Donc un filtrage additionnel de ces pics de référence est souvent nécessaire, cela dépend en fait de l'étroitesse de la largeur de bande du filtre de boucle [24]. En effet, des temps d'accrochage en dessous de la milliseconde sont nécessaires pour assurer la commutation entre les canaux de fréquence si bien que le filtre de boucle a nécessairement une bande passante large.

Pour répondre à ces contraintes critiques, l'emplacement d'une résistance en série et une capacité parallèle avant le VCO fournit un pôle passe bas capable de mieux atténuer les raies non désirées. La configuration recommandée de ce filtre est illustrée sur la figure II.11 [24] [27] [28].

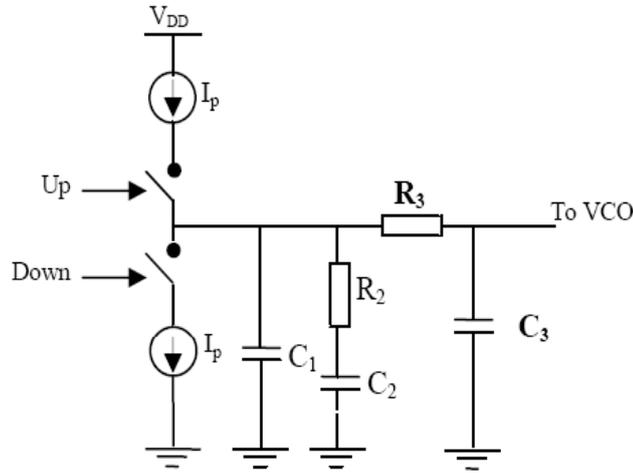


Figure II.11 Filtre de boucle de troisième ordre combiné avec la pompe de charge.

L'atténuation ajoutée par le filtre passe-bas est :

$$ATTEN = 20 \log \left| (2 \cdot \pi \cdot F_{ref} \cdot R_3 \cdot C_3)^2 + 1 \right| \quad (II.18)$$

On finit la constante de temps comme suit :

$$T_3 = R_3 \cdot C_3 \quad (II.19)$$

Ainsi en termes d'atténuation des raies de références ajoutées par le pôle passe-bas, nous aurons :

$$T_3 = \sqrt{\frac{10^{\left(\frac{ATTEN}{10}\right)} - 1}{(2 \cdot \pi \cdot F_{ref})^2}} \quad (II.20)$$

Afin d'atténuer de manière significative les raies parasites, le pôle additionnel doit être inférieur à la fréquence de référence.

La fonction de transfert de l'impédance du filtre de boucle montré dans la figure II.5 est :

$$Z_{fil3} = \frac{Z(s) \cdot \left(\frac{1}{C_3 \cdot s}\right)}{Z(s) + R_3 + \left(\frac{1}{C_3 \cdot s}\right)} \quad (II.21)$$

Où $Z(s)$ est la fonction de transfert du filtre de deuxième ordre donnée par l'équation (II.5).

En se basant sur les équations (II.5), (II.6), (II.7), (II.8) et (II.19), Il en résulte l'équation simplifiée suivante de la fonction de transfert de la boucle ouverte :

$$G(s).H(s)|_{s=j\omega} = \frac{-K_{\phi}.K_{VCO}(1+j\omega.T_2)}{\omega^2 C_1.N(1+j\omega.T_1)} \cdot \frac{T_1}{T_2} \cdot \frac{1}{1+j\omega.T_3} \quad (\text{II.22})$$

$$\Phi(\omega) \propto (1 + \omega.T_2). (1 - \omega.T_1)(1 - \omega.T_3) \quad (\text{II.23})$$

De même pour l'équation (II.14)

$$T_2 = \frac{1}{\omega^2(T_1+T_3)} \quad (\text{II.24})$$

Remplaçant l'équation (II.24) dans l'équation (II.23), on obtient :

$$\Phi(\omega) \propto 2 - \omega^2.T_1T_3 - j\omega.(T_1 + T_3) + \frac{j}{\omega.(T_1+T_3)} - \frac{j\omega.T_1+T_3}{(T_1+T_3)} \quad (\text{II.25})$$

Ainsi

$$\tan\Phi = \frac{-\omega.(T_1+T_3) - \frac{\omega.T_1+T_3}{(T_1+T_3)} + \frac{1}{\omega.(T_1+T_3)}}{2 - \omega^2.T_1.T_3} \quad (\text{II.26})$$

Supposant :

$$\omega^2.T_1.T_3 < 2 \quad (\text{II.27})$$

Après calcul, nous obtenons l'équation caractéristique :

$$\Phi(\omega) \propto 2 - \omega^2.T_1T_3 - j\omega.(T_1 + T_3) + \frac{j}{\omega.(T_1+T_3)} - \frac{j\omega.T_1+T_3}{(T_1+T_3)} \quad (\text{II.28})$$

A partir de cette équation, on peut déterminer la fréquence de coupure ω_c .

$$\omega_c = \frac{\tan\Phi.(T_1+T_3)}{(T_1+T_3)^2+T_1.T_3} \left[\left[\sqrt{1 + \frac{(T_1+T_3)^2+T_1.T_3}{[\tan\Phi.(T_1+T_3)^2]}} \right] - 1 \right] \quad (\text{II.29})$$

La capacité C_1 peut être exprimée au moyen de la relation :

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\Phi \cdot K_{VCO}}{\omega_c^2 \cdot N} \left[\sqrt{\frac{1 + \omega_c^2 \cdot T_2^2}{(1 + \omega_c^2 \cdot T_1^2) \cdot (1 + \omega_c^2 \cdot T_3^2)}} \right] \quad (\text{II.30})$$

De même nous avons pour le filtre de 2^{ème} ordre :

$$C_2 = C_1 \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{II.31})$$

$$R_2 = \frac{T_2}{C_2} \quad (\text{II.32})$$

Les seules valeurs des composants qui doivent être déterminées concernent le pôle passe-bas supplémentaire. Puisque ces valeurs sont déterminées à partir des équations (II.18), (II.19), elles sont quelque peu arbitraires.

II.9 Analyse du bruit de phase dans le synthétiseur de fréquences

Dans les systèmes de communications sans fil modernes, les caractéristiques de bruit de phase du synthétiseur de fréquences jouent un rôle critique dans les performances du système.

Un bruit de phase plus important que celui toléré peut causer la dégradation des performances du système en réduisant le rapport signal-bruit, en augmentant la puissance du canal adjacent et en réduisant le rejet de ce canal adjacent [29].

Tandis que de nombreux facteurs affectant le bruit de phase dans les synthétiseurs de fréquences à base de PLL sont bien compris, les concepteurs négligent souvent d'autres facteurs additionnels. Négliger ces facteurs additionnels peut causer la dégradation des performances du système, quand une analyse plus complète peut apporter des solutions plus élégantes [29].

Le but de cette partie est de présenter les différentes sources du bruit dans une PLL programmable (TCXO, détecteur de phase, diviseurs, VCO et même les résistances) et les différents modèles permettant de tenir compte de leurs effets sur le signal de sortie et sa pureté spectrale.

II.10 Les sources de bruit standard et les techniques d'analyse

La figure II.12 illustre un modèle représentant la PLL et expose les différentes sources du bruit existantes dans le système. Reprenons les fonctions de transfert en boucle ouverte $T(s)$ et fermée $K(s)$ définies auparavant, respectivement par les équations (II.3) et (II.4).

$$T(s) = H(s) \cdot G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\emptyset \cdot Z(s) \cdot K_{vco}}{N \cdot s}$$

$$K(s) = \frac{\theta_0}{\theta_r} = \frac{G(s)}{[1 + H(s) \cdot G(s)]}$$

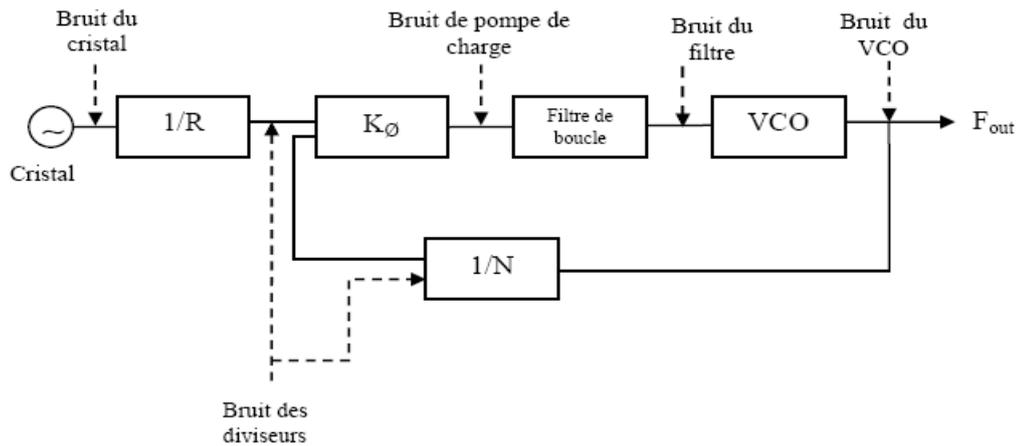


Figure II.12 Modèle de PLL avec les différentes sources de bruits.

II.11. Paramètres définissant le comportement d'un VCO

- **Gain du VCO (K_{vco})** : Il s'agit de la pente de la variation de fréquence en fonction de la variation de la tension appliquée pour piloter le VCO. Cette grandeur est exprimée en Hz/V.

- **Contrôle monotone** : Ce terme désigne un VCO dont la fréquence varie de façon monotone sur l'ensemble de la plage de fréquence.

- **Puissance de sortie** : Puissance de sortie du VCO.

- **Rapport cyclique** : Il s'agit du rapport entre la durée d'un état haut et la période du VCO. Ce rapport doit être le plus proche possible de 0,5 pour une génération d'horloge. Une meilleure symétrie du montage permet d'obtenir un meilleur rapport cyclique.

- **Bande-passante de modulation** : Capacité du VCO à répondre à une variation de la commande.

- **Atténuation des fréquences harmoniques** : La seconde harmonique est la plus difficile à filtrer et c'est donc sur elle que se portent en général les efforts pour l'atténuer.

Cependant, les fréquences harmoniques peuvent être utilisées notamment pour la multiplication de la fréquence du VCO, où seule la fréquence harmonique souhaitée est conservée.

- **Spurious**: Fréquences parasites différentes des harmoniques de la fréquence du VCO.

- **Pushing fréquentiel** : Variation de la fréquence du VCO due à une variation de la tension d'alimentation.

- **Pulling fréquentiel** : Variation de la fréquence du VCO due à une variation de la charge connectée en sortie. Pour diminuer ce phénomène, on peut utiliser un étage tampon en sortie du VCO.

- **Bruit de phase SSB (Bande Unique ou Single Side Band)**: Il s'agit du bruit de phase (en dBc/Hz).

- Facteur de mérite (*FOM: Figure Of Merit*) : C'est un paramètre (dont l'unité est le dBc/Hz) qui permet de comparer les VCO en normalisant le bruit de phase par rapport à la fréquence d'oscillation et à la puissance consommée [30]. Il se calcule à l'aide de l'équation suivante :

$$FOM = pnoise(F_{offset}) - 20 \log \left(\frac{F_{osc}}{F_{offset}} \right) + 10 \log \left(\frac{P_{diss}}{1mW} \right) \quad (II.33)$$

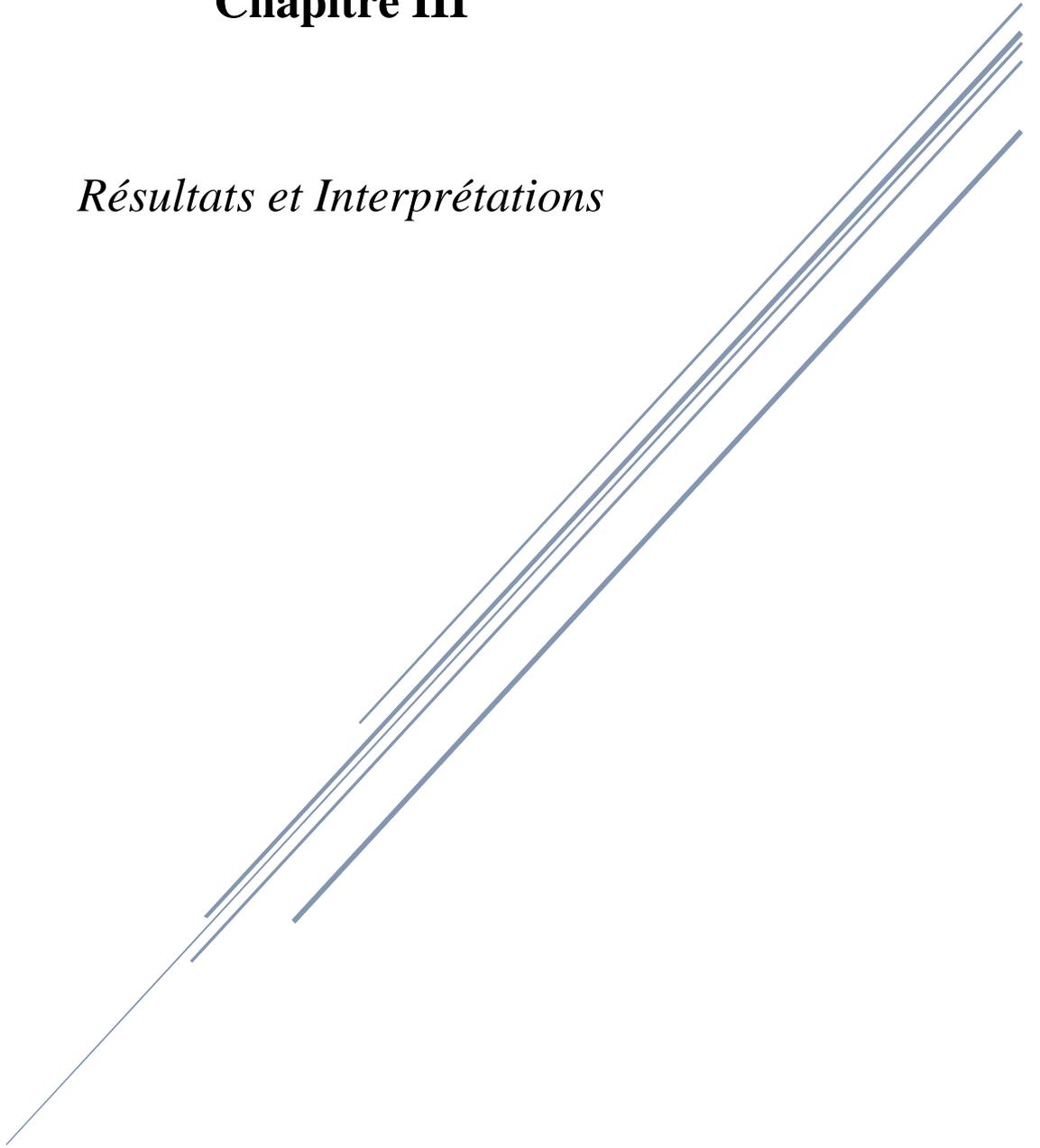
Plus le facteur de mérite est faible (plus sa valeur en dB est négative), plus le VCO est stable en fréquence.

II.12 Conclusion

Dans ce chapitre, nous avons exposé les différentes techniques de synthèse de fréquences nécessaire pour les systèmes de communications mobiles en présentant les principales caractéristiques et la fonctionnalité de chacun des sous bloc constituant l'architecture d'une PLL à division entière conçue dans le cadre de ce mémoire. Nous avons présenté aussi la conception et l'analyse d'un synthétiseur de fréquences à division entière en tenant compte de l'ensemble des sources de bruit dans le circuit. Les résultats et l'interprétation de la conception d'un synthétiseur de fréquences indirect pour les communications mobiles sur 5G seront présentés dans le chapitre suivant.

Chapitre III

Résultats et Interprétations



III.1 Introduction

La théorie précédente nous a permis de développer une simulation introduite sous le logiciel d'analyse virtuelle et de conception de circuits ADIsimPLL afin de comprendre correctement le fonctionnement de chaque étage du synthétiseur de fréquences et pour visualiser les différents signaux de sortie. Cette partie décrit les résultats de simulation et la conception d'un synthétiseur de fréquences pour les communications radio mobiles 5G. Nous établirons notre étude en se basant sur synthétiseur de fréquence ADF4155 d'Analog Devices.

III.2 Interprétations

La figure III.1 présente un schéma bloc d'une PLL utilisée en synthétiseur de fréquence pour la 5G.

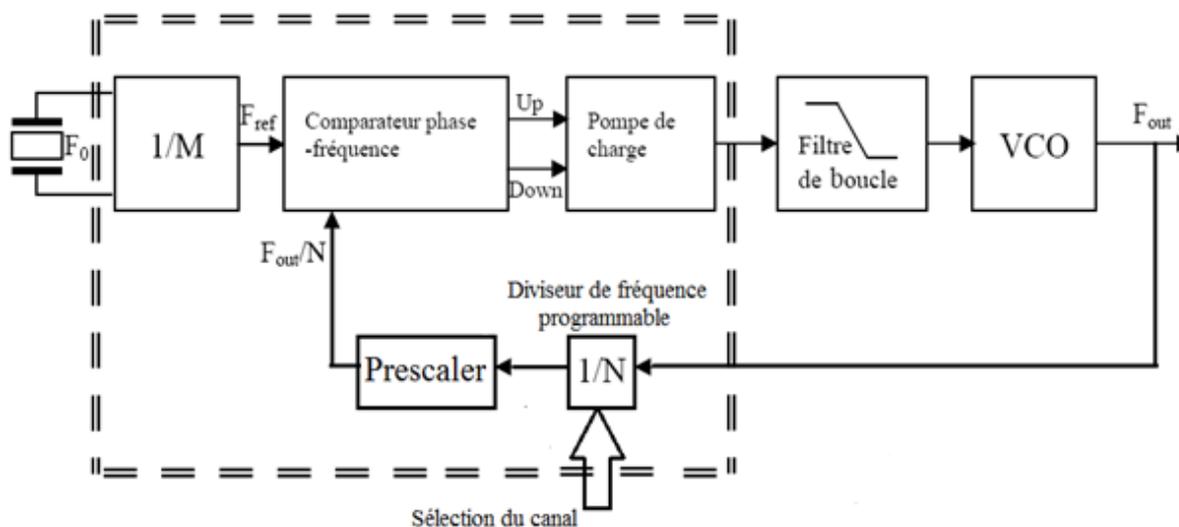


Figure III.1 Architecture proposée du synthétiseur de fréquence pour communications radio mobiles 5G.

III.2.1 Vue sur le logiciel ADIsimPLL

ADIsimPLL, est un logiciel de conception et d'évaluation de boucle à verrouillage de phase qui utilise la famille de synthétiseur de fréquence (PLL) d'Analog Devices (grande entreprise américaine fondée en 1965 à Cambridge) qui développe, fabrique et commercialise des composants à semi-conducteurs.

La figure III.2 présente l'interface graphique du logiciel ADIsimPLL.



Figure III.2 Interface du logiciel ADIsimPLL.

III.3 Synthétiseur de fréquence pour les communications radio mobiles 5G

Le composant essentiel que nous avons choisi pour réaliser la boucle à verrouillage de phase est l'ADF4155, synthétiseur de fréquence d'Analog Devices, capable de générer et de contrôler un signal très stable de faible bruit dans la gamme des fréquences exceptionnellement large [500MHz- 8000MHz]. La société AnalogDevices a également introduit une famille de mélangeurs hautement intégrés actifs et passifs qui sont bien adaptés pour une utilisation dans des applications de communication radio mobiles[31].

Le synthétiseur de fréquence (PLL) ADF4155 se compose d'un détecteur phase-fréquence numérique à faible niveau de bruit, d'une pompe de charge haute précision, d'un diviseur de référence programmable et de diviseurs haute fréquence programmables. Il est possible de mettre en œuvre un synthétiseur complet en utilisant la PLL avec un filtre de boucle externe et un oscillateur commandé en tension (VCO). La PLL peut être utilisée pour commander des oscillateurs VCO hyperfréquence externes via un filtre de boucle.

La figure III.3 présente un schéma bloc d'une PLL utilisée en synthétiseur de fréquence(ADF4155).

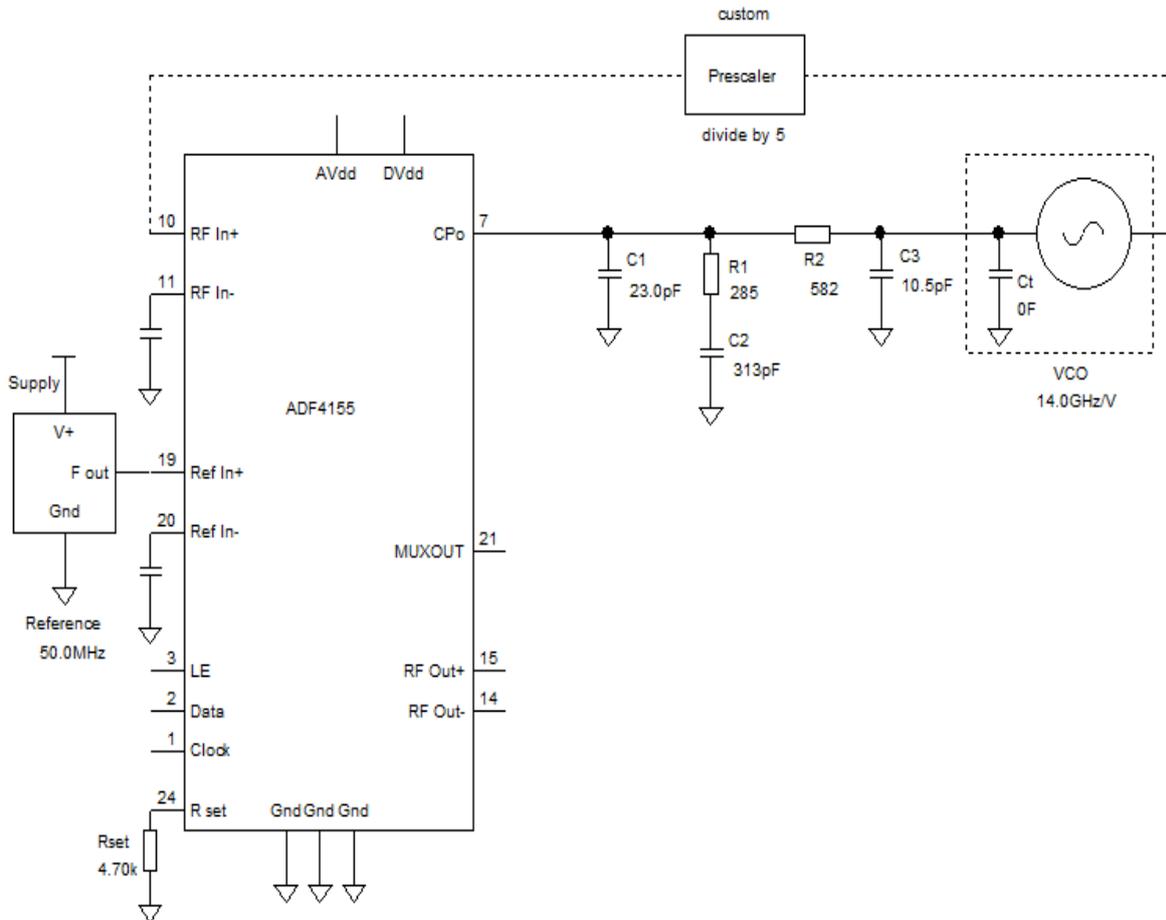


Figure III.3 Modèle de la PLL comme synthétiseur de fréquence(ADF4155).

III.3.1 Calcul du filtre

Pour un synthétiseur de fréquence fonctionnant dans la bande de fréquences [27.5 à 29.6] GHz, les paramètres les plus importants pour réaliser la conception du filtre sont les suivantes:

- Pas de réglage de 250 MHz.
- Fréquence de référence de 50 MHz.
- Caractéristique fréquence-tension du VCO : $K_{VCO} = 14 \text{ GHz/V}$.
- Caractéristique de détecteur de phase $K_{DP} = 33\text{mA}/2.\pi.\text{rad}$.
- Rapport de division $N = \frac{F_{VCO}}{F_{Comparison}} = \frac{28 \text{ GHz}}{0.25 \text{ GHz}} = 112$.
- Pré-divisuer $R = \frac{250 \text{ MHz}}{50 \text{ MHz}} = 5$.

Le choix de fréquence de référence de coupure du filtre résulte d'un compromis entre le bruit de phase du signal produit par le synthétiseur et sa pureté spectrale (niveau des raies parasites espacées de la fréquence de référence).les valeurs des composants du filtre du 3^{ème} ordre issues de calcul pour une

marge de phase de 45° et une largeur de boucle de 5 MHz sont montrées sur le tableau III.1 que l'on approchera sans grand inconvénient par les valeurs normalisées.

| Capacités du filtre | Résistance du filtre |
|-------------------------|-----------------------------|
| $C_1 = 26.9 \text{ pF}$ | |
| $C_2 = 185 \text{ pF}$ | $R_2 = 326 \text{ } \Omega$ |
| $C_3 = 23.6 \text{ pF}$ | $R_3 = 328 \text{ } \Omega$ |

Tableau III.1 Valeurs du filtre de boucle du troisième ordre.

III.4 Les réponse fréquentielles de la boucle

Les figures III.4 et III.5 représentent respectivement les courbes des fonctions de transfert en boucle ouverte et en boucle fermée. A partir du gain de la fonction de transfert en boucle ouverte (tracé de bode). Nous avons pu déterminer la valeur de ω_p correcte (le point où le gain est égal à zéro). Le tracé de bode de la fonction de transfert en boucle ouverte nous donne $\omega_p = 5 \text{ MHz}$ tandis que la phase est à son pic à -135° , ce qui correspond à une marge de phase de $45^\circ (180^\circ - 135^\circ)$.

Dans la largeur de bande de boucle du synthétiseur, la fonction de transfert de la boucle fermée est très grande en amplitude, ce qui provoque par conséquent une augmentation du niveau de bruit de l'oscillateur de référence. Ce gain est constant jusqu'à ce qu'il atteigne la largeur de bande de la boucle, ensuite il chute rapidement. Cette fonction représente aussi le gain du bruit dans la bande passante limitée par une fréquence de coupure et l'atténuation de ce bruit au-dessus de cette fréquence. Le gain dans la bande passante de la boucle vient en grande partie du rapport de division N de la boucle.

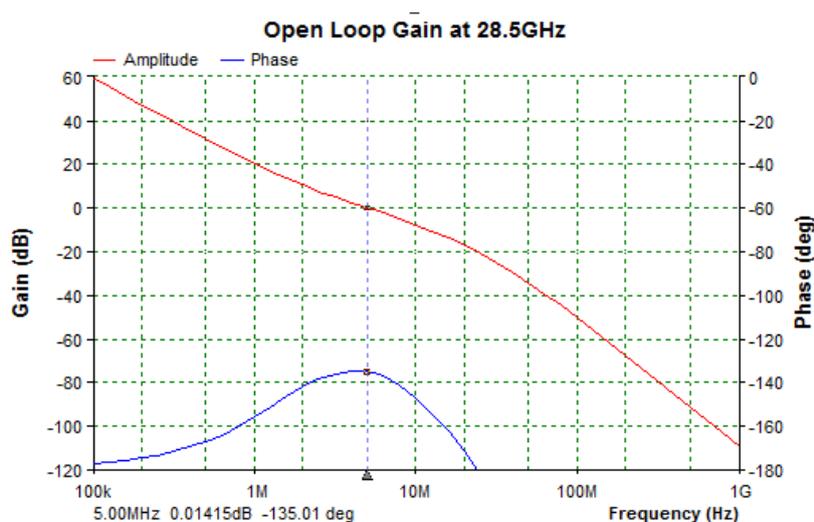


Figure III.4 Réponse de la boucle ouverte.



Figure III.5 Réponse de la boucle fermée.

III.5 Simulation du bruit de phase à la sortie du synthétiseur de fréquence

La figure III.6 illustre respectivement le bruit de phase pour chaque composant (VCO, l'oscillateur de référence, chip, filtre de boucle et le bruit total). Les résultats montrent qu'à l'intérieur de la largeur de bande de boucle, le niveau du bruit de l'oscillateur de référence est plus important du fait que le gain de la fonction de transfert en boucle fermée est élevé dans cette bande.

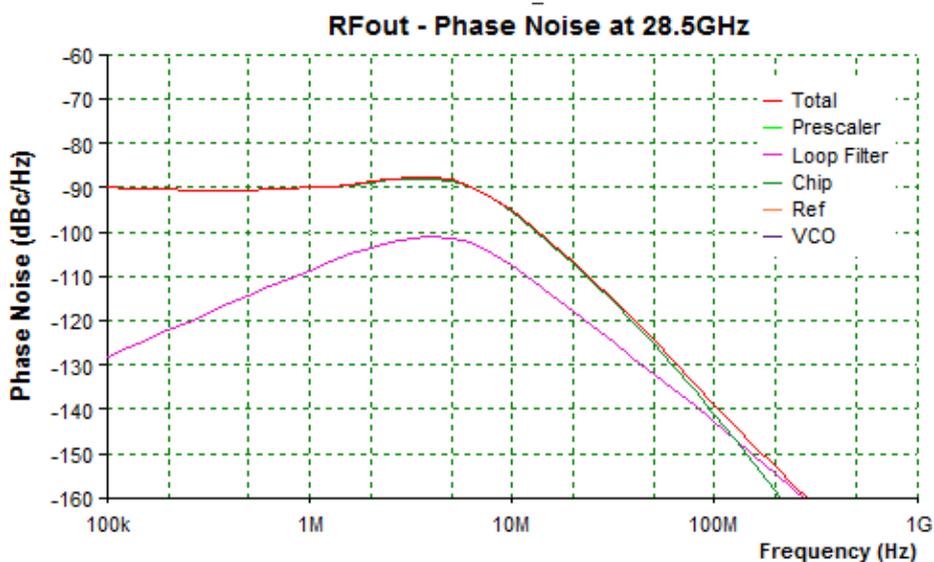


Figure III.6 Bruit du VCO, l'oscillateur de référence, la puce et le filtre de boucle.

Dans le but de démontrer que le bruit du VCO est hautement filtré par la PLL, en provoquant la réjection du bruit de phase ou erreur de phase dans la bande passante, la figure III.7 expose la réponse de l'erreur de la boucle. Cette fonction est obtenue par association entre les réponses de la boucle ouverte et fermée.

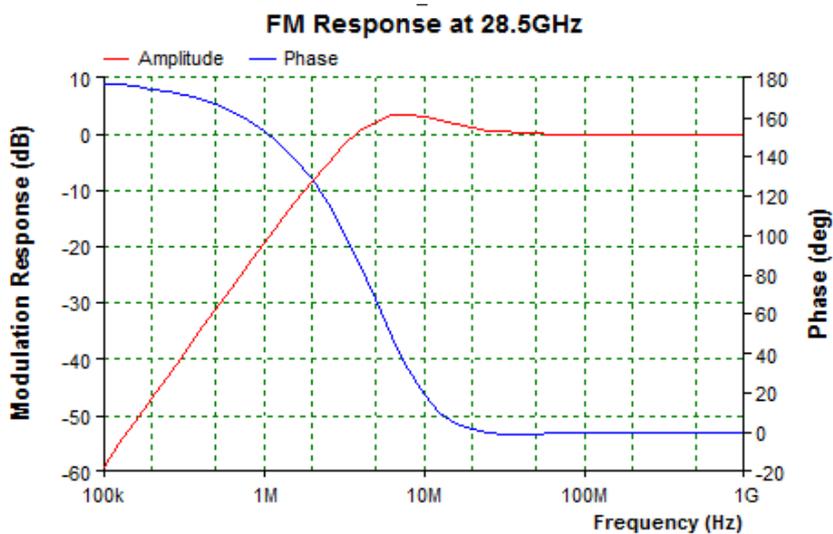


Figure III.7 Réponse de la modulation de fréquence.

III.6 Leakage spurs

La figure III.8 montre la raie de référence générée par une fuite du courant au niveau du détecteur de phase. La valeur du courant de fuite introduit dans notre simulation est de 1nA.

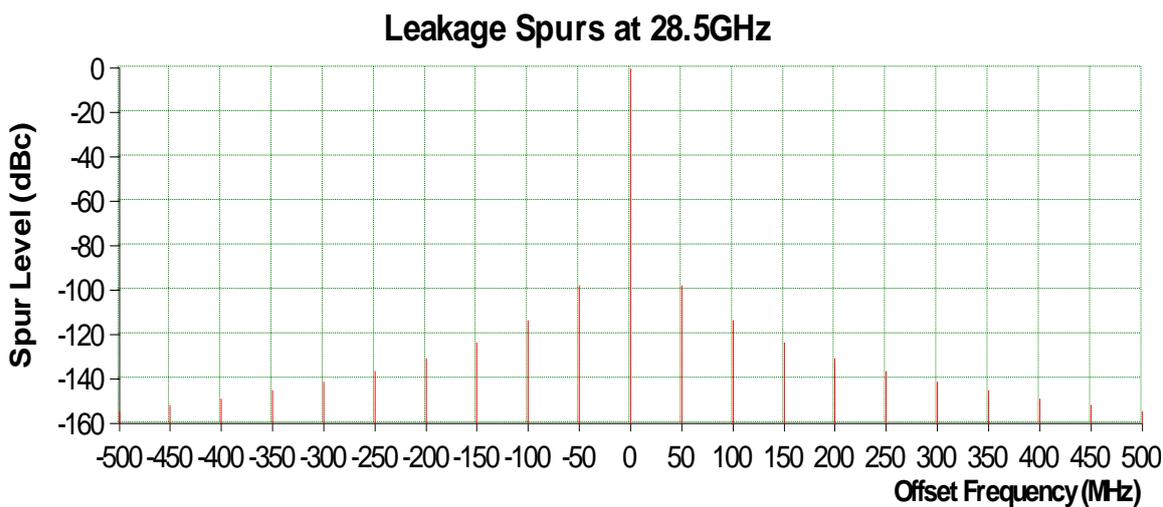


Figure III.8 Leakage spurs.

III.7 La réponse temporelle

III.7.1 Comparateur de phase-fréquence

La figure III.9 montre le signal résultant de la pompe de charge (PD out) varie selon l'état des entrées Up et Down. Lorsque la sortie Up est à son niveau haut, le courant de la pompe de charge est positif et lorsque Down est à son niveau haut, la pompe de charge délivre un courant négatif.

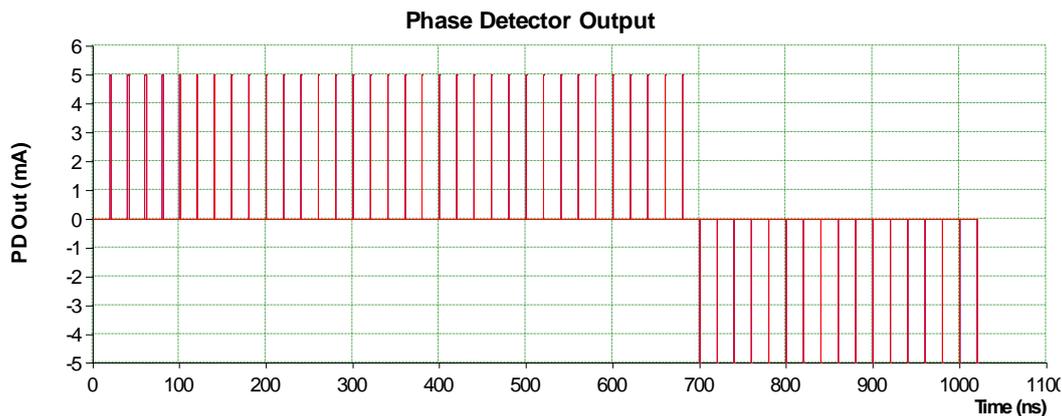


Figure III.9 Sortie de la pompe de charge.

III.7.2 Simulation de l'erreur de phase à la sortie de la PLL

La figure III.10 montre l'erreur de phase à la sortie de la PLL dans des conditions transitoires. Ceci est l'erreur de phase à la sortie de VCO, et non pas le détecteur de phase.

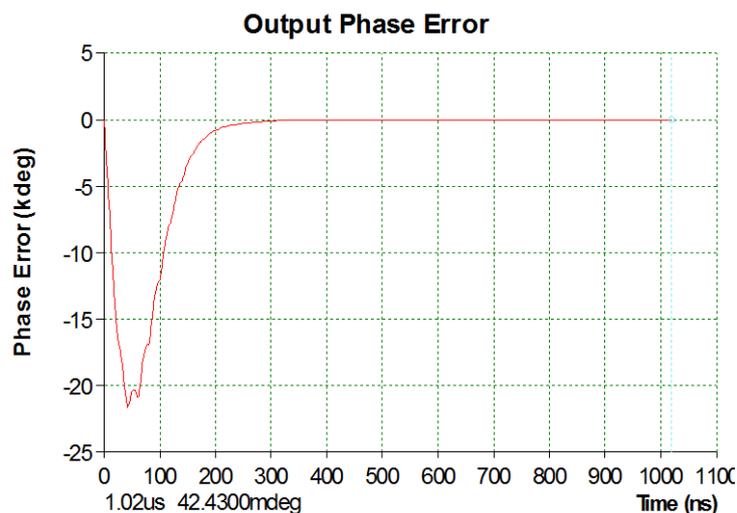


Figure III.10 L'erreur de phase à la sortie du VCO.

III.7.3 Simulation de l'erreur de fréquence à la sortie de la PLL

La figure III.11 montre l'erreur de fréquence de la PLL dans des conditions transitoires. Autrement dit, si la pll est verrouillée à une fréquence F_1 et est commandé à l'instant ($T=0$) pour accéder à une autre fréquence F_2 , l'erreur de fréquence $|F(t) - F_2|$ peut être ainsi déterminée à travers le graphique ci-dessous.

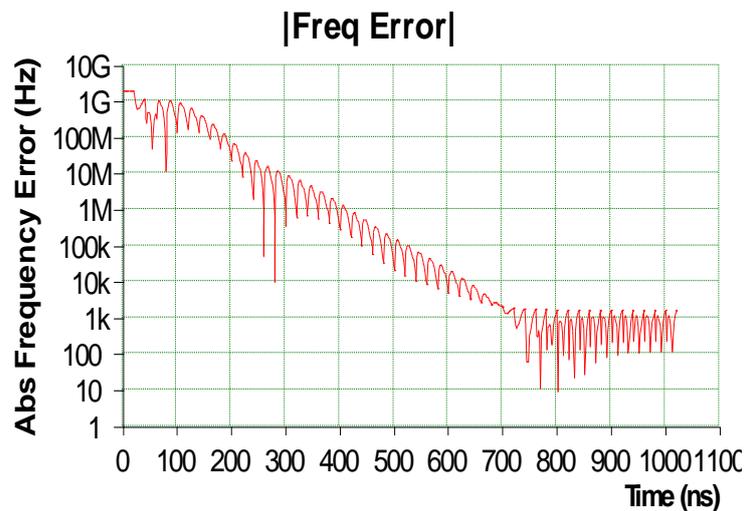


Figure III.11 L'erreur de fréquence de la PLL.

III.7.4 Réponse temporelle de la PLL lors d'un handover

Le temps de verrouillage est le temps nécessaire pour que la boucle à verrouillage de phase atteigne son point d'équilibre. Cependant, une boucle à verrouillage souffre d'un temps assez long.

La réponse temporelle de la PLL nous permet de voir le temps que peut prendre de la PLL pour se stabiliser dans le cas où il y aurait un changement de fréquence (changement du canal c'est-à-dire changement de la valeur du diviseur N).

Pour cela, on a pu montrer l'évolution de la fréquence instantanée de sortie du VCO en fonction du temps, pour un saut de fréquence de 2GHz. La figure III.12 représente la réponse temporelle de la PLL, les résultats montrent que le temps de commutation trouvé après une simulation sous ADIsimPLL est de l'ordre de 639 ns.

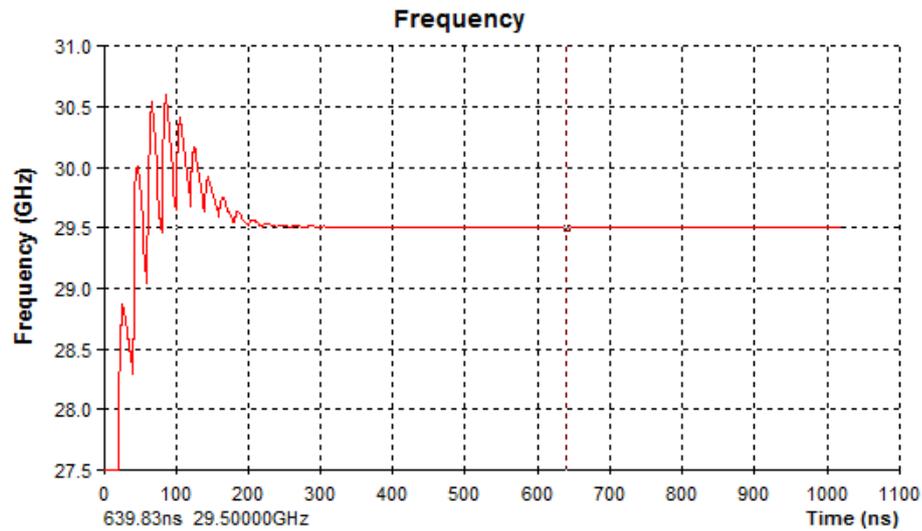
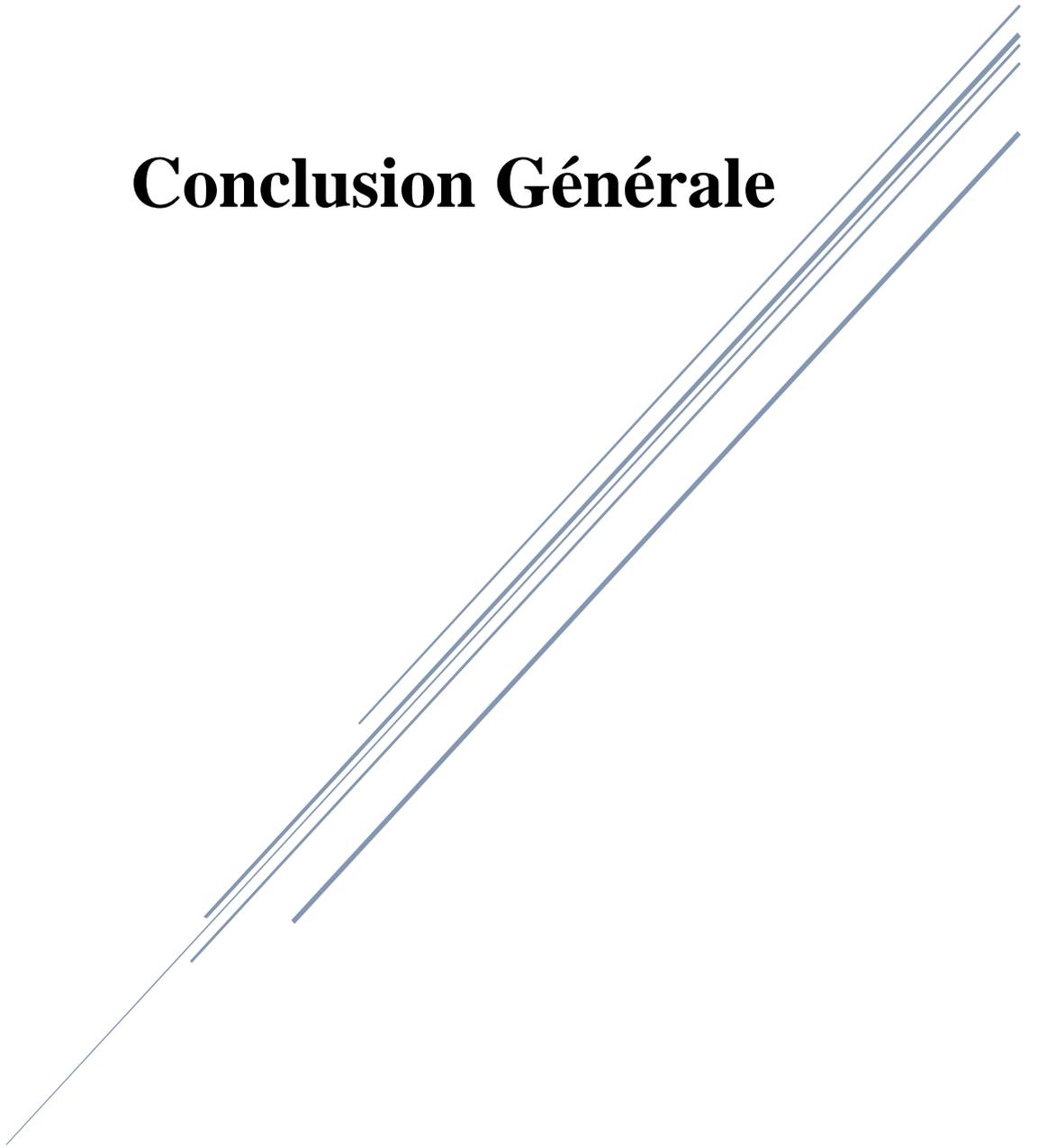


Figure III.12 Réponse temporelle de la PLL.

III.8 Conclusion

Dans ce chapitre nous avons présenté les résultats de simulation et l'analyse précise du bruit de phase d'un synthétiseur de fréquence à base de PLL destiné pour les applications des communications mobiles de la cinquième génération sur 5G. Une conception complète du synthétiseur de fréquence (ADF4155) a été établie afin de déterminer le temps de commutation lorsque le handover s'effectue. Ce temps est de l'ordre 639 ns pour un saut de fréquence de 2 GHz ce qui démontre les performances élevées de synthétiseur de fréquences conçu .

Conclusion Générale



Depuis l'avènement des circuits intégrés dédiés aux communications sans fil, et en particulier à la téléphonie mobile, le principal intérêt du concepteur de circuit est la réduction de la surface occupée ainsi que la réduction de la consommation en courant des circuits.

La boucle à verrouillage de phase est composée de différents sous circuits, et notamment l'oscillateur contrôlé en tension qui a pour mission de délivrer le signal de sortie analogique de la PLL. Celui-ci est donc un élément clé quant à sa capacité d'accord en fréquence et son faible bruit de phase.

De plus, des applications comme la téléphonie mobile font cohabiter différents standards (GSM et Bluetooth par exemple). De même, les circuits intégrant plusieurs standards de radio communications (2G, 3G, etc.) impliquent des contraintes sur l'architecture d'émetteur ou de récepteur.

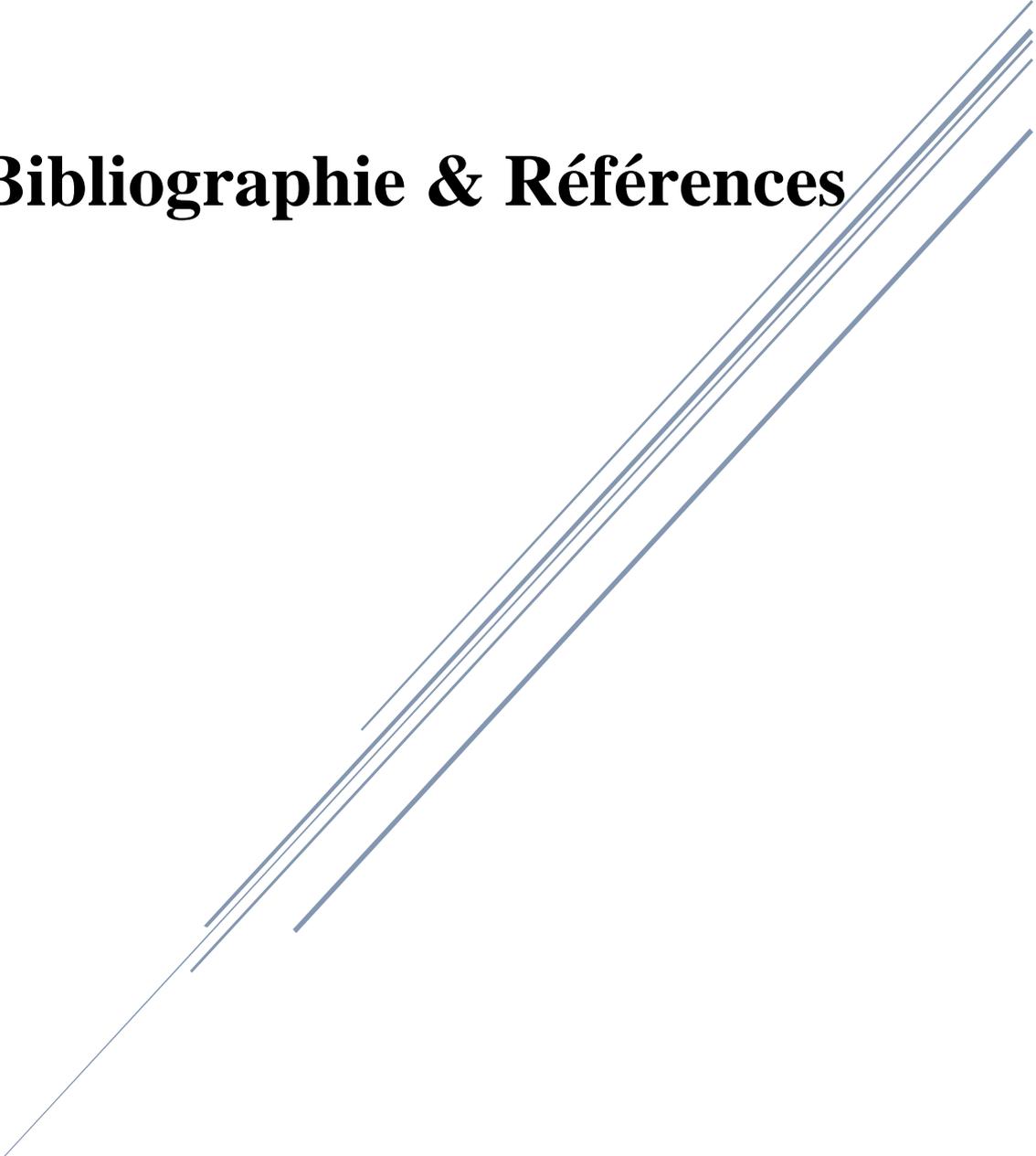
Ce travail explore la conception d'un tel dispositif travaillant dans une bande de fréquence pouvant atteindre jusqu'à 29,6 GHz. Pour cela une étude détaillée d'un synthétiseur de fréquence à base de PLL, nécessaire pour les applications sur 5G est présenté dans ce mémoire.

En général, l'objectif assigné à ce travail est de présenter les résultats de simulation et l'analyse précise du bruit de phase d'un synthétiseur de fréquence à base de PLL destinée pour les applications des communications mobiles de la cinquième génération 5G, cette simulation est traduite par le logiciel industriel ADIsimPLL.

Le synthétiseur de fréquence analysé n'a pas pu être réalisé en pratique à cause de la non disponibilité de ces composants sur le marché national.

Cette étude permettra la conception de nouveaux synthétiseurs de fréquence fonctionnant à des fréquences plus élevées en suivant la même démarche pouvant être exploités dans des bandes fréquences mm-wave dédiées à la 5G.

Bibliographie & Références



- [1] A. RADU, " Évaluation de la Qualité de Service par l'utilisateur final dans les systèmes mobile ", *Thèse de doctorat*, Université de Mame-La-Vallée, Mars 2004.
- [2] B.O.GISCARD, Z.FOMEKONG, " Evolution technologie de la 3G et 3G+ ", *Master Systèmes d'Information et Informatique Nomade*, Université de Picardie Jules Verne, 2009.
- [3] C. DEMOULIN, M.V DROOGENBROECK, " Principes de base du fonctionnement du réseau GSM ", *Revue de l'AIM*, VOL.4, 2004.
- [4] E.TONYE, L.EWOUSSOUA, " Planification et ingénierie des réseaux de télécoms ", *Master Pro 2 en Télécommunications*, Université de Yaounde I, 2013.
- [5] B.BADR, A.ASMA, " Réseaux de radio cognitive : Allocation des ressources radio et accès dynamique au spectre ", *Laboratoire de Télécommunications Tlemcen*, Université Abou Bekr Belkaid Tlemcen, 2014.
- [6] J.SANCHEZ, M.THIOUNE, " UMTS ", *John Wiley & Sons*, pp.25-27, 2013.
- [7] E.Meurisse, " L'UMTS et le haut-débit mobile ", *Rapport Institut d'électronique et d'informatique Gaspard-Monge*, Février 2007.
- [8] G.PUJOLLE, " Les réseaux ", *Édition EYROLLES*, France, ISBN: 978-2-212-11757-8, 2008.
- [9] K. IBRAHIMI, " Gestion des ressources des réseaux mobiles de nouvelle génération par rapport à la mobilité des utilisateurs ", *Thèse de doctorat en Informatique*, Sciences de l'Université d'Avignon et des Pays de Vaucluse France & Université Mohammed V-Agdal Rabat - Maroc, Laboratoire LIA, Avignon France, Laboratoire LIMIARF, Rabat Maroc, 20 Novembre 2009.
- [10] M.HOCINE, " Conception d'un MODEM de la quatrième génération (4G) des réseaux de mobiles à base de la technologie MC-CDMA ", *Mémoire de Magister En électronique*, Université Ferhat Abbas Sétif, septembre 2012.
- [11] B.HADJER, B.S. RIYAD, " Étude des performances des réseaux 4G (LTE) ", *Mémoire de MASTER en Télécommunication*, Université Abou Bekr Belkaid Tlemcen, juin 2013.
- [12] A.M.MOUSA, " Prospective of Fifth Generation Mobile Communications ", *International Journal of Next-Generation Networks*, Vol.4, No.3, September 2012, pp.1-30.
- [13] J.SHEETAL, " Architecture of 5G technology in mobile communication ", *Proceedings of 18th IRF International Conference*, India, ISBN: 978-93-84209-82-7, 11 January 2015.
- [14] R.SHEKHAR, " Network architecture of 5G mobile technology ", *Article rédigé dans <http://fr.slideshare.net/vineetkathan/5gwirelessyste>*, 2013.
- [15] M. SATHIYA, R. GOWTHAMI, G. KARPAGAM, B. SARANYA, U. SUGANYA, " Cellular and network architecture for 5g wireless communication networks in mobile technology ", *International Journal of Technical Research and Applications*, e-ISSN: 2320-8163, 2015.
- [16] N.UPADHYAY, " 5G wireless technology ", <http://fr.slideshare.net/upadhyayniki/5g-wireless-technology-14669479>, 2012.

- 
- [17] G.CARNEL, "Le 5G déployée pour 2020, un test à 1Gb/s pour Samsung ",*Article rédigé dans 59hardware.net*, 13 Mai 2013.
- [18] A.SADRI, " mmWave Technology Evolution From WiGig to 5G Small Cells ",
<http://ssslide.com/www.slideshare.net/allabout4g/intel-25905453> , 2013.
- [19] V.GIORDANO, E.RUBIOLA, " Synthèse de fréquence - Synthèse indirecte",*Article rédigé dans <http://www.techniques-ingenieur.fr/>* ,2002.
- [20] J.JUYON , "Contribution à la conception de synthèses de fréquence pour liaison satellite embarquée: montée en résolution et réduction de raies parasites ",*Thèse de Doctorat* ,Université Toulouse , décembre 2013.
- [21] M.GIRARD, "Boucles à Verrouillage de phase ",*McGraw-Hill*, ISBN :2704211574-9782704211579,1988.
- [22] M.SIE , " Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 um ",*Thèse de Doctorat* , Université Paul Sabatier de Toulouse, 2004.
- [23] LEE, S.JUN , B.KIM, K.LEE," A fully integrated low-noise 1-GHz frequency synthesizer design for mobile communication application ", *IEEE Journal of Solid-State Circuits* ,Vol.32,No.5,May 1997,pp 760-765.
- [24] O.WILLIAM, KESSE,"An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loop ",*National Semiconductor Application Note*, AN-1001, July 2001.
- [25] FLOYD, M.GARDNER," Charge-pump phase-lock loops", *IEEE Transaction on communications* ,Vol.COM-28,No.11,November 1980,pp.1849-1858.
- [26] S.KAMECHE, M.FEHAM and M.KAMECHE, "Simulating and Designing a PLL Frequency Synthesizer for GSM Communications ",*High Frequency Electronics* ,VOL.7, No.12, pp.36-41,December 2008.
- [27] S. KAMECHE, M. FEHAM and M. KAMECHE, " PLL Synthesizer Tunes DCS1800 Band ",*Microwave & RF*, Vol.46, No.6, pp.84-90, 2007.
- [28] S.KAMECHE , M.FEHAM, " Perfect A PLL LTE Synthesizer ", *Microwave & RF*, Vol. 51, No.1, pp. 54-66,January 2012.
- [29] L. LASCARI, "Accurate Phase Noise Prediction in PLL Synthesizers", *Applied Microwave and Wireless*, Vol.12, No.2, pp.30-38 , 2000.
- [30] K. LIM, C.H. PARK, D.S. KIM , B.KIM, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization",*IEEE Journal of Solid-State Circuits*,Vol.12, No.2,June 2000 ,pp.807-815.
- [31] Analog Devices, "Integer-N/Fractional-N PLL Synthesizer",*Data sheet ADF4155* ,
www.analog.com,2014.