

## I. Introduction

Cette première partie s'intéresse à la structure classique du transistor MOS à effet de champs (MOSFET) sur substrat silicium massif.

### I.1. Historique

Les premiers travaux sur le concept du transistor MOS datent de l'année 1930 (Lilienfeld et Heil), mais la première réalisation réussie se fit attendre jusqu'en 1960. Ce long démarrage a été principalement dû au manque de compréhension des phénomènes de conduction à la surface du semi-conducteur, puis ensuite aux difficultés de réalisation d'une surface de très haute pureté et qualité, indispensable pour faire fonctionner un transistor MOS. Ces difficultés ont longtemps retardé le développement des transistors MOS par rapport aux transistors bipolaires, pourtant inventés bien plus tard (Bardeen et Brattain, 1948).

Paradoxalement, le transistor bipolaire, malgré son concept a priori bien plus complexe, a connu rapidement un succès commercial dû en grande partie à sa conduction volumique et non pas surfacique, ce qui lui a permis de s'affranchir des exigences, à l'époque trop élevées, sur la qualité de la surface du semi-conducteur.

Les travaux fondamentaux de Bardeen, Pearson, Shockley et Brattain dans les années quarante et cinquante ont posé les fondations de la compréhension et de la maîtrise des phénomènes de piégeage et de passivation de la surface des semi-conducteurs.

La structure moderne du transistor MOS est souvent mise au crédit de I. Ross qui a construit, en 1955, un transistor à grille isolée reliant deux régions de type N diffusées dans un substrat silicium de type P, à l'aide d'une couche d'inversion surfacique.

La seule différence du transistor de Ross, comparé à ceux d'aujourd'hui, est le cristal ferroélectrique qu'il a utilisé en tant que diélectrique de grille. Cette différence a été levée par Kahng et Atalla ; en juin 1960, ils ont présenté le premier transistor MOS en silicium complètement opérationnel, avec l'oxyde de silicium en tant que diélectrique de grille. Ainsi, commença la carrière commerciale de ce transistor.

Les premiers transistors MOS discrets commercialement disponibles (1964, Fairchild et RCA) ont trouvé des applications dans des circuits logiques et des circuits radio et vidéo de l'époque (principalement en entrée des amplificateurs). L'idée d'un circuit intégré monolithique a été mise en avant par Noyce chez Fairchild. Soutenue par les nouvelles possibilités de fabrication plus rentable offertes par la mise au point (aussi chez Fairchild) d'un procédé « silicium planar », cette idée a donné le signal de départ vers l'intégration de circuits à base de transistors MOS.

Le premier circuit intégré CMOS a ainsi été proposé par Wanlass (Fairchild) en 1962 : il consistait en un inverseur ne contenant que deux transistors.

On peut apprécier les formidables progrès réalisés depuis, alors qu'aujourd'hui des circuits MOS logiques en phase de pré industrialisation comportent environ 100 millions de transistors.

Au stade de l'an 2010, le premier circuit logique intégrant 1 milliard de transistors est attendu.  
[1]

## I.2. Le fonctionnement physique de MOSFET

Nous nous proposons d'expliquer le fonctionnement physique du (Metal-Oxyde-Semiconductor Field-Effect Transistor), pour cela il est intéressant de définir d'abord sa structure qui n'est autre qu'une diode MOS (c'est le cœur du MOSFET) placée entre deux régions dopées N pour le cas d'un MOSFET à canal N (nMOSFET) et P pour le MOSFET à canal P (pMOSFET) formant ainsi deux jonctions pn immédiatement adjacentes (Fig. 1.1).

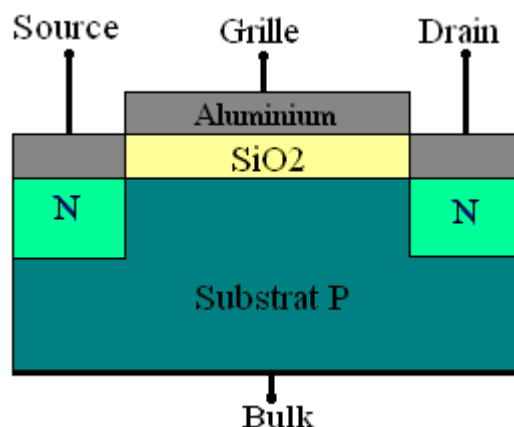


Figure I.1 Structure d'un MOSFET de type n [2].

### I.2.1 La structure MOS

La structure métal isolant semi-conducteur est l'une des pièces maîtresses de l'électronique moderne car elle est à la base des circuits intégrés à VLSI (Very Large Scale Integration) et ULSI (Ultra Large Scale Integration). Elle est aussi à l'origine des composants à transfert de charges CCD (Charge-Coupled Devices). Très simple à réaliser car elle est obtenue par l'oxydation thermique d'un semi-conducteur pour fournir la couche d'isolant, les contacts électriques sont obtenus par dépôts métalliques (voir Figure I.2).

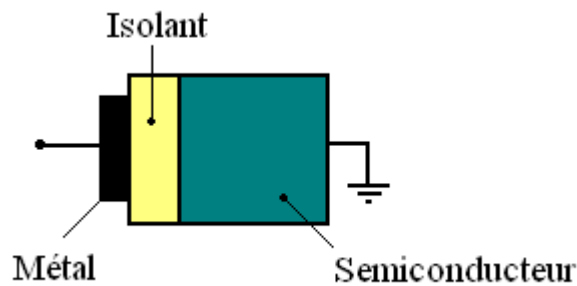


Figure I.2 Capacité MOS [2]

### I.2.1.1 La structure MOS idéal

On considère un métal (c'est souvent de l'aluminium) de travail de sortie  $q\phi_m$  et un semi-conducteur dopé P (Silicium) de travail de sortie  $q\phi_s$  et d'affinité  $q\chi$  séparés par une couche d'isolant (Fig. 1.3)

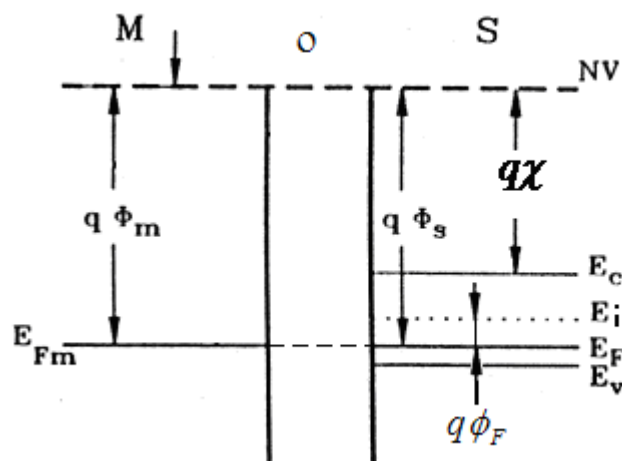


Figure I.3 Diagramme d'énergie d'une structure MOS idéale [2]

$$q\phi_{ms} = q\phi_m - q\phi_s = q\phi_m - \left( q\chi + \frac{E_g}{2} + q\phi_F \right) \tag{I.1}$$

La quantité  $q\phi_F$  représente dans le semi conducteur, la distance du niveau de fermi au niveau de fermi intrinsèque:

$$q\phi_F = E_i - E_F \tag{I.2}$$

La hauteur de barrière entre le métal et le semi-conducteur est toujours donnée par la différence des travaux de sortie du métal et du semi-conducteur [2]:

$$V_d = \phi_m - \phi_s \quad \text{I.3}$$

$E_i$  représente la position du niveau de fermi du semi-conducteur intrinsèque il est fonction des densités d'états relatives de la bande de conduction et de la bande de valence mais ne s'éloigne pas beaucoup du milieu de gap.

La structure métal isolant semi-conducteur idéale est déterminée comme suit:

- Si aucune tension extérieure n'est appliquée ( $V=0$ ), la différence entre le travail de sortie du métal et celui du semi-conducteur est égal à zéro ( $q\phi_{ms}=0$ ). C'est le régime des bandes plates.
- Les seules charges qui existent dans la structure sont celles contenues dans le semi-conducteur et celles contenues dans la surface métal isolant en même quantité mais de signes opposés.
- Il n'y a aucun transport des porteurs de charges à travers l'isolant sous l'application d'une tension (la résistivité de l'isolant étant infinie).
- La polarisation de la diode avec une tension positive ou négative fait apparaître trois cas à l'interface oxyde/ semi-conducteur;  $\phi_m \neq \phi_s$  et le régime de bande plate n'est pas obtenu [2]:

$$V_G = V_{FB} = \phi_m - \phi_s \quad \text{I.4}$$

En outre la différence des travaux de sortie et de polarisation extérieure, un autre phénomène modifie la barrière de potentiel et par suite les différents régimes de fonctionnement c'est la présence des charges localisées à l'interface oxyde/ semi-conducteur.

Ces charges d'interface  $Q_{ss}$  induisent dans le semi-conducteur une charge équivalente est de signe opposé:

$$\phi_s = -\phi_{ss} \quad \text{I.5}$$

Il existe donc entre le métal et le semi-conducteur une différence de potentiel additionnel:

$$\Delta V = V_m - V_s = \frac{Q_m}{C_{ox}} = \frac{-Q_s}{C_{ox}} = \frac{Q_{ss}}{C_{ox}} \quad \text{I.6}$$

avec 
$$C_{ox} = \epsilon_{ox} / T_{ox} \quad I.7$$

où

$Q_{ss}$  : Densité de charge d'interfaces.

$C_{ox}$  : Capacité de l'isolant (oxyde) par unité de surface.

$\epsilon_{ox}$  : Constante diélectrique d'oxyde.

$T_{ox}$  : Épaisseur de l'oxyde

Donc si on considère d'une part la différence des travaux de sortie et d'autre part la présence des charges d'interface, la tension de polarisation nécessaire à l'établissement du régime de bande plate s'écrit alors:

$$V_{FB} = \phi_m - \phi_s - \frac{Q_{ss}}{C_{ox}} \quad I.8$$

où  $V_{FB}$  est appelée tension de bandes plates (flat band voltage). Dans la mesure où  $\phi_m$  est inférieure à  $\phi_s$  et  $Q_{ss}$  toujours positif, la tension de bandes plates est négative.

Les effets de la différence des travaux de sortie et des états d'interface étant additifs avec l'effet de la polarisation [2], nous allons calculer ce dernier en supposant nuls les deux premiers. C'est l'hypothèse de la structure MOS idéale. Ce modèle idéal est un point de départ pour la compréhension du modèle réel. La structure métal oxyde semi-conducteur idéale est déterminée comme suit:

- les travaux de sortie du métal et du semi-conducteur sont égaux.
- Il n'existe pas d'états d'interface entre oxyde et le semi-conducteur
- l'oxyde est parfait c'est-à-dire n'est le siège d'aucun courant.
- la hauteur de barrière de potentiel entre le métal et le semi-conducteur est toujours donnée par la différence des travaux de sortie du métal et du semi-conducteur:

La courbe des bandes dans le semi-conducteur en figure 1.4 représente la variation de l'énergie potentielle ( $-qV$ ) des électrons c'est-à-dire au signe près la variation du potentiel.

Ce potentiel varie de  $V = 0$  dans la région neutre du semi-conducteur à  $V = V_s$  en  $x=0$  à l'interface oxyde/ semi-conducteur.

On remarque enfin, que même sous polarisation, le niveau de Fermi reste constant dans tout le semi-conducteur, ceci traduit de l'absence de courant résultant de la présence de l'oxyde.

On considère le semi-conducteur de type P. Lorsqu'on applique sur la grille métallique une tension  $V$  tel que:

1/  $V < 0$ : Il va y avoir une accumulation de charges positives (trous) à l'interface isolant semi-conducteur et une courbure des bandes d'énergie vers le haut (Figure 1.4a), sachant qu'il n'y a aucun courant qui circule dans la structure MOS idéale quelque soit la tension de polarisation; ainsi, le niveau de Fermi dans le semi-conducteur reste constant. On sait que la densité des porteurs de charges dans un semi-conducteur est donnée par [3]:

$$p_p = n_i e^{\left(\frac{E_i - E_F}{kT}\right)} \quad \text{I.9}$$

Le déplacement des bandes vers le haut à l'interface isolant semi-conducteur induit une augmentation de l'énergie  $E_i - E_F$  ce qui se traduit par une élévation de la densité de charge dans cette interface. Ceci est appelé régime d'accumulation (Figure. 1.4a).

$$|Q_m| = Q_s \quad \text{I.10}$$

où  $Q_s$  est la densité d'électron par unité de surface dans le semi-conducteur et  $Q_m$  la densité de trous par unité de surface dans le métal.

2/  $V > 0$ : Pour une faible tension positive la courbure des bandes d'énergies à la surface isolant semi-conducteur se fait vers le bas et il y a une désertion des porteurs majoritaires (trous) de cette surface (Figure 1.4b), ce régime est appelé régime de déplétion et la densité de porteurs minoritaires par unité de surface est donnée par:

$$Q_s = -qN_A W \quad \text{I.11}$$

où  $W$  est la largeur de la zone de charge d'espace.

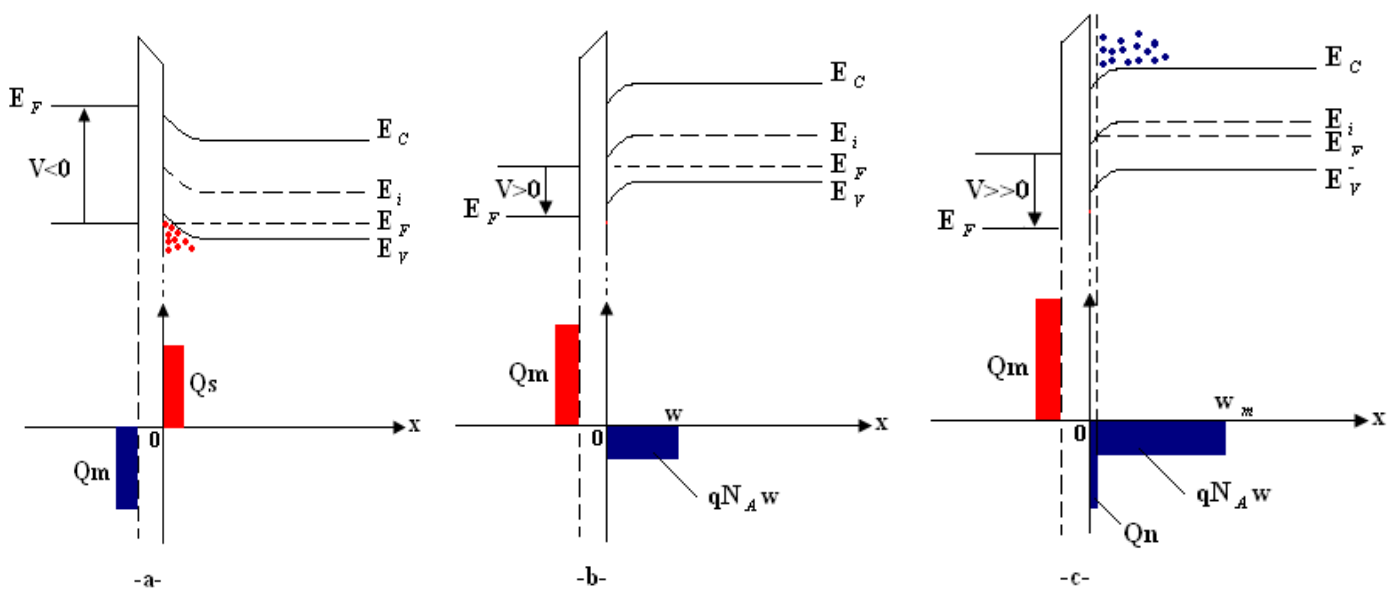
$V > 0$ : Pour une tension positive plus grande la courbure des bandes vers le bas à la surface isolant semi-conducteur devient plus accentuée et le niveau de Fermi intrinsèque passe au dessous du niveau de Fermi ce qui veut dire que la tension de polarisation devient suffisante pour induire un excès de charges négatives (électrons) dans cette surface (Figure 1.4c).

$$n_p = n_i e^{\left(\frac{E_F - E_i}{kT}\right)} \tag{I.12}$$

$(E_F - E_i)$  étant positive, cela veut dire que :

$$n_p > n_i \quad \text{et} \quad p_p < n_i \quad \Rightarrow n_p > p_p$$

La densité des porteurs minoritaires (électrons) est supérieure à la densité des porteurs majoritaires (trous) dans la surface isolant semi-conductrice; c'est le régime d'inversion.



**Figure 1.4 : Diagramme des bandes d'énergies et distribution des charges dans une structure MOS idéale dans les trois régimes de fonctionnement -a- accumulation, -b- déplétion et -c- inversion.**

### I.2.1.1.a Description de la région de déplétion

La Figure 1.5 donne plus de détails sur les bandes d'énergie à l'interface isolant semi-conductrice. Le potentiel électrique  $\psi$  est égal à zéro dans le substrat car les bandes restent inchangées. A l'interface isolant semi-conducteur  $\psi = \psi_s$ ;  $\psi_s$  est appelé: le potentiel de surface. Les équations (I.9) et (I.12) peuvent être écrites respectivement comme suit [3]:

$$p_p = n_i e^{\left(\frac{\psi_B - \psi}{kT}\right)} \tag{I.13}$$

A la surface les densités s'écrivent :

$$p_s = n_i e^{q \left( \frac{\phi_F - \psi_s}{kT} \right)} \quad \text{I.14}$$

$$n_s = n_i e^{q \left( \frac{\psi_s - \phi_F}{kT} \right)} \quad \text{I.15}$$

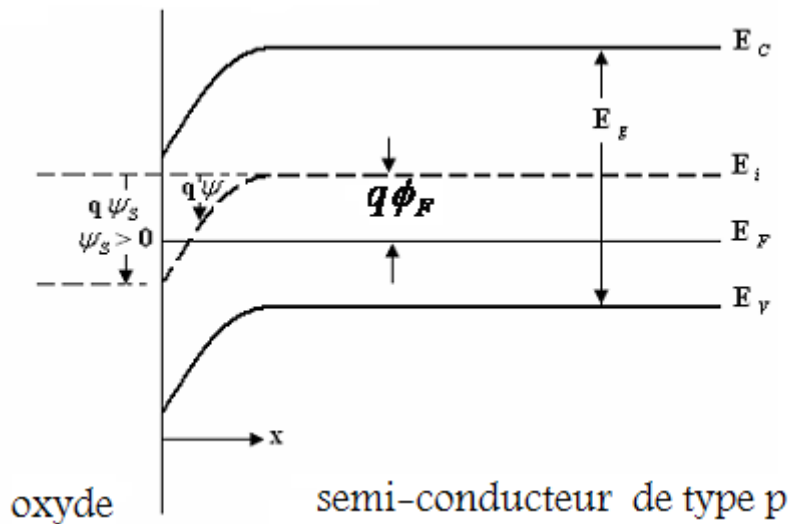


Figure I.5 Structure de bandes à la surface d'un semi-conducteur de type P [2].

On peut alors discuter les densités de porteurs en fonction du potentiel de surface  $\psi_s$  dans les équations (1.10) et (1.11):

$\psi_s < 0$  Accumulation des trous.

$\psi_s = 0$  Régime des bandes plates.

$\phi_F > \psi_s > 0$  Désertion des trous (déplétion).

$\psi_s = \phi_F$  La limite entre désertion et inversion  $n_p = n_i$

$\psi_s > \phi_F$  Régime d'inversion  $n_p > p_p$

Le potentiel  $\psi$  peut être une fonction de la distance en utilisant l'équation de poisson à une dimension, on obtient:

$$\frac{d^2\psi}{dx^2} = -\frac{\rho_s(x)}{\epsilon_s} \quad \text{I.16}$$

$\rho_s(x)$  étant la densité volumique des charges à la distance  $x$  et  $\epsilon_s$  la permittivité diélectrique et  $W$  la largeur de la zone de déplétion:



$$\psi = \psi_s \left(1 - \frac{x}{W}\right)^2 \quad \text{I.17}$$

$$\psi_s = \frac{qN_A W^2}{2\epsilon_s} \quad \text{I.18}$$

On définit le régime de forte inversion comme étant la valeur de  $\psi_s$  pour laquelle la concentration des électrons est égale à la concentration des impuretés dans le substrat c. à d :

$$n_s = N_A = n_i e^{\frac{q\psi_s}{kT}} \quad \text{I.19}$$

Les équations (1.11) et (1.15) définissent le potentiel de forte inversion :

$$\psi_s (inv) \cong 2\phi_F = \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad \text{I.20}$$

La largeur de la zone de déplétion est maximale dans le cas de la forte inversion :

$$W_{\max} = \sqrt{\frac{2\epsilon_s \psi_s (inv)}{qN_A}} \cong \sqrt{\frac{2\epsilon_s (2\phi_F)}{qN_A}} \quad \text{I.21}$$

$$W_{\max} = 2\sqrt{\frac{\epsilon_s kT \ln\left(\frac{N_A}{n_i}\right)}{q^2 N_A}} \quad \text{I.22}$$

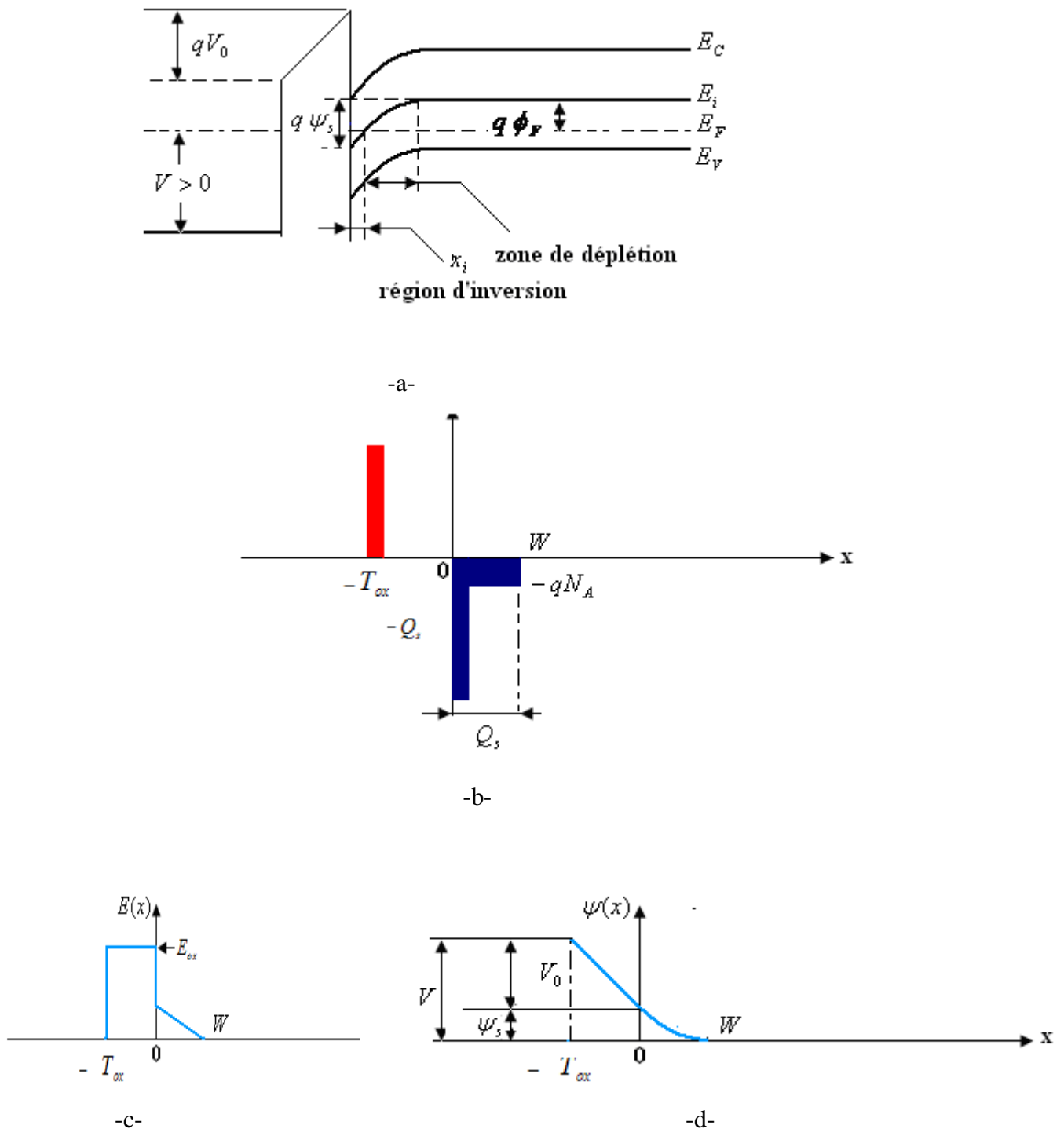
et :

$$Q_s = -qN_A W_{\max} \cong -\sqrt{2q\epsilon_s N_A (2\phi_F)} \quad \text{I.23}$$

### I.2.1.1.b Champ électrique et potentiel dans la structure

#### MOS Idéal

Les distributions de ces entités sont données dans la Figure 1.6



**Figure. 1.6** -a- Diagramme de bandes  
 -b- Distribution des charges  
 -c- Distribution du champ électrique  
 -d- Distribution du potentiel

Le potentiel  $V$  (Figure. 1.6d) se décompose en:

$$V = V_0 + \psi_s \quad \text{I.24}$$

- $V_0$  : La différence de potentiel de part et d'autre l'isolant:

$$V_0 = E_{ox} T_{ox} = \frac{|Q_s| T_{ox}}{\epsilon_{0x}} = \frac{|Q_s|}{C_{ox}} \quad \text{I.25}$$

- $\psi_s$  : Le potentiel à l'interface isolant semi-conducteur:

$E_{ox}$  étant le champ à l'interface isolant semi-conducteur et  $C_{ox}$  la capacité d'oxyde par unité de surface.

La capacité totale de la structure est la combinaison en série des capacités d'oxyde  $C_0$  et de la zone de déplétion  $C_j$ .

$$C = \frac{C_{ox} C_j}{C_{ox} + C_j} \quad \text{I.26}$$

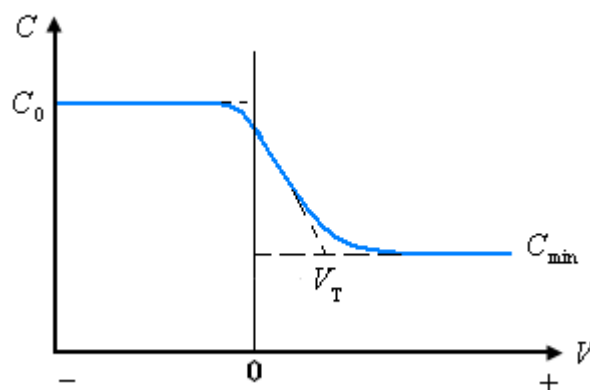
avec

$$C_j = \frac{\epsilon_s}{W} \quad \text{I.27}$$

A partir des équations (1.14), (1.26) et (1.27), on obtient la formule suivante:

$$\frac{C}{C_{0x}} = \frac{1}{\sqrt{1 + \frac{2\epsilon_{0x}^2 V}{qN_A \epsilon_s T_{ox}^2}}} \quad \text{I.28}$$

La relation entre la capacité  $C$  et la tension  $V$  appliquée à la grille est illustrée graphiquement dans la Figure. 1.7:



**Figure. 1.7** Caractéristique  $C(V)$  en haute fréquence d'une structure MOS idéal.[2]

$V_{TH}$  est la tension pour laquelle la capacité  $C$  est minimum qu'on appelle tension seuil (Threshold voltage).

$$C_{\min} = \frac{\varepsilon_{ox}}{T_{ox} + \left(\frac{\varepsilon_{ox}}{\varepsilon_s}\right)W_{\max}} \quad \text{I.29}$$

### I.2.1.2 La tension de seuil

On définit la tension de seuil de la structure comme la tension de polarisation de l'électrode métallique nécessaire à l'établissement du régime de forte inversion c'est donc la valeur de la tension  $V_s$  entraînant  $V_s = 2\phi_F$ . Compte tenu de la relation:

$$V_G - V_s = \Delta V_{ox} = -\frac{Q_s}{c_{ox}} \quad \text{I.30}$$

$V_G$  est donné en fonction de  $V_s$  par l'expression:

$$V_G = V_s - \frac{Q_s}{c_{ox}} \quad \text{I.31}$$

Dans la mesure où le seuil de forte inversion correspond au régime pour lequel les charges d'inversion deviennent prépondérantes, on peut écrire:

$$V_G = V_s + \frac{(2q\varepsilon_s N_A V_s)^{1/2}}{c_{ox}} \quad \text{I.32}$$

La tension de seuil  $V_{TH}$  de la structure est donnée par la valeur de  $V_G$  pour laquelle  $V_s = 2\phi_F$  soit:

$$V_{TH} = \frac{qN_A W_{\max}}{c_{ox}} + \psi_s(inv) \cong \frac{\sqrt{2\varepsilon_s qN_A (2\phi_F)}}{c_{ox}} + 2\phi_F \quad \text{I.33}$$

D'où on ne peut plus négliger les charges d'inversion devant les charges de déplétion:

$$V_{TH} = 2\phi_F + \frac{\sqrt{4\varepsilon_s qN_A \phi_F}}{c_{ox}} \quad \text{I.34}$$

### I.2.1.3 La structure MOS réelle (SiO2-Si)

La structure Métal-SiO2-Si est la structure MOS la plus étudiée car ses caractéristiques sont très proches de celle de la structure idéale. Cependant la barrière de potentiel  $\phi_{ms}$  n'est pas nulle et il y a diverses charges à l'intérieur de l'oxyde qui affectent,

dans un sens ou dans un autre, les caractéristiques du MOS idéal. Les caractéristiques du MOS réel sont:

### I.2.1.3.a La barrière de potentiel

Le travail de sortie d'un semi-conducteur  $q\phi_s$  est la différence d'énergie qui existe entre le niveau de Fermi et le niveau vide. Le travail de sortie dans le semi-conducteur varie en fonction du dopage. Alors que pour un métal donné, le travail de sortie  $q\phi_m$  reste constant. On va donc dire que la barrière de potentiel  $q\phi_m - q\phi_s$  varie en fonction du dopage du semi-conducteur. L'un des métaux les plus utilisés dans la fabrication des MOS est l'aluminium qui possède un travail de sortie d'environ  $q\phi_m = 4,1eV$  et le silicium polycristallin (Polysilicium) dont le travail de sortie est  $q\phi_m = 4,05eV$  pour le  $n^+$  polysilicium et  $q\phi_m = 5,05eV$  pour le  $p^+$  polysilicium. La figure suivante montre la variation de la barrière de potentiel en fonction du dopage pour les trois types de métaux de grille:

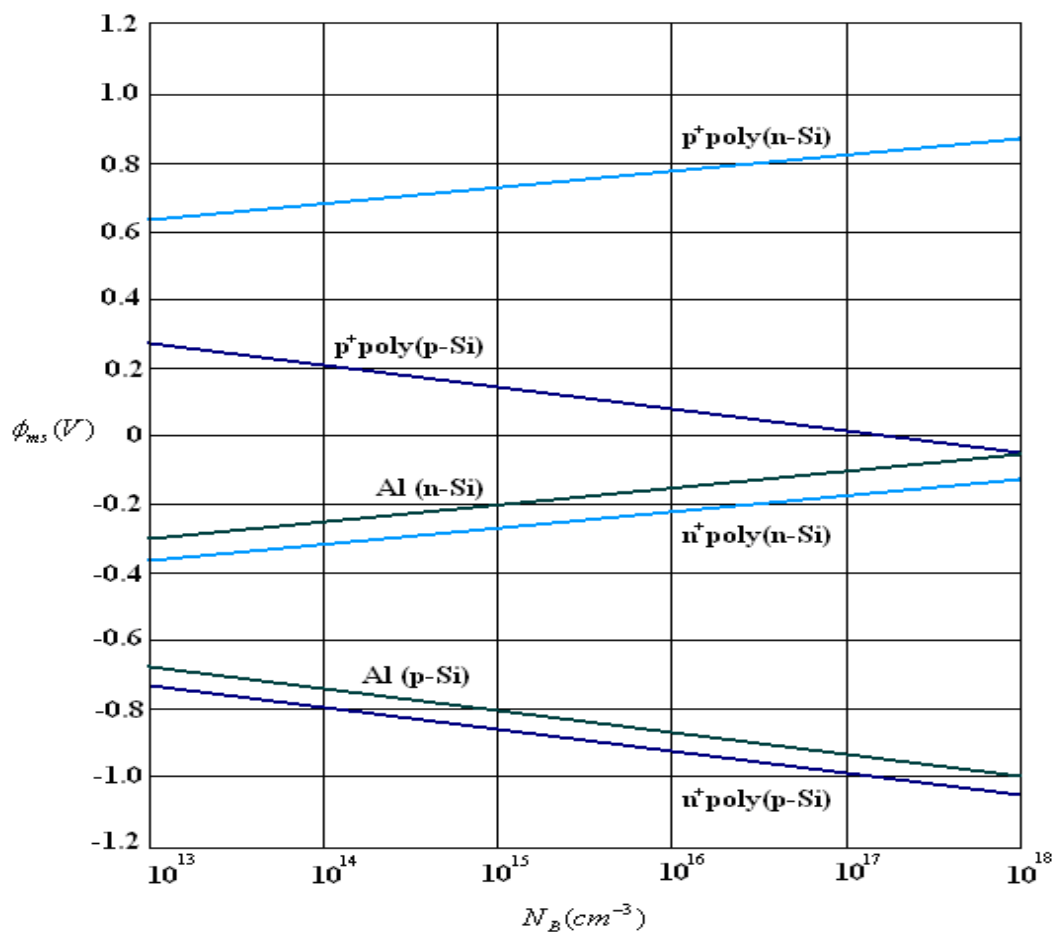


Figure I.8 Barrière de potentiel en fonction du dopage pour différents types de métaux de grille.

Pour la construction des diagrammes de bande on a deux cas, on commence par considérer le système isolé (Figure 1.9a). C'est le régime des bandes plates. Après équilibre thermique (échange d'énergie) le niveau de Fermi doit rester constant dans tout le système et le niveau du vide doit être continu, donc il y a courbure vers le bas des bandes à la surface oxyde semi-conducteur due à la différence des travaux de sortie entre métal et semi-conducteur. Ainsi, le métal sera chargé positivement et le semi-conducteur négativement (Figure 1.9b). Pour ramener le système à l'état des bandes plates on applique une tension égale à la différence des travaux de sortie; cette tension est appelée tension des bandes plates (flat-band voltage)

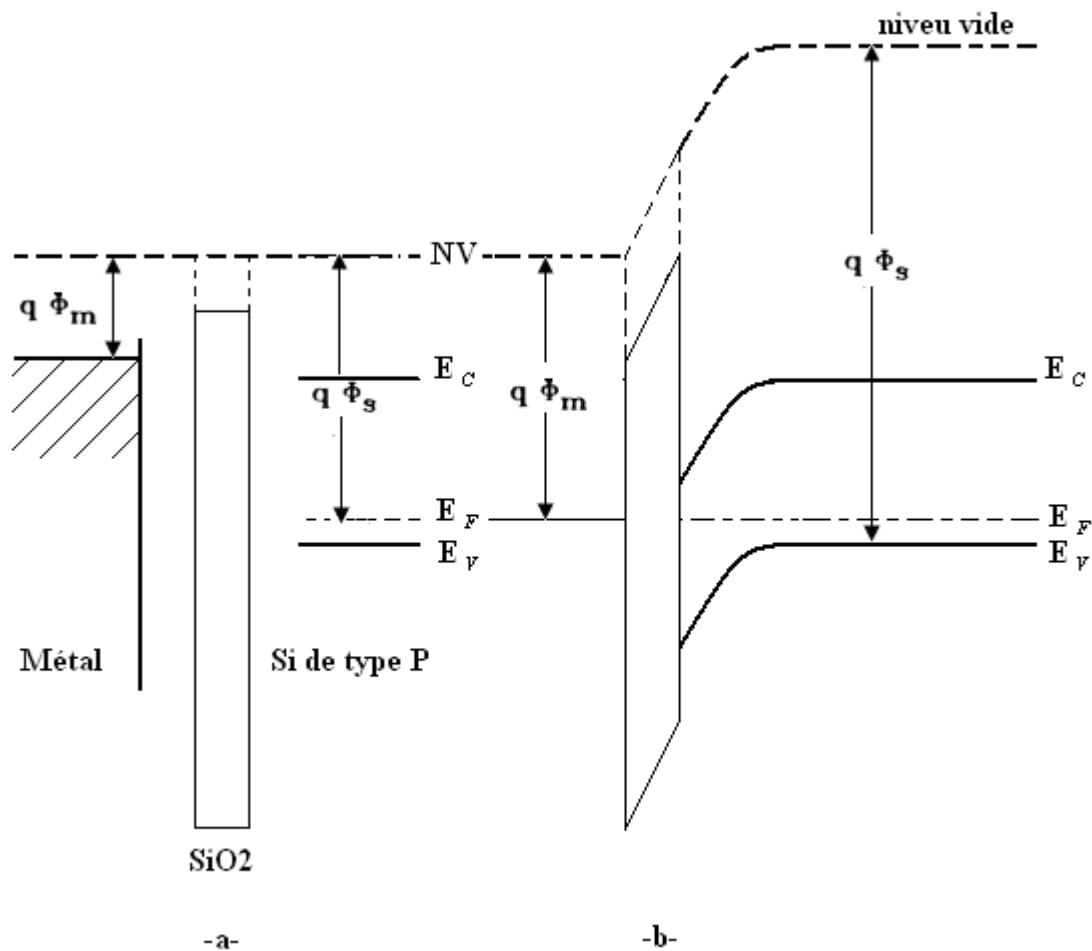


Figure 1.9 a- Diagramme des bandes pour un système isolé

-b- Diagramme des bandes pour un système en équilibre thermique. [2]

### I.2.1.3.b Pièges d'interface et charges d'oxyde

En plus de la barrière de potentiel, les caractéristiques de la diode MOS sont aussi affectées par la présence de charges dans l'oxyde et de niveau pièges à l'interface SiO<sub>2</sub>-Si. La classification de ces pièges et charges est donnée dans la Figure 1.10:

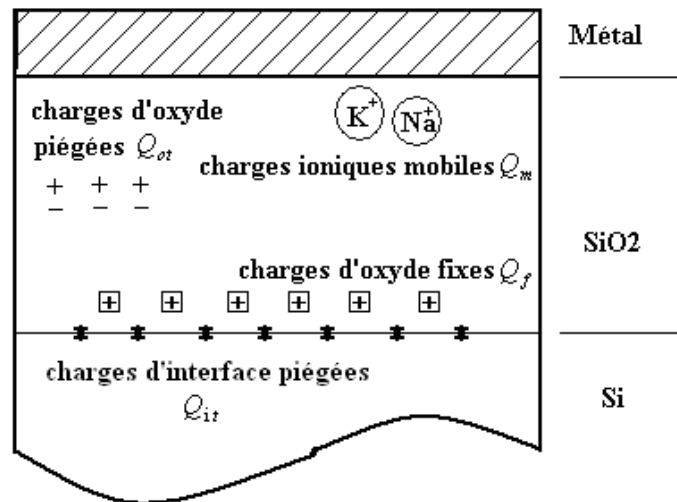


Figure I.10 Terminologie de pièges d'interface et de charges d'oxyde.

### I.2.1.3.c Dispositifs à transfert de charge (CCD)

La base de ces dispositifs est l'assemblage de plusieurs diodes MOS en parallèle avec une couche continue d'oxyde. Le CCD peut couvrir un domaine large de fonction électronique comme le traitement d'image et le traitement du signal. Le principe de fonctionnement du CCD est basé sur le stockage et le transfert de charges contrôlé par les tensions de grille.

## I.2.2. La structure MOS

### I.2.2-a-Définition

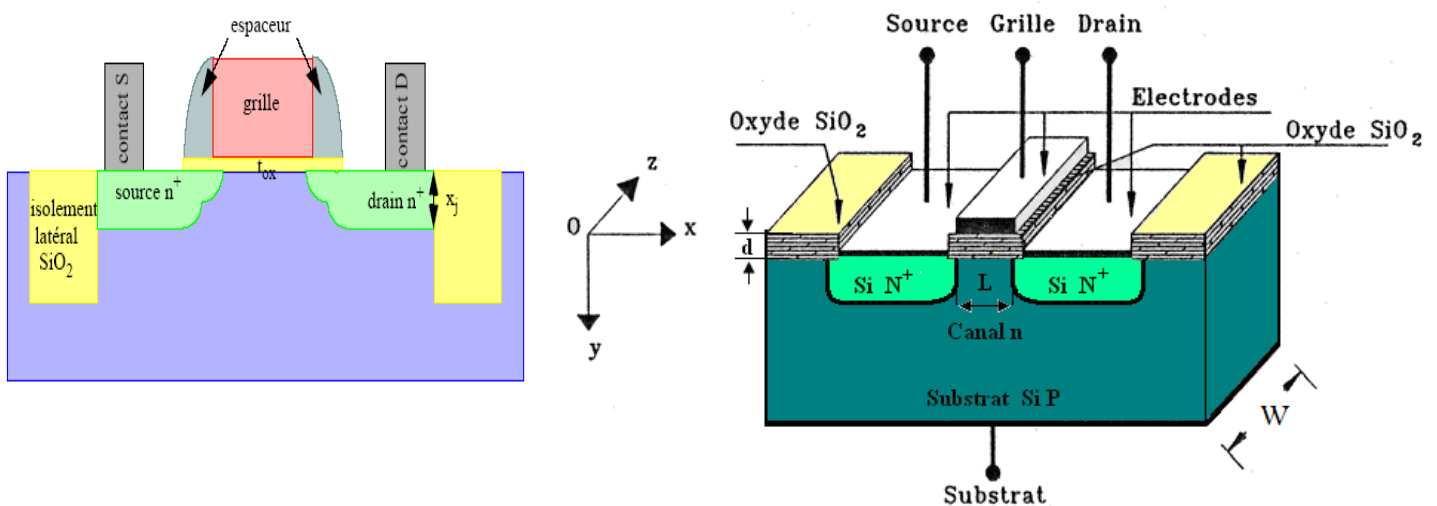
La structure métal isolant semi-conducteur est l'une des pièces maîtresses de l'électronique moderne car elle est à la base des circuits intégrés à VLSI (Very Large Scale Integration) et ULSI (Ultra Large Scale Integration). Elle est aussi à l'origine des composants à transfert de charges CCD (Charge-Coupled Devices). Très simple à réaliser car elle est obtenue par l'oxydation thermique d'un semi-conducteur pour fournir la couche d'isolant, les contacts électriques sont obtenus par dépôts métalliques (Figure 1.1).

### I.2.2-b- Le transistor MOSFET

Le Transistor à Effet de Champ à Métal Oxyde Semi-conducteur (MOSFET : Metal Oxyde Semiconductor Field Effect Transistor), est un transistor dont la grille métallique est

totallement isolé du canal par une mince couche isolante d'oxyde de silicium  $\text{SiO}_2$  d'épaisseur voisine de  $0.1\mu\text{m}$ . Le MOSFET possède plusieurs noms qui décrivent tous sa structure, comme IGFET (Insulating-gate field-effect transistor), MISFET (Metal-insulator-semiconductor field-effect transistor), et MOST (Metal-oxide-semiconductor transistor). Le transistor NMOS est constitué :

- D'un substrat qui est un semi-conducteur de type P.
- De deux zones appelées Source et Drain (régions semi-conductrices de même type de dopage) reliées à leur électrode respective.
- D'une électrode de commande appelée grille sous forme de dépôt métallique en aluminium ou en polysilicium qui surplombe l'oxyde de grille ultra fin sous forme de couche d'isolant ( $\text{SiO}_2$ ) prise en sandwich entre le métal de grille et le substrat.
- D'un contact ohmique sur le substrat pour former l'électrode du substrat. Les paramètres principaux du transistor MOS sont la longueur du canal  $L$  qui est la distance entre les deux caissons n, la largeur du canal  $W$ , l'épaisseur de la couche  $\text{SiO}_2$ , le dopage du substrat  $N$  et la profondeur des couches n.



**Figure. 1.11 Structure d'un transistor MOS à enrichissement.**

Le courant dans le transistor MOSFET est un courant unipolaire de porteurs minoritaires :

- Les électrons dans le cas du NMOS (source et drain de type n),
- Les trous dans le cas du PMOS (source et drain de type p).



### I.2.3. Fonctionnement

Le transistor MOS est un composant unipolaire, la conduction est assurée par un seul type de porteurs dont le nombre est contrôlé par la tension grille. Quelque soit le type du MOSFET, les porteurs se déplacent toujours de la source vers le drain.

Le principe de fonctionnement d'un transistor MOS repose sur "l'effet de champ" qui consiste à moduler par voie électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et prend effet l'électrode de grille et le substrat de silicium (canal).

La grille permet de contrôler le courant entre les régions de source et de drain. Le contrôle se fait par l'intermédiaire du potentiel appliqué entre la grille et la source. Ce système constitue une capacité MOS. On parle de transistor à grille isolée.

En régime linéaire, on peut assimiler le canal à une résistance dont la valeur varie entre  $R_{on}$  (valeur minimale) lorsque le transistor est saturé et  $R_{off}$  (valeur maximale) lorsque le transistor est bloqué.

La technologie MOS est essentiellement utilisée dans les applications logiques (composants numériques) consommant très peu de courant. Elle permet ainsi d'obtenir un très grand niveau d'intégration (mémoires, microprocesseurs, circuits logiques divers...). Les transistors MOS fonctionnent alors en commutation: ils s'apparentent à des interrupteurs commandés en tension.

On distingue deux types de transistor MOS :

- I. Les transistors MOSFET à enrichissement (normally-off) : Au début le canal n'existe pas et le transistor est bloqué en l'absence de signal de commande sur la grille. Le canal est induit par l'application d'une tension suffisante et de polarité convenable (phénomène d'inversion).
- II. Les transistors MOSFET à appauvrissement (normally-on): Ce type de transistor est passant en l'absence de signal de commande sur la grille grâce à la présence du canal obtenu par un léger dopage.

#### I.2.3.1 structures possibles

En général, un transistor MOS contient une grille G en silicium polycristallin séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus

souvent SiO<sub>2</sub> (figure 1.12). Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction.

Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous). La figure (I.12) illustre ces deux types de transistors.

Afin de créer un canal de conduction entre les contacts de source S et de drain D, les polarisations suivantes sont requises.

- Pour un **NMOS**, la grille doit être polarisée positivement pour créer un canal de conduction rempli d'électrons mobiles à la surface d'un semi-conducteur de type P. La tension  $V_{DS}$  doit être positive afin de drainer ces électrons; le courant circule donc du drain vers la source.
- Pour un **PMOS**, la grille doit être polarisée négativement pour créer un canal de conduction rempli de trous mobiles à la surface d'un semi-conducteur de type N. La tension  $V_{DS}$  doit être négative afin de drainer ces trous; le courant circule donc de la source vers le drain

Chacun de ces deux transistors peut avoir une construction à canal «surfactive» ou à canal «enterré».

a) **Le canal surfactive** (aussi appelé canal d'**inversion**) est induit électro statiquement par l'effet de champ. Il est du type des porteurs, N ou P, et donc opposé (d'où le nom d'inversion) à celui du substrat, mais de même type que les régions de source et de drain, rendant ainsi le passage du courant possible. Notons que si la couche d'inversion n'est pas créée par l'effet de champ, la structure se réduit à deux diodes tête-bêche (jonction N+PPN+) pour un NMOS ou P+NNP+ pour un PMOS); aucune conduction n'est alors possible.

b) **Le canal enterré** (aussi appelé canal d'**accumulation**) est un canal constitué par une fine couche fixe (dite enterrée) du semi-conducteur dopé, du même type de conduction que les régions de source et de drain. Si cette couche est suffisamment épaisse, le passage du courant est autorisé même sans l'effet de champ, car le canal représente une résistance (N+NN+). Une polarisation positive de la grille pour le NMOS (négative pour le PMOS) induit une accumulation de porteurs dans le canal, augmentant ainsi le niveau de conduction. Une polarisation contraire, négative pour le NMOS (positive pour le PMOS), appauvrit le canal de porteurs libres, le rendant ainsi bloqué pour la conduction.

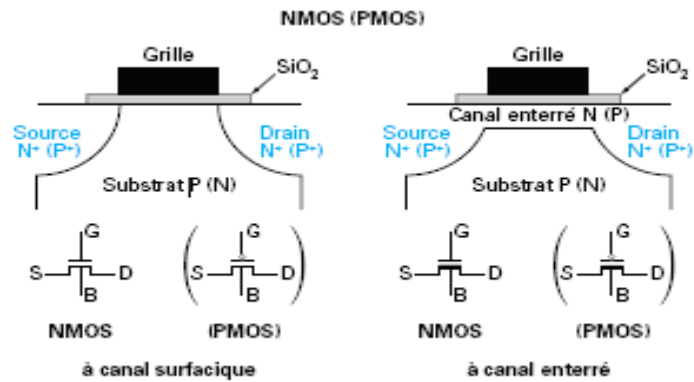


Figure I.12 Structures et symboles des transistors MOS

Type	Caractéristiques de sortie	Caractéristiques de transfert
<p>NMOSFET (normally off) à enrichissement</p>		
<p>NMOSFET (normally on) à appauvrissement</p>		

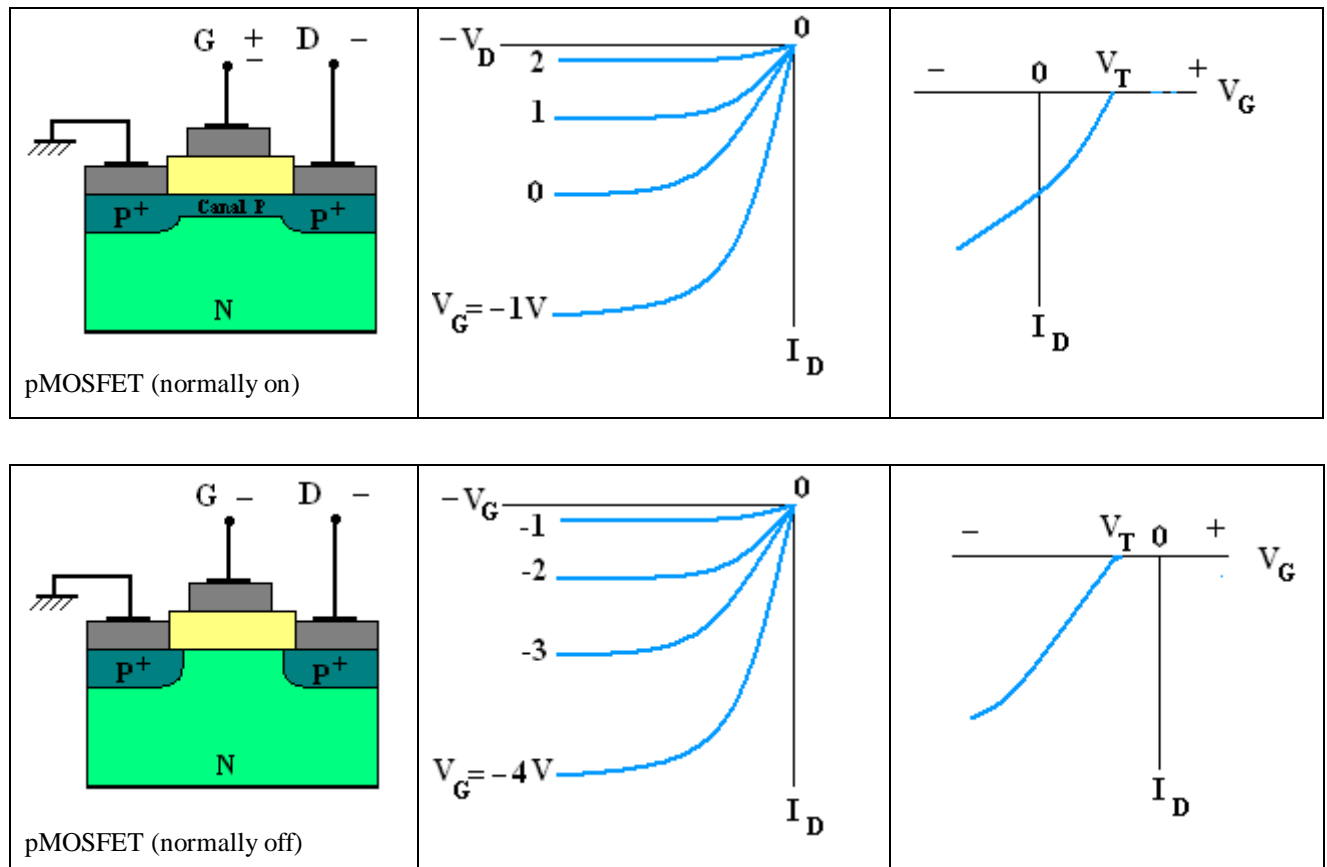


Figure I.13. Caractéristiques de transfert et de sortie des différents types de MOSFET.

### I.2.3.2 Étude qualitative

On va maintenant présenter une étude qualitative du système d'opération, pour cela on considère un transistor MOS à canal n à appauvrissement. L'électrode de la source est utilisée comme tension de référence dans toute l'étude qui va suivre :

Le canal étant déjà matérialisé, l'application d'une faible tension sur l'électrode du drain va provoquer la circulation d'électrons du canal de la source vers le drain (le courant correspondant circule du drain vers la source). Le courant  $I_D$  est proportionnel à la tension  $V_D$  et le canal se comporte comme une résistance, c'est la zone linéaire (Figure I.13a).

Lorsque la tension  $V_D$  arrive à une certaine valeur  $V_D = V_{DS}$ , il y a phénomène de pincement du canal et le courant  $I_D$  restera constant au delà de cette valeur. Le pincement du canal est dû à l'apparition d'une ZCE qui s'étend plus du côté du drain (Figure I.13b).

Au delà de la tension  $V_{DS}$ , le point d'étranglement du canal va se déplacer vers la source (Figure I.13c) et la longueur du canal diminue de  $\Delta L$ . La tension sur le canal reste égale à  $V_{DS}$  et l'excédent  $V_D - V_{DS}$  sera appliqué sur la longueur  $\Delta L$ .

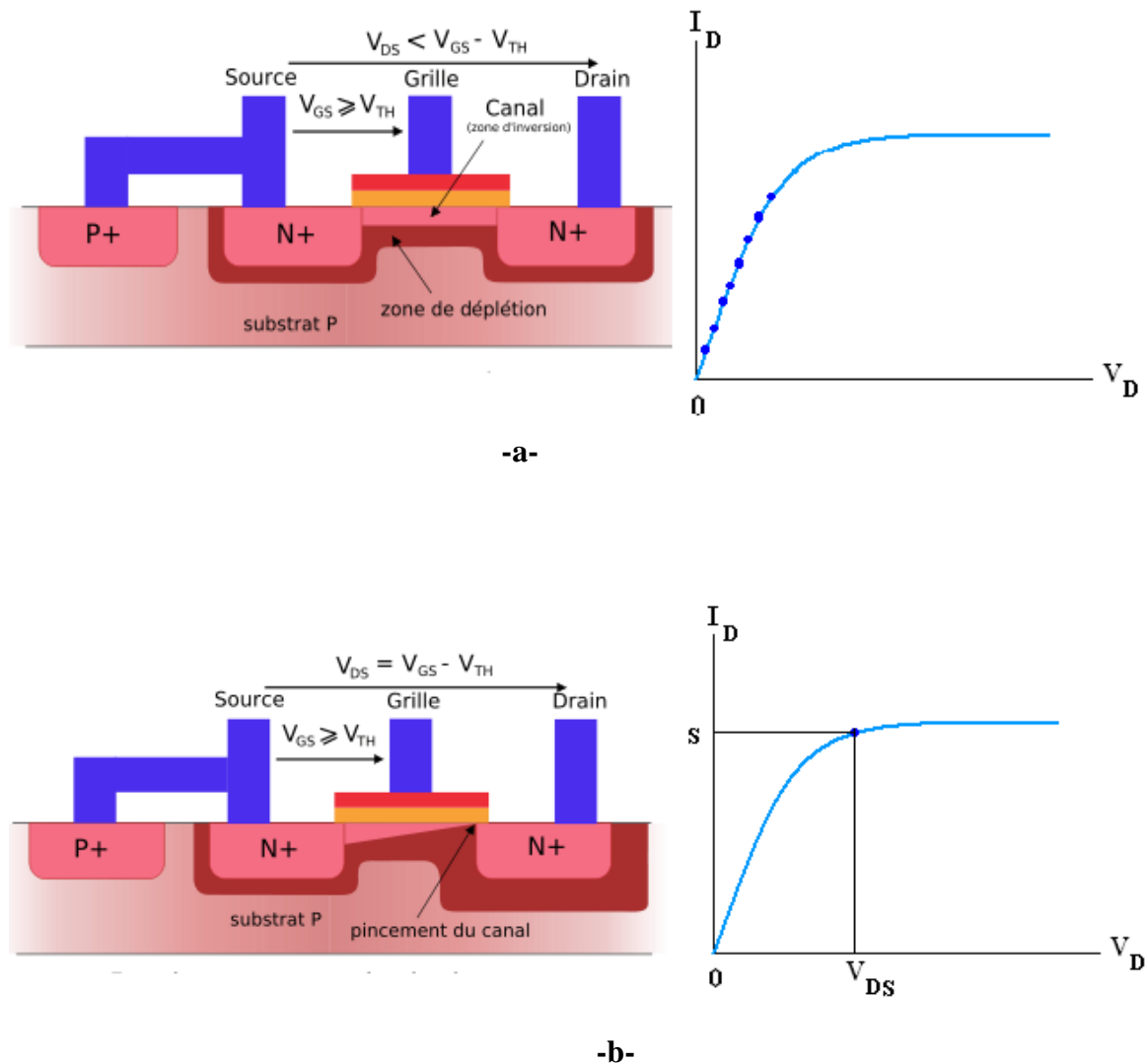


Figure I.14 Principe de fonctionnement du transistor MOSFET [4]

### I.2.3.3 Étude quantitative

Pour l'étude quantitative et pour la simplification on considère le transistor MOSFET sous les conditions idéales.

La diode MOS est supposée idéale (pas de différence de travail de sortie ni de pièges à la surface ni de charges dans l'oxyde...).

- Le seul courant considéré est le courant de diffusion.
- La mobilité des porteurs de charges dans la couche d'inversion est constante.
- Le dopage dans le canal est uniforme.
- Le courant inverse est négligeable.
- Le champ électrique transversal (dirigé dans l'axe des y) créé par la tension grille est très grand devant le champ longitudinal (dirigé dans l'axe des x) créé par la tension drain.

La dernière condition est appelée l'approximation du canal graduel qui est valide pour le MOSFET à canal long. Sous cette condition les charges contenues dans la zone de déplétion sont induites seulement par le champ électrique dû à la tension grille.

La figure (I.14a) montre un transistor MOS fonctionnant dans la zone linéaire. Sous les conditions précédentes, le total des charges induites dans le semi-conducteur à une distance  $x$  de la source par unité de surface est  $Q_s$ . La figure I.14b est un agrandissement de la structure centrale du transistor:

$$Q_s(x) = -[V_G - \psi_s(x)]C_{0x} \quad \text{I.35}$$

où  $\psi_s(x)$  est le potentiel de surface à la distance  $x$  et  $C_{0x} = \frac{\epsilon_{0x}}{T_{ox}}$  est la capacité grille

par unité de surface.

$Q_s$  est la somme des charges dans la zone d'inversion  $Q_n$  et les charges dans la zone de déplétion  $Q_{sc}$ .

$$Q_n(x) = Q_s(x) - Q_{sc}(x) = Q_s(x) = -[V_G - \psi_s(x)]C_{0x} - Q_{sc}(x) \quad \text{I.36}$$

En considérant le régime de forte inversion, le potentiel de surface sera

$$\psi_s = 2\phi_F + V(x) \quad \text{I.37}$$

$V(x)$  est la tension inverse entre le point  $x$  et la source Figure I.14.

$$Q_{sc}(x) = -qN_A W_{\text{max}} \cong -\sqrt{2\epsilon_s q N_A} [2\phi_F + V(x)] \quad \text{I.38}$$

En remplaçant l'équation (1.32) dans (1.31), on obtient:

$$Q_n = -[V_G - V(x) - 2\phi_F]C_{0x} + \sqrt{2\epsilon_s q N_A} [2\phi_F + V(x)] \quad \text{I.39}$$

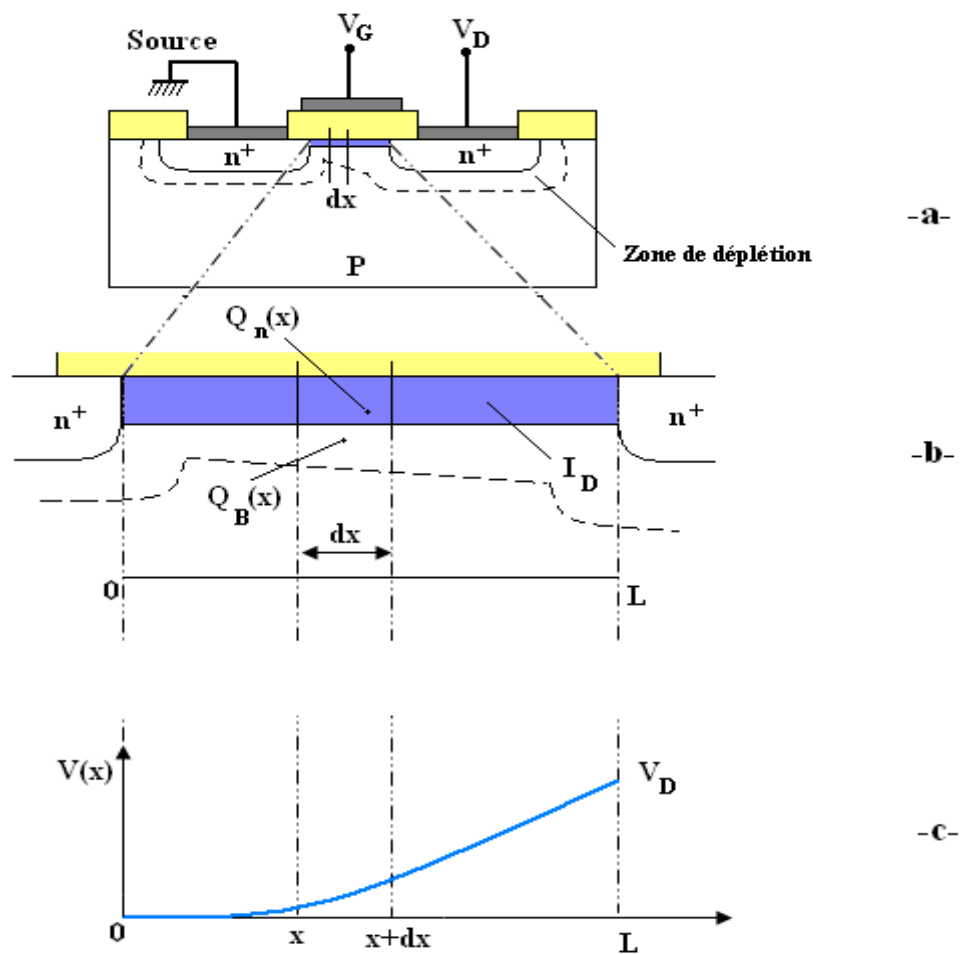


Figure 1.15 Modélisation du courant dans le canal

La conductivité du canal à la position  $x$  peut être approximée par

$$\sigma(y) = q.n(y).\mu_n(y) \tag{I.40}$$

Pour une mobilité des charges du canal constante, la conductance est donnée par

$$g = \frac{W}{L} \int_0^{x_i} \sigma(y).dy = \frac{W\mu_n}{L} \int q.n(y).dy \tag{I.41}$$

$\int_0^{x_i} \sigma(y).dy$  est la densité de charges par unité de surface dans la zone d'inversion  $|Q_n|$

$$g = \frac{W\mu_n}{L} |Q_n| \tag{I.42}$$

La résistance du canal pour une distance élémentaire  $dx$  est:

$$dR = \frac{dx}{gL} = \frac{dx}{W\mu_n|Q_n(x)|} \quad \text{I.43}$$

La chute de tension à travers  $dx$  est:

$$dV = I_D \cdot dR = \frac{I_D dx}{W\mu_n|Q_n(x)|} \quad \text{I.44}$$

$I_D$  est indépendant de  $x$ .

En remplaçant (1.34) dans (1.44) on obtient:

$$I_D = \frac{W}{L} \mu_n C_{0x} \left[ \left( V_G - 2\phi_F - \frac{V_D}{2} \right) V_D - \frac{2}{3} \frac{\sqrt{2\varepsilon_s q N_A}}{C_{0x}} \left( [V_D + 2\phi_F]^{3/2} - [2\phi_F]^{3/2} \right) \right] \quad \text{I.45}$$

C'est la caractéristique  $I_D = f(V_D)$  qui est traduite en graphe dans la Figure I.16

L'équation (I.45) peut être simplifiée en considérant les petites valeurs de  $V_D$  (zone linéaire).

$$I_D \cong \frac{W}{L} \mu_n C_0 (V_G - V_T) V_D \quad \text{I.46}$$

Ceci est vrai pour  $V_D \ll (V_G - V_{TH})$ .

La conductance  $g_D$  et la transconductance  $g_m$  sont exprimées par :

$$g_D \equiv \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G = \text{constante}} \cong \frac{W}{L} \mu_n C_{0x} (V_G - V_T) \quad \text{I.47}$$

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_D} \right|_{V_D = \text{constante}} \cong \frac{W}{L} \mu_n C_{0x} V_D \quad \text{I.48}$$



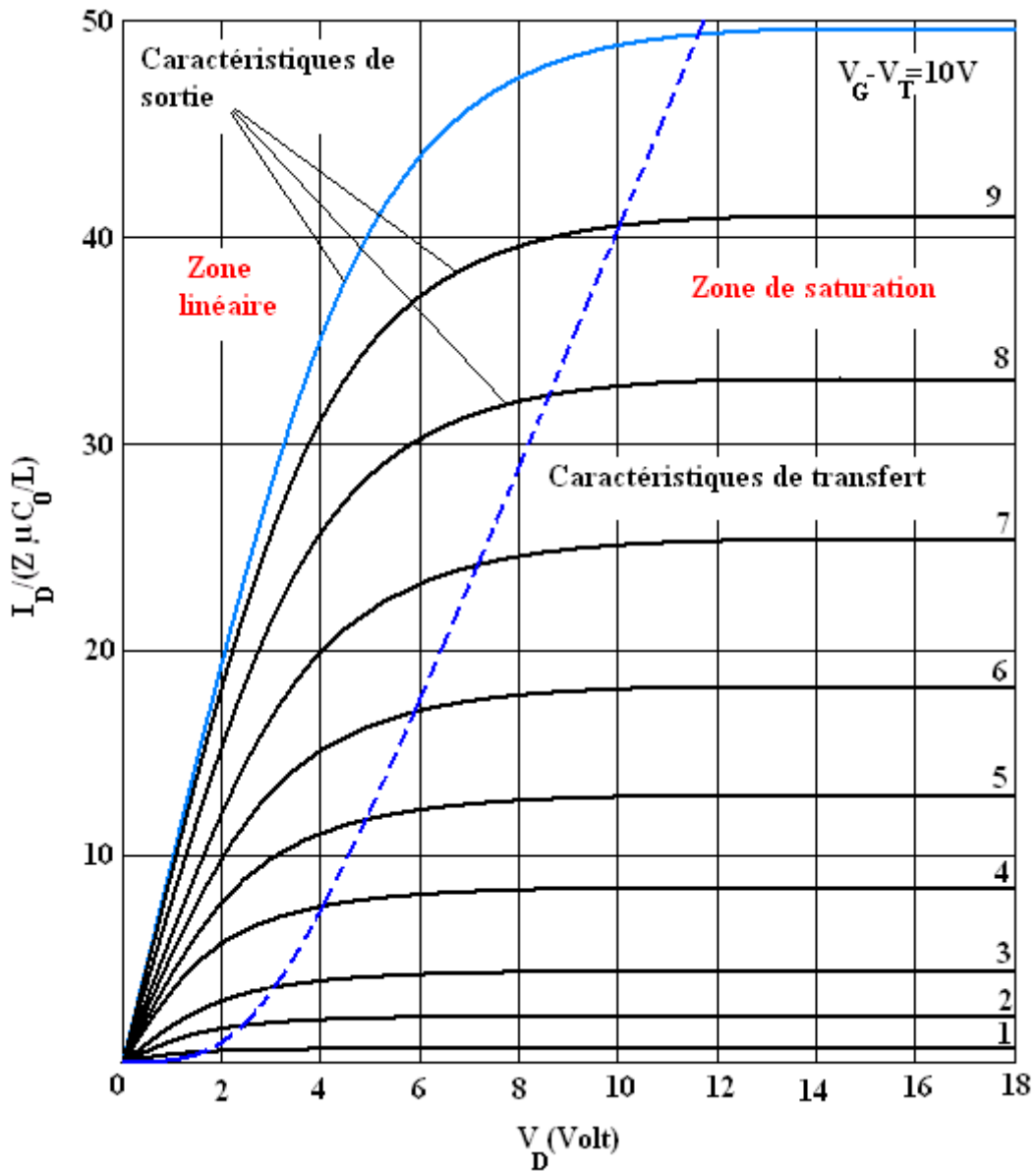


Figure I.16 Caractéristiques I (V) d'un MOSFET idéal.

La tension drain va augmenter de telle façon que la densité de charge dans la zone d'inversion au point  $x = L$  est égale à zéro, c'est le point de pincement pour lequel on détermine la tension de saturation qu'on obtient de l'équation (1.30) sous la condition  $Q_n(L) = 0$ .

$$V_{Dsat} \cong V_G - 2\phi_F + \left( 1 - \sqrt{1 + \frac{2V_G}{K^2}} \right) \quad \text{I.49}$$

avec 
$$K = \frac{\sqrt{2\varepsilon_s q N_A}}{C_{0x}} \quad \text{I.50}$$

De même le courant de saturation peut être obtenu en remplaçant (1.37) dans (1.33)

$$I_{Dsat} \cong \left( \frac{W\mu_n C_{0x}}{2L} \right) (V_G - V_T)^2 \quad \text{I.51}$$

Pour un transistor MOS idéal est en saturation, la conductance du canal est nulle et la transconductance est obtenue de l'équation (1.43)

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{constante}} = \frac{W\mu_n \varepsilon_{0x}}{dL} (V_G - V_T) \quad \text{I.52}$$

### I.2.3.4 Le contrôle de la tension de seuil

L'un des paramètres les plus importants du transistor MOS est la tension de seuil qui est exprimée idéalement dans l'équation (1.28). Cependant, l'incorporation des effets comme les charges d'oxyde et la différence des travaux de sortie entraîne un décalage dans la structure des bandes. Autre facteur pouvant influencer  $V_{TH}$  sont la tension entre source et substrat  $V_{BS}$ . Lorsqu'une polarisation inverse est appliquée entre la source et le substrat, la zone de déplétion va s'élargir et la tension de seuil requise pour créer la zone d'inversion augmente. La tension de seuil sera donc exprimée dans l'équation (I.44)

$$V_{TH} \approx V_{FB} + 2\phi_F + \frac{\sqrt{2\varepsilon_s q N_A (2\phi_F + V_{BS})}}{C_{0x}} \quad \text{I.53}$$

La variation dans la tension de seuil due à l'application d'une tension  $V_{BS}$  est donnée par l'équation:

$$\Delta V_{TH} = \frac{\sqrt{2\varepsilon_s q N_A}}{C_{0x}} \left( \sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F} \right) \quad \text{I.54}$$

La valeur  $V_{TH}$  peut être contrôlée soit en ajustant le dopage du canal ou par la variation de l'épaisseur de la couche d'oxyde.

## I.2.4 Dimension du transistor MOSFET

Rendre plus petit le transistor MOSFET est une quête qui dure depuis la conception du premier MOSFET, et qui durera encore jusqu'à ce qu'on sera -peut être- arrêté par les limites physiques de la matière... Des transistors plus petits permettent une plus grande densité d'intégration, et un canal plus petit améliore la dépendance  $\left( I_D \propto \frac{1}{L} \right)$  et par suite les performances d'opération. Cependant la réduction des dimensions du MOSFET affecte

sensiblement ces caractéristiques qui restent valide uniquement pour les MOSFET à canal long.

### I.2.5 Effets du canal court

La réduction des dimensions du canal entraîne que l'approximation canal graduel n'est plus valable, car le champ électrique dû à la tension drain n'est pas négligeable et donc, il influence sur la distribution des charges.

La Figure I.17 illustre le modèle de partage de charges fonctionnant dans la zone linéaire et dans lequel la largeur de la ZCE du côté du drain est presque la même que celle du côté de la source. Ainsi la zone de déplétion dans le canal chevauche avec celles du drain et de la source. De ce fait, les charges induites par le champ électrique dû à la tension grille est approximée à un trapèze.

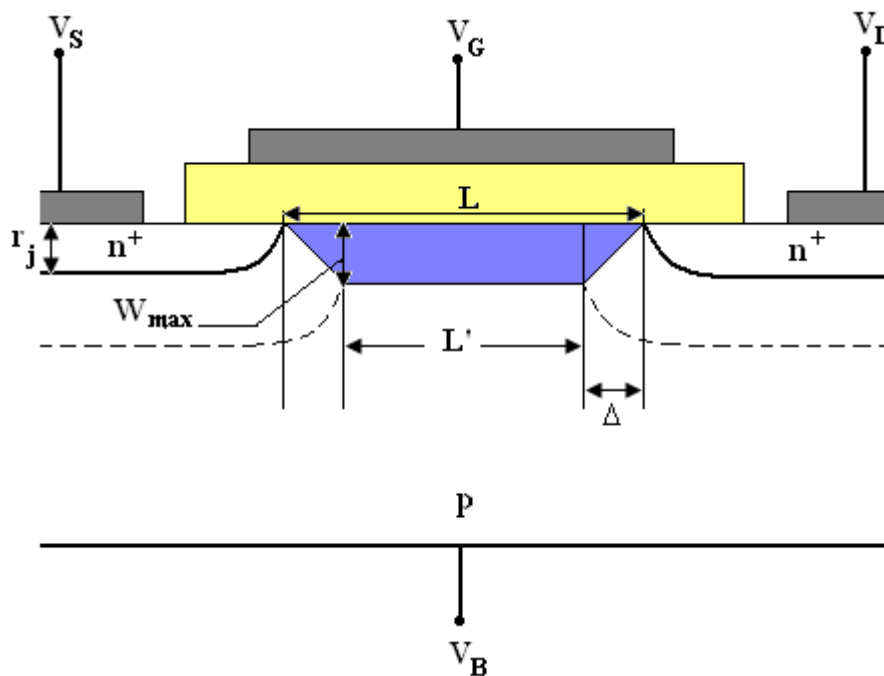


Figure I.17 Modèle de partage de charges [2]

Le décalage de  $V_{TH}$  est dû à la réduction de charges dans la ZCE

$$\Delta V_{TH} = -\frac{qN_A W_{max} r_j}{C_{ox} L} \left( \sqrt{1 + \frac{2W_{max}}{r_j}} - 1 \right) \quad I.55$$

Donc, la préoccupation majeure sera de minimiser les effets du canal court pour maintenir le fonctionnement normal du transistor. Pour cela il y a plusieurs règles à considérer lors de la réduction des dimensions du transistor [2].

### I.3. Modèles petits signaux

#### I.3.1. Modèle petit signal en saturation sans effet de substrat du MOS

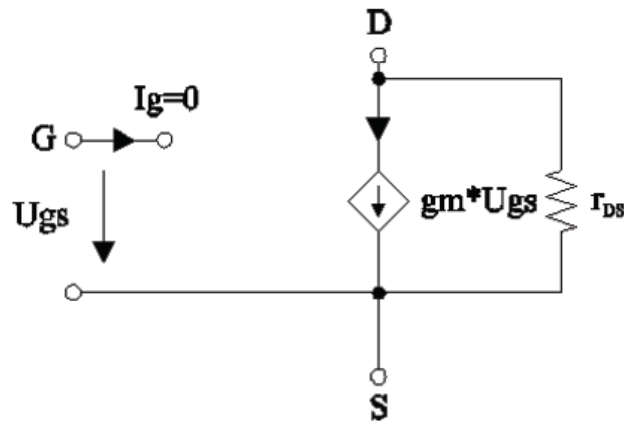


Figure I.18 : Schéma équivalent du MOS en régime petits signaux sans effet de substrat

$$\begin{aligned}
 gm &= \frac{\partial I_D}{\partial U_{GS}} \Big|_{U_{DS} = cte} \\
 &= K' \frac{W}{L} (U_{GS} - U_{TH}) \\
 &= \sqrt{2K'} \cdot \sqrt{\frac{W}{L}} \cdot \sqrt{I_D} \\
 &= \frac{2I_D}{U_{GS} - U_{TH}}
 \end{aligned} \tag{I.56}$$

$$r_{DS} = \frac{1}{\lambda \cdot I_{DQ}} \tag{I.57}$$

#### I.3.2. Modèle petit signal en saturation avec effet de substrat du MOS

Le schéma équivalent du MOS en régime petits signaux avec prise en considération des effets de substrat est celui de la figure ci-dessous:

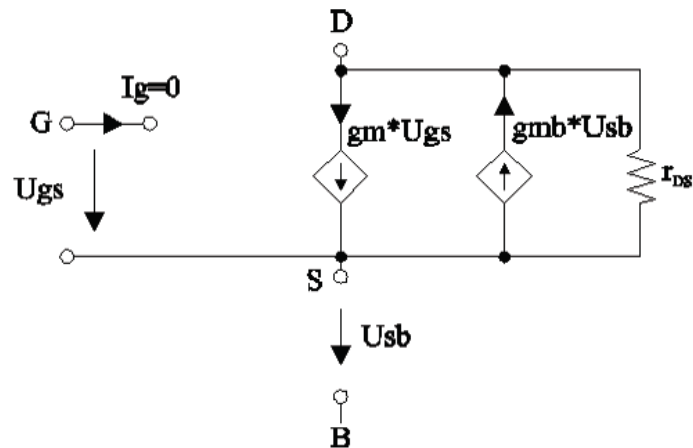


Figure I.19 : Schéma équivalent du MOS en régime petits signaux avec effet de substrat

$$g_m = \frac{\partial I_D}{\partial U_{GS}} = K' \frac{W}{L} (U_{GS} - U_{TH}) \quad \text{avec : } U_{DS}, U_{SB} = cte \quad \text{I.58}$$

$$g_{mb} = \frac{\partial I_D}{\partial U_{SB}} = g_m \cdot \frac{\gamma}{2\sqrt{2\phi_f + U_{sb}}} \quad \text{avec } U_{DS}, U_{GS} = cte \quad \text{I.59}$$

### I.4. Les capacités parasites

Les capacités sont très peu influencées par la température et la fréquence. Par contre, les capacités grille drain ( $C_{gd}$ ) et drain source ( $C_{ds}$ ) ont une valeur qui dépend de la tension à leurs bornes, alors que la capacité grille source ( $C_{gs}$ ) peut être considérée comme constante.

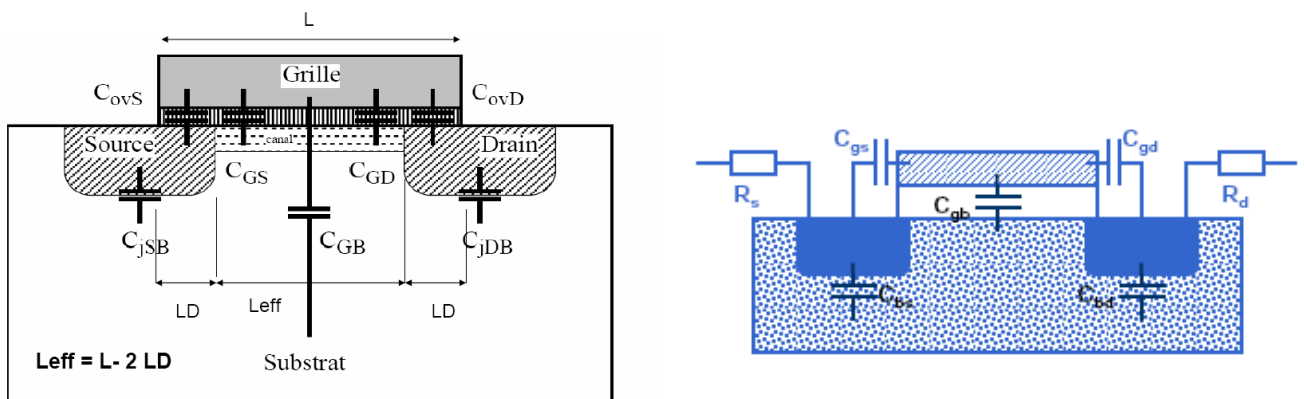


Figure I.20 : Capacités parasites du MOS

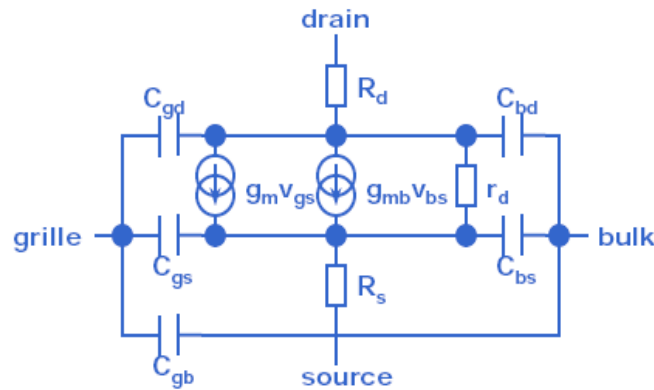


Figure I.22: Schéma équivalent du MOS en HF

#### I.4.1. Capacité d'oxyde en régime saturé

Régime saturé: existence d'un pincement du canal; La capacité se trouve majoritairement du côté de la source:

$$C_{gs} = C_{ox} \left( \frac{2A_{ch}}{3} + w\Delta L \right) \quad \text{I.60}$$

$$C_{gd} = C_{ox} + w\Delta L \quad \text{I.61}$$

$$C_{sb} = (A_s + A_{ch})C_{js} + P_s C_{jsw} \quad \text{I.62}$$

$$C_{db} = A_d C_{jd} + P_d C_{jsw} \quad \text{I.63}$$

#### I.4.2. Capacité d'oxyde en régime ohmique

Régime ohmique: existence d'un canal conducteur; La capacité se répartit équitablement entre source et drain:

$$C_{gs} = C_{ox} \left( \frac{A_{ch}}{2} + w\Delta L \right) \quad \text{I.64}$$

$$C_{sb} = (A_s + A_{ch}/2)C_{js} + P_s C_{jsw} \quad \text{I.65}$$

$$C_{db} = (A_d + A_{ch}/2)C_{jd} + P_d C_{jsw} \quad \text{I.66}$$

#### I.4.3. Capacité d'oxyde en régime bloqué

Régime bloqué: pas de canal conducteur entre la source et le drain; La capacité se trouve intégralement entre grille et substrat:

$$C_{gs} = C_{gd} = C_{ox} w \Delta L \tag{I.67}$$

$$C_{gb} = C_{ox} w L \tag{I.68}$$

$$C_{sb} = A_s C_{js} \tag{I.69}$$

$$C_{db} = A_d C_{jd} \tag{I.70}$$

$$C_{js} = C_{j0} / (1 + V_{sb} / \Phi_0)^{1/2} \tag{I.71}$$

$$C_{jd} = C_{j0} / (1 + V_{db} / \Phi_0)^{1/2} \tag{I.72}$$

$$C_{jsw} = C_{jsw0} / (1 + V_{sb} / \Phi_0)^{1/2} \tag{I.73}$$

où:

$A_{ch} = WL$  (surface du canal)

$A_s$  = surface de la source

$A_d$  = surface du drain

$P_s$  = périmètre de la source

$P_d$  = périmètre du drain

$\Delta L$  = diffusion latérale (~0.05um)

$C_{ox}$  = capacité d'oxyde/um<sup>2</sup> (~5fF/um<sup>2</sup>)

$C_{j0}$  = capacité jonction verticale (0.2fF/um<sup>2</sup>)

$C_{jsw0}$   $C_{jsw0}$  = capacité jonction de la paroi (0.2fF/μm)

### I.4.4. Fréquence de transition du MOS

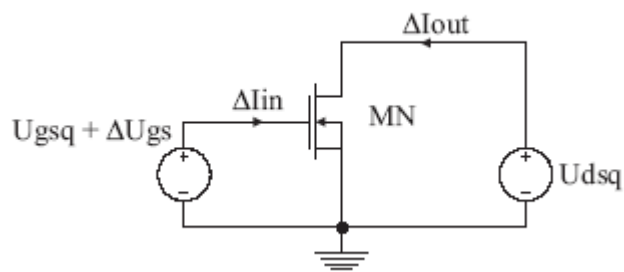


Figure. I.22. Fréquence de transition du MOS

$$f_T = \frac{gm}{2\pi(C_{gs} + C_{gd})} \quad \text{I.74}$$

$$f_T \approx \frac{3\mu_n(U_{gs} - U_{th})}{4\pi.L^2} \quad \text{I.76}$$

- D'une manière similaire au transistor bipolaire, on définit une fréquence de transition  $f_T$ , fréquence à laquelle le rapport  $I_{out}(jT)/I_{in}(jT) = 1$
- Avec l'approximation que  $C_{gs} \gg C_{gd}$ , et en négligeant les capacités de recouvrement, on peut déduire la relation (1.76).
- Un MOS rapide doit donc avoir un canal le plus court possible.

#### I.4.5. Les diodes parasites

La diode parasite va stocker une quantité de charge non négligeable. Par conséquent, elle va notablement ralentir la commutation du MOS.

Si la pente de tension  $dV_{DS}/dt$  est élevée pendant la phase de blocage de la diode, il peut y avoir une destruction du composant.

Les deux premières peuvent être représentées par l'équation de variation des capacités de diffusion soit:

$$c = \frac{C_{v0}}{(1 + V/\Phi_B)^n} \quad \text{I.77}$$

$C_{v0}$  : est la valeur de la capacité à zéro volts.

$\Phi_B$  : est le potentiel de jonction.

$V$  : est la tension aux bornes de la capacité ( $v > -\Phi_B/2$ ).

#### I.5. Validité du modèle

- Le modèle quadratique simple présenté jusqu'ici est valide seulement pour des transistors «longs», c.à.d. ou  $L > 1$  à  $2 \mu\text{m}$ .
- Pour des transistors ou  $L < 1 \mu\text{m}$ , beaucoup de phénomènes physiques commencent à contribuer et le modèle devient rapidement inexact et impropre à des simulations réalistes.



- Néanmoins, ce modèle est très utile pour comprendre le fonctionnement de base du MOS et permet de faire des calculs à la main.
- Le transistor MOS est beaucoup plus difficile à modéliser que le transistor bipolaire, pour preuve, la foison de modèles différents qui existent (Spicelevel1 à 3, BSIM1 à BSIM4, EKV de l'EPFL, etc...)

## I.5. Modélisation et simulation du MOSFET

L'explosion du marché électronique a engendré une complexité croissante des circuits intégrés, et le fait de ne pas pouvoir dessiner à la main un ou plusieurs millions de transistors a conduit à ce qu'on appelle la simulation.

La simulation a pris son essor sous l'impulsion de l'université de Berkeley qui a développé un algorithme de simulation appelé SPICE (Simulation program With Integrated Circuits Emphasis) qui fut le premier simulateur analogique des circuits intégrés. C'est un simulateur à plusieurs niveaux qui utilise des modèles fournis par les fondateurs pour représenter le comportement des composants.

La progression technologique a permis de donner au cours du temps de modèles MOS de plus en plus précis et de plus en plus performant, pouvant s'adapter au besoin d'utilisation et à la miniaturisation des circuits. Il existe différents niveaux de transistors MOS dont la description plus en plus précise et performante [5].

### I.5.1 Transistor MOSFET de première génération

-SPICE niveaux 1, 2,3(1980s). Ce sont des modèles analytiques physiques donnant des informations sur la géométrie des dispositifs dans les expressions décrivant le fonctionnement des transistors. Ces transistors sont adaptés au calcul manuel.

### I.5.2. seconde génération

-SPICE niveaux 13, 28,39:BSIM (1990s), ce sont des modèles très mathématiques. Les résultats donnés par le simulateur permettent de faire l'extraction des paramètres SPICE du modèle conçu.

Un calcul manuel avec ce type de modèle s'avère impossible vu sa complexité et le nombre important de paramètres obtenu après extraction et permettant de définir le modèle du point de vue physique et géométrique.

### I.5.3. Troisième génération

SPICE niveaux 49, 55: BSIM (2000s), BSIM4, EKV avec ces modèles on revient à la physique des composants semi-conducteurs: objectif initial était de redécouvrir la simplicité ... maintenant plus de 100 paramètres [6].

## I.6. NMOS et PMOS

- Pour une technologie CMOS donnée, la mobilité des électrons est toujours plus élevée que celle des trous.
- Le NMOS a donc une transconductance nettement plus élevée que le PMOS, pour une même taille W/L.
- A transconductance égale, le NMOS est alors plus petit, donc plus rapide car ses capacités parasites sont plus faibles.

## I.7. Applications du MOS

- L'interrupteur analogique est à la base de techniques spécifiques aux technologies CMOS.
- en numérique, il permet de réaliser certaines fonctions avec moins de transistors.
- la technique des capacités commutées permet la réalisation de filtres dont les constantes de temps sont déterminées uniquement par le rapport de 2 condensateurs.
- certaines techniques dynamiques où la comparaison de 2 grandeurs utilise séquentiellement le même composant au lieu d'utiliser 2 composants, afin de s'affranchir des erreurs d'appariement.
- il permet la réalisation simple et efficace d'échantillonneur-bloqueurs entraînant une intégration efficace de convertisseurs analogiques-numériques et numériques-analogiques.

## I.8. Les avantages des transistors MOS

- Sa résistance d'entrée est très importante  $R_e \approx 10^{12} \Omega$ , pour un transistor à effet de champ à jonction, elle est plus faible, soit de l'ordre de  $10^8 \Omega$ .
- le bruit intrinsèque est toujours très faible

- Facile à fabriquer et par suite peu onéreux.
- La densité d'intégration autorisée par ce type de composant est très importante: ( $10^7$  transistors sur une seule puce).
- Petite surface de silicium
- Impédance de sortie faible de l'ordre de  $100\Omega$
- Ce composant est symétrique, aucune distinction du point de vue fabrication entre la source et le drain.
- le circuit de commande très simple.
- Il supporte très bien la mise en parallèle sans dispositif particulier grâce à son coefficient de température positif.

## I.9. Les Inconvénients des transistors MOS

- Très sensible à la contamination lors de la fabrication.
- Très sensible aux décharges électrostatiques dit problèmes d'ESD.
- Moins rapide que le bipolaire mais plus robuste, avec taille ajustable en simulation
- la pente est faible.
- la vitesse de commutation est très faible par rapport à celle des transistors bipolaires.

## Conclusion

Nous avons pu au sein de ce chapitre présenter les transistors MOSFET pour lesquelles nous avons expliqué le principe de fonctionnement, ce qui nous permet de présenter dans ce qui suit un modèle particulier de MOSFET de dernière génération qui est le modèle EKV pour lequel on se propose d'étudier son comportement face à des variations de température.